

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6228851号
(P6228851)

(45) 発行日 平成29年11月8日(2017.11.8)

(24) 登録日 平成29年10月20日(2017.10.20)

(51) Int.Cl.	F I
H05K 3/46 (2006.01)	H05K 3/46 U
	H05K 3/46 Q
	H05K 3/46 N

請求項の数 8 (全 13 頁)

(21) 出願番号	特願2014-3529 (P2014-3529)	(73) 特許権者	000190688
(22) 出願日	平成26年1月10日(2014.1.10)		新光電気工業株式会社
(65) 公開番号	特開2015-133387 (P2015-133387A)		長野県長野市小島田町80番地
(43) 公開日	平成27年7月23日(2015.7.23)	(74) 代理人	100105957
審査請求日	平成28年9月23日(2016.9.23)		弁理士 恩田 誠
		(74) 代理人	100068755
			弁理士 恩田 博宣
		(72) 発明者	小柳 貴昭
			長野県長野市小島田町80番地 新光電気
			工業 株式会社 内
		審査官	小林 大介

最終頁に続く

(54) 【発明の名称】配線基板、配線基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1面と前記第1面と対向する第2面との間を貫通した収容孔を有するコア基板と、
 前記コア基板の第1面に形成された第1配線層と、
 前記コア基板の第2面に形成された第2配線層と、
 前記収容孔内に配置された電子部品と、
 前記収容孔の内側面に形成され、前記電子部品の接続端子と対応し、前記第1配線層及び前記第2配線層の少なくとも一方の配線層と接続された導電膜と、
 前記電子部品の接続端子と前記導電膜とを熱的に接続する熱伝導材と、
 前記コア基板の第1面と前記第1配線層とを被覆する第1絶縁層と、
 前記コア基板の第2面と前記第2配線層とを被覆する第2絶縁層と、
 前記第1絶縁層を貫通して前記電子部品の接続端子に接続された第1ビアと、
 前記第2絶縁層を貫通して前記電子部品の接続端子に接続された第2ビアと、
 を有し、

前記電子部品は、本体と複数の接続端子を有し、

前記収容孔は、内側面に前記導電膜が形成された複数の第1収容孔と、複数の前記第1収容孔を互いに連通し、前記本体と対向した内側面と前記本体との間の距離が、前記導電膜と前記接続端子との間の距離よりも短く設定された第2収容孔と、を有すること、
 を特徴とする配線基板。

【請求項2】

前記電子部品の接続端子と前記第 1 ピアとの接続面積、及び前記電子部品の接続端子と前記第 2 ピアとの接続面積より、前記電子部品の接続端子と前記熱伝導材との接続面積が大きいこと、

を特徴とする請求項 1 に記載の配線基板。

【請求項 3】

前記熱伝導材は、前記電子部品の接続端子と前記導電膜とを電氣的に接続する導電材であること、を特徴とする請求項 1 または 2 に記載の配線基板。

【請求項 4】

前記第 1 絶縁層上に形成され、前記電子部品の接続端子に接続された前記第 1 ピアを含む第 3 配線層と、

前記第 2 絶縁層上に形成され、前記電子部品の接続端子に接続された前記第 2 ピアを含む第 4 配線層と、

を有することを特徴とする請求項 1 ~ 3 の何れか一項に記載の配線基板。

【請求項 5】

前記収容孔内の電子部品はチップキャパシタであることを特徴とする請求項 1 ~ 4 の何れか一項に記載の配線基板。

【請求項 6】

前記コア基板の第 1 面側に形成され第 2 の電子部品を実装するための接続パッドと、

前記コア基板の第 2 面側に形成された外部接続パッドと、

を有し、

前記電子部品の接続端子は、前記接続パッドと前記外部接続パッドとに電氣的に接続されたこと、

を特徴とする請求項 1 ~ 5 の何れか一項に記載の配線基板。

【請求項 7】

第 1 面と第 2 面とを有するコア基板に前記第 1 面と前記第 2 面との間を貫通する複数の第 1 貫通孔を形成する工程と、

前記複数の第 1 貫通孔の内側面に導電膜を形成する工程と、

前記複数の第 1 貫通孔を互いに連通して本体と複数の接続端子を有する電子部品を収容する収容孔を形成する工程と、

前記収容孔に前記電子部品を配置する工程と、

前記電子部品の接続端子と前記導電膜との間に熱伝導材を形成する工程と、

前記コア基板の第 1 面に前記導電膜に接続された配線を含む第 1 配線層と、前記コア基板の第 2 面に前記導電膜に接続された配線を含む第 2 配線層とを形成する工程と、

前記コア基板の第 1 面と前記第 1 配線層とを被覆する第 1 絶縁層と、前記コア基板の第 2 面と前記第 2 配線層とを被覆する第 2 絶縁層とを形成する工程と、

前記第 1 絶縁層と前記第 2 絶縁層とに前記電子部品の接続端子の一部を露出する開口部を形成する工程と、

前記第 1 絶縁層の開口部に充填された第 1 ピアを介して前記電子部品の接続端子に接続される配線層と、前記第 2 絶縁層の開口部に充填された第 2 ピアを介して前記電子部品の接続端子に接続される配線層とを形成する工程と、

を有し、

前記収容孔は、内側面に前記導電膜が形成された複数の第 1 収容孔と、複数の前記第 1 収容孔を互いに連通し、前記本体と対向した内側面と前記本体との間の距離が、前記導電膜と前記接続端子との間の距離よりも短く設定された第 2 収容孔と、を有すること、

を特徴とする配線基板の製造方法。

【請求項 8】

前記電子部品の接続端子と前記第 1 ピアとの接続面積、及び前記電子部品の接続端子と前記第 2 ピアとの接続面積より、前記電子部品の接続端子と前記熱伝導材との接続面積が大きいこと、

を特徴とする請求項 7 に記載の配線基板の製造方法。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

配線基板、配線基板の製造方法に関する。

【背景技術】

【0002】

従来、チップ型の容量素子（チップキャパシタ）等の電子部品を内蔵した配線基板は知られている（例えば、特許文献1参照）。電子部品は、配線基板のコア基板に形成された貫通孔（キャピティ）内に配置され、配線基板のパターンやビアを介して配線基板に実装された半導体チップと電氣的に接続される。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2013-84692号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、半導体チップや容量素子等の電子部品は、それらの動作により発熱する。電子部品における発熱は、電子部品の性能低下や故障の要因となる。このため、配線基板に内蔵する電子部品からの放熱性の向上が求められる。

20

【課題を解決するための手段】

【0005】

本発明の一観点によれば、第1面と前記第1面と対向する第2面との間を貫通した収容孔を有するコア基板と、前記コア基板の第1面に形成された第1配線層と、前記コア基板の第2面に形成された第2配線層と、前記収容孔内に配置された電子部品と、前記収容孔の内側面に形成され、前記電子部品の接続端子と対応し、前記第1配線層及び前記第2配線層の少なくとも一方の配線層と電氣的に接続された導電膜と、前記電子部品の接続端子と前記導電膜とを熱的に接続する熱伝導材と、前記コア基板の第1面と前記第1配線層とを被覆する第1絶縁層と、前記コア基板の第2面と前記第2配線層とを被覆する第2絶縁層と、前記第1絶縁層を貫通して前記電子部品の接続端子に接続された第1ビアと、前記第2絶縁層を貫通して前記電子部品の接続端子に接続された第2ビアと、を有し、前記電子部品は、本体と複数の接続端子を有し、前記収容孔は、内側面に前記導電膜が形成された複数の第1収容孔と、複数の前記第1収容孔を互いに連通し、前記本体と対向した内側面と前記本体との間の距離が、前記導電膜と前記接続端子との間の距離よりも短く設定された第2収容孔と、を有する。

30

【発明の効果】

【0006】

本発明の一観点によれば、内蔵する電子部品の放熱性を向上することができる。

【図面の簡単な説明】

【0007】

【図1】（a）は半導体装置を示す概略断面図、（b）は電子部品の実装状態を示す概略平面図、（c）はキャピティの説明図。

40

【図2】製造工程を示す断面図。

【図3】（a）は製造工程を示す断面図、（b）は製造工程を示す一部平面図。

【図4】（a）は製造工程を示す断面図、（b）は製造工程を示す一部平面図。

【図5】（a）は製造工程を示す断面図、（b）は製造工程を示す一部平面図。

【図6】（a）は製造工程を示す断面図、（b）は製造工程を示す一部平面図。

【図7】（a）は製造工程を示す断面図、（b）は製造工程を示す一部平面図。

【図8】（a）は製造工程を示す断面図、（b）は製造工程を示す一部平面図。

【図9】製造工程を示す断面図。

50

【図 1 0】製造工程を示す断面図。

【図 1 1】製造工程を示す断面図。

【図 1 2】製造工程を示す断面図。

【図 1 3】製造工程を示す断面図。

【図 1 4】製造工程を示す断面図。

【図 1 5】製造工程を示す断面図。

【発明を実施するための形態】

【0008】

以下、一実施形態を添付図面を参照して説明する。

なお、添付図面は、部分的に拡大して示している場合があり、寸法、比率などは実際と異なる場合がある。また、断面図では、各部材の断面構造を分かりやすくするために、一部のハッチングを省略している。

【0009】

図 1 (a) に示すように、半導体装置 1 0 は、マザーボード等の基板 1 0 0 に実装される。

半導体装置 1 0 は、配線基板 1 1 と、その配線基板 1 1 に実装された半導体素子 1 2 と、半導体素子 1 2 の上方に配置されたヒートシンク（放熱器）1 3 とを有している。

【0010】

配線基板 1 1 はコア基板 2 1 を有している。コア基板 2 1 は、例えば補強材であるガラスクロス（ガラス織布）にエポキシ樹脂を主成分とする熱硬化性の絶縁性樹脂を含浸させ硬化させた、いわゆるガラスエポキシ基板である。補強材としてはガラスクロスに限らず、例えばガラス不織布、アラミド織布、アラミド不織布、液晶ポリマ（Liquid Crystal Polymer：LCP）織布やLCP不織布を用いることができる。また、熱硬化性の絶縁性樹脂としては、エポキシ樹脂に限らず、例えばポリイミド樹脂やシアネート樹脂などの絶縁性樹脂を用いることができる。

【0011】

コア基板 2 1 は、上面 2 1 a と下面 2 1 b の間を貫通するキャビティ 2 2 を有している。キャビティ 2 2 内にはチップキャパシタ 3 1 が配置されている。チップキャパシタ 3 1 はたとえばセラミックチップキャパシタである。チップキャパシタ 3 1 は、本体 3 1 a と、その本体 3 1 a の両端部を覆う接続端子 3 1 b を有している。チップキャパシタ 3 1 の形状は、略直方体状である。例えば、チップキャパシタ 3 1 の大きさは、長さ（L）0.6 mm、幅（W）0.3 mm、厚さ（T）0.1 mm である。

【0012】

図 1 (c) に示すように、キャビティ 2 2 は、チップキャパシタ 3 1 の接続端子 3 1 b に対応する 2 つの第 1 キャビティ 2 2 a と、それら 2 つの第 1 キャビティ 2 2 a を連通する第 2 キャビティ 2 2 b を有している。なお、図 1 (c) では、キャビティ 2 2 の形状を判りやすくするため、チップキャパシタ 3 1 を破線にて他の図面よりも小さく描いている。

【0013】

第 1 キャビティ 2 2 a は、コア基板 2 1 の平面視において、チップキャパシタ 3 1 の接続端子 3 1 b が対向する方向（例えばチップキャパシタ 3 1 の長手方向）に対して直交する方向（端面 3 1 c と平行な方向）に沿って延び、両端部は半円状に形成され、全体として長円状に形成されている。第 1 キャビティ 2 2 a は、平面視において、接続端子 3 1 b が形成されたチップキャパシタ 3 1 の対向する端面 3 1 c を囲むように形成されている。第 1 キャビティ 2 2 a の内側面とチップキャパシタ 3 1 の端面 3 1 c との隙間（クリアランス）は、チップキャパシタ 3 1 を搭載するマウンタに応じて設定され、例えば 30 ~ 50 μm である。第 2 キャビティ 2 2 b は、2 つの第 1 キャビティ 2 2 a を互いに連通する。第 2 キャビティ 2 2 b の幅、つまり第 2 キャビティ 2 2 b において互いに対向する 2 つの内側面の間の距離は、チップキャパシタ 3 1 の幅に応じて設定されている。第 1 キャビティ 2 2 a の内側面は導電膜 2 3 により覆われている。導電膜 2 3 の材料は、例えば銅で

ある。なお、第2キャビティ22bの内側面は、導電膜にて覆われておらず、コア基板21が露出している。第2キャビティ22bの内側面とチップキャパシタ31の本体31aとの隙間は、第1キャビティ22aの内側面とチップキャパシタ31の端面31cとの隙間よりも小さい。

【0014】

図1(b)に示すように、第1キャビティ22a内には、導電材32が充填されている。導電材32は、導電性ペーストを硬化して形成されている。導電性ペーストは、例えばはんだペースト、銅ペースト等である。このような導電材32は、コア基板21や後述する絶縁層41、51等に用いられる絶縁材料の熱伝導率より高い熱伝導率を有する高熱伝導材である。なお、導電ペーストとして、例えば銅やアルミニウムの金属粒等の導電材をエポキシ系樹脂、ポリイミド系樹脂、シリコン系樹脂、等の樹脂に含有させた導電性樹脂を用いることもできる。なお、第2キャビティ22bの内側面とチップキャパシタ31による隙間には絶縁材(図示略)が充填されている。

10

【0015】

図1(a)に示すように、コア基板21には、上面21aと下面21bとの間を貫通する複数の貫通孔24が形成されている。貫通孔24内には、スルーホール25が形成されている。スルーホール25は、貫通孔24の内面に応じて筒状に形成されている。スルーホール25の材料は、例えば銅(Cu)である。スルーホール25の内部には、導電材33が充填されている。導電材33は、導電性ペーストを硬化して形成されている。スルーホール25に充填される導電材33は、例えば第1キャビティ22aに充填される導電材32と同じ材料である。

20

【0016】

コア基板21の上面21aには配線層(第1配線層)26が形成されている。配線層26は、例えば上面21a上の銅箔と、その銅箔上に形成された銅めっきを含む。同様に、コア基板21の下面21bには配線層(第2配線層)27が形成されている。配線層27は、例えば下面21b上の銅箔と、その銅箔上に形成された銅めっきを含む。配線層26、27はスルーホール25及び導電材33と電氣的に接続されている。配線層26は、キャビティ22(第1キャビティ22a)内の導電膜23と電氣的に接続された配線26a、26bを含む。同様に、配線層27は、キャビティ22(第1キャビティ22a)内の導電膜23と電氣的に接続された配線27a、27bを含む。図1(b)に示すように、両配線26a、26bは互いに電氣的に分離されている。なお、図示しないが、配線27a、27bも同様に互いに電氣的に分離されている。なお、配線26a、26bと配線27a、27bをコア基板21の上面21aと下面21bのそれぞれにプレーン状に形成してもよく、プレーン状の配線26a、26b、27a、27bは放熱性の観点において好適である。また、プレーン状の配線26a、26b、27a、27bを電源プレーンやグランドプレーンとして用いてもよい。

30

【0017】

コア基板21の上面21a側には、絶縁層(第1絶縁層)41、配線層(第3配線層)42がこの順番で積層されている。同様に、コア基板21の下面21b側には、絶縁層(第2絶縁層)51、配線層(第4配線層)52がこの順番で積層されている。絶縁層41、51の材料は、たとえばエポキシ樹脂やポリイミド樹脂等の絶縁性樹脂である。配線層42、52の材料は、たとえば銅である。配線層42に含まれる一部の配線は、絶縁層41を貫通するビア43を介してチップキャパシタ31の接続端子31bに電氣的に接続されている。また、配線層42に含まれる一部の配線は、絶縁層41を貫通するビア44を介してコア基板21の上面21aの配線層26(配線26a、26b等)とスルーホール25内の導電材33に電氣的に接続されている。同様に、配線層52に含まれる一部の配線は、絶縁層51を貫通するビア53を介してチップキャパシタ31の接続端子31bに電氣的に接続されている。また、配線層52に含まれる一部の配線は、絶縁層51を貫通するビア54を介してコア基板21の下面21bの配線層27(配線27a、27b等)とスルーホール25内の導電材33に電氣的に接続されている。

40

50

【 0 0 1 8 】

絶縁層 4 1 及び配線層 4 2 はレジスト膜 6 1 により被覆されている。レジスト膜 6 1 の材料は、例えばエポキシ樹脂やアクリル樹脂などの絶縁性樹脂である。レジスト膜 6 1 には、配線層 4 2 の一部を接続パッド P 1 として露出する開口部 6 1 a が形成されている。接続パッド P 1 には接続端子 7 1 が形成されている。接続端子 7 1 は、例えばはんだボールである。接続端子 7 1 は、半導体素子 1 2 のパッド（図示略）に接続されている。半導体素子 1 2 と配線基板 1 1（レジスト膜 6 1）の間にはアンダーフィル樹脂 1 4 が充填されている。

【 0 0 1 9 】

同様に、絶縁層 5 1 及び配線層 5 2 はレジスト膜 6 2 により被覆されている。レジスト膜 6 2 の材料は、例えばエポキシ樹脂やアクリル樹脂などの絶縁性樹脂である。レジスト膜 6 2 には、配線層 5 2 の一部を外部接続パッド P 2 として露出する開口部 6 2 a が形成されている。外部接続パッド P 2 には外部接続端子 7 2 が形成されている。外部接続端子 7 2 は、例えばはんだボールである。外部接続端子 7 2 は、基板 1 0 0 のパッド（図示略）に接続されている。

【 0 0 2 0 】

半導体素子 1 2 の上面には、ヒートシンク 1 3 が配設されている。ヒートシンク 1 3 は、板状のベース部とベース部の上面から上方に突出する複数の放熱フィンを有している。ヒートシンク 1 3 の材料としては、例えば銅、アルミニウム（A 1）又はそれらの合金等を用いることができる。ヒートシンク 1 3 は、半導体素子 1 2 の上面（素子が形成された面と反対側の面）に、図示しない接合部材により半導体素子 1 2 に接合されている。接合部材の材料としては、例えばシリコンポリマー系又はエポキシ系の樹脂を用いることができる。

【 0 0 2 1 】

上記の半導体装置 1 0 の作用を説明する。

半導体素子 1 2 における熱は、この半導体素子 1 2 に固定されたヒートシンク 1 3 により放熱される。また、半導体素子 1 2 における熱は、接続端子 7 1、配線層 4 2、ビア 4 3 等の導電材、接続端子 7 2 を介して基板 1 0 0 に伝達される。

【 0 0 2 2 】

チップキャパシタ 3 1 の接続端子 3 1 b はビア 5 3 を介して配線層 5 2 に接続され、その配線層 5 2 は接続端子 7 2 を介して基板 1 0 0 に接続される。したがって、チップキャパシタ 3 1 の熱は、そのチップキャパシタ 3 1 の接続端子 3 1 b に接続されたビア 5 3、配線層 5 2、接続端子 7 2 を介して基板 1 0 0 へ伝達される。

【 0 0 2 3 】

チップキャパシタ 3 1 が収容された第 1 キャビティ 2 2 a の内側面に導電膜 2 3 が形成され、その導電膜 2 3 は、コア基板 2 1 の上面 2 1 a の配線層 2 6（配線 2 6 a、2 6 b）と下面 2 1 b の配線層 2 7（配線 2 7 a、2 7 b）と電氣的に接続されている。そして、第 1 キャビティ 2 2 a には導電材 3 2 が充填されている。したがって、チップキャパシタ 3 1 の接続端子 3 1 b は、導電材 3 2 によりコア基板 2 1 の配線層 2 6、2 7（配線 2 6 a、2 6 b、2 7 a、2 7 b）と接続されている。そして、配線層 2 6、2 7 は、配線層 5 2、ビア 5 4 等の導電材、接続端子 7 2 を介して基板 1 0 0 に接続されている。したがって、チップキャパシタ 3 1 の熱は、上記のビア 5 3 よりも広い面積にて接続端子 3 1 b に接続された導電材 3 2 を介して配線層 2 6、2 7 へ伝達され、配線層 2 7 から接続端子 7 2 を介して基板 1 0 0 へ伝達される。

【 0 0 2 4 】

従来の配線基板では、チップキャパシタ 3 1 が収容されたキャビティに絶縁性の樹脂が充電されている。このような絶縁性の樹脂は、熱伝導性が低い。このため、チップキャパシタ 3 1 の熱は、チップキャパシタ 3 1 に接続されたビアのみを介して伝達される。

【 0 0 2 5 】

一方、本実施形態では、第 1 キャビティ 2 2 a に充填された導電材 3 2 は絶縁性の樹脂

10

20

30

40

50

に比べて熱伝導性が良い。したがって、チップキャパシタ 3 1 の熱は、チップキャパシタ 3 1 の接続端子 3 1 b に接続されたビア 5 3 に加えて、第 1 キャビティ 2 2 a に充填された導電材 3 2 を介して配線層 2 6 , 2 7 へ伝達する。さらに、配線層 5 2 、ビア 5 4 等の導電材、接続端子 7 2 を介して基板 1 0 0 へ伝達される。したがって、本実施形態の配線基板 1 1 は、キャビティに樹脂を充填した配線基板に比べ、内蔵したチップキャパシタ 3 1 からの放熱性がよい。

【 0 0 2 6 】

次に、製造工程を説明する。

なお、各図において、工程の説明に必要な符号を付し、一部の符号を省略する。

先ず、図 2 に示すように、上下と下面のそれぞれに導電層 2 0 1 , 2 0 2 を有するコア基板 2 1 を用意する。導電層 2 0 1 , 2 0 2 は、例えば銅箔等の銅 (C u) である。

10

【 0 0 2 7 】

次いで、図 3 (a) に示すように、コア基板 2 1 に、第 1 キャビティ 2 2 a と貫通孔 2 4 を形成する。第 1 キャビティ 2 2 a は、図 3 (b) に示すように、端部が円弧状であり、例えばルータ機やレーザ加工機を用いて形成される。貫通孔 2 4 の形成には、例えばレーザ加工機やドリル機を用いることができる。

【 0 0 2 8 】

次に、図 4 (a) , 図 4 (b) に示すように、デスミア処理を施した後、表面に導電層 2 0 3 を形成する。導電層 2 0 3 は、例えば無電解銅めっきにより形成される。なお、無電解銅めっきの後に電解銅めっきを行って導電層を形成してもよい。

20

【 0 0 2 9 】

そして、図 5 (a) に示すように、コア基板 2 1 に第 2 キャビティ 2 2 b を形成する。第 2 キャビティ 2 2 b の形成には、例えばプレス装置、ルータ機、レーザ加工機を用いることができる。第 2 キャビティ 2 2 b の形成により、図 5 (b) に示すように、この第 2 キャビティ 2 2 b と第 1 キャビティ 2 2 a を有するキャビティ 2 2 が形成される。

【 0 0 3 0 】

次に、図 6 (a) に示すように、コア基板 2 1 の一方の面 (図において下面 2 1 b) 側に粘着剤を有するカバーフィルム 2 0 4 を貼着する。そして、図 6 (a) , 図 6 (b) に示すように、キャビティ 2 2 内において、カバーフィルム 2 0 4 上にチップキャパシタ 3 1 を搭載する。

30

【 0 0 3 1 】

そして、図 7 (a) に示すように、ステンシルマスク 2 0 5 とスキージ 2 0 6 を用いたスクリーン印刷法により、導電性ペースト 2 0 7 を充填する。ステンシルマスク 2 0 5 には、チップキャパシタ 3 1 と第 1 キャビティ 2 2 a の間の隙間に対応する開口部 2 0 5 a と、貫通孔 2 4 に対応する開口部 2 0 5 b が形成されている。これにより、図 7 (b) に示すように、貫通孔 2 4 と第 1 キャビティ 2 2 a に導電性ペースト 2 0 7 が充填される。なお、導電性ペースト 2 0 7 の充填は、例えば減圧下 (例えば、真空雰囲気) において行われる。このように、貫通孔 2 4 と第 1 キャビティ 2 2 a とに同時に導電性ペースト 2 0 7 を充填することで、互いに異なる工程で充填する場合と比べ、工程数が少なくなり、製造に要する時間を短縮することが可能となる。

40

【 0 0 3 2 】

次いで、図 8 (a) に示すように、導電材 3 2 , 3 3 を形成し、カバーフィルム 2 0 4 を除去する。例えば、図 8 (a) に示すように、導電性ペースト 2 0 7 をリフローによって熔融させた後、硬化させて導電材 3 2 , 3 3 を形成する。上記の図 7 (b) において第 1 キャビティ 2 2 a に充填された導電性ペースト 2 0 7 は、熔融及び硬化によって、図 8 (b) に示すように、第 1 キャビティ 2 2 a 内の導電材 3 2 となる。この工程において、第 2 キャビティ 2 2 b の内側面とチップキャパシタ 3 1 との間隔は、第 1 キャビティ 2 2 a の内側面とチップキャパシタ 3 1 との間隔より間隙より狭い。また、第 1 キャビティ 2 2 a の内側面は導電膜 2 3 により覆われている。したがって、熔融した導電性ペースト 2 0 7 は、チップキャパシタ 3 1 の接続端子 3 1 b と第 1 キャビティ 2 2 a の導電膜 2 3 の

50

間にとどまって硬化し、第2キャビティ22bとチップキャパシタ31の間隙には入り込まない。これにより、キャビティ22内に導電性ペースト207を充填しても、その導電性ペースト207を硬化した導電材32による短絡(チップキャパシタ31の2つの接続端子31bの間の短絡)が防止される。

【0033】

次に、図9に示すように、配線層26, 27を形成する。この配線層26, 27は、図8(a)に示す導電層201, 202, 203をエッチング等によりパターンニングして形成される。

【0034】

そして、図10に示すように、コア基板21の表面と配線層26, 27を覆う絶縁層41, 51を形成する。例えば、コア基板21及びチップキャパシタ31の上面と下面のそれぞれを樹脂フィルムにより覆う。樹脂フィルムの材料は、例えばエポキシ樹脂やポリイミド樹脂等の熱硬化性樹脂であり、例えばB-ステージ状態(半硬化状態)のものである。これらの樹脂フィルムを減圧雰囲気にてプレス装置等によりコア基板21の両面に向けて加圧し、加熱することにより樹脂を硬化させ、絶縁層41, 51が形成される。

【0035】

そして、図11に示すように、絶縁層41, 51に、チップキャパシタ31の接続端子31bの表面の一部、配線層26, 27の表面の一部を露出するように開口部41a, 51aを形成する。この開口部41a, 51aの形成には、例えばレーザ加工機を用いる。

【0036】

次に、図12に示すように、ビア43, 44, 53, 54及び配線層42, 52を形成する。ビア43, 44, 53, 54及び配線層42, 52は、例えばセミアディティブ法により形成される。

【0037】

次いで、図13に示すように、レジスト膜61, 62を形成する。レジスト膜61, 62は、絶縁層41, 51と配線層42, 52を例えばエポキシ樹脂系の感光性樹脂フィルムにより覆い、そのフィルムを硬化して形成される。そして、レジスト膜61, 62をパターンニングして開口部61a, 62aを形成し、配線層42, 52の一部を露出して接続パッドP1, P2とする。

【0038】

次に、図14に示すように、接続パッドP1, P2の表面にはんだペーストを塗布し、例えば240~260の温度でリフローして接続端子71, 72を形成する。

そして、図15に示すように、上部の接続端子71に半導体素子12をフリップチップ接合し、アンダーフィル樹脂14を充填する。続いて、半導体素子12の上面にヒートシンク13を固定する。

【0039】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 配線基板11のコア基板21は、上面21aと下面21bの間を貫通するキャビティ22を有している。キャビティ22は、内側面に導電膜23が形成された第1キャビティ22aと、複数の第1キャビティ22aを連通する第2キャビティ22bを備えている。キャビティ22内にはチップキャパシタ31が配設されている。第1キャビティ22aには導電材32が充填されている。導電材32は、チップキャパシタ31の接続端子31bと導電膜23の間に介在され、それらを電氣的に接続する。チップキャパシタ31の接続端子31bは、導電材32によりコア基板21の配線層26, 27(配線26a, 26b, 27a, 27b)と接続されている。そして、配線層26, 27は、配線層52、ビア53等の導電材、接続端子72を介して基板100に接続されている。したがって、チップキャパシタ31の熱は、上記のビア53よりも広い面積にて接続端子31bに接続された導電材32を介して配線層26, 27へ伝達され、配線層27から接続端子72を介して基板100へ伝達される。

【0040】

第1キャビティ22aに充填された導電材32は絶縁性の樹脂に比べて熱伝導性が良い。したがって、チップキャパシタ31の熱は、チップキャパシタ31の接続端子31bに接続されたビア53に加えて、第1キャビティ22aに充填された導電材32を介して配線層26, 27へ伝達する。さらに、配線層52、ビア54等の導電材、接続端子72を介して基板100へ伝達される。したがって、本実施形態の配線基板11は、キャビティに樹脂を充填した配線基板に比べ、内蔵したチップキャパシタ31からの放熱性を向上することができる。

【0041】

(2) チップキャパシタ31を収容するキャビティ22は、チップキャパシタ31の接続端子31bに対応する第1キャビティ22aと、第1キャビティ22aを連通する第2キャビティ22bを有している。第2キャビティ22bの幅、つまり第2キャビティ22bにおいて互いに対向する2つの内側面の間の距離は、チップキャパシタ31の幅に応じて設定されている。したがって、導電材32を形成するために第1キャビティ22aに充填した導電性ペースト207を溶融した際に、その導電性ペースト207は、チップキャパシタ31の接続端子31bと第1キャビティ22aの導電膜23の間にとどまって硬化し、第2キャビティ22bとチップキャパシタ31の間隙には入り込まない。これにより、キャビティ22内に導電性ペースト207を充填しても、その導電性ペースト207を硬化した導電材32による短絡(チップキャパシタ31の2つの接続端子31bの間の短絡)を防止することができる。

【0042】

(3) 第1キャビティ22aの内側面は導電膜23により覆われている。導電膜23の材料は、例えば銅である。なお、第2キャビティ22bの内側面は、導電膜にて覆われておらず、コア基板21が露出している。チップキャパシタ31の接続端子31bと第1キャビティ22aの導電膜23は導電性ペースト207に対する濡れ性が良く、コア基板21が露出した第2キャビティ22bの濡れ性が良くない。したがって、導電材32を形成するために第1キャビティ22aに充填した導電性ペースト207を溶融した際に、その導電性ペースト207は、チップキャパシタ31の接続端子31bと第1キャビティ22aの導電膜23の間にとどまって硬化し、第2キャビティ22bとチップキャパシタ31の間隙には入り込まない。これにより、キャビティ22内に導電性ペースト207を充填しても、その導電性ペースト207を硬化した導電材32による短絡(チップキャパシタ31の2つの接続端子31bの間の短絡)を防止することができる。

【0043】

(4) 製造工程において、コア基板21に第1キャビティ22aを形成し、その第1キャビティ22aの内側面に導電層203を形成する。そして、第1キャビティ22aを第2キャビティ22bにより連通して、チップキャパシタ31を収容するキャビティ22を形成する。これにより、チップキャパシタ31の接続端子31bに対応する導電膜23を有し、チップキャパシタ31の本体31aに対応する第2キャビティ22bに導電膜が形成されていないキャビティ22を容易に形成することができる。

【0044】

尚、上記各実施形態は、以下の態様で実施してもよい。

・高熱伝導材として導電材32を用いたが、他の材料を用いることもできる。例えば、ポリイミド系樹脂、エポキシ系樹脂、シリコン系樹脂などの絶縁性樹脂に、熱伝導率の高い無機材料(例えば、シリカ、アルミナ、窒化ホウ素)のフィラーを混入した樹脂材を用いることができる。なお、金(Au)、銀(Ag)、銅(Cu)、アルミニウム(Al)、ニッケル(Ni)、クロム(Cr)、コバルト(Co)等の金属材料からなるフィラー、金属材料の表面を絶縁材料(例えば樹脂材料)で被覆したフィラーを用いることができる。また、絶縁性の無機材料からなるフィラーを用いることもできる。高熱伝導材の熱伝導率は、コア基板21や絶縁層41, 51に用いられる絶縁材料の熱伝導率より高い。

【0045】

なお、キャビティ22に充填される材料として、処理工程における加熱等において発生

するガス（アウトガス）が少ないものが好ましく、基板のふくれを防止することができる。また、導電材 3 2 の材料として、例えばコア基板 2 1 の熱膨張率（CTE : Coefficient of Thermal Expansion）に応じて、コア基板 2 1 の熱膨張率に近い熱膨張率の材料を用いることが好ましく、体積変化による配線基板 1 1 の反り等を抑制することができる。また、高温領域で分解し難い材料、耐熱性に優れた材料を用いてもよい。また、応力ストレスに強い材料を用いてもよい。

【 0 0 4 6 】

・コア基板 2 1 のキャビティ 2 2 内にチップキャパシタ 3 1 を収容したが、抵抗素子、インダクタ素子、半導体素子（LSI）等の電子部品を搭載するようにしてもよい。

・キャビティ 2 2 内に、2 つの接続端子 3 1 b を有するチップキャパシタ 3 1 を収容したが、3 つ以上の接続端子を有する電子部品を収容してもよい。

10

【 0 0 4 7 】

・上記実施形態に対し、スルーホール 2 5 に充填する導電材 3 3 の材料を、第 1 キャビティ 2 2 a に充填する導電材の材料と異なるものとしてもよい。また、スルーホール 2 5 内の導電材 3 3 を、銅めっき等のめっき金属としてもよい。

【 0 0 4 8 】

・上記実施形態に対し、スルーホール 2 5 内に絶縁性の樹脂を充填してもよい。この場合、図 1（a）では、ビア 4 4，5 4 を配線層 2 6，2 7 に接続する。

・チップキャパシタ 3 1 の接続端子 3 1 b と対向する内側面に導電膜 2 3 が形成され、接続端子 3 1 b の間と対向する内側面に導電膜が形成されていないキャビティであれば、キャビティの形状は適宜変更可能である。例えば、キャビティの形状を平面視略矩形状に形成してもよい。

20

【 0 0 4 9 】

・図 1（a）に示した、コア基板 2 1 の上面 2 1 a 側の配線層及び絶縁層の層数は一例であり、適宜変更してもよい。同様に、コア基板 2 1 の下面 2 1 b 側の配線層及び絶縁層の層数を適宜変更してもよい。

【符号の説明】

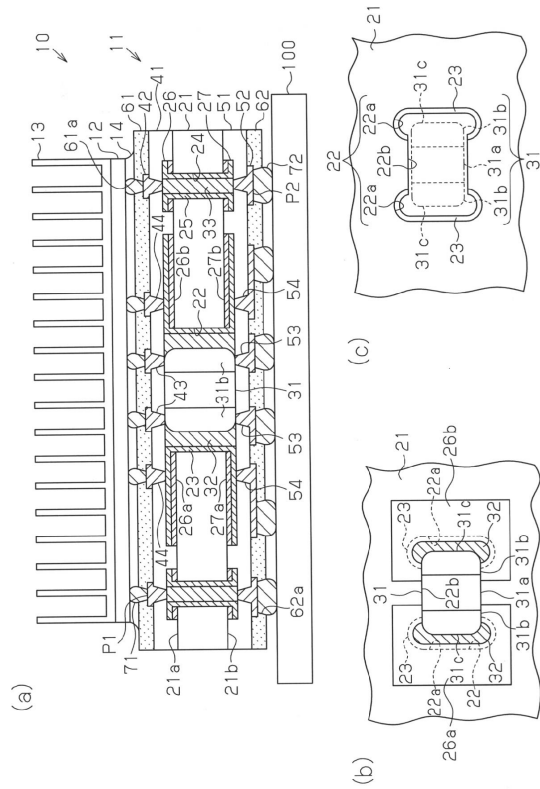
【 0 0 5 0 】

- 1 1 配線基板
- 1 2 半導体素子（第 2 の電子部品）
- 2 1 コア基板
- 2 1 a 上面（第 1 面）
- 2 1 b 下面（第 2 面）
- 2 2 キャビティ（収容孔）
- 2 2 a 第 1 キャビティ（第 1 収容孔）
- 2 2 b 第 2 キャビティ（第 2 収容孔）
- 2 3 導電膜
- 2 6 配線層（第 1 配線層）
- 2 7 配線層（第 2 配線層）
- 3 1 チップキャパシタ（電子部品）
- 3 1 a 本体
- 3 1 b 接続端子
- 3 2 導電材（熱伝導材）

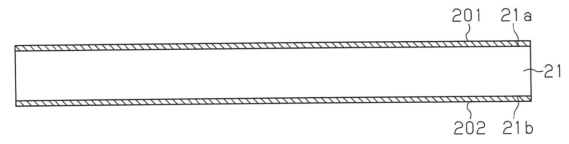
30

40

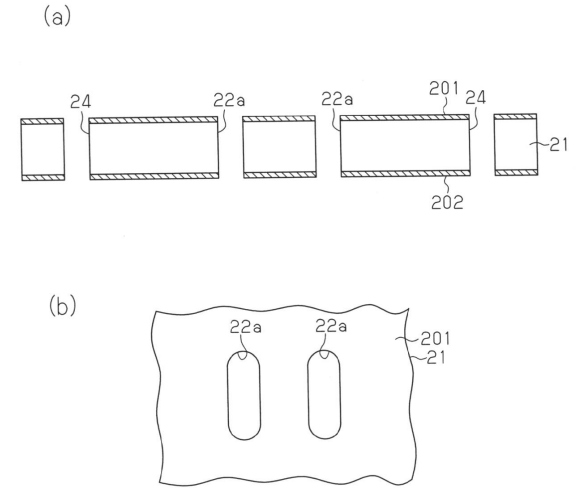
【図 1】



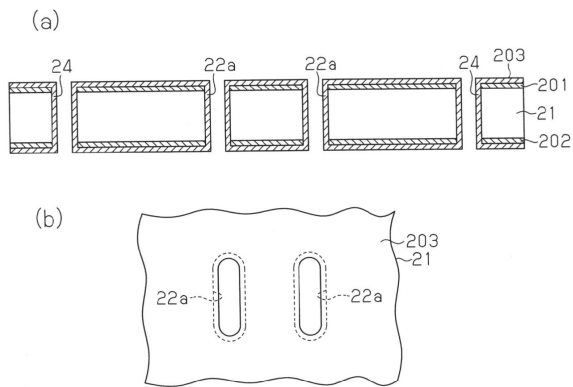
【図 2】



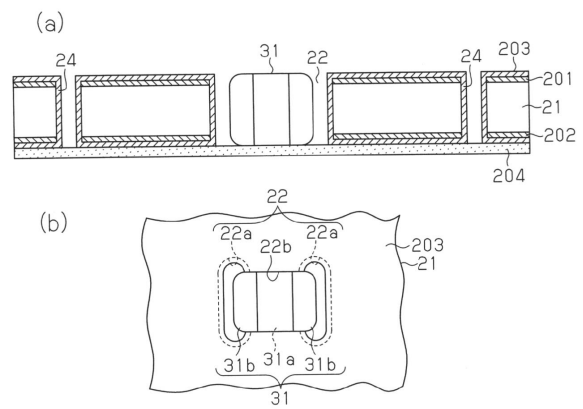
【図 3】



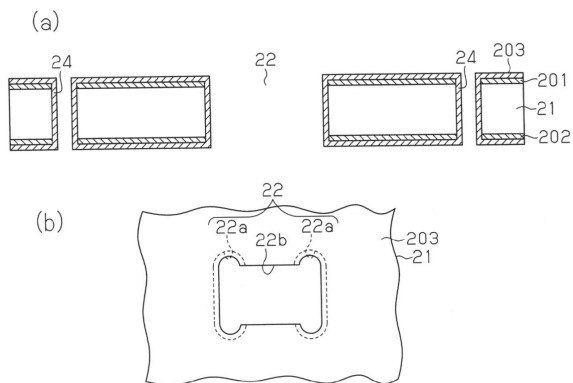
【図 4】



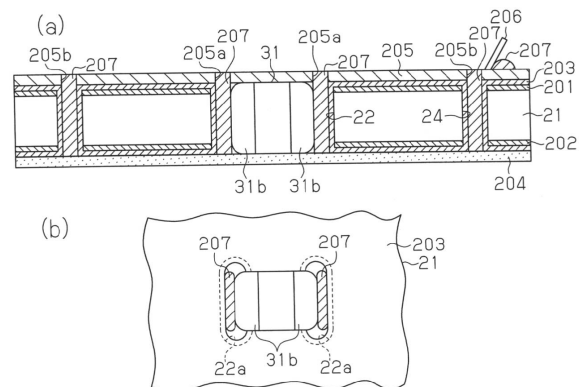
【図 6】



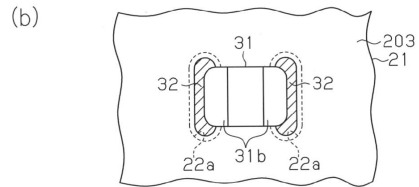
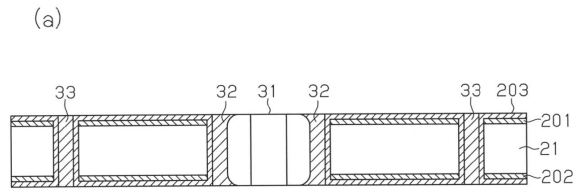
【図 5】



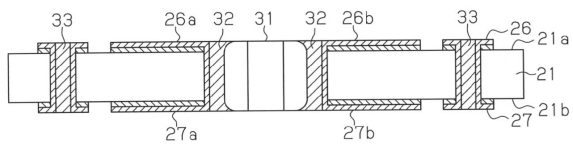
【図 7】



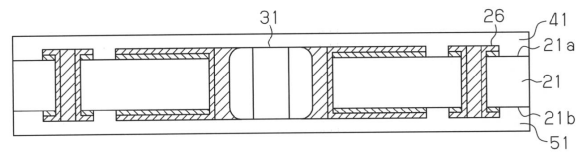
【図 8】



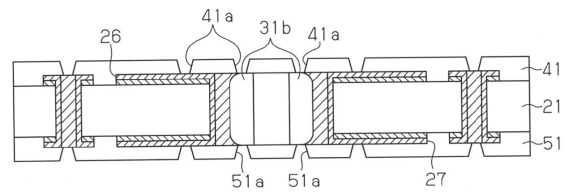
【図 9】



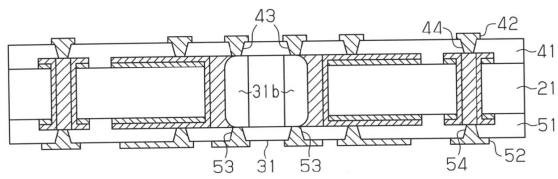
【図 10】



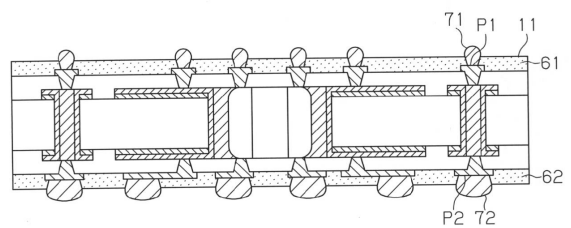
【図 11】



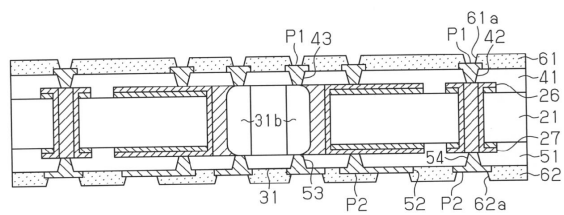
【図 12】



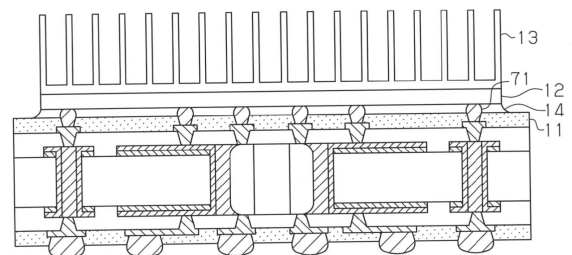
【図 14】



【図 13】



【図 15】



フロントページの続き

(56)参考文献 特開 2 0 1 3 - 2 1 1 4 8 0 (J P , A)
特開 2 0 1 4 - 1 1 0 4 2 3 (J P , A)
特開 2 0 1 3 - 0 8 4 6 9 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 5 K 3 / 4 6