

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H03F 3/26

H03F 1/52

[12] 发明专利申请公开说明书

[21] 申请号 99124444.3

[43]公开日 2000年6月7日

[11]公开号 CN 1255779A

[22]申请日 1999.11.18 [21]申请号 99124444.3

[30]优先权

[32]1998.11.18 [33]US [31]60/108,942

[71]申请人 英特赛尔公司

地址 美国佛罗里达

[72]发明人 斯图尔特·浦林

哈罗德·维特林格

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

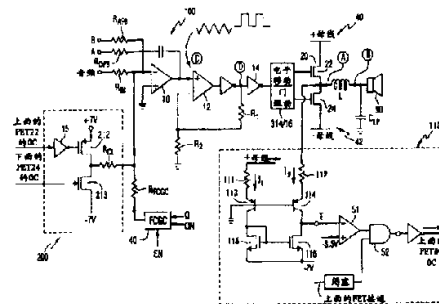
代理人 罗亚川

权利要求书 3 页 说明书 9 页 附图页数 5 页

[54]发明名称 D类具有峰值电流限制及负载阻抗检测电路的调制器

[57]摘要

OCL200 接收两个逻辑信号;一个是上面的 FET 的 OC,当 FET22 中有过载电流时,上面的 FET 的 OC 高;另一个是下面的 FET 的 OC,当 FET24 中有过载电流时,下面的 FET 的 OC 高。当 FET22 中有过载电流时,PMOS212 接通,通过 R_d 向积分器 10 注入电流。其结果是断开上面的 FET22,接通下面的 FET24。这就减少 FET22 中的电流。对于放大器 100 来说,结果是增益压缩。因为上面的 FET22 开时少,下面的 FET24 开时多,音频信号的增益减少了。



ISSN 1008-4274

权 利 要 求 书

1、包含一个桥电路的 D 类放大器、一个由自振荡脉宽调制器和一个与积分器输出连接的比较器组成的过载电流限制电路，自振荡脉宽调制器包括一个具有反馈的积分器，反馈来自放大器的输出，一个在调制器与 MOSFET 桥电路之间连接的桥门驱动电路，MOSFET 桥电路用于在桥电路中控制 MOSFET 桥，特征在于：桥电路连接在高低电压线之间并且至少由两个彼此串联连接的 MOSFET 组成；负载阻抗与桥电路的输出相连；在两个 MOSFET 中检测过载电流的装置；过载电流限制装置，用于检测 MOSFET 中的过载电流，以及在检测到电流过载时减少放大器的增益，从而减少输出电流，直到峰值电流减少到预定义值。

2、如权利要求 1 所述的 D 类放大器，特征还在于过载电流限制装置由一个或多个电流源组成，电流源可以增加或分流积分器的电流，以便当任何 MOSFET 的电流大于电流限制的阈值时，减少积分器的有效输入电流，电流源由一对与一个电阻连接的晶体管组成，电阻与 D 类放大器的积分器连接，逻辑电路与晶体管的控制端连接，这样可以选择一个晶体管给积分器增加电流或抽出流。

3、如权利要求 2 所述的 D 类放大器，特征还在于逻辑装置由两个装置组成，其一是检测桥电路中电流的装置，其二是将检测到的电流与一个参考值相比较，从而产生表示电流过载的逻辑信号，包括一个低阻抗检测电路，用来检测电阻与晶体管连接处的占空因数，并产生一个表示负载阻抗的信号。

4、如权利要求 3 中所述的 D 类放大器，特征还在于低阻抗晶体管由一个低通滤波器，四个比较器，每一个比较器都由不同的参考值，用来区分低负载和短路并在短路时立即断开放大器的短路电路，与负载检测电阻连接的超时电容，它在断开放大器前给超时电容充一定的电。



5、如权利要求 2 所述的 D 类放大器，特征还在于过载电流限制装置由一端与电源连接，另一端与积分器连接和一个与该装置连接的控制端的晶体管组成，用来检测 MOSFET 中的过载电流。

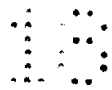
6、如权利要求 2 所述的 D 类放大器，特征还在于提供正负电源，过载电流限制装置由两个晶体管组成，第一个晶体管与正电源连接，正电源提供一个控制端与一个 MOSFET 连接；第二个晶体管与负电源连接，负电源提供一个控制端与另一个 MOSFET 连接。

7、如权利要求 1 所述的 D 类放大器，特征还在于用于检测 MOSFET 上的电压降的装置由两个转换电路组成，第一个转换电路将 MOSFET 上的电压降转换成代表 MOSFET 上的电压的电流信号，因此这个转换电路有一个表示电压的电流输出信号；第二个转换电路将至少两个 MOSFET 上另一个的电压降转换成代表另一个 MOSFET 上的电压降的电流信号，所述第二转换电路具有代表流经所述另一个 MOSFET 的电流的输出信号。

8、如权利要求 1 所述的 D 类放大器，特征还在于低阻抗电流限制装置与过载电流限制装置连接，当负载低于第一个阈值时，门驱动器迅速禁止 MOSFET 的门驱动，这里，低阻抗电流限制装置包括延时装置，用于将这种对 MOSFET 的门的驱动保持到负载降到第二个阈值后的一段延时之后，延时由延时装置设置。

9、如权利要求 8 所述的 D 类放大器，特征还在于过载电流限制装置产生一个过载电流限制信号，低阻抗电流限制装置包括一个低通滤波器，低通滤波器通过一个代表负载的振幅将过载电流限制信号转换成低阻抗电流限制信号，当超出第一个阻抗阈值时，信号被送到 MOSFET 的驱动器。

10、如权利要求 8 中所述的 D 类放大器，其中低阻抗电流限制装置包括一个与 OCL200 连接的低通滤波器，一个与低通滤波器以及不同的参考阈值连接的多个比较器，一个锁存器，用于当超过第一个负载阻抗阈值时，迅速终止 MOSFET 的门驱动器的操作，



该锁存器包括一个电流源和一个在比较器与锁存器之间连接的电容，当负载阻抗超过第二个阈值时，该电容锁存器延迟操作一段时间，延迟时间由电容设置。

D类具有峰值电流限制及负载阻抗检测电路的调制器

这项发明实现了在 D 类自振荡可变频率放大器中有源电流限制的技术，并能检测负载电阻并采取相应措施。当扬声器中阻抗异常低时，放大器开始限制电流，并在输出短路时断开。

大多数晶体管放大器不是 A 类、B 类就是 AB 类。输出晶体管通常是工作在线性范围内的双极晶体管，通过使用与输出晶体管串联的传感电阻，对输出电流产生成比例的电压，来限制电流。当电压过高时，输出晶体管的基极电流就被限制了，这样就能将输出晶体管的电流限制在安全范围内。在输出 MOSFET 上，使用 MOSFET 的线性放大器采用相似的电路限制输出 MOSFET 的门电压，以便限制输出电流。这种方式不适用于 D 类放大器，因为 MOSFET 不是截止的就是饱和的。传统的解决方案使用过载电流锁住 (latch off)，不能限制电流。在这种解决方案中传感电阻与 MOSFET 串联。当加在传感电阻上的电压过高时，放大器断开。这种方案的不足是扬声器的阻抗随着频率而变，这样它在某种频率值时足够低时断开放大器。

用一个独立于音频环路的单独控制环路来调整输出电流是可能的，第二环路的目的在于，当电流过大时，取代主控环路。这种方式的不足是，因为时延而需要稳定（时延是为了过滤掉加载到传感电阻上的电压而引起的），这既难于实现又昂贵，传感电阻上的电压是为了消除由于切换转换而引起的噪声。

当扬声器阻抗低于某一安全值时或终端用户将多个扬声器并在一起时，一种较好的解决办法将能限制电流，并在输出短路时断开放大器。在断开之前还需要一些过滤措施，这样当输出只是瞬间短路时，就不会断开放大器。这种解决方式使得无益断开情况减少到最小，完全保护了放大器。

这项发明就实现了这种保护机制，电流限制是逐步引入的，以便电流限幅是缓慢的。它将产生更少的高序谐波，提高音乐质量，同时仍然提供完全输出保护。

这项发明在各种自振荡频率 D 类调制器（例如，在我的另一个共同未决的只作为参考的专利申请 Serial No.09/183/453，1998/8/30 申请，Atty.Docket No.87552.98R256）中提供了一种简单而又容易的办法实现了电流限制。

我的另一个共同未决的作为参考的专利申请（Serial No.09/183/453，1998/8/30 申请，Atty.Docket No.87552.98R256）中描述了一种检测 MOSFET 的峰值电流，然后产生一逻辑信号，表示电流过载。只要 MOSFET 的峰值电流超出当前阈值，这个检测电路就产生一逻辑信号。这样通常与模拟电流限制电路相关的延时就被消除，新电路很容易稳定。本项发明最好应用于本申请中描述的检测电路，但它也可以工作于任何电路，例如，图 1 的电路 110 及图 5 的电路，只要电路在 MOSFET 输出电流过大时能产生一逻辑信号即可。

因为不希望电流限制达到完全短路，这项发明还包含一负载阻抗晶体管，当负载阻抗低于安全值时，放大器立即断开。

图 1 是具有有源电流限制的自振荡的可变频率的 D 类放大器简图

图 2 是软限幅 (2A) 与硬限幅 (2B) 波形的比较

图 3 是频率及增益控制电路简图

图 4 是低阻抗检测电路简图，用于检测 D 类放大器输出是否已经完全短路

图 5 是用于当电流超过极限时产生一逻辑信号的电路简图

图 1 显示了一个 D 类调制器 100，它包括一个积分器 10，一个比较器 12，一个半桥 20 及输出扬声器 30。积分器有一个经过输入电阻 R_{IN} 的音频输入。它具有一个通过电阻 R_{DPB} 的数字反馈输入 A 及一个通过电阻 R_{APB} 的模拟反馈输入 B。模拟或数字反馈信号

A, B 分别来自桥电路 20 及低通滤波器的输出, 低通滤波器由电感器 L 及电容 C_{LP} 组成。为便于理解, 让我们只注意数字输出 A 并假设无音频输入, 输出是一脉宽调制信号, 脉宽调制信号用于积分器 10, 它影响积分器 10 的输出, 并使结点 C 产生一个锯齿形类型的信号。结点 C 是比较器 12 的一个输入。比较器 12 的输出是一个调制信号 D 的脉冲。脉宽与所使用的音频信号的振幅成比例。来自结点 D 的相应音频反馈有助于校准 D 类放大器的所有操作。图 3 的 D 类放大器在删除不同的振荡器并调整电路, 以便为脉宽调制提供采样脉冲方面有优势。

在这种情况下, A 点的输出是一个有 50% 占空比的方波, 当方波高时, 电流流经 R_{DFB} , 进入积分器 10 的相加结点。它的输出呈斜坡状下降, 直到比较器 12 的负阈值。R1, R2 用于增加比较器 12 的滞后 (hysteresis)。这些电阻可用于调节比较器的正负阈值。当比较器 12 的输出降低时, 上面的 FET22 断开, 经过一段短延时后, 下面的 FET 接通。方波变低了, 电流经 R_{DFB} 流出积分器 10 的求和结点。积分器 10 的输出反向, 呈斜坡状上升, 直到它达到比较器 12 的正阈值。这一信号使下面的 FET24 断开, 经过一段短延时, 上面的 FET22 接通。方波变高, 上述过程如此反复, 又进入一新的循环。没有音频信号时, A 点的输出是一个 50% 的方波, 积分器 (10) 的输出是一个三角波。

半桥 20 包括两个 NMOS FET22、24, 均串联在高压 40 (+60 伏) 及低压 42 (-60 伏) 之间。门驱动器 (gate driver) 314 和电平移动器 16 控制着 FET22、24 的操作。两个串联 MOSFET 的输出连接到由电感 26 和电容 28 组成的低通滤波器。低通滤波器将桥 20 的数字输出转变成音频输出, 驱动负载扬声器 30。

频率和增益控制电路 (FCGC) 40 有 Q 和 QN 两个输入。信号 Q 代表比较器 12 的输出状态; QN 是 Q 的反相 (inverse)。这样, Q 可高可低, FCGC 电路 40 的输出连接到电阻 R_{FCGC} 并经电阻 R_{FCGC} 流向积分器 (10)。FCGC 电路 40 包括电流源、电容、

反相器以测量每个 Q 与 QN 的间隔，如果信号 Q 或 QN 的间隔超过预先定义的时间窗，一般来说 7.5ms，FCGC 电路将吸收放大器 10 的电流或向放大器 10 注入电流。当 Q、QN 超过预先定义的时间窗，表明积分器 10 饱和，输出电压达到最大。除非这种情况被很快修复，否则听者就能感觉到与音频输出限幅有关的人为的音频。图 2 B 是一个典型的限幅音频输出，现有技术的放大器的输出 V_{OHC} 在达到最大输出 V_{MAX} 时被截断。为了防止限幅及切换频率低于 100KHZ，FCGC 电路 40 增加或减少进入积分器 10 的电流，以便迅速变换比较器 12 的状态。这样一来，如果比较器 12 的输出是 Q，积分器 10 上将增加电流以便将比较器切换到 QN。同样，如果比较器 12 的输出是 QN 或更低，减少积分器 10 的电流，以便将比较器 12 迅速切换到 Q 或更高的输出。

如果比较器的状态保持至少 7.5ms 不变。很可能因为积分器 10 快饱和了，将产生图 2B 所示的限幅输出。为了防止产生限幅，FCGC 电路 40 向积分器 10 注入或从中抽取一部分电流，以便迅速切换比较器的状态。这样一来，如果比较器 12 的输出是 Q，积分器 10 上将增加电流以便将比较器切换到 QN。同样，如果比较器 12 的输出是 QN 或更低，减少积分器 10 上的电流，以便将比较器 12 迅速切换到 Q 或更高的输出。

FCGC 电路 40 通过增加或减少流入积分器 10 的电流，有效地改变放大器 100 的增益，这种现象被称为增益压缩。导致了被称为软限幅信号的修正输出信号。图 2A 是一个具有垂直坐标轴 (V_{osc}) 的典型的软限幅信号。当信号上升到最大值 V_{MAX} 时，输出 V_{osc} 逐渐变尖，这种逐渐变尖与图 2B 所示的硬限幅输入波形迥然不同，因为增益减小了，积分器 10 永不会饱和。作为进一步的结果，放大器 100 的采样频率也自动被补偿以保持在音频频率之上。例如，本发明的一个实施方式中，放大器 100 对于一个将近 100 瓦的最大输出，保持采样频率不小于 125KHZ。结果在 FCGC 电路 40 所采样的时间相对应的阈值之上，放大器 100 连续地逐渐

减少增益，以防止输出信号被硬限幅，并将比较器的采样频率维持在肯定高于输入音频信号的频率之上。

图 3 显示了 FCGC 电路 40 的详细情况，下面就子电路 41，解释比较器 12 已经将信号 Q 高保持了至少 7.5ms 之后，电路将如何操作。熟练的技术人员都知道子电路 42 完全等同于子电路 41，并补偿 QN。

NMOS 晶体管 412、414 提供了一个持续的电流源，该电流源可以不断地寻求机会给电容 C1 放电，电容 C1 示典型的 5 皮法电容。PMOS 晶体管 410 在典型的 +7 伏与高压供电线 V_{DD} 连接。晶体管 410 的另一端与电容 C1 连接，将 EN 信号加到晶体管 416 即启动了电路 41。当 Q 降低时，PMOS 晶体管 410 接通，晶体管 410 开始给电容 C1 充电，充电时间由晶体管 410、412、414 的相对大小决定。较好的实施方式是按大小选择 410、412、414，以便电容 C1 的电容相当于时间上是 7.5ms 的电容。快充满时，由晶体管 420、422、424、426 组成的反相器的阈值被激活，被激活的反相器接通 PMOS 晶体管 430，因此将输出软限幅信号 V_{SC} 与 +7 伏的高压供电线 V_{DD} 连接。+7Volts 用于电阻 R_{FCGC} ，以便增加积分器 10 的电流。这将改变比较器 12 的状态。

当 QN 持续低达 7.5ms 以上时，子电路 42 执行一种切换比较器 12 的类似功能，晶体管 452、454 提供电流源以给电容 C2 放电；晶体管 452、454 一端以 -7 伏连接到低供电线 V_{EE} ，另一端连接到电容 C2 的端；晶体管 450 在高供电线 V_{DD} 与电容 C2 之间连接；晶体管 450、452、454 这样决定大小：当 450 接通时，用将近 7.5ms 给 C2 充电，C2 充电时，由 C460、C462 组成的反相器的阈值被触发，这样接通晶体管 470 并将输出 V_{SC} 与 -7 伏的低压供电线 V_E 连接。

电流检测电路 110 上面的 FET 包括两个电阻 111 及 112，两个 PnP 晶体管 113、114 及一个电流反射镜 115、116（这在我的另一个共同未决的作为参考的专利申请 Serial No.09/183/453，1998/8/30

申请, Atty.Docket No.87552.98R256 中有描述)。电阻 111 及 112 将把桥 20 内的高电压转换成相应的电流。例如, $I_1=(+bus - V_{be})/R_{111}$; 当上面的 FET 接通时, $I_1=(+bus - V_{be} - V_{on})/R_{112}$ 。其中 V_{be} 时 pnp 基极-发射极结上的电压降, V_{on} 时 MOSFET22 上的压降。R111、R112 分别是电阻 111、112 的电阻值。电流反射镜, MOSFET115、116 比较 I_1 和 I_2 。如果 I_2 大于 I_1 , 那么 T 点电压就高, 否则就低。电阻 112 要小于 R111, 这样正常操作情况下, 当 FET22 接通时, I_2 比 I_1 大并且 A 点电压高。在过大电流时间期间, FET22 间的压降 V_{on} 很高, 使得 I_2 小于 I_1 且 T 点电压保持在低。电阻 R111、R112 的比值设置过载电流阈值。在一种实施方式中, 电阻 112 几乎是 R111 的值的 85%, 并且 FET 的 R_{DSON} 为 180mohms。

为使这电路具有探测过载电流的功能, 需要闭塞。正常操作情况下, 只当 FET22 接通且 FET22 内的电流小于过载电流阈值时, T 点电压为高。上面的 FET 闭塞电路允许 FET22 接通且在作出任何涉及过载电流的决定之前, T 点升高。输出信号 T 可以与参考电压 - 3.5V 相比。上面的 FET 开始接通时, 会有一个 300ns 的闭塞脉冲开始, 如果在闭塞脉冲结束之前, T 点没有升高, 那么非门 52 的输出将降低并且上面 FET 的信号 OC 升高。这将给 FET22 发一个过载电流信号, 桥可断开。或采取其他措施降低电流, 本电路优势在于去掉了给芯片高压总线的需要, 另外, 还可以保护上、下面的 FET。

熟练的技术人员都知道电流探测电路上的相应低 FET (未给出) 及一个下面的 FET 闭塞电路能提供信号下面的 FET 的信号 OC。

过载电流限制 (OCL) 电路 200 有晶体管 213、212、反相器 15 及电阻 R_{cl} 。象上面所描述的一样, 调制器 100 的增益通过对流经积分器 10 的相加结点的电流进行控制而被压缩。OCL 电路 200 使用这种技术限制电流。音频信号被 R_{in} 转换成电流, 然后施加到

积分器的相加结点。通过减小流入或流出积分器相加结点的有效电流实现增益压缩。限流元件 213、215、15 及 R_{C1} 可与任何过载电流探测电路配合以减小有效输入电流，这样就减小了放大器的增益及电流。

OCL200 接收两个逻辑信号，一个是上面的 FET 的 OC，当上面的 FET22 内有过载电流条件存在时，上面的 FET 的 OC 就高；另一个是下面的 FET 的 OC，当下面的 FET24 内有过载电流条件存在时，下面的 FET 的 OC 就高。

当 FET22 内有过载电流条件时，PMOS212 将接通并经 R_{C1} 注入流入积分器 10 的相加结点的电流。最终结果时断开上面的 FET22，接通下面的 FET24。这就降低了 FET22 内的电流。就放大器 100 而言，最终效果时增益压缩。因为上面的 FET22 接通时间短，下面的 FET 接通时间长，音频信号的增益降低。这项技术可调整 MOSFET 内的峰值电流。当 FET24 内有过载电流条件时，NMOS213 接通，分出相加结点内的电流，断开下面的 FET24，接通上面的 FET22，最终结果是减少了下面的 FET 的电流。对于音频来说，增益降低了。

与现有的中断电路技术相比。OCL 电路 200 有显著优势：

1. OCL 电路 200 很快。反馈是数字式的，因此不需要对音频输出滤波，并且有很少延时或没有延时。因为在输出滤波前就进行反馈了，滤波延时就不是一个问题。如果在低通滤波之后产生 OC 电流，这项技术将不起作用。相移将不可避免地导致正反馈。

2. OCL 电路 200 很容易稳定。相比较来说，经滤波的模拟反馈环路固有的延迟使系统很难稳定。

3. OCL 电路 200 逐渐减小放大器 100 的增益。导致软限幅且删除了不想要的由硬限幅引起的人为的音频。

4. 扬声器 30 的阻抗常常低于 DC 额定值。因此具有过载电流锁住电路的音频放大器易于发生故障。限流装置使故障不可能发生。

图 4 忽略了探测电路 100, 这样便于描述低阻抗控制 LIC300 的操作流程。通过增加快速锁住功能, LIC300 改进了图 1 的电路设计。熟练的技术人员都知道探测电路 100 或另一个探测电路, 比如图 5 所示, 是提供必要的逻辑信号上面的 FET 的 OC 及下面的 FET 的 OC 所必需的。在音频放大器中, 很有必要区分低阻抗扬声器和短路两种情况。前者也需要电流限制, 简单的说, 就是需要一个过载电流锁存器。否则, 放大器将不得不困难地运作, 来避免短路。这将导致过早的失败且过多的加热。阻抗很低的情况下 (小于标称值的 $1/4$), 就很有必要立即断开放大器。图 4 中的电路在 L 点检测占空比, 用来判断负载阻抗。当放大器没有限流时, 点 L 是三态的。这样, 它的电压就与必须接近地电压的积分器相加结点之间的电压几乎一样。

LIC 控制电路 300 在点 L 检测占空比, 占空比与负载电流成比例。这样, 它可用于负载阻抗的测量。当阻抗 (由电流衡量) 低于可接受的限值时, 放大器立即断开。这种快速过载电流锁住特性保障放大器不完全短路。

当在 FET22 中由过载电流时, 点 L 发起的脉冲是从 +7 到 0。因为需要更多的增益压缩来完成电流限制, 这种脉冲的占空因数 (duty cycle) 随着负载阻抗的下降而增加。在一个低通滤波器 302 之后, 点 M 的模拟信号被送入比较器 303 及 305 的输入端。如果这个信号大于 1V, 意味着放大器 100 有轻微负载, 门 307 的输出较低, PMOS312 处于接通状态。电流源开始对超时 (time out) 电容器充电, 当电容上电压达到 5V 时, 翻转比较器 315, 过载电路锁存器 320 被设置。这样, 在较轻负载期间, 锁存器被设置之前及放大器断开之前的一段超时时间, 放大器必须在电流限制状态内。如果负载阻抗很低, M 点电压将超过 4V, 翻转比较器 305, 这会立即设置锁存器 320。

当在 FET24 中有过载电流时, 点 L 发起的脉冲是从 -7 到 0。因为需要更多的增益压缩来完成电流限制, 这种脉冲的占空因数随

着负载阻抗的下降而增加。在一个低通滤波之后，点 M 的模拟信号被送入比较器 304 及 306 的输入。如果这个信号小于 $-1V$ ，意味着放大器 100 负载轻微。门 307 输出较低，PMOS 312 处于接通状态。电流源开始给超时电容器充电，当电容上电压达到 $5V$ 时，翻转比较器 315，过载电路锁存器被设置。这样，在较轻负载期间，锁存器设置之前，放大器必须在超时期间处于电流限制状态。如果负载阻抗很低，M 点电压将小于 $-4V$ 并翻转比较器 306，这会立即设置锁存器，断开放大器。

当用于设置检测低负载阻抗还是短路的阈值时， R_{cl} 与 R_{in} 的比值很重要。如果 R_{cl} 被选为在最大音频输入信号中它的电流值大于 R_{in} 的，这样，快速过载电流锁住将永远不会参与进来，因为 L 点的占空因数能限制电流。放大器就会总是进入电流限制，这时人们不愿看到的，因为最大输出电流将被送入短路状态。 R_{cl} 被选为不能提供 R_{in} 提供的高电流。这种方式下，L 点的占空因数将随着负载阻抗的降低而迅速增加，会更早地激发快速过载电流锁住。

OCL200 接收两个逻辑信号，一个是上面的 FET 的 OC。当在 FET22 中过载电流条件存在时，上面的 FET 的 OC 高；另一个是下面的 FET 的 OC，当在 FET22 中过载电流条件存在时，下面的 FET 的 OC 高。当 FET22 中有过载电流时，PMOS 212 接通并通过 R_{cl} 向积分器 10 注入电流。其净结果是断开 FET22，接通下面的 FET24。这会减少 FET22 中的电流。就放大器 100 而言，最终结果是增益压缩。因为 FET22 接通时少，下面的 FET24 接通时多，音频信号增益减小。当 FET24 中有过载电流条件时，NMOS 213 接通并从相加结点抽取。断开下面的 FET24，接通上面的 FET22。其结果减少了下面的 FET24 中的电流。在音频的情况下，增益减小。

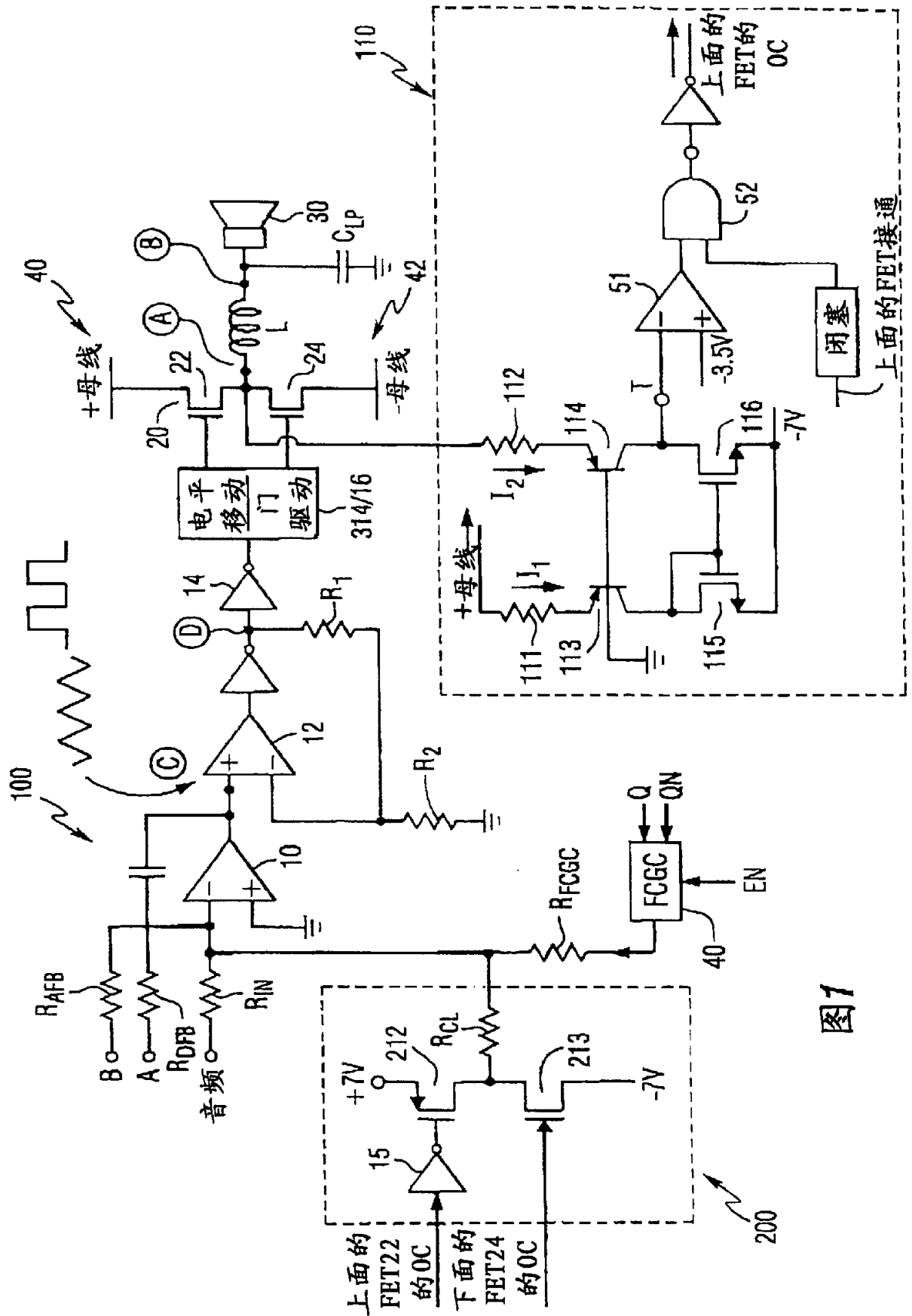


图1

软限幅

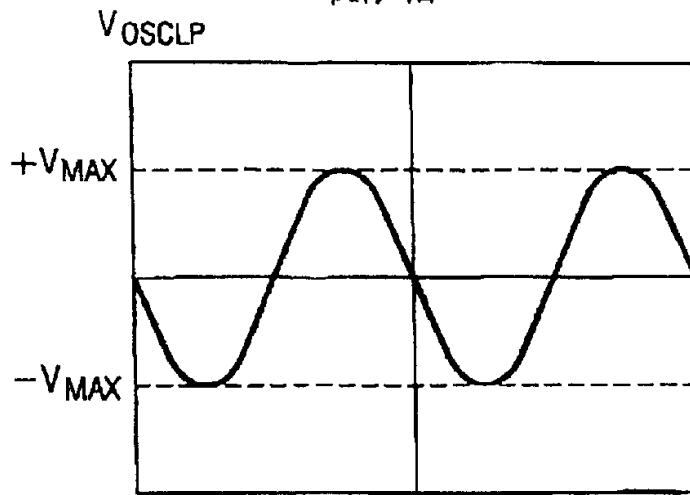


图2a

没有软限幅

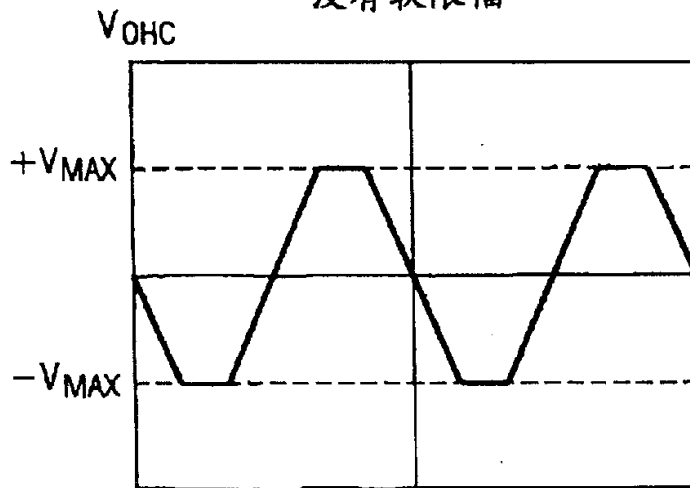


图2b

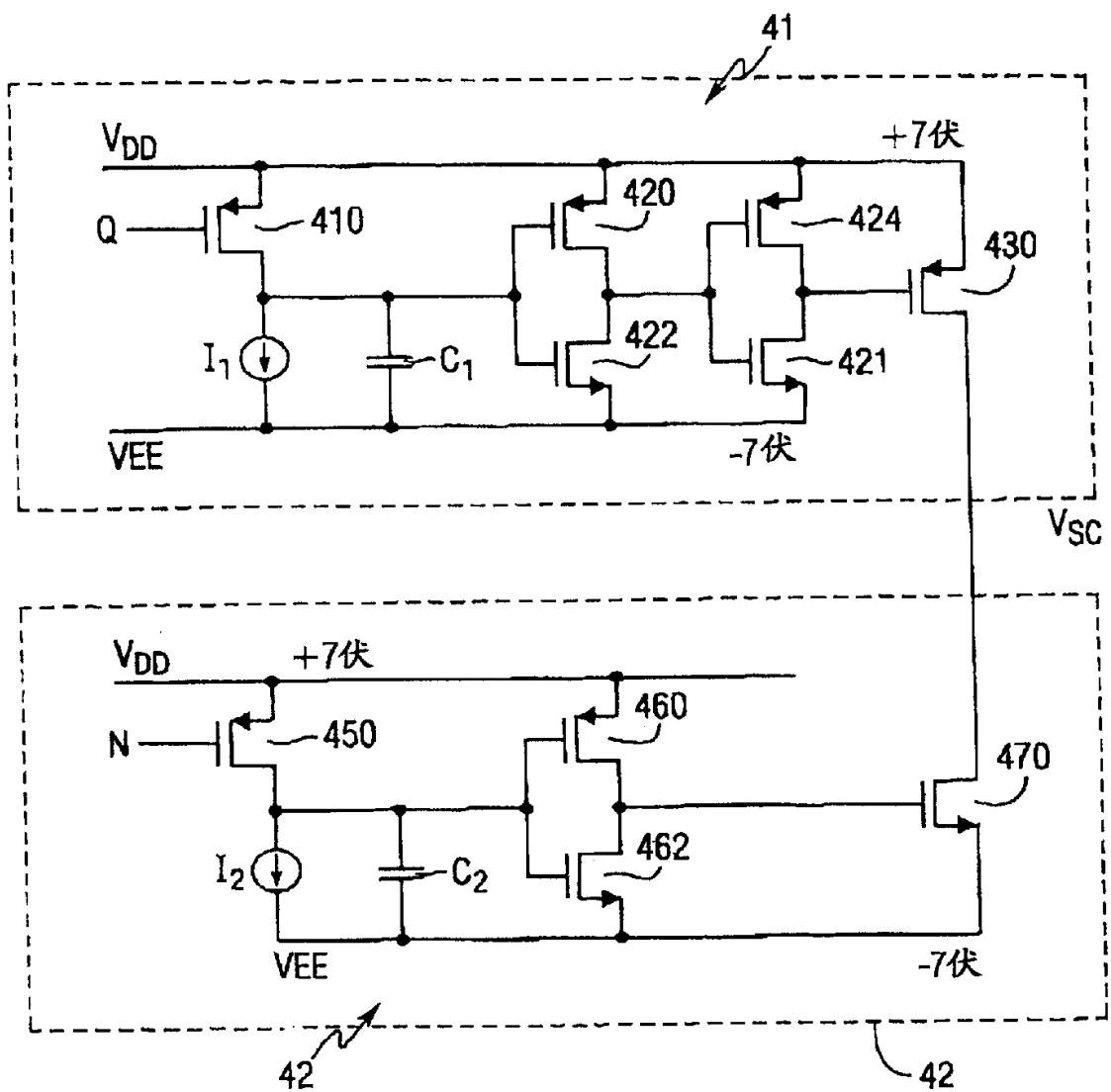


图3

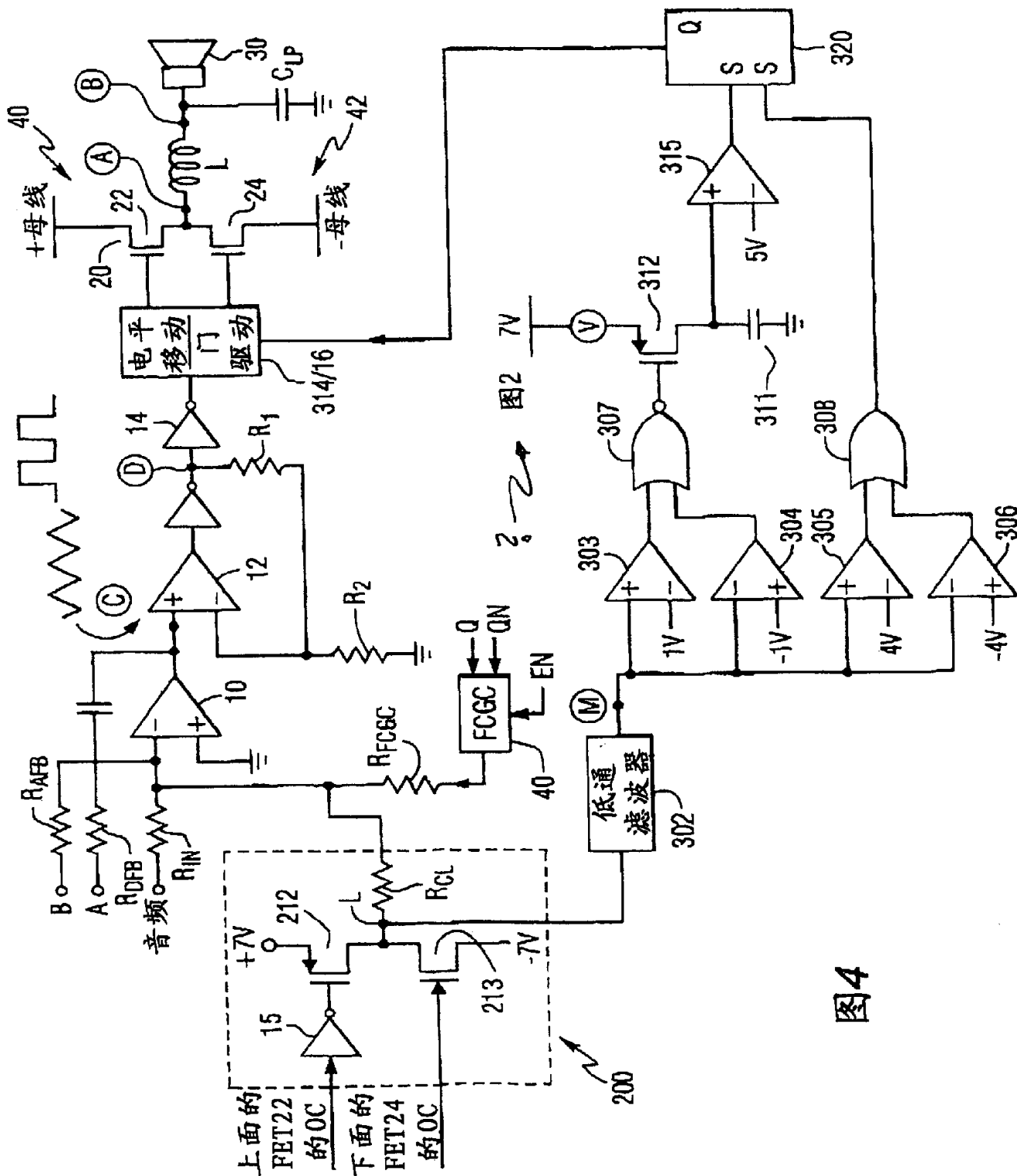


图4

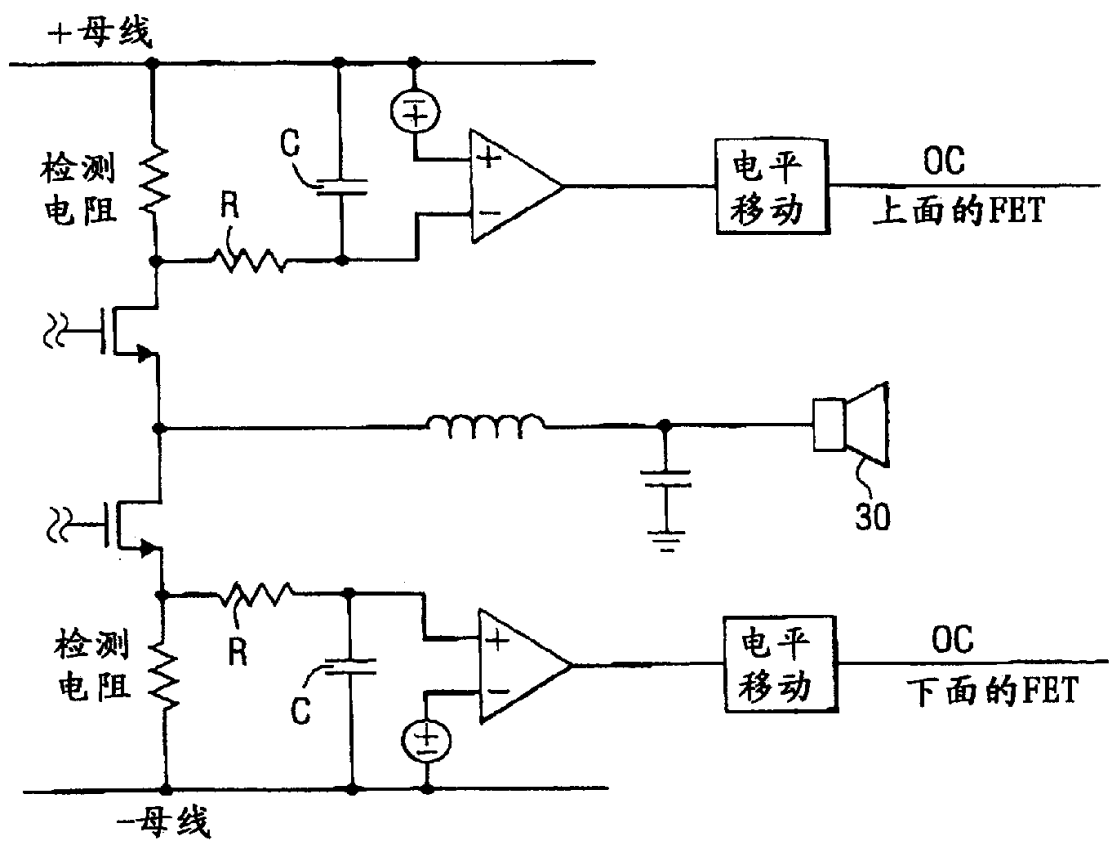


图5