[19]中华人民共和国专利局

[51]Int.Cl[6]
H02M 1/08
H02M 9/04

[12]发明专利说明书

[21] ZL 专利号 94117198.1

[45]授权公告日 1997 年 1 月 8 日

[11] 授权公告号 CN 1033774C

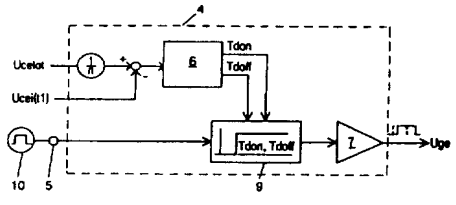
[22]申请日 94.10.21 [24]颁证日 96.10.12
[21]申请号 94117198.1
[30]优先权
[32]93.10.21[33]DE[31]P4335857.8
[73]专利权人 ABB管理有限公司
地址 瑞士巴登
[72]发明人 C·杰斯特 R·舍布
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 傅 康 马铁良
审查员 陈钰生

权利要求书 3 页 说明书 9 页 附图页数 6 页

[54]发明名称 电子功率变流器电路结构及其驱动的方法

[57]摘要

一种驱动功率半导体开关管的串联电路的方法及装置中，利用对串联电路中每个开关管上的电压进行测量，作为控制变量，并将被测量电压用来改变开关时刻，即在开关时使所有开关管的加载电压基本相等，由此使串联电路中每个开关管的加载电压均衡。此外，在阻塞状态中的控制电压电平可以借助于被测量电压受调整，即使得各开关管的阻塞电压基本相等。本发明的优点为：不但在开关时而且在阻塞状态中各个半导体元件的加载电压均能保持均衡。



权 利 要 求 书

1. 一种驱动电子功率变流器电路的方法，

所述电路结构包括 n 个串联连接的功率半导体开关管，这些功率半导体开关管的每一个可通过施加于栅极的控制电压在任意开通及关断时刻重复地被开通及关断，并由此能呈现“导通”及“阻塞”状态，

所述方法中，各个功率半导体开关管的加载电压是利用控制各个功率半导体开关管的关断时刻来均衡的，

其特征在于，

a）在每个开关管上的开关电压作为控制变量被检测，

b）开关管的开关时刻借助于被检测电压这样来确定，即在开关时使 所有的开关管的加载电压均衡，及

c）在阻塞阶段借助于被测量电压这样地对每个开关管计算控制电压的电平，即在阻塞期间使每个开关管的加载电压相等。

2. 根据权利要求 1 所述的方法，其中

a) 在开通或关断时对于一个特定的开关时刻，重复地由施加于串联电路两端的全部电压的 n 分之一及被测量电压来计算其差值；

b) 在两次开关操作之间的时间中，由计算出的差值确定每个单个开关管控制信号的开通或关断时刻；及

c) 在下一开关时刻利用计算出的控制信号驱动开关管。

3. 根据权利要求 2 所述的方法，其中

a) 在开通的情况下，如果差值为正时开通是在较迟的开通时刻

作出的，而如果差值为负时开通是在较早时刻作出的，及

b) 在关断情况下，如果差值为负时关断是在较迟的时刻作出的，而如果差值为正时关断是在较早的时刻作出的。

4. 根据权利要求 1 所述的方法，其中在阻塞阶段时，

a) 由施加给串联电路两端全部电压的 n 分之一及被测量电压相应地形成其差值；

b) 由差值对每个开关管计算控制电压的电平。

5. 根据权利要求 4 所述的方法，其中如果差值为正则电压被增加，而如果差值为负则电压被减少。

6. 根据权利要求 1，2 或 3 中一项所述的方法，其中一个特定的开关管利用对开通及关断时刻的预定值及阻塞控制电压电平的预定值作为主控制操作。而其余的开关管的值根据权利要求 2 及 3 来确定。

7. 根据权利要求 1 所述的方法，其中在开通及关断时，开关管电压的测量，相减及开通/关断时刻的计算均在它们被使用前的相应状态中完成。

8. 一种电子功率变流器电路结构包括，

a) n 个功率半导体开关管的串联电路 ($n \geq 2$)，这些开关管可通过施加于栅极的控制电压在任意的时刻被重复开通或关断，并由此能呈现“导通”及“阻塞”状态，

b) 一个驱动单元，具有可与控制信号源相连接的控制信号输入端，并在该驱动单元中产生控制信号，及一个驱动器，在其中控制信中被放大；

其特征在于，

c）在驱动单元中设置了第一装置，它经过一个延时电路与控制信号源相连接；

d）在驱动单元中，测量每个开关管上的电压，并由被测量的串联电路两端总电压的 n 分之一及被测量电压形成其差值，及有以下情况：

e）第一装置控制延时电路中各开关管控制信号的开通及关断时刻，其方式为在开通及关断时使所有开关管的电压相等地被加载；

f）在驱动单元中设置第二装置，它与驱动器相连接，并当阻塞阶段可以借助于计算出的差值这样地调整阻塞状态中的控制电压，即在阻塞时间使各个开关管的加载电压相等。

9.根据权利要求 8 所述的电路结构，其特征在于，其中驱动单元具有用于所有开关管的集中的第一及第二装置，并对每个开关管分散地设置了一个驱动器及一个延时电路。

10.根据权利要求 9 所述的电路结构，其特征在于，其中在驱动电路中对每个开关管分散地设置了一个驱动器、一个延时电路及第一和第二装置。

11.根据权利要求 8 至 10 中一项所述的电路结构，其特征在于其中功率半导体开关管为 MOS 可控开关管，尤其是 MOSFETs 或 IGBTs。

说　明　书

电子功率变流器电路结构及其驱动的方法

本发明涉及功率电子学的领域。

本发明涉及电子功率变流器电路结构的驱动方法，它还涉及一种电子功率变流器的电路结构。

对于这种方法及电子功率变流器电路结构已经有过描述，例如在 A. Stamberger 的文章“具有精确同步关断的串联或并联连接的大功率 GTOs”中描述过(Elektroniker, No. 3/1985, 第 68－72 页)

如果在一个半桥的单个桥臂中含有串联连接的功率半导体开关管 (如上述文章中的GTOs)，这就会导致差的、就是说不规则的电压分配。这可能进一步导致串联电路中单个半导体元件的过载。这种不相同的加载原因在于有关电路中半导体元件的不同关断时间，不同的参数及工作中参数的变化。

在上述文章中，利用这样地对控制信号的关断时间进行控制来试图使各个开关的加载电压均衡，即使得一个电子功率变流器桥臂中的所有 GTOs 同时地开始阻断。关断信号的时刻被用作控制变量。

但是，由此仅是关断时间被精确校正。然而，由于对精确的电压分配不能提供任何信息，从而参数差异及参数变化引起的不规则加载电压不能被平衡。此外，上述方法仅在开关时、确切地说在关断时起作用。尽管由于参数差异及参数飘移这是可能发生的，对于在“阻

塞”的稳态中加载电压的差别仍未被考虑。

因此，这种校正是不完整的并且半导体元件的使用未能最佳化。在相对大的半导体组件（0.5MVA 的开关容量或更大）中应用的情况下，这会具有不利的作用。

因而，本发明的一个目的是提供一种新的驱动电子功率变流器电路的方法及一种电子功率变流器的电路结构，在其中可以避免上述的现有技术的缺点。尤其是，电压分配的控制也考虑到参数的差异及变化并在稳态中也起到作用。

这个目的，是根据本发明的方法及装置来实现。

本发明的一种驱动电子功率变流器电路结构的方法，a) 这种电路结构包括n 个串联连接的功率半导体开关管，这些功率半导体开关管的每一个可通过施加于栅极的控制电压在任意开通及关断时刻重复地被开通及关断，并由此能呈现“导通”及“阻塞”状态，b) 在该方法中，各个功率半导体开关管的加载电压是利用控制各个功率半导体开关管的关断时刻来均衡的，c) 在每个开关管上的开关电压作为控制变量被检测，d) 开关管的开关时刻借助于被检测电压这样来确定，即在开关时使所有的开关管的加载电压均衡，及 e) 在阻塞阶段借助于被测量电压这样地对每个开关管计算控制电压的电平，即在阻塞期间使每个开关管的加载电压相等。

本发明的一种电子功率变流器电路结构包括，a) n 个功率半导体开关管的串联电路（$n \geq 2$），这些开关管可通过施加于栅极的控制电压在任意的时刻重复被开通或关断，并由此能呈现“导通”及“阻塞”状态，b) 一个驱动单元，具有可与控制信号源相连接的控制信号输入端，并在该驱动单元中产生控制信号，及一个驱动器，在其中控

制信中被放大；其中 c) 在驱动单元中设置了第一装置，它经过一个延时电路与控制信号源相连接；d) 在驱动单元中，测量每个开关管上的电压，并由被测量的串联电路两端总电压的 n 分之一及被测量电压形成其差值，及有以下情况：e) 第一装置控制延时电路中各开关管控制信号的开通及关断时刻，其方式为在开通及关断时使所有开关管的电压相等地被加载；f) 在驱动单元中设置第二装置，它与驱动器相连接，并当阻塞阶段可以借助于计算出的差值这样地调整阻塞状态中的控制电压，即在阻塞时间使各个开关管的加载电压基本相等。

根据本发明的方法的核心在于：将串联电路中每个开关管上的电压作为控制变量进行检测，并由该被测量电压使开关时间这样地变化，即在开关时使所有开关管的加载电压变得基本上相等；并在阻塞状态中借助于被测量电压影响控制电压的电平，从而使得开关管的阻塞电压基本相等。

本发明的一个最佳实施例的特征在于：在特定的开关操作中由被测得的每个开关管电压以及串联电路两端的整个被测电压的 n 分之一 (在 n 个开关管串联的情况下) 形成其差值；并在两次开关操作之间的时间中由该差值计算用于下次开关操作的开关时间延时的增加量或减少量；以及用此方式确定的开关时间在随后的开关操作中被调整。

在开通时，如果开通较早则得到较低的加载电压，在较晚开通情况下得到较高的加载电压。在关断情况下这种表现正好反过来。

在稳态中，也就是说阻塞状态时，能借助于控制信号的电平使阻塞电流特别地增大，就是说使栅极关断电压接近于半导体元件的阈值电压。在此情况下，阻塞电流的增加引起了阻塞电压的下降。使用

这种方法，即使在阻塞状态下加载电压也能均衡。

根据本发明的电路结构的核心在于：在驱动单元中设置了第一装置，它测量每个开关管上的电压，由所测电压与全部电压的 n 分之一形成其差值，并确定每个开关管控制信号的开通及关断时间，从而所有的开关管在电压上能被均等地加载。此外，设有第二装置，它由计算出的差值调整阻塞状态中控制信号的电平，从而对于所有的开关管产生相同的加载电压。

这些第一及第二装置可对于每一个开关管局部地设置也可对于所有的开关管集中地设置。

根据本发明的方法或电路结构的优点总地在于：每个半导体元件的加载电压不仅在开通及关断时间中而且在阻塞状态中也能均衡分配。此外，控制部分也使参数差异及变化以及电路的影响得到补偿。其结果为，在功率及频率方面均使开关管得到最佳作用。

参照以下结合附图的详细说明，将会对本发明及其许多附带优点易于更全面的了解及更好的理解，其附图为：

图 1：表示具有串联连接的半导体元件的一种电子功率变流器的电路结构；

图 2：表示根据本发明的用于一个开关管的驱动电路的方框图，它用于在开关期间均衡开关管的加载电压；

图 3：表示根据本发明的用于一个开关管的驱动电路的方框图，它用于在阻塞期间均衡开关管的加载电压；

图 4：表示根据本发明的第一示范实施例的用于多个开关管的控制单元的方框图；

图 5：表示根据第二示范实施例的用于多个开关管的驱动单元

的方框图;

图 6: 表示在三个开关管的开关操作情况下的各个阶段、状态及加载电压;

图 7: 表示通过开关管的电压如何受到移动开通及关断时间影响的示意图;

图 8: 表示在开通时均衡控制的原理;

图 9: 表示在关断时均衡控制的原理;

图 10: 表示在阻塞期间均衡控制的原理;

图 11a－d: 表示具有及不具有根据本发明控制的三个开关管在开通及关断时的被测量电压曲线图。

现在参见附图，其中在各个附图中相同的标号表示相同的或相应的部件，在图 1 中表示非常快速的半导体开关 (2)，例如是绝缘栅双极性三极管 IGBT，串联地连接以增大可被开关的电压。在暂态开关操作 (开通及关断) 及稳态闭锁状态 (已关断) 时，整个加载电压 (Uce) 在各个半导体开关 (2) 上的分配是不规则的，因为它们的自然参数不同。这便会导致单个半导体开关的过载。

在开通阶段 (P1)，导通阶段 (P2)，关断阶段 (P3) 及阻塞段 (P4) 中的三个开关管的不同电压 (Uce1, Uce2, Uce3) 以例举的方式表示在图 6 中。

主要是固有的半导体特性，例如存储电荷及耗尽层电容方面的不一致，不同的延迟时间及开通与关断时间，这些确定了暂态的电压分配，也就是说在开通及关断阶段 (P1 及 P3) 时的电压分配。但是，受容差，偏差及飘移影响的信号传播时间引起的驱动差别及负载电路中的特性 (漏电感，漏电容及对地电容和附加电路) 对其也具有不

可忽略的影响。

在已关断状态 (P4) 中，电压分配是不稳定的，但依赖于在前的关断操作、关断电流及漏电流 Ices 的幅值、容差及飘移，以及依赖于可能的目前电路。在与耗尽层及电路电容有关的时间后，漏电流导致了不规则的稳态电压分配，其中在最不利的情况下，一个单个开关管必须吸收整个的阻塞电压。

在现有技术中已作出尝试，利用精确地在同一时刻关断所有的半导体开关管来防止这种不规则的加载电压。但由此未必能保证在各开关管上电压分配是均衡的，因为在这种控制中未考虑到参数差异的影响。

本发明着手于不同的途径。如图 2 如示，对串联电路的 n 个开关管、$n \geq 2$，中的每一个进行开通及关断电压 (Uce1, Uce2……Ucen) 的测量。该被测量电压用来这样地确定控制信号 (Uge1…Ugen) 的开关时刻 (Tdon, Tdoff)，即在开关时对所有的开关管 (2) 的加载电压是基本上相等的。由图 7 可清楚地看出，在开通时由于开通点 (例如 Uge1) 的延迟，产生了较高的加载电压 (Uce1)。由较早的开通 (例如 Uge3) 获得较小的加载电压 (Uce3)。在关断时其情况正好反过来：较早的关断 (Uge1) 产生了较高的加载电压 (Uce1)，而较迟的关断 (Uge3) 产生了较低的加载电压 (Uce3)。

控制是以这种方式进行的：在一个特定的开关阶段 (P1 或 P3) 中，在跨接串联电路的全部电压 (Ucetot) 的 n 分之一与被测量电压 (Uce1…Ucen) 之间形成了差值 (1/n Ucetot − Ucei)。如果在开通时该差值为正，这就是说经过特定开关管降落的电压值过低，则在下一次开通操作中，该相关的开关管带有一定的延时开通。如果该差值为

负，则具有一定的超前时间进行开道。这种时间的移动对于每次开通操作均要重新计算，最终产生均匀的电压分配。如图 8 中清楚地表示的，但这不意味着所有的开关管由此在同一时刻被开通。而是，它们在对所有的开关管会产生均匀的电压分配的时刻被开通。

在关断时其过程是类似的 (图 9)，所不同是：在负差值 (电压过高) 的情况下，在下一次关断 (例如 Uge1) 时，关断延迟，而在正差值 (例如 Uge3) 的情况下则关断提前。这里也同样认为，关断不必要同时，但需在能使电压分配均匀的那些时刻进行关断。

该控制是一种抽样控制，也就是说在特定的开关操作 (例如 t1) 时检测电压，直到后一个开关操作时 (例如 t2) 才作出控制。其结果是，在操作时参数的波动能得到自适应的平衡。此外，在两次开关操作之间具有足够的时间来进行所需的操作。

在稳态 (阻塞状态 P4) 中，使用了另一种控制变量。这里，每个开关管的自然差异及受飘移影响的漏电流及它们的电路影响必须这样地相互调节，即产生出一种对称的电压分配。

IGBTs 及 MOSFETs 在非饱和稳态时，其性能就象电压被控制的电流源一样。其结果是，借助于接近半导体元件阈值电压的关断控制电压使阻塞电流明确地增加。随着阻塞电流的增加，串联电路中的各个半导体元件电压下降。结果，利用对关断控制电压 (Uge off1, n) 电平的影响使每个开关管的阻塞电压持续地受到校正。

为此目的，在施加于串联电路的全部电压 (Uce tot) 的 n 分之一与开关管上的测量电压 (Uce1, n) 之间形成了差值。根据这个差值这样地确定关断控制电压 (Ugeoff1, n) 的电平，即结果产生平衡的电压分配 (图 10)。开关管电压 (Uce1, n) 的测量及相减可以连续地或以时

间离散的方式(如在开通/在断的情况下)进行。

图为当稳态及瞬态平衡控制施加于所有各开关管时，该系统在控制方面是一致的，这很可能引起开关时刻及阻塞电流失去控制，切合实际的作法是，将开关管中的一个作为主控制，所有其它开关管作为随动控制对待。在这种情况下，随动控制将根据刚才描述的平衡原理进行操作，而主控制是利用对开关时刻及阻塞电流的预定值来操作。主控制阻塞电流的自适应调整能作到对容差及飘移的自动跟踪。

一个根据本发明的电子功率变流器电路结构（图 1－3）包括一个 n 个功率半导体开关管的串联电路，其中 $n \geq 2$，该串联电路例如可以是一个多相半桥的一部分。这些半导体开关管可用公知方式借助施加于栅极(3)的电压(Uge1…Ugen)在任意时刻重复地开通与关断。为此，设置了与栅极相连接并具有一个可控信号输入端(5)及一个驱动器(7)的驱动单元(4)。

为了能进行以上所说的控制，在该驱动单元中对各个开关管上降落的电压(Uce1…Ucen)及整个串联电路两端的电压(Ucetot)进行测量。在每种情况下由这两种电压(Ucei, Ucetot)形成差值(1/n Ucetot－Ucei)，并传送到第一装置(6)，在该装置中如上所述地确定每个开关管的开关时刻(Tdon, Tdoff)。此外，第一装置(6)与一延时电路(9)相连接，在该延时电路中整定控制信号的开关时刻。延时电路的输出与驱动器(7)相连接，后者本身将控制电压(Ugei)施加给各开关管的栅极(3)。

这样，第一装置(6)及延时电路 (9)可用来这样地影响控制信号(Uge1…Ugen)，即在开关时使得产生均衡的电压分配。

此外，在驱动单元(4)中设有第二装置(8)，它借助于计算出的差

值持续地调整阻塞状态(P4)中控制电压(Ugeoff1, n)的电平，其方式为使每个开关管在电压上被基本相等地加载。该第二装置与驱动器(7)相连接。

根据本发明电路结构的两个优选示范实施例给出在图4及5中。可以在驱动单元(4)中局部地设置用于每个开关管的第一及第二装置(6及8)(图5)。另一种变型的组成为：第一及第二装置(6及8)仅集中地设置一次，而所有的驱动器(7)及延时电路(9)由这种集中的第一及第二装置(6及8)驱动(图4)。

在三个开关管上电压测量的结果显示在图11a－d中，在开通情况下为图11a及11b，及在关断情况下为图11c及11d。如图中可见到的，受控制的开关状况中(图11b及11d)电压分配明显地被改善。

显然，根据上述指导可以对本发明作出多种改型及变型。因此可以理解，在附设权利要求的范围内，本发明可用不同于以上专门描述的方式来实施。

说 明 书 附 图

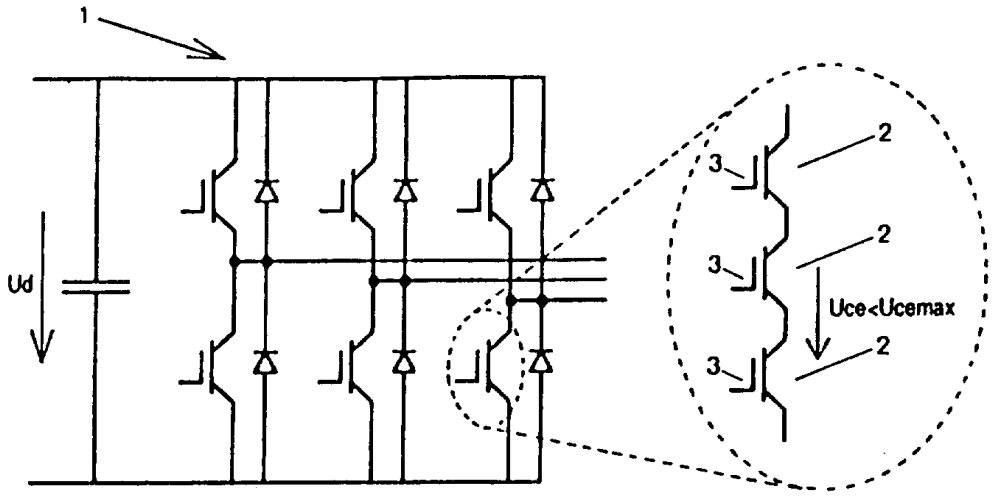

1
Ud
2
3
2
3
Uce<Ucemax
2
3

图 1

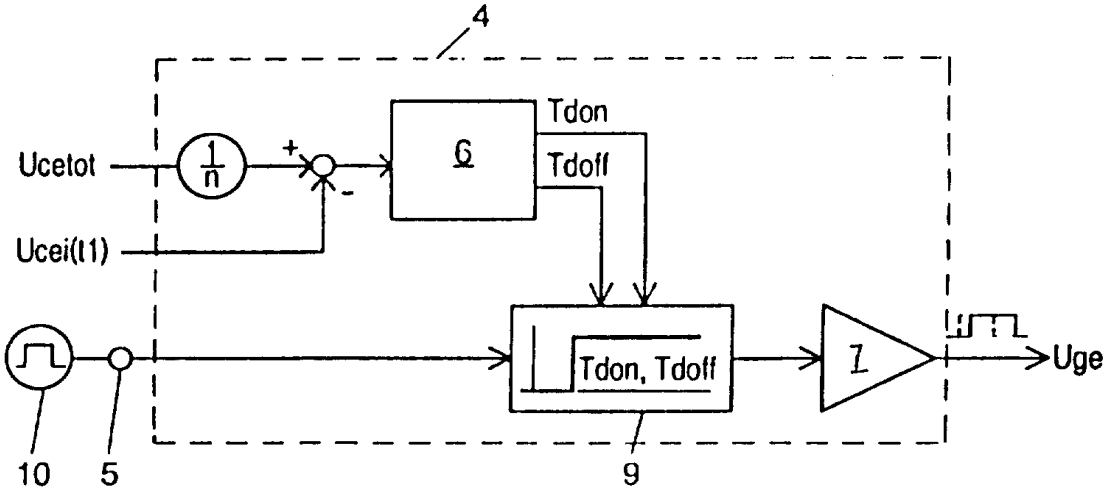

4
Ucetot
1/n
+
-
G
Tdon
Tdoff
Ucei(t1)
Tdon, Tdoff
1
Uge
10
5
9

图 2

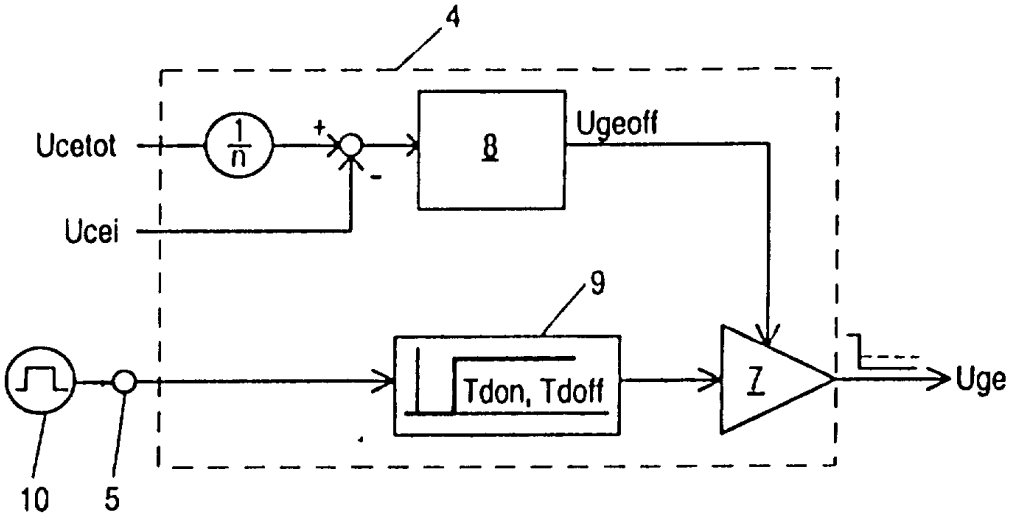

4
Ucetot
1/n
+
-
8
Ugeoff
Ucei
9
Tdon, Tdoff
Z
Uge
10
5

图 3

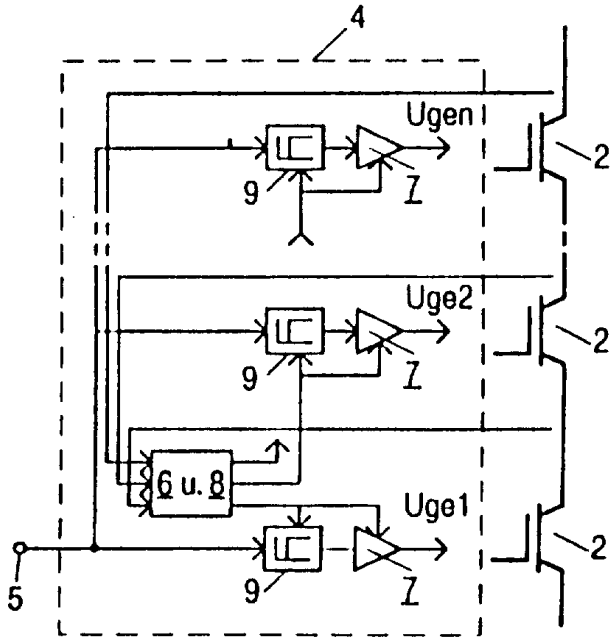

4
Ugen
9
Z
2
Uge2
9
Z
2
6 u. 8
Uge1
5
9
Z
2

图 4

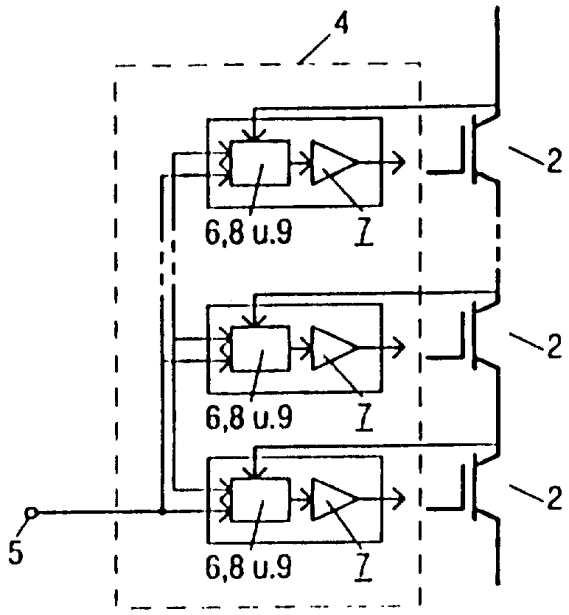


图5

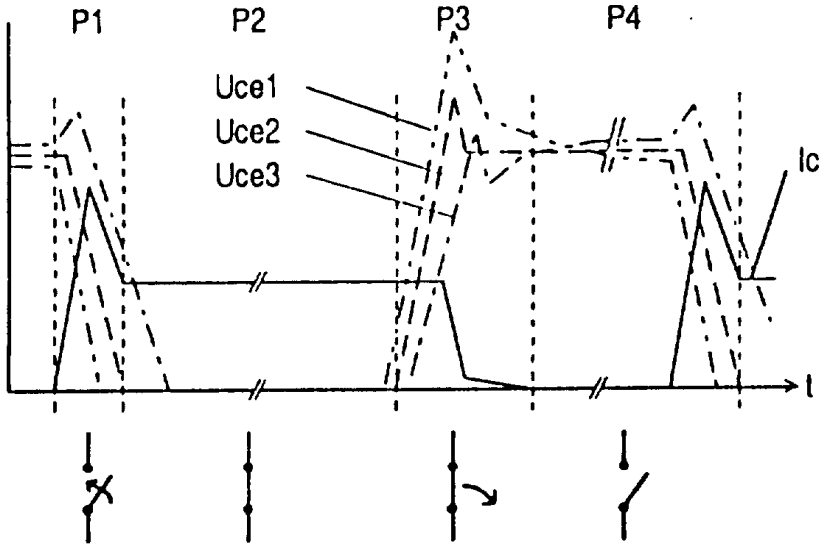


图6

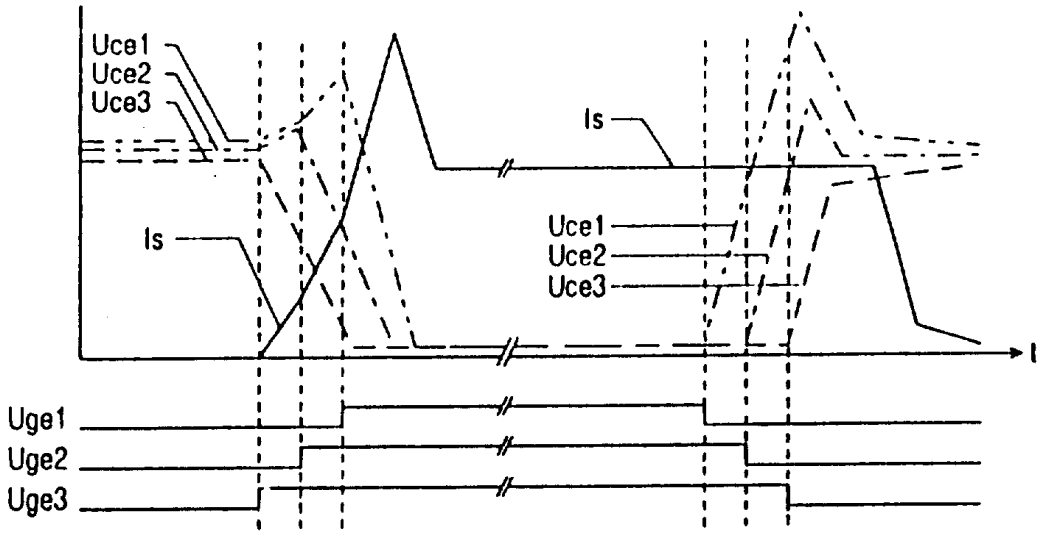

Uce1
Uce2
Uce3
Is
Is
Uce1
Uce2
Uce3
t
Uge1
Uge2
Uge3

图 7

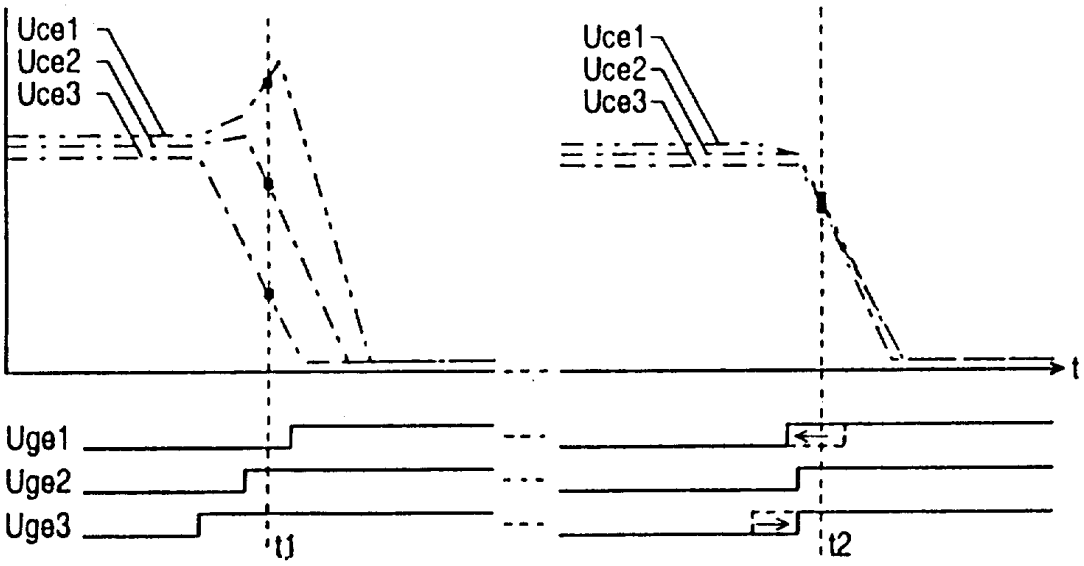

Uce1
Uce2
Uce3
Uce1
Uce2
Uce3
t
Uge1
Uge2
Uge3
t1
t2

图 8

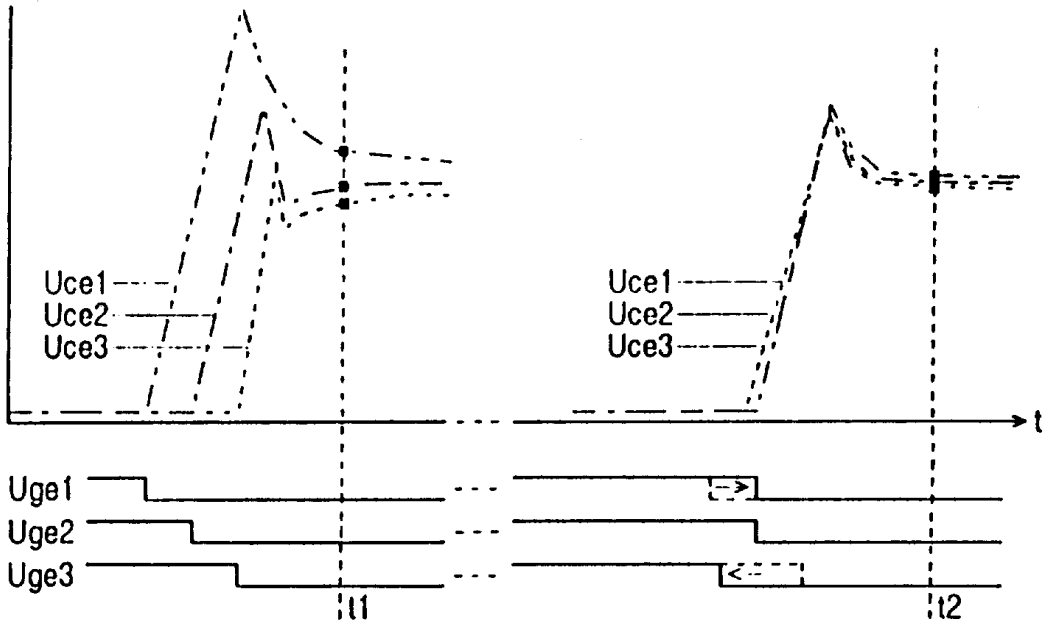

Uce1
Uce2
Uce3
t
Uge1
Uge2
Uge3
t1
Uce1
Uce2
Uce3
t2

图9

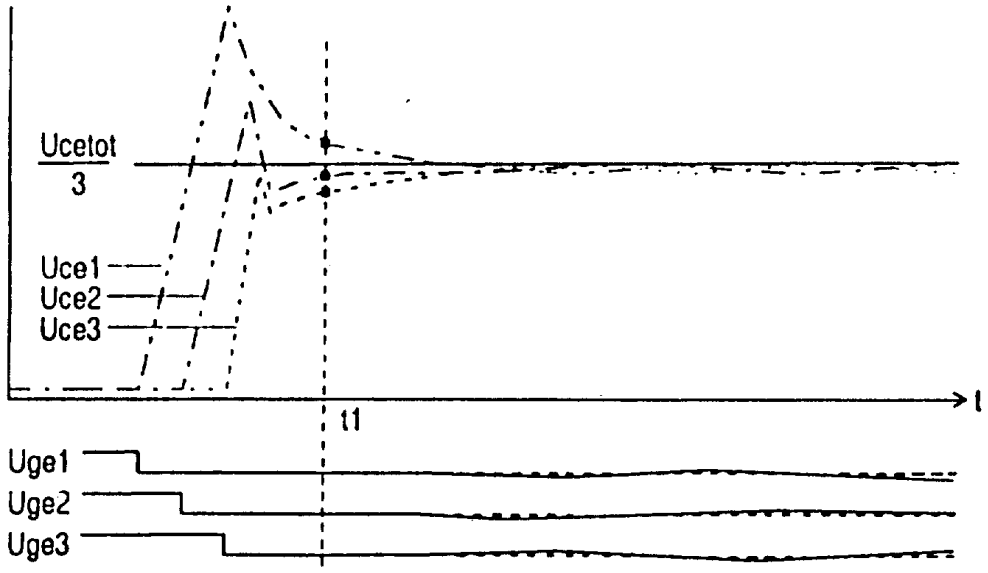

Ucetot
3
Uce1
Uce2
Uce3
t
t1
Uge1
Uge2
Uge3

图10

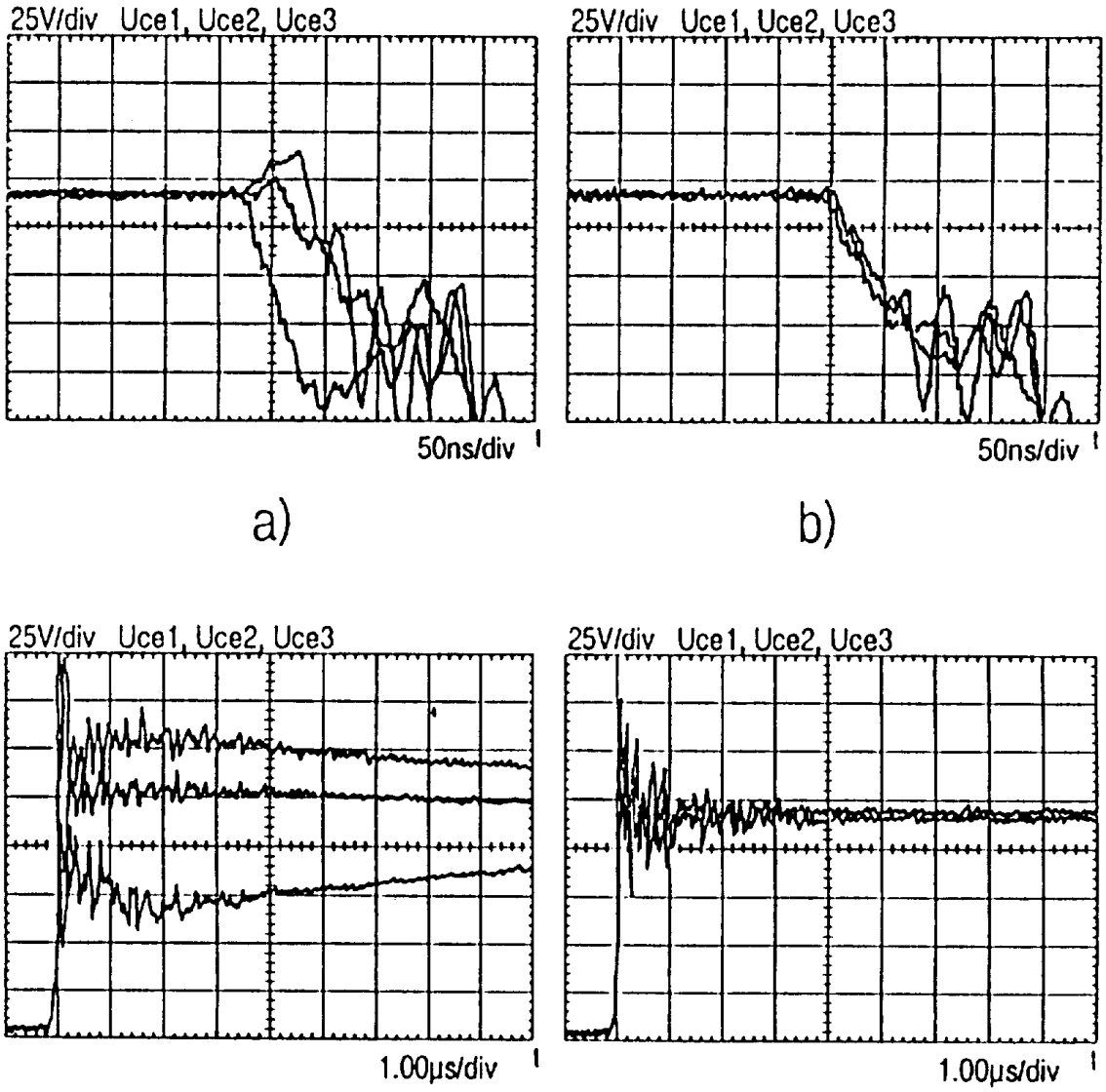

25V/div Uce1, Uce2, Uce3
50ns/div
a)
25V/div Uce1, Uce2, Uce3
50ns/div
b)
25V/div Uce1, Uce2, Uce3
1.00μs/div
c)
25V/div Uce1, Uce2, Uce3
1.00μs/div
d)

图11