

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03M 7/14 (2006.01)

G11B 20/14 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410039608.1

[45] 授权公告日 2007 年 6 月 6 日

[11] 授权公告号 CN 1320767C

[22] 申请日 2001.12.31

[21] 申请号 200410039608.1

分案原申请号 01145054.1

[30] 优先权

[32] 2001. 1. 12 [33] JP [31] 004628/2001

[32] 2001. 3. 21 [33] JP [31] 080205/2001

[73] 专利权人 日本胜利株式会社

地址 日本神奈川县横滨市

[72] 发明人 速水淳

[56] 参考文献

US5734341A 1998. 3. 31

US4547890A 1985. 10. 15

审查员 王艳坤

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 谢丽娜 关兆辉

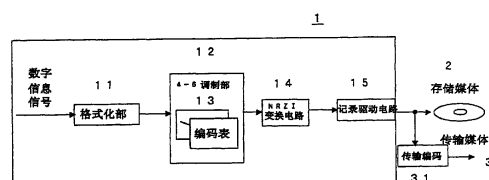
权利要求书 4 页 说明书 20 页 附图 11 页

[54] 发明名称

调制方法与装置, 解调方法与装置, 传输方
法与传输装置

[57] 摘要

本发明在将连续的二进制数的数据系列变换成以 4 位的 N 倍 (N 为正整数) 为单位的输入数据后, 可变换成以 6 位的 N 倍 (N 为正整数) 为单位的输出码字串, 可以在不对输出码字串中加冗余位的情况下进行 DSV 控制, 有效抑制输出码字串的 DC 成分。不用冗余位, 按 $(1, k)$ RLL 规则, 利用可将 4 位变换成 6 位的编码表, 进行 $k=7$ 或 8 的限制下的 DC 成分抑制。



1. 一种调制方法，当进行将以 4 位的 N 倍为单位的输入数据字编码为以 6 位的 N 倍为单位的输出码字的变换时，参照包括对应于上述各输入数据字的上述各输出码字，及指定对下个上述输入数据字进行编码所使用的编码表的编码表指定信息的多个编码表，上述各输出码字作为二进制数的输出码字串依次直接结合，按“(1, k) 游程·长度·限制”规则，作为满足 k 是 8 以上 12 以下的任何数的输出码字进行输出，其中 N 为正整数，该调制方法的特征在于：

上述多个的编码表至少具有第一、第二编码表；对对应于规定输入数据字的上述第一编码表上的第一输出码字、和对应于与上述规定输入数据字相同的输入数据字的上述第二编码表上的第二输出码字分别进行 NRZI 调制的信号是相反极性的；并且，输出某特定的输出码字后，无论选择上述第一、第二输出码字的哪一个，所选择的输出码字都是按“(1, k) 游程·长度·限制”规则，满足 k 为 8 以上 12 以下的任何数的输出码字；

选择上述第一、第二输出码字的某一个；

对由编码表指定信息所指定的对应于输入数据字的输出码字是上述第一、第二输出码字的哪一个进行检测，根据该检测结果，将指定上述第一、第二编码表的某一个的编码表指定信息输出到上述多个的编码表中；

利用从上述多个编码表中所指定的编码表，对对应于输入数据字所依次输出的输出码字，按每个输出码字的极性分别进行存储；

按每个从指定的编码表依次输出的输出码字，对对应于上述输出码字存储装置中所存储的输出码字的“码字·数字·总数”依次相加的“数字·总数·变化”进行存储；

根据上述存储的“数字·总数·变化”的绝对值大小，选择输出码字系列依次进行输出；

对于特定的输入数据字，检测码字位的最短反转的连续情况；

对上述最短反转的规定数量的连续情况进行监视，当上述最短反转以规定的数量连续进行时，将其控制在码字位的最短反转规定内的连续数量之内。

2. 一种调制装置，其特征在于：

具有将以 4 位的 N 倍为单位的输入数据字编码为以 6 位的 N 倍为单位的输出码字的变换装置，其中 N 为正整数；

上述变换装置具有多个将上述输入数据字分别编码为上述输出码字的编码表；

上述各编码表分别包括，对应于上述各输入数据字的上述各输出码字，以及指定为对下个上述输入数据字进行编码所使用的编码表的编码表指定信息；

上述变换装置作为二进制数的输出码字串依次直接结合，按“(1, k) 游程·长度·限制”规则，作为满足 K 为 8 以上 12 以下的任何数的输出码字进行输出；

上述多个编码表至少具有第一、第二编码表；

对对应于规定输入数据字的上述第一编码表上的第一输出码字、和对应于与上述规定输入数据字相同的输入数据字的上述第二编码表上的第二输出码字分别进行 NRZI 调制的信号是相反极性的；并且，输出某特定的输出码字后，无论选择上述第一、第二输出码字的哪一个，所选择的输出码字都是按“(1, k) 游程·长度·限制”规则，满足 k 为 8 以上 12 以下的任何数的输出码字；

该调制装置具有：

码字选择分支有无检测装置，对由上述编码表指定信息所指定的对应于输入数据字的输出码字是上述第一、第二输出码字的哪一个进行检测；

编码表指定装置，根据上述码字选择分支有无检测装置的检测结

果，将指定上述第一、第二编码表的某一个的上述编码表指定信息输出到上述多个的编码表中；

输出码字存储装置，利用从上述多个编码表中所指定的编码表，对对应于输入数据字所依次输出的输出码字，按每个输出码字的极性分别进行存储；

“数字·总数·变化”存储装置，按每个从由上述编码表指定装置所指定的编码表依次输出的输出码字，对对应于上述输出码字存储装置中所存储的输出码字的“码字·数字·总数”依次相加的“数字·总数·变化”进行存储；

选择装置，根据从上述“数字·总数·变化”存储装置输出的“数字·总数·变化”的绝对值大小，选择从上述输出码字存储装置依次输出的输出码字系列；

最短反转码字检测装置，对于特定的输入数据字，检测码字位的最短反转连续的情况；

监视装置，对上述最短反转的规定数量的连续情况进行监视；

码字控制装置，当上述最短反转以规定的数量连续进行时，将其控制在码字位的最短反转规定内的连续数量之内。

3. 一种解调方法，将利用权利要求 1 所述的调制方法所编码的以 6 位的 N 倍为单位的码字连续形成的码字串，解调为重放数据串，其中 N 为正整数，其特征在于：

使上述码字串再构成为每 6 位的 N 倍的码字，后续的码字在上述多个编码表中，根据表示用哪个编码表进行编码的判断信息和后续的码字，使上述码字串解调为重放数据串。

4. 一种解调装置，将利用权利要求 2 所述的调制装置所编码的以 6 位的 N 倍为单位的码字连续形成的码字解调为重放数据串，其中 N 为正整数，其特征在于该解调装置具有：

将上述码字串再构成为每 6 位的 N 倍的码字的装置；

根据表示用上述多个的编码表中的哪个编码表对后续的码字进行编码的判断信息、及后续的码字，使上述码字串解调为重放数据串的装置。

5. 一种信息传输装置，其特征在于：利用权利要求 2 所述的调制装置进行编码的码字作为传输信息，进行信息传输。

调制方法与装置，解调方法与装置，
传输方法与传输装置

本申请是申请人于2001年12月31日提交的申请号为01145054.1，题为“调制方法与装置，解调方法与装置，传输方法与传输装置”专利申请的分案申请。

技术领域

本发明涉及调制方法、调制装置、解调方法、解调装置、信息记录媒体、信息传输方法及信息传输装置，特别是使数字信息信号在 $(1, k)$ 游程·长度·限制（以下称“ $(1, k)$ RLL”）的限制下，通过具有 $k=7$ 以上12以下的任何数限制的记录码系列，记录在光盘及磁盘等记录媒体上，按 $(1, k)$ 游程·长度·限制（以下称“ $(1, k)$ RLL”）的限制，适合于对具有 $k=7$ 以上12以下的任何数限制的信息码系列进行调制、解调、记录、传输的调制方法、调制装置、解调方法、解调装置、信息记录媒体、信息记录方法及信息传输装置。

背景技术

目前，作为在光盘或磁盘等的记录媒体上记录一系列数字信息信号的记录调制方式，经常使用 $(1, 7)$ RLL。但是用目前所使用的 $(1, 7)$ RLL的问题是很难抑制直流（DC）附近的信号成分，根据比特码型不同将产生大的DC成分，例如在伺服信号频带中混入信息信号成分的频谱，对伺服性能造成恶劣影响。

对此，在特开平6-195887号公报“记录码调制装置”中，提出了用防止特定比特码型的重复，对DC成分进行抑制的方案。另外，在特

开平 10-340543 号公报“编码装置、解码装置、编码方法及解码方法”中，提出了通过插入冗余位使 (1, 7) RLL 规则不乱，来抑制 DC 成分的方案。

在特开 2000-105981 公报“数据变换方式及装置”中，提出了利用 (1, 8) RLL 规则的 8/12 调制，使最大游程长度比 (1, 7) RLL 规则在码字数上有裕量，将该裕量用在 DC 成分的抑制控制中的方案。

然而，根据特开平 6-195887 号公报，用位反转、及随机化等手段虽然可以降低特定码型的重复，但很难充分抑制 DC 成分。根据特开平 10-340543 号公报，虽然 DC 成分的抑制比前者大，但却因冗余位的插入使记录容量降低。根据特开 2000-105981 公报，虽然可以在无冗余位的情况下实现 DC 成分的抑制，但是需要多个 12 位的编码表，存在编码规则复杂的问题。

发明内容

本发明鉴于上述问题，利用可将 4 位变换为 6 位的编码表，达到不用冗余位，按 (1, k) RLL 规则，抑制 $k=7$ 以上 12 以下的任何数的限制下的 DC 成分。

为了解决上述问题，本发明提供了一种调制方法，当进行将以 4 位的 N 倍 (N 为正整数) 为单位的输入数据字编码为以 6 位的 N 倍 (N 为正整数) 为单位的输出码字的变换时，参照包括对应于上述各输入数据字的上述各输出码字，及指定对下个上述输入数据字进行编码所使用的编码表的编码表指定信息的多个编码表，上述各输出码字作为二进制数的输出码字串依次直接结合，按“(1, k) 游程·长度·限制”规则，作为满足 k 是 8 以上 12 以下的任何数的输出码字进行输出，

该调制方法的特征在于：

上述多个的编码表至少具有第一、第二编码表；对对应于规定输入数据字的上述第一编码表上的第一输出码字、和对应于与上述规定输入数据字相同的输入数据字的上述第二编码表上的第二输出码字分别进行 NRZI 调制的信号是相反极性的；并且，输出某特定的输出码字后，无论选择上述第一、第二输出码字的哪一个，所选择的输出码字都是按“（1，k）游程·长度·限制”规则，满足 k 为 8 以上 12 以下的任何数的输出码字；

选择上述第一、第二输出码字的某一个；

对由编码表指定信息所指定的对应于输入数据字的输出码字是上述第一、第二输出码字的哪一个进行检测，根据该检测结果，将指定上述第一、第二编码表的某一个的编码表指定信息输出到上述多个的编码表中；

利用从上述多个编码表中所指定的编码表，对对应于输入数据字所依次输出的输出码字，按每个输出码字的极性分别进行存储；

按每个从指定的编码表依次输出的输出码字，对对应于上述输出码字存储装置中所存储的输出码字的“码字·数字·总数”依次相加的“数字·总数·变化”进行存储；

根据上述存储的“数字·总数·变化”的绝对值大小，选择输出码字系列依次进行输出；

对于特定的输入数据字，检测码字位的最短反转的连续情况；

对上述最短反转的规定数量的连续情况进行监视，当上述最短反转以规定的数量连续进行时，将其控制在码字位的最短反转规定内的连续数量之内。

本发明还提供了一种调制装置，其特征在于：

具有将以 4 位的 N 倍（N 为正整数）为单位的输入数据字编码为以 6 位的 N 倍（N 为正整数）为单位的输出码字的变换装置；

上述变换装置具有多个将上述输入数据字分别编码为上述输出码字的编码表；

上述各编码表分别包括，对应于上述各输入数据字的上述各输出码字，以及指定为对下个上述输入数据字进行编码所使用的编码表的编码表指定信息；

上述变换装置作为二进制数的输出码字串依次直接结合，按“(1, k) 游程·长度·限制”规则，作为满足 K 为 8 以上 12 以下的任何数的输出码字进行输出；

上述多个编码表至少具有第一、第二编码表；

对对应于规定输入数据字的上述第一编码表上的第一输出码字、和对应于与上述规定输入数据字相同的输入数据字的上述第二编码表上的第二输出码字分别进行 NRZI 调制的信号是相反极性的；并且，输出某特定的输出码字后，无论选择上述第一、第二输出码字的哪一个，所选择的输出码字都是按“(1, k) 游程·长度·限制”规则，满足 k 为 8 以上 12 以下的任何数的输出码字；

该调制装置具有：

码字选择分支有无检测装置，对由上述编码表指定信息所指定的对应于输入数据字的输出码字是上述第一、第二输出码字的哪一个进行检测；

编码表指定装置，根据上述码字分支有无检测装置的检测结果，将指定上述第一、第二编码表的某一个的上述编码表指定信息输出到上述多个的编码表中；

输出码字存储装置，利用从上述多个编码表中所指定的编码表，对对应于输入数据字所依次输出的输出码字，按每个输出码字的极性分别进行存储；

“数字·总数·变化”存储装置，按每个从由上述编码表指定装置所指定的编码表依次输出的输出码字，对对应于上述输出码字存储装置中所存储的输出码字的“码字·数字·总数”依次相加的“数字·总

数·变化”进行存储；

选择装置，根据从上述“数字·总数·变化”存储装置输出的“数字·总数·变化”的绝对值大小，选择从上述输出码字存储装置依次输出的输出码字系列；

最短反转码字检测装置，对于特定的输入数据字，检测码字位的最短反转连续的情况；

监视装置，对上述最短反转的规定数量的连续情况进行监视；

码字控制装置，当上述最短反转以规定的数量连续进行时，将其控制在码字位的最短反转规定内的连续数量之内。

本发明还提供了又一种解调方法，将利用上述的调制方法所编码的以 6 位的 N 倍（ N 为正整数）为单位的码字连续形成的码字串，解调为重放数据串，其特征在于：使上述码字串再构成为每 6 位的 N 倍（ N 为正整数）的码字，后续的码字在上述多个编码表中，根据表示用哪个编码表进行编码的判断信息和后续的码字，使上述码字串解调为重放数据串。

本发明还提供了又一种解调装置，将利用上述的调制装置所编码的以 6 位的 N 倍（ N 为正整数）为单位的码字连续形成的码字解调为重放数据串，其特征在于该解调装置具有：将上述码字串再构成为每 6 位的 N 倍（ N 为正整数）的码字的装置；根据表示用上述多个的编码表中的哪个编码表对后续的码字进行编码的判断信息、及后续的码字，使上述码字串解调为重放数据串的装置。

本发明进一步提供了一种信息传输装置，其特征在于：利用上述的调制装置进行编码的码字作为传输信息，进行信息传输。

附图的简要说明

图 1 是本发明的调制装置的基本构成图。

图 2 是本发明的调制装置的方框构成图。

图 3 是图 2 中所示的编码部周围的方框构成图。

图 4 是为说明图 2 中所示调制装置的编码操作的流程图。

图 5 是表示本发明的 (1, 7) RLL 时的 DSV 控制的流程图。

图 6 是表示本发明的 (1, 8) RLL 时的 DSV 控制的流程图。

图 7 是表示对应于以 4 位为单位十进制输入数据字的以 6 位为单位的二进制输出码字的图。

图 8 是表示本发明的调制装置中所使用的 4 个编码表 $S(k)=0 \sim S(k)=3$ 的各内容的图。

图 9 是用于说明本发明的调制装置上的编码过程的图。

图 10 是用于说明本发明的调制装置工作的图。

图 11 是本发明的解调装置的实施例的方框图。

图 12 是表示本发明的解调装置中所用的判断信息的图。

图 13 是表示本发明的解调装置中所用的解调表的图。

图 14 是用于说明本发明的解调装置工作的图。

图 15 是表示本发明的编码表的另一例的图。

优选实施方式

下面参照图 1~图 9 说明本发明有关调制的实施例, 图 1 是本发明的调制装置的基本构成图, 图 2 是本发明的调制装置的方框构成图, 图 3 是图 2 中所示的编码部周围的方框构成图, 图 4 是为说明图 2 中所示的调制装置的编码操作的流程图。图 5 是为说明本发明的调制装置为满足 RLL (1, 7) 规则的 DSV 控制流程图, 图 6 是为说明本发明的调制装置为满足 RLL (1, 8) 规则的 DSV 控制流程图, 图 8 是表示在本发明的调制装置中所使用的 4 个编码表 “ $S(k)=0$ ” ~ “ $S(k)=3$ ” 的各内容的图, $S(k)$ 是表的状态, $D(k)$ 是输入数据字, $C(k)$ 是输出码字, 用十进制和二进制表示。另外, $S(k+1)$ 是表示下次取

的表的状态。

满足 (1, 7) RLL 或 (1, 8) RLL 限制的以 6 位为单位的输出码字的种类如图 7 所示。作为以该码字种类为基础的编码表的一例, 可构成图 8 中所示的 4 个编码表 (编码表序号 $S(k) = "0" \sim "3"$)。 $S(k) = "0" \sim S(k) = "3"$ 表示在 4 个编码表中分别分配的编码表选择序号。另外, 图 8 中的 $S(k+1)$ 表示选择进行下次编码采用的编码表的编码表选择序号。数据字 $D(k)$ 和码字 $C(k)$ 的分配可以改变配置, 使编码规则不乱, 并且对解调没有妨碍。例如图 15 中所示的编码表进行改变图 8 的表的数据字 $D(k)$ 和码字 $C(k)$ 分配的配置, 这样对数据字 $D(k)$ 和码字 $C(k)$ 的分配可以改变配置使编码规则不乱, 本发明的实施即使是对图 8 的编码表以外的构成, 也是有效的。

另外, 在满足本发明的 DSV 控制规则的同时, 为使例如 8 位的数据字分配在 12 位的码字位中, 本发明可以很容易类推为将由 4 的整数倍的位构成的数据字变换为 6 的整数倍码位的编码表的构成, 很明显这也包含在本发明中。

首先参照图 1 对本发明的调制装置 1 进行说明。通过图中未画出的离散化装置将应进行调制的图像、声音变换为二进制系列的数字信息信号, 在格式化部 11 进行附加错误校正码及扇区结构化等所谓格式化后, 变为每个 4 位的源码系列, 加到 4-6 调制器 12 上。

作为一例, 4-6 调制器 12 采用图 8 中所示的编码表 13, 进行下述的编码处理, 并且在附加规定的同步字之后, 在变换电路 14 上进行 NRZI 变换, 作为记录信号传送给记录驱动电路 15, 记录在记录媒体 2 上或由传输编码装置 31 进行传输编码, 传送给传输媒体 3。

图 2 是表示更详细说明图 1 的 4-6 调制器 12 操作的构成例的方框图。输入数据字（源码） $D(k)$ 分别加在码字选择分支有无检测电路 121、编码表地址运算部 122、及同步字生成部 123 上。在码字选择有无检测电路 121 上用 $D(k)$ 和状态 $S(k)$ ，检测是否有 DSV 极性不同的备选码字。以该检测结果和 $D(k)$ 为基础，进行编码表地址运算，从多个的编码表 13 将备选编码作为 $C(k)0$ 、 $C(k)1$ ，使前者传送给码字存储器“0”124，后者传送给码字存储器“1”125。

在码字存储器“0”124、码字存储器“1”125 上，连接 DSV 运算存储器“0”126、DSV 运算存储器“1”127，每当码字 $C(k)0$ 、 $C(k)1$ 输入到码字存储器“0”124、码字存储器“1”125 中时，进行 CDS 计算，更新所存储的 DSV 值。此处，当通过码字选择分支有无检测电路 121 检测出是有选择分支的源码 $D(k)$ 时，通过绝对值比较部 128，比较在 DSV 存储器“0”126、DSV 存储器“1”127 中所存储的 DSV 绝对值，在存储器控制部 129 上，选择在 DSV 绝对值小的码字存储器中所存储的码字，作为输出码字向外部输出，同时将未被选择的码字存储器、DSV 运算存储器的内容，替换在选择的码字存储器、DSV 运算存储器的内容中。

图 3 是详细表示图 2 的编码表周围的图，图 4 是详细表示上述内容的流程图，在本说明中，说明了码字存储器为 2 个，当由码字选择分支有无检测电路 121 检测出是具有选择分支的 $D(k)$ 时，立即将输出码字输出的情况，但是当码字存储器不限于 2 个，检测出具有选择分支的 $D(k)$ 时，并不需要立即将输出码字输出，还要看有几个存储器、有几个可以选择的源码，然后选择 DSV 最小的码字串进行输出，本发明这种方法是有用的。在图 3 中，最大游程长度设定 130 是对在 $(1, 7)$ RLL 中有限制还是将 k 限制在 8 以上的控制信号，输出到码字选择分支有无检测电路上的装置，其操作的详细情况将在后面叙述。

另外，在该图中，最小游程重复检测 131 是监视最短反转的重复数的装置，其操作详细情况在后面叙述。

下面参照图 9，对以 4 位为单位的输入数据字 $D(k)$ 用 (1, 7) RLL 限制进行编码的情况进行具体说明。输入数据字 $D(k)$ 、 $D(k+1)$ 以 “4、5、6、7、8 (十进制)” 为例。在编码的初始状态，通过省略说明的同步字插入等的操作，决定编码表的初始选择号，例如选择编码表 $S(k) = “0”$ 。当该编码表 $S(k) = “0”$ 中输入输入数据字 $D(k) = 4$ 时，则输出输出码字 $C(k) = 18$ (十进制)，并且，选择下个编码表选择序号 $S(k+1) = “1”$ 。接着当在所选择的编码表 $S(k) = “1”$ 中，输入输入数据字 $D(k) = 5$ 时，则输出输出码字 $C(k) = 2$ (十进制)，并且，选择下个编码表选择号 $S(k+1) = “2”$ 。以下同样，当在编码表 $S(k) = “2”$ 中，输入输入数据字 $D(k) = 6$ 时，则输出输出码字 $C(k) = 18$ ，并选择编码表选择号 $S(k+1) = “3”$ ，接着当在编码表 $S(k) = “3”$ 中，输入输入数据字 $D(k) = 7$ 时，则输出输出码字 $C(k) = 21$ ，选择编码表选择号 $S(k+1) = “0”$ 。而且当在编码表 $S(k) = “0”$ 中输入输入数据字 $D(k) = 8$ 时，则输出输出码字 $C(k) = 21$ ，选择编码表选择号 $S(k+1) = “1”$ 。

结果，作为输入数据字 $D(k)$ 的 “4、5、6、7、8 (十进制)”，编码为作为输出码字 $C(k)$ 的 “010010、000010、010010、010101、010101 (二进制)” 依此输出，从而，将上述 5 个输出码字 $C(k)$ 依次直接结合的一系列的输出码字串为

010010000010010010010101010101，

可以得到满足 (1, 7) RLL 限制的输出码字串。

在该例中，未出现存在选择分支的源码，这样，通过图 1 到图 3 中所示的调制装置，利用图 8 中形成的编码表，通过将每 4 位的源码 D

(k)、及输出前一个码字时所输出的 $S(k+1)$ 延迟 1 个字（源码中的 4 位长）的 $S(k)$ ，可以对满足 (1, 7) RLL 限制的码字串依次直接结合得到。

下面参照图 5，对码字选择分支有无检测电路 121 的操作进行详细说明。图 5 表示 (1, 7) RLL 时的选择分支有无运算电路 121 操作的流程图。看一看步骤 201 的条件 1，检测前一个进行编码的码字 $C(k-1)$ 的 LSB 一侧的零游程，当为 4 时（在步骤 201 上为是时），即在图 8 的编码表上 $C(k-1)$ 为二进制 010000 时， $S(k)=3$ 、 $D(k)$ 为 0~3 时（条件 1-1、在步骤 202 上为是时），作为 $C(k)0$ ，从 $S(k)=3$ 的表中选择码字，作为 $C(k)1$ ，选择 $S(k)=1$ 的码字，从选择分支有无检测电路 121 中输出“有选择分支”的检测信号（步骤 206）。在 $S(k)=2$ 、 $D(k)$ 在 7 以上时（条件 1-2，在步骤 203 为是时），作为 $C(k)0$ ，从 $S(k)=2$ 的表中选择码字，作为 $C(k)1$ ，选择 $S(k)=1$ 的码字，从选择分支有无检测电路 121 输出“有选择分支”的检测信号（步骤 207），当步骤 201、步骤 202 及步骤 203 上分别为否时， $C(k)0$ 、 $C(k)1$ 都是在 $D(k)$ 、 $S(k)$ 上选择的码字“无选择分支”（步骤 208），判断结束。

同样，在条件 2（步骤 204）中 $C(k-1)$ 的 LSB 一侧的零游程为 5 时，或者在条件 3（步骤 205）中 $C(k-1)$ 的 LSB 一侧的零游程为 1 或 2 时，也根据图 5 的流程图的判断，检测是否有选择分支。

看一看步骤 204 的条件 2，检测前一个进行编码的码字 $C(k-1)$ 的 LSB 一侧的零游程，当为 5 时（在步骤 204 上为是时），即在图 8 的编码表中 $C(k-1)$ 为二进制 100000 时， $S(k)=3$ 、 $D(k)$ 为 0~1 时（条件 2-1，在步骤 209 上为是时），作为 $C(k)0$ 从 $S(k)=3$ 的表中选择码字，作为 $C(k)1$ 选择 $S(k)=1$ 的码字，从选择分支有无

检测电路 121 输出“有选择分支”的检测信号（步骤 210）。当在 $S(k)=2$ 、 $D(k)$ 在 10 以上时（条件 2-2，在步骤 211 上为是时），作为 $C(k)0$ 从 $S(k)=2$ 的表中选择码字，作为 $C(k)1$ 选择 $S(k)=0$ 的码字，从选择分支有无电路 121 中输出“有选择分支”的检测信号（步骤 212）。当在步骤 204、步骤 209 及步骤 211 上分别为否时， $C(k)0$ 、 $C(k)1$ 都是由 $D(k)$ 、 $S(k)$ 所选择的码字“无选择分支”（步骤 208），判断结束。

看一看步骤 205 的条件 3，检测前一个进行编码的码字 $C(k-1)$ 的 LSB 一侧的零游程，当为 1 或 2 时（在步骤 205 上为是时），即在图 8 的编码表中 $C(k-1)$ 为二进制 010010、010100、000010、000100、001010、100100、101010、或 100010 时， $S(k)=2$ 、 $D(k)$ 为 0~1 时（在步骤 213 上为是时），作为 $C(k)0$ 从 $S(k)=2$ 的表中选择码字，作为 $C(k)1$ ，选择 $S(k)=0$ 的码字，从选择分支有无检测电路 121 输出“有选择分支”的检测信号（步骤 214）。当在步骤 205 及步骤 213 上分别为否时， $C(k)0$ 、 $C(k)1$ 都是由 $D(k)$ 、 $S(k)$ 所选择的码字“无选择分支”（步骤 208），判断结束。

看一看步骤 215 的条件 4，检测前一个进行编码的码字 $C(k-1)$ 的 LSB 一侧的零游程，当为 1 时（在步骤 215 上为是时），即为 010010、000010、001010、101010 或 100010 时， $S(k)=2$ 、 $D(k)$ 为 12 或 13 或二进制 101010 时（在步骤 216 上为是时），下面连接的码字的 MSB（最高位）为 1 时（在步骤 217 上为是时），作为 $C(k)0$ 选择 $S(k)=2$ 的码字，作为 $C(k)1$ 选择 $S(k)=0$ 的码字，从选择分支有无检测电路 121 输出“有选择分支”的检测信号（步骤 218）。当在步骤 215、216 及 217 上分别为否时， $C(k)0$ 、 $C(k)1$ 都是由 $D(k)$ 、 $S(k)$ 所选择的码字“无选择分支”（步骤 208），判断结束。

当 $C(k-1)$ 为 010000、 $S(k)=3$ 、 $D(k)$ 在 3 以下时，可以与 $S(k)=1$ 的码字交换，无论选择哪一个最大的 0 连续都在 7 以内，可见不会使 (1, 7) RLL 规则紊乱，另外，当 $C(k-1)$ 为 010000 时，下次取的码字为 $S(k)=2$ 或 3，通过编码表 13 限定编码的进行，并且，在 $S(k)$ 为 1、2、3 的编码表中包含的码字是各自独立的，即不存在相同的码字，所以在解码时不会产生问题。

同样，在 $C(k-1)$ 为 100000，即 LSB 一侧的零游程为 5 时也一样不会使 (1, 7) RLL 紊乱，并在解码时不会产生问题。

$C(k-1)$ 的 LSB 一侧的零游程为 1 或 2 的码字是取 $S(k)=1$ 或 2 或 3 的码字，在 $S(k)=0$ 的编码表中包含的码字存在与 $S(k)=2$ 或 3 中所包含的码字相同的码字。但是，在 $S(k)=0$ 的码字中， $D(k)=0$ 或 1 的码字 000001 是在其他表中不存在的唯一码字，即使与 $S(k)=2$ 的码字交换，在解码时也不会产生问题。

同样， $C(k-1)$ 的 LSB 一侧的零游程为 1 的码字是下个取 $S(k)=1$ 或 2 或 3 的码字，在 $S(k)=0$ 的编码表中包含的码字存在与 $S(k)=2$ 或 3 所包含的码字相同的码字。但是在 $S(k)=0$ 的码字中， $D(k)=12$ 或 13 的码字 000000 是在其他表中不存在的唯一码字，并且如果下个码字的最高位为 1，则可以维持 $k=7$ ，及使与 $S(k)=2$ 的码字交换，在解码时也不会产生问题。

如以上说明，通过图 5 的码字交换可进行 DSV 控制，可以从在所交换的码字中包含的 1 的奇偶的不同来进行说明。即当 $C(k-1)$ 为 100000、 $S(k)=3$ 、 $D(k)=0$ 时， $C(k)0$ 为 101001， $C(k)1$ 为 001001。当在 NRZI 交换之前的极性已经为 1 时，前者为 001111，最终位是 1，变为 0，而后者为 111000，最终位为 1，变为 1。图 10 表示

了这一情况，a)为前者，b)为后者。上段为 $C(k-1)$ 、 $C(k)$ 、 $C(k+1)$ ，下段为 NRZI 变换后的码字。从图 10 可以看出，通过交换 $C(k)$ ，使 NRZI 变换后的极性改变，DSV 值改变。从而通过选择 DSV 变小的码型，可以抑制 DC 成分。

下面参照图 6，对具有 (1, 8) RLL 限制的码字调制法进行说明。是 (1, 7) RLL 还是 (1, 8) RLL 可通过图 3 的最大游程长度设定 130 确定，或者从初始设定确定是哪一个。另外，(1, 8) RLL 时的编码表可以使用与图 8 的 (1, 7) RLL 相同的编码表。

(1, 8) RLL 时，由于最大游程长度容许比 (1, 7) RLL 长 1 位，所以条件与图 5 相比是不同的。图 6 中，条件 1 是当 $C(k-1)$ 的 LSB 一侧的零游程为 4 或 5 时（步骤 301 上为是时），选择 $S(k)=3$ 的表，并且当 $D(k)$ 为 0~3 时（条件 1-1，步骤 302 上为是时）可以在 $C(k)0$ 中选择 $S(k)=3$ 的码字，在 $C(k)1$ 中选择 $S(k)=1$ 的码字（步骤 303）。另外，当 LSB 一侧的零游程为 4 或 5 时（步骤 301 上为是时），选择 $S(k)=2$ 的表，并且当 $D(k)$ 为 7 以上时（条件 1-2，步骤 304 上为是时）可以在 $C(k)=0$ 中选择 $S(k)=2$ 的码字，在 $C(k)1$ 中选择 $S(k)=1$ 的码字（步骤 305）。当在步骤 301、步骤 302 及步骤 304 上分别为否时， $C(k)0$ 、 $C(k)1$ 都是由 $D(k)$ 、 $S(k)$ 所选择的码字“无选择分支”（步骤 306），判断结束。

同样，条件 2 是当 $C(k-1)$ 的 LSB 一侧的零游程为 1 时（步骤 307 上为是时），选择了 $S(k)=2$ 时如果 $D(k)=12$ 或 13（步骤 308 上为是时），可以在 $C(k)0$ 中选择 $S(k)=2$ 的码字，在 $C(k)1$ 中选择 $S(k)=0$ 的码字（步骤 309）。当在步骤 307 及步骤 308 上分别为否时， $C(k)0$ 、 $C(k)1$ 都是由 $D(k)$ 、 $S(k)$ 所选择的码字“无选择分支”（步骤 306），判断结束。

另外，条件 3 是在 $C(k-1)$ 的 LSB 一侧的零游程为 3 以下时（步骤 310 上为是时）， $S(k)=2$ ， $D(k)$ 是 0 或 1 时（步骤 311 上为是时），可以在 $C(k)0$ 中选择 $S(k)=2$ 的码字，在 $C(k)1$ 中选择 $S(k)=0$ 的码字（步骤 312）。当在步骤 310 及步骤 311 上分别为否时， $C(k)0$ 、 $C(k)1$ 都是由 $D(k)$ 、 $S(k)$ 所选择的码字“无选择分支”（步骤 306），判断结束。

条件 4 是在 $C(k-1)$ 的 LSB 一侧的零游程为 2 时（步骤 313 上为是时）， $S(k)=2$ ， $D(k)$ 为 12 或 13 时（步骤 314 上为是时），下面所选择的码字的 MSB 为 1 时（步骤 315 上为是时），可以在 $C(k)0$ 中选择 $S(k)=2$ 的码字，在 $C(k)1$ 中选择 $S(k)=0$ 的码字（步骤 316）。当在步骤 313、步骤 314 及 315 上都是否时， $C(k)0$ 、 $C(k)1$ 都是由 $D(k)$ 、 $S(k)$ 所选择的码字“无选择分支”（步骤 306），判断结束。

如上所述，根据图 6 的条件判断，可以生成满足 (1, 8) RLL 规则的抑制 DC 成分的码字。

在 $k=9$ 的 RLL 规则的编码时，在步骤 301 的判断中除了零游程为 6 的情况外，还加上满足 $k=9$ 时，执行步骤 303、步骤 305。另外，不需要步骤 315 的判断，下个的码字在任何情况下都可以在 $C(k)=0$ 中选择 $S(k)=2$ 的码字，在 $C(k)1$ 中选择 $S(k)=0$ 的码字。

在 $k=10$ 的 RLL 规则的编码时，在图 6 的步骤 301 的判断中除了零游程为 6 的情况外，还在步骤 313 上可以选择零游程为 3，不需要步骤 315 的判断，下个的码字在任何情况下都可以在 $C(k)=0$ 中选择 $S(k)=2$ 的码字，在 $C(k)=1$ 中选择 $S(k)=0$ 的码字。

在 $k=11$ 时, 还在步骤 313 上, 零游程为 4 时也可以选择, 不需要步骤 315 的判断, 下个码字在任何情况都可以在 $C(k)=0$ 中选择 $S(k)=2$ 的码字, 在 $C(k)=1$ 中选择 $S(k)=0$ 的码字。

在 $k=12$ 时, 还在步骤 313 上, 零游程为 5 时也可以选择, 不需要步骤 315 的判断, 下个码字在任何情况都可以在 $C(k)=0$ 中选择 $S(k)=2$ 的码字, 在 $C(k)=1$ 中选择 $S(k)=0$ 的码字。

如上所述, 通过采用本发明的编码表, 可以实现具有 $(1, 7)$ RLL 限制或者 $k=8$ 以上 12 以下任何数的 RLL 限制的可生成码的调制方法或调制装置。

根据上述的 DVS 控制, 将 4 位的数据字变换为 6 位的码字的调制方法或调制装置, 具有多个可以预先选择的比特码型, 容易构成例如从 8 位的数据字变换为 12 位的码字, 或从 4 的整数倍的位构成的数据字变换成 6 的整数倍构成的码字的编码表, 这也包含在本发明中。

下面参照图 2 至图 4, 根据上述的码字选择对 DSV 控制方法加以说明。在说明中采用图 5 中所示的 $(1, 7)$ RLL 的调制过程, 即使是 $k=8$ 以上 12 以下任何数的 RLL 限制的码字, 也可以通过像图 6 所示那样判断是否有选择分支, 同样进行 DSV 控制。

首先, 在图 4 中, 初始表设定 (步 101) 可以通过决定在码字上附加的同步字等后续的 $S(k)$ 来设定, 然后输入 4 位的源码 $D(k)$ (步 102), 通过 $S(k)$ 和 $D(k)$ 不同, 按图 8 的编码表进行编码。在该过程中, 根据前一个编码的 $C(k-1)$, 运算 LSB 一例的零游程长度, 并根据图 5 的条件, 判断是否有码字的选择分支 (步 103)。在图 2、

图 3 中, $C(k-1)$ 从码输出装置输入, 也可以通过前一个输入数据、及保持状态 $S(k)$ 求出。

当在编码表中不存在可以选择的码字时(在步 103 上“否”时), 在码字存储器“0”124、码字存储器“1”125 中, 将从编码表输出的码字作为 $C(k)0$ 、 $C(k)1$ (步 107)、分别附加在码字存储器“0”124、码字存储器“1”125 中, 运算 CDS, 更新 DSV 存储器 126、DSV 存储器 127(步 108)。

当在编码表中存在可以选择的码字时,(步 103 上为“是”时), 从码字选择分支有无检测电路 121 输出表示存在选择分支的信号, 通过绝对值运算电路对 DSV 存储器 0、1 的绝对值进行运算, 从码字存储器通过输出装置输出绝对值小的码系列(步 104), 然后在选择的码字系列中更换未选择的码字存储器的内容, 同时在采用 DSV 运算存储器的值中更换未采用的值(步 105)。然后, 如图 5、图 6 的说明所述, 作为备选码字, 对可以选择的码字从由 $S(k)$ 决定的一个编码表和另一个编码表中进行选择, 以 $C(k)0$ 、 $C(k)1$ 进行输出(步 106)。然后在码字存储器“0”124、码字存储器“1”125 中, 使从编码表输出的码字作为 $C(k)0$ 、 $C(k)1$ (步 107), 分别对备选码字 $C(k)0$ 、 $C(k)1$ 计算 CDS, 更新 DSV 存储器“0”、“1”, 在码字存储器“0”、“1”中附加 $C(k)0$ 、 $C(k)1$, 更新 DSV 存储器 126、DSV 存储器 127(步 108),

通过使以上操作一直进行到编码结束(步 109), 抑制 DC 成分的码字生成结束。

下面对本发明的最短位反转连续时的位操作进行说明。最短位的反转在传输通路的频率特性低时, 存在难以相位同步的情况, 对于这

样的传输通路，在本发明中通过下述的方法可以阻止最短位反转的连续。

根据图 8 的编码表，最短位反转的连续通过 010101 的重复或 101010 的重复产生。010101 的重复在 $S(k)=0$ 或 $S(k)=3$ 之后， $D(k)=7$ 连续时产生。这时，通过最小游程重复计数器，在 $S(k)=0$ 、 $D(k)=7$ 之后，例如 $D(k+1)=7$ 、 $D(k+2)=7$ 时，选择 $D(k+1)=13$ 。由于本来该码字是 $S(k+2)=3$ 的码字，所以在 $C(k+1)=000000$ 后，为使 RLL 规则不乱，选择 $S(k)=1$ 的码字，从而可以检测并解码 010101 重复的发生。

例如当 $k=9$ 至 12 时， $S(k)=0$ 、 $D(k)=7$ 之后，例如 $D(k+1)=7$ 、 $D(k+2)=7$ 时，选择 $D(k+1)=13$ （选择 $C(k)=000000$ ），输出 $S(k+2)=1$ 。这时，由于 $D(k+2)$ 为 7，所以输出 $C(k+2)=4$ 即二进制 00100。解码时，在 000000 之后检测出 000100 时，可知产生了最小游程重复限制的码字替换， $D(k+1)$ 、 $D(k+2)$ 都可以正常解码。在 $k=8$ 时，例如使 $D(k+2)$ 变为从 10 到 15 的任何数，同样可以解码。

当 101010 重复时，在 $S(k)=2$ 、 $D(k)=12$ 时，码字为 101010、 $S(k+1)=2$ ，此后， $D(k+1)=12$ 时，码字为 101010、 $S(k+2)=2$ 、 $D(k+2)=12$ ，输出 101010 的码字。这时，通过使 $S(k+1)$ 变为“0”，101010 可以变换成 000000，通过下述的解调方法，可以无问题地进行解调。如上所述，根据本发明，可以阻止最小反转的重复。

参照图 3 再次说明以上的操作。最小游程重复监视 131 一边监视 $S(k)$ 和 $D(k)$ ，一边对造成最小反转重复的 $D(k)$ 和 $S(k)$ 进行计数（最小游程重复计数）。将该信息发送给码字选择分支有无检测电路，通过上述方法阻止最小游程的重复。

还在码字选择分支有无检测电路上连接有最大游程长度设定 130，进行最大游程的设定，即设定是进行 (1, 7) PLL 调制，还是进行 $k=8$ 以上 12 以下的某个调制。该设定可以通过图中未画出的系统控制器等装置进行转换。

下面对本发明的解调方法和解调装置进行说明。图 11 是本发明的最佳解调装置一实施例。输入码字的位串由 NRZI 解调装置 501 进行 NRZI 解调，通过同步检测电路 502 检测同步字，被 NRZI 解调的信号及同步字通过变换为并行 6 位的定时信号的字时钟，由串行/并行变换器 503 构成每 6 位的码串 $C(k)$ 。然后输入到字寄存器 504 中，进行 1 字延迟的码字 $C(k-1)$ 输入到码字判断信息的检测装置 505，运算并输出下述的判断信息。判断信息和输入码字 C_k 输入到状态运算器 506 中，输出表示在 4 个编码表中由哪个编码表进行编码的状态 $S(k)$ ，并根据在地址生成部 507 由 $C(k-1)$ 和 $S(k)$ 所指定的地址，从例如图 12 中所示的解码表 508 中输出输出数据字。

判断信息如图 12 所示，表示进行 0、1、2 三种情况，根据 LSB 一侧的零游程长度不同，下个码字由哪个编码表进行编码。即，通过了解前一个码字 $C(k-1)$ 和现在的码字是用哪个编码表进行的编码，就可使 $C(k-1)$ 解调为 $D(k-1)$ 。

(式 1)

if(判断信息==0)[

if($C(k)$ 是在 0 的编码表中的码字)

$S(k)=0;$

elseif($C(k)$ 是在 1 的编码表中的码字)

$S(k)=1;]$

```

if(判断信息==1)[
    if(C(k) 是在 1 的编码表中的码字)
        S(k)=1;
    elseif(C(k) 是在 2 的编码表中的码字)
        S(k) =2;
    elseif(C(k) 是在 3 的编码表中的码字 || 1)
        S(k) =3;
    elseif(C(k)==0 && C(k-1)==32)
        S(k) =3;
    elseif(C(k)==0 && C(k-1)==42)
        S(k) =2; ]
if(判断信息==2)[
    if(C(k) 是在 3 的编码表中的码字||9||5||2)
        S(k)=3;
    elseif(C(k) 是在 2 的编码表中的码字 || 10 || 8)
        S(k) =2;
    elseif(C(k)==21)
        S(k) =0; ]
if(D(k-1) ==2)[
    if(C(k) 为 4)
        D(k-1)为 7
    ]

```

式 1 是从 $C(k)$ 和判断信息求出 $S(k)$ 的运算，由 C 语言描述。通过本运算，从判断信息和 $C(k)$ 、 $C(k-1)$ 可求出 $S(k)$ ，通过图 13 的解调表可以将 $C(k-1)$ 解调为 $D(k-1)$ 。在本运算中，包括 (1, 7) RLL 时、 k =从 8 到 12 时、设定 k =比 9 大的最小游程长度的限制时所有的解调运算。因此，即使是 (1, 7) RLL，对 k =从 8 到 12 时 DSV 的控制方法即选择图 5、图 6 的某一个时，解调装置都可由同一装置进

行正常解调。

例如,如图 14 所示,当 010000 001001 000001 000101 010001 组成的码字串输入到图 11 中所示的解调装置时, $C(k-1)=010000$ 的判断信息由于 LSB 一侧的零游程长度为 4, 所以如图 12 所示, 判断信息为 2。另外, 下个码字 $C(k)$ 是连着 001001 (十进制 9) 的, 相当于式 1 最初的条件判断, 所以可知 $S(k)$ 是 3。这样在图 13 的解调表的 $C(k-1)$ 上, 010000 一行的 $S(k)$ 为 3, 所以求出 $D(k-1)$ 为 15。即, 从 k 时刻的 $C(k)$ 所生成的编码表的状态信息 (序号) $S(k)$, 可解码与 $k-1$ 时刻的 $C(k-1)$ 对应的 $D(k-1)$ 。同样, 001001 是判断信息为 0, 接着的码字 000001 是在编码表的 $S(k)=0$ 中, 所以通过图 13 的解码表可求出 $D(k-1)$ 为 0。同样, 000001 是 $D(k-1)$ 为 1, 000101 可求出 $D(k-1)$ 为 2。001001 由于是 DSV 控制, 所以虽然是由图 5 的条件 1-1 进行交换的码字, 但从以上说明可知可以正常进行解码。

如上面所述, 根据本发明, 在将连续的 2 进制数的数据系列变换成以 4 位为单位的输入数据字之后, 可以变换为满足 (1, 7) RLL 规则或 $k=8$ 以上 12 以下的任何数的 RLL 规则的以 6 位为单位的输出码字串, 另外, 由于在输出码字串上不必加冗余位就可以进行 DSV 控制, 所以具有可提供能有效抑制输出码字串的 DC 成分的调制装置及其解调装置的优点。

图1

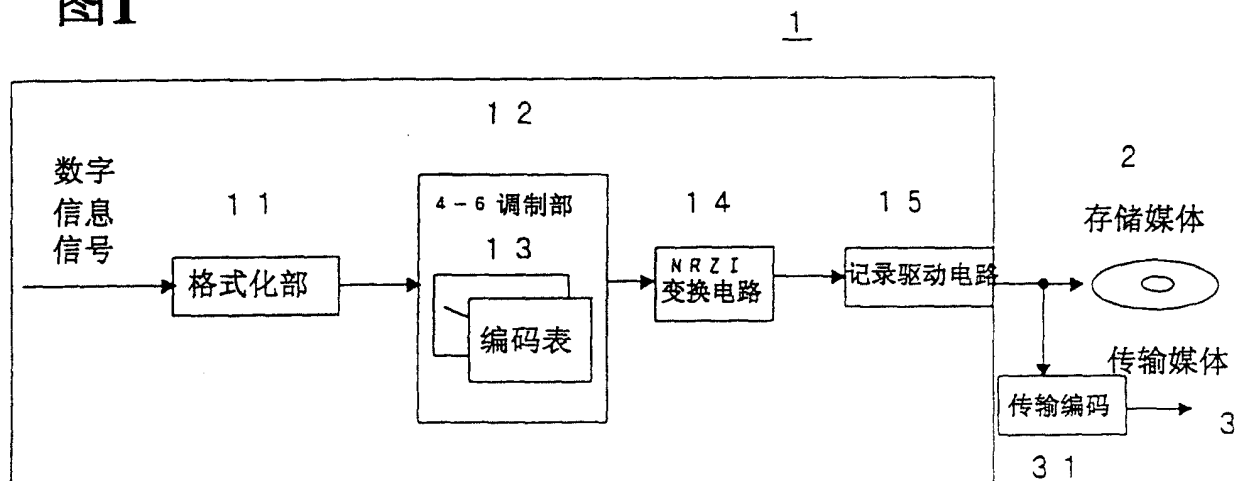


图2

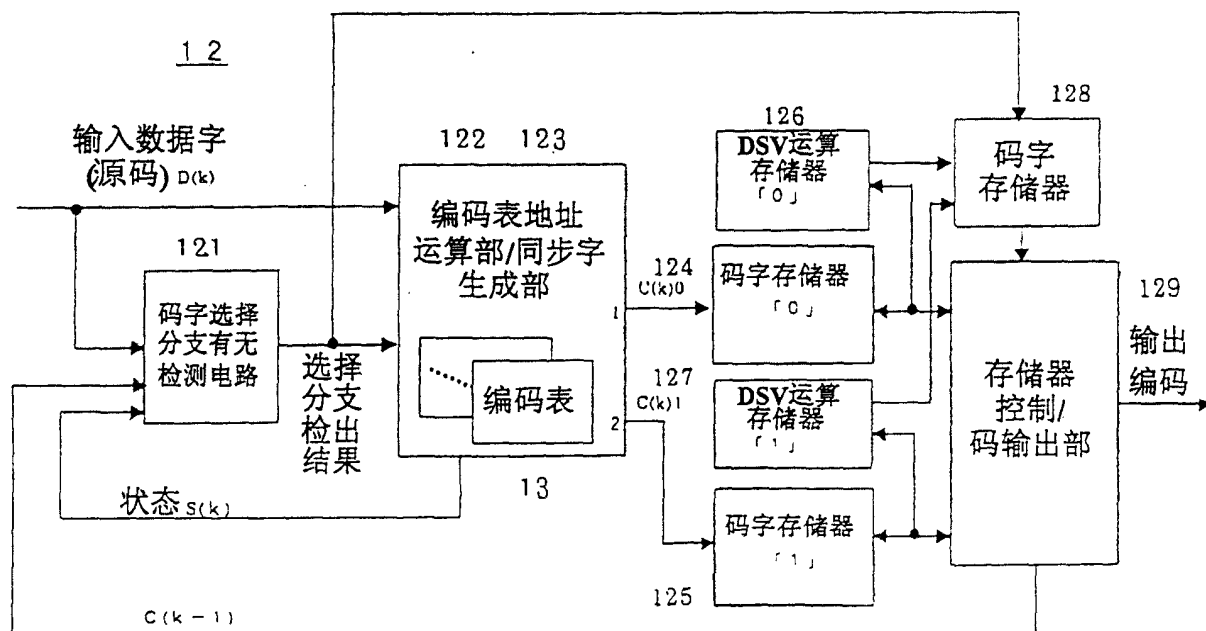


图3

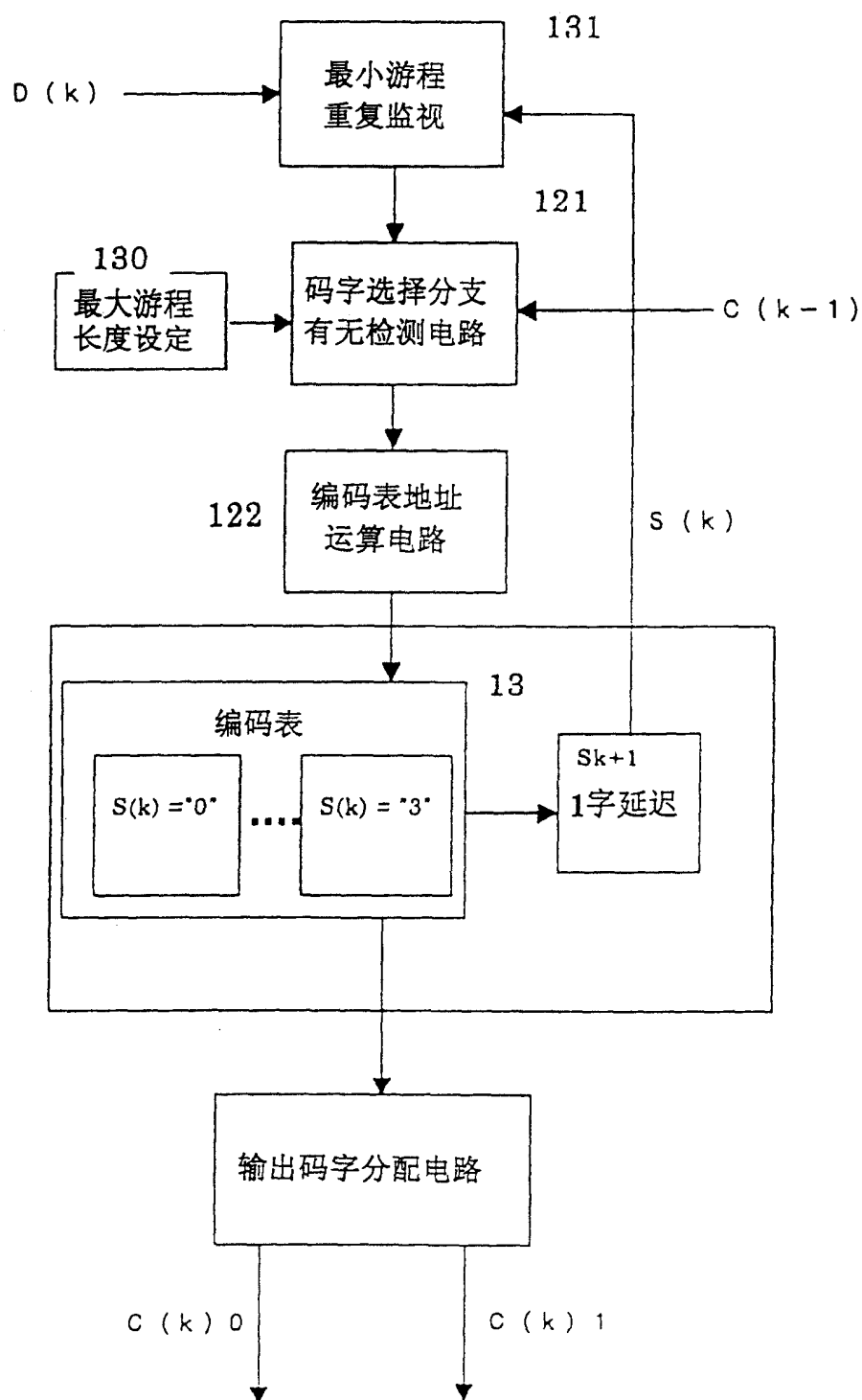


图4

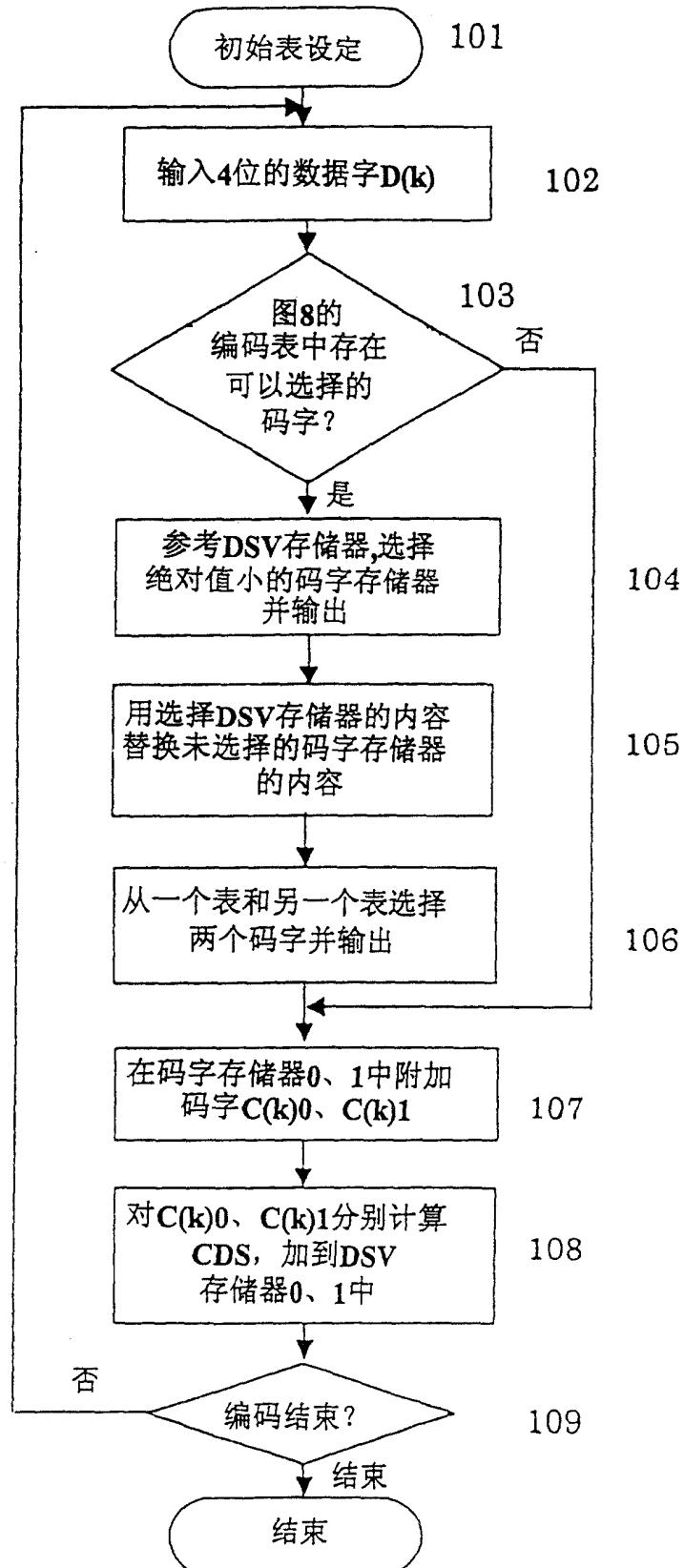


图5

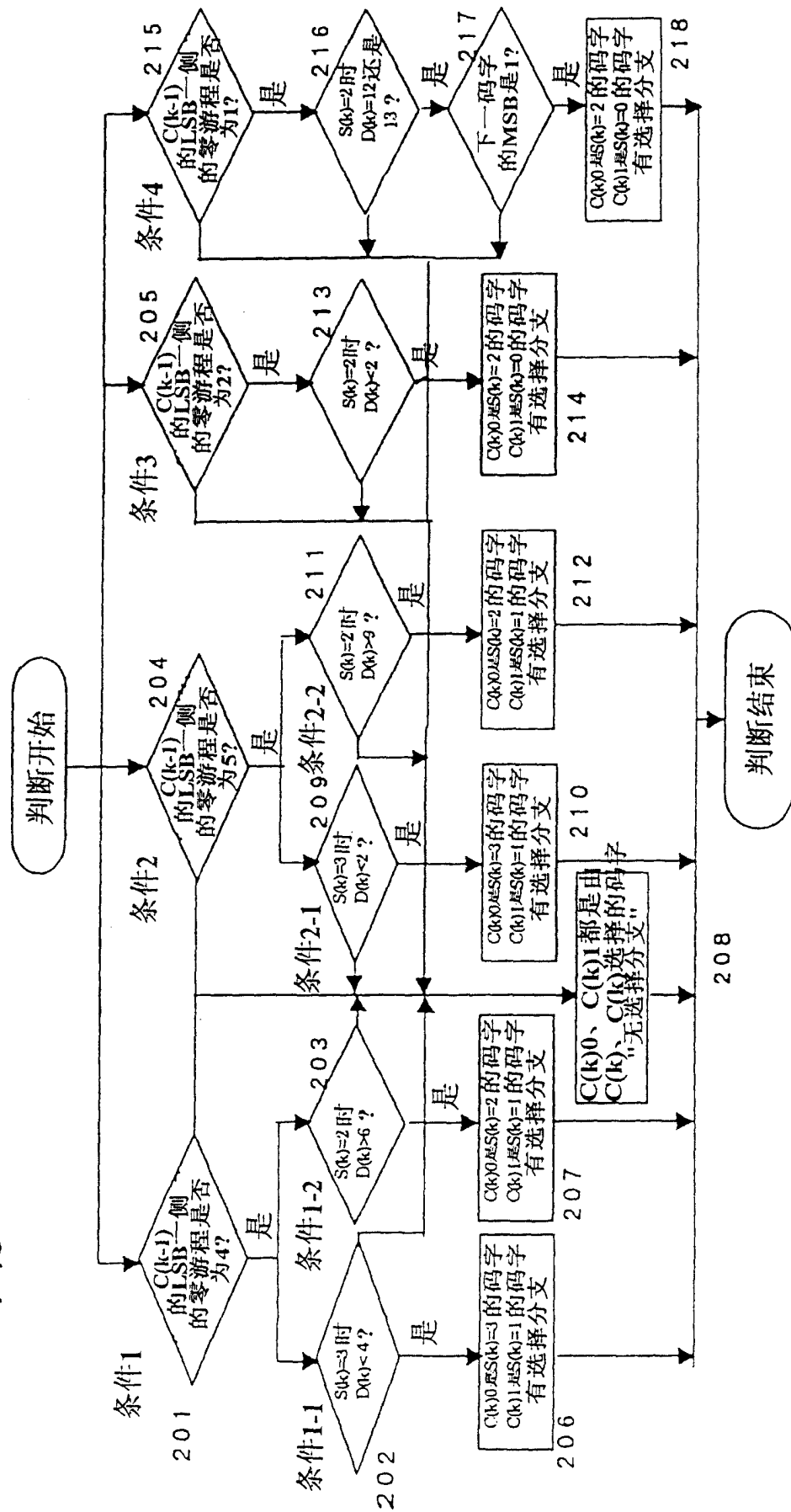


图6

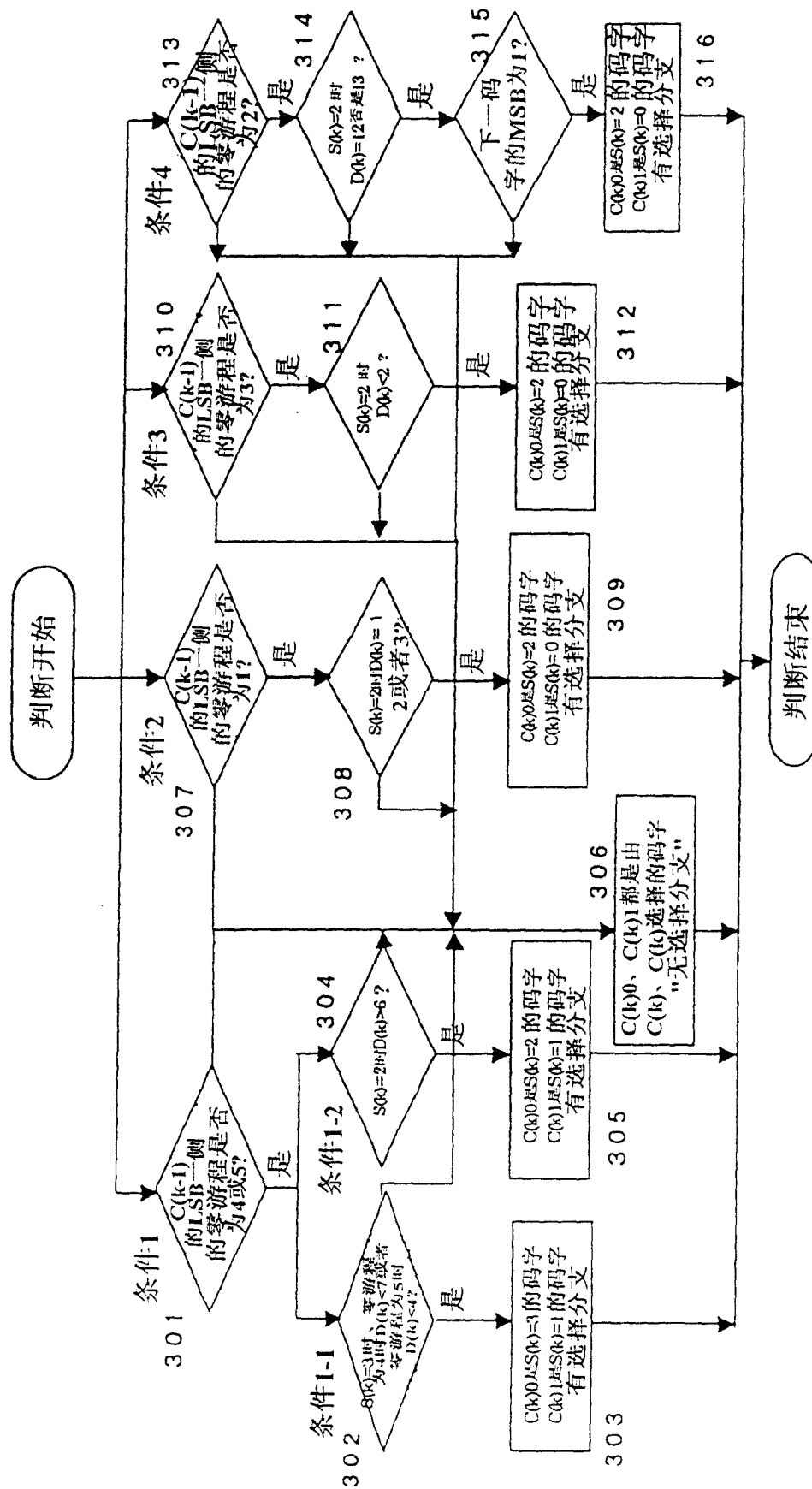


图7

十进制	二进制
0	000000
1	000001
2	000010
4	000100
5	000101
8	001000
9	001001
10	001010
16	010000
17	010001
18	010010
20	010100
21	010101
32	100000
33	100001
34	100010
36	100100
37	100101
40	101000
41	101001
42	101010

图 8

S(k)	0			1			2			3		
	D(k)	C(k)	S(k+1)		C(k)	S(k+1)		C(k)	S(k+1)		C(k)	S(k+1)
0	1	000001	0	9	001001	0	33	100001	0	41	101001	0
1	1	000001	1	9	001001	1	33	100001	1	41	101001	1
2	17	010001	0	5	000101	0	17	010001	0	37	100101	0
3	17	010001	1	5	000101	1	17	010001	1	37	100101	1
4	18	010010	1	2	000010	1	18	010010	1	34	100010	1
5	18	010010	2	2	000010	2	18	010010	2	34	100010	2
6	18	010010	3	2	000010	3	18	010010	3	34	100010	3
7	21	010101	0	4	000100	1	36	100100	1	21	010101	0
8	21	010101	1	4	000100	2	36	100100	2	21	010101	1
9	20	010100	1	4	000100	3	36	100100	3	20	010100	1
10	20	010100	2	10	001010	1	42	101010	1	20	010100	2
11	20	010100	3	8	001000	1	40	101000	1	20	010100	3
12	0	000000	2	10	001010	2	42	101010	2	32	100000	2
13	0	000000	3	10	001010	3	42	101010	3	32	100000	3
14	16	010000	2	8	001000	2	40	101000	2	16	010000	2
15	16	010000	3	8	001000	3	40	101000	3	16	010000	3

图9

输入数据字	表选择信息	输出码字	表选择信息
D(k)	S(n)	C(k)	S(n+1)
4	0	18	1
5	1	2	2
6	2	18	3
7	3	21	0
8	0	21	1

图10

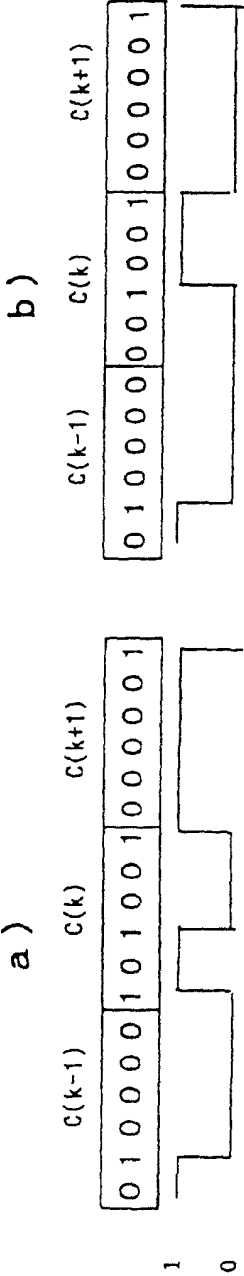


图11

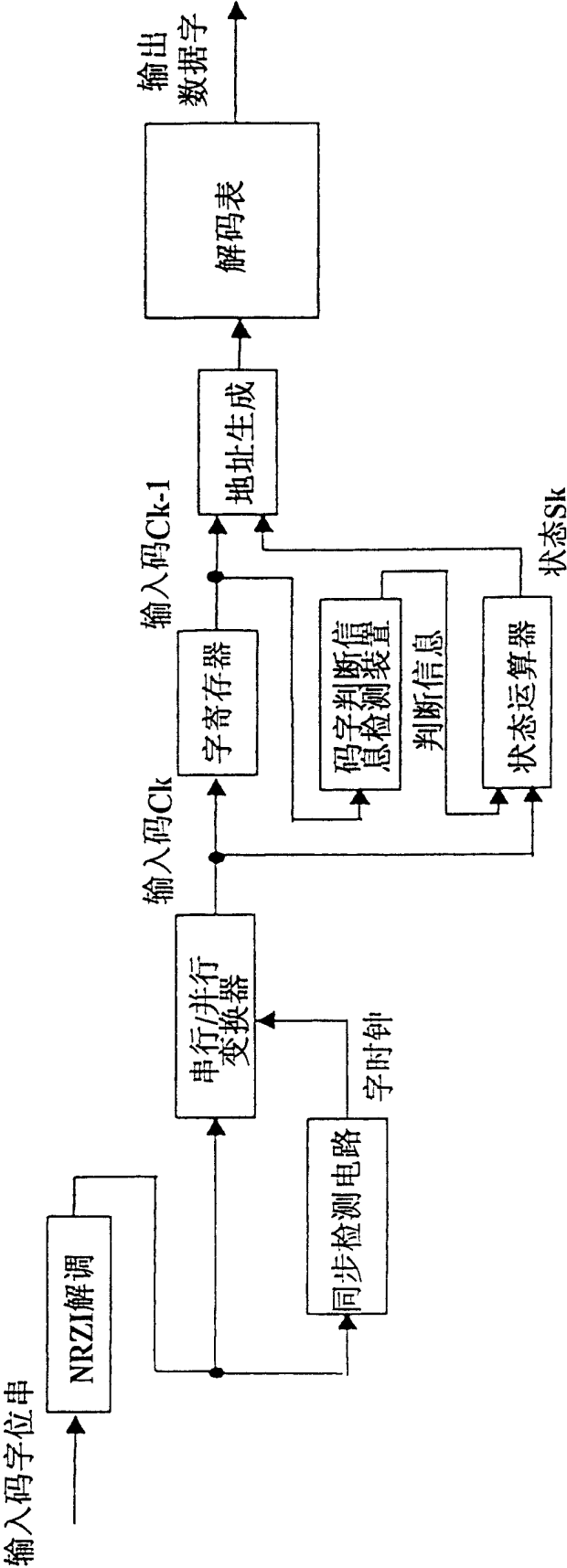


图12

判断信息	LSB一侧的零游程长度	下个状态
0	0	0
1	1, 2, 3、	1, 2, 3、
2	4, 5, 6	2, 3

图13

Ck-1			Dk-1 / Sk			
十进制	二进制	判断信息	0	1	2	3
0	000000	2	7	—	12	13
1	000001	0	0	1	—	—
2	000010	1	—	4	5	6
4	000100	1	—	7	8	9
5	000101	0	2	3	—	—
8	001000	1	—	11	14	15
9	001001	0	0	1	—	—
10	001010	1	—	10	12	13
16	010000	2	—	—	14	15
17	010001	0	2	3	—	—
18	010010	1	—	4	5	6
20	010100	1	—	9	10	11
21	010101	0	7	8	—	—
32	100000	2	—	—	12	13
33	100001	0	0	1	—	—
34	100010	1	—	4	5	6
37	100101	0	2	3	—	—
40	101000	1	—	11	14	15
41	101001	0	7	8	—	—
42	101010	1	—	10	12	13

图14

Dk	Ck	判断信息	Sk
15	010000	2	3
0	001001	0	0
1	000001	0	1
2	000101	0	0
3	010001	0	—

图15

$S(k)$	0			1			2			3		
$D(k)$		$C(k)$	$S(k+1)$		$C(k)$	$S(k+1)$		$C(k)$	$S(k+1)$		$C(k)$	$S(k+1)$
0	1	000001	0	9	001001	0	33	100001	0	41	101001	0
1	17	010001	1	5	000101	1	17	010001	1	37	100101	1
2	18	010010	2	2	000010	2	18	010010	2	34	100010	2
3	17	010001	0	5	000101	0	17	010001	0	37	100101	0
4	18	010010	1	2	000010	1	18	010010	1	34	100010	1
5	1	000001	1	9	001001	1	33	100001	1	41	101001	1
6	18	010010	3	2	000010	3	18	010010	3	34	100010	3
7	20	010100	1	4	000100	1	36	100100	1	20	010100	1
8	21	010101	0	4	000100	2	36	100100	2	21	010101	0
9	20	010100	2	4	000100	3	36	100100	3	20	010100	2
10	21	010101	1	10	001010	1	42	101010	1	21	010101	1
11	20	010100	3	8	001000	1	40	101000	1	20	010100	3
12	16	010000	2	8	001000	2	40	101000	2	16	010000	2
13	0	000000	3	10	001010	3	42	101010	3	32	100000	3
14	16	010000	3	8	001000	3	40	101000	3	16	010000	3
15	0	000000	2	10	001010	2	42	101010	2	32	100000	2