



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201131663 A1

(43)公開日：中華民國 100 (2011) 年 09 月 16 日

(21)申請案號：099141172

(22)申請日：中華民國 99 (2010) 年 11 月 29 日

(51)Int. Cl. : *H01L21/336 (2006.01)*

H01L21/28 (2006.01)

(30)優先權：2009/12/24 日本

2009-292162

(71)申請人：三洋電機股份有限公司 (日本) SANYO ELECTRIC CO., LTD. (JP)

日本

三洋半導體股份有限公司 (日本) SANYO SEMICONDUCTOR CO., LTD. (JP)

日本

(72)發明人：松井俊和 MATSUI, TOSHIKAZU (JP)；佐山康之 SAYAMA, YASUYUKI (JP)；江

藤弘樹 ETO, HIROKI (JP)；細谷拓己 HOSOYA, TAKUMI (JP)

(74)代理人：洪武雄；陳昭誠

申請實體審查：有 申請專利範圍項數：6 項 圖式數：11 共 36 頁

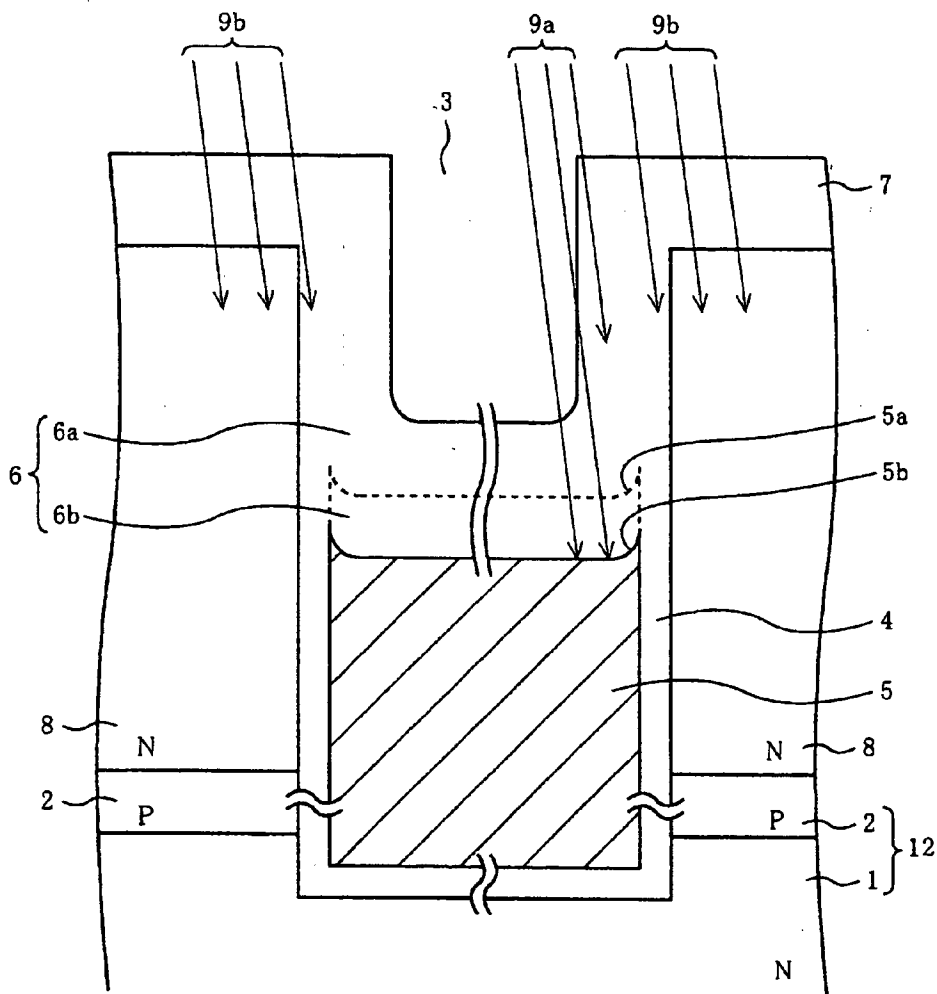
(54)名稱

半導體裝置之製造方法

METHOD FOR MAKING SEMICONDUCTOR DEVICE

(57)摘要

本發明的課題在於確立一種半導體裝置的製造方法，其製造的半導體裝置之溝槽構造的閘極絕緣膜不會因為形成射極層等時之砷離子而受到損傷，而能以低成本製造提升該閘極絕緣膜的絕緣耐壓之半導體裝置。本發明的半導體裝置的製造方法如下所述。在高溫爐中等將由埋入於溝槽 3 內而形成的多晶矽所構成的閘極電極 5 予以熱氧化，而於閘極電極 5 上形成厚的多晶矽熱氧化膜 6。之後，將雜質離子予以離子植入以形成當成為射極層等的 N 型半導體層 8。此時，將多晶矽熱氧化膜 6 的膜厚形成為比用以藉由離子植入而形成由當成為射極層等的 N 型半導體層 8 之雜質離子在氧化矽膜中的平均植入全距還厚。藉此，可防止雜質離子對包夾在閘極電極 5 與 N 型半導體層 8 之間的閘極絕緣膜 4 遭受損傷。



- 1：N 型半導體層
- 2：P 型半導體層
- 3：溝槽
- 4：閘極絕緣膜
- 5：閘極電極
- 5a：閘極電極最上表面
- 5b：閘極電極最上表面
- 6：多晶矽熱氧化膜
- 6a：多晶矽熱氧化膜
- 6b：多晶矽熱氧化膜
- 7：追加氧化膜
- 8：N 型半導體層
- 9a：箭頭(砷離子的離子植入方向)
- 9b：箭頭(砷離子的離子植入方向)
- 12：半導體基板



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201131663 A1

(43)公開日：中華民國 100 (2011) 年 09 月 16 日

(21)申請案號：099141172

(22)申請日：中華民國 99 (2010) 年 11 月 29 日

(51)Int. Cl. : *H01L21/336 (2006.01)*

H01L21/28 (2006.01)

(30)優先權：2009/12/24 日本

2009-292162

(71)申請人：三洋電機股份有限公司 (日本) SANYO ELECTRIC CO., LTD. (JP)

日本

三洋半導體股份有限公司 (日本) SANYO SEMICONDUCTOR CO., LTD. (JP)

日本

(72)發明人：松井俊和 MATSUI, TOSHIKAZU (JP)；佐山康之 SAYAMA, YASUYUKI (JP)；江

藤弘樹 ETO, HIROKI (JP)；細谷拓己 HOSOYA, TAKUMI (JP)

(74)代理人：洪武雄；陳昭誠

申請實體審查：有 申請專利範圍項數：6 項 圖式數：11 共 36 頁

(54)名稱

半導體裝置之製造方法

METHOD FOR MAKING SEMICONDUCTOR DEVICE

(57)摘要

本發明的課題在於確立一種半導體裝置的製造方法，其製造的半導體裝置之溝槽構造的閘極絕緣膜不會因為形成射極層等時之砷離子而受到損傷，而能以低成本製造提升該閘極絕緣膜的絕緣耐壓之半導體裝置。本發明的半導體裝置的製造方法如下所述。在高溫爐中等將由埋入於溝槽 3 內而形成的多晶矽所構成的閘極電極 5 予以熱氧化，而於閘極電極 5 上形成厚的多晶矽熱氧化膜 6。之後，將雜質離子予以離子植入以形成當成為射極層等的 N 型半導體層 8。此時，將多晶矽熱氧化膜 6 的膜厚形成為比用以藉由離子植入而形成由當成為射極層等的 N 型半導體層 8 之雜質離子在氧化矽膜中的平均植入全距還厚。藉此，可防止雜質離子對包夾在閘極電極 5 與 N 型半導體層 8 之間的閘極絕緣膜 4 遭受損傷。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有溝槽（trench）閘極構造之半導體裝置的製造方法，尤其有關一種能防止 IGBT（Insulated Gate Bipolar Transistor；絕緣閘雙極電晶體）和功率 MOS（Metal Oxide Semiconductor；金屬氧化物半導體）電晶體的閘極絕緣膜的絕緣耐壓因為形成射極層等時之離子植入的衝擊等而導致劣化之半導體裝置的製造方法。

【先前技術】

IGBT 和功率 MOS 電晶體大多採用用以實現低導通（ON）電阻化等之溝槽閘極構造。溝槽閘極構造係如第 11 圖所示，首先，以從具有 N 型半導體層 1 與 P 型半導體層 2 之半導體基板 12 的表面朝內部之方式將半導體基板 12 予以蝕刻，於半導體基板 12 形成溝槽 3。之後，於形成用以覆蓋溝槽 3 內壁之閘極絕緣膜 4 之後，藉由用以填充於溝槽 3 內之導電性多晶矽來形成閘極電極 5。之後，藉由砷離子等之離子植入，於 P 型半導體層 2 的表面植入雜質並使其熱擴散，而於該 P 型半導體層 2 內形成成為 N 型半導體層 8 之雜質區域。在 IGBT 的情形中 N 型半導體層 8 係成為射極層，而在功率 MOS 電晶體的情形中 N 型半導體層 8 係成為源極層。

如第 11 圖所示，為了於半導體基板 12 內形成 N 型半導體層 8，從箭頭 9b 所示的方向離子植入經過高壓電加速

的砷離子等，此時，同時亦從箭頭 9a 的方向直接或者穿過屬於閘極電極 5 之多晶矽層對包夾於閘極電極 5 與 N 型半導體層 8 之間的閘極絕緣膜 4 中植入砷離子等。箭頭 9a 及 9b 係表示各個砷離子等的植入全距，這些箭頭 9a 及 9b 的前端係表示砷離子之在屬於被植入對象之氧化矽膜等內的平均植入全距的概略位置。

由於以箭頭 9a 所示的植入全距通過由多晶矽所構成的閘極電極 5 內等而植入至包夾於該閘極電極 5 與 N 型半導體層 8 之間的閘極絕緣膜 4 中的砷離子等係具有大的能量，因此會沿著箭頭 9a 的植入全距對閘極絕緣膜 4 內造成損傷。結果，會產生該部分的閘極絕緣膜 4 的膜質劣化而流通漏電流，且閘極絕緣膜 4 的絕緣耐壓降低之缺點。此外，砷離子等的植入方向並非與半導體基板 12 垂直而是朝向傾斜方向，此係為了防止砷離子等在半導體基板 12 內穿隧（channeling）之故。

關於由溝槽閘極構造所構成的 IGBT 等的閘極絕緣耐壓劣化對策係記載於以下的專利文獻 1。

專利文獻 1：日本特開 2000-349289 號公報

【發明內容】

（發明所欲解決之課題）

在專利文獻 1 中，於藉由砷離子的離子植入形成 N 型半導體層 8 時，以砷離子不會進入包夾於由多晶矽所構成的閘極電極 5 與 N 型半導體層 8 之間的閘極絕緣膜 4 中的方式，以厚的絕緣膜覆蓋用以填充於溝槽 3 內之閘極電極

5 上。結果，達成防止離子植入時對於閘極絕緣膜的損傷之目的。

用以覆蓋閘極電極 5 上之厚的絕緣膜的形成方法係如下述。首先，於包含閘極電極 5 上之半導體基板 12 上的整面藉由 CVD (Chemical Vapor Deposition; 化學氣相沉積) 法沉積厚度 $1\mu\text{m}$ 左右的氧化矽膜。之後，藉由乾蝕刻 (dry etching) 等將整面予以回蝕 (etch back) 直至露出 P 型半導體層 2 的表面為止。再者，為了防止離子植入導致露出的 P 型半導體層 2 的表面產生損傷，係藉由屏蔽氧化膜 (screening oxide film) 50nm 左右覆蓋包含閘極電極 5 上之半導體基板 12 的整體表面。

如上所述，在專利文獻 1 記載的方法中，為了防止離子植入的損傷而形成用以覆蓋閘極電極 5 上之絕緣膜的步驟係由 CVD 氧化矽膜形成、氧化矽膜的整面回蝕、以及屏蔽氧化膜的形成之複雜的步驟所構成。

因此，確立一種能以簡單且低成本形成用以覆蓋閘極電極 5 上的絕緣膜之製造方法成為一項課題。

(解決課題的手段)

提供一種半導體裝置的製造方法，係具備有：準備於第一導電型的第一半導體層上具有第二導電型的第二半導體層之半導體基板之步驟；形成從第二半導體層的表面延伸至第一半導體層內之溝槽之步驟；形成從溝槽內壁延伸至第二半導體層的表面之閘極絕緣膜之步驟；於形成有閘極絕緣膜之溝槽內形成閘極電極之步驟；將閘極電極予以

熱氧化藉此於閘極電極的上表面形成閘極電極保護膜之步驟；以及於閘極電極保護膜的形成後，於第二半導體層內將雜質離子予以離子植入而形成第一導電型的雜質區域之步驟。

（發明效果）

依據本發明的半導體裝置的製造方法，能以低成本製造提升閘極絕緣膜的絕緣耐壓之半導體裝置。

【實施方式】

〔第一實施形態〕

以下，依據第 1 圖至第 7 圖說明本發明第一實施形態的半導體裝置的製造方法。本發明雖係涉及 IGBT 和功率 MOS 電晶體的製造方法，但發明的要旨係關於一種防止溝槽閘極構造中的閘極電極最上表面附近的閘極絕緣膜因為用以形成射極層等之砷離子等的離子植入而受到損傷之製造方法。因此，附圖亦以溝槽閘極構造中的閘極電極最上表面附近的閘極絕緣膜部分為中心予以記載並進行說明。

首先，以下述順序來準備第 1 圖所示的半導體基板 12。首先，在半導體裝置為 N 通道型功率 MOS 電晶體的情形時係準備未圖示的 N+ 型半導體基板，在半導體裝置為 IGBT 的情形時係準備未圖示的 P+ 型半導體基板，該 P+ 型半導體基板係於其表面藉由磊晶法等形成未圖示的 N+ 型半導體層。於兩半導體基板的表面露出 N+ 型半導體層。此外，本實施形態的 N+ 型半導體基板及 P+ 型半導體基板皆為單結晶矽基板，經過磊晶成長的 N+ 型半導體

層亦為矽層。

接著，如第 1 圖所示，藉由預定的磊晶法於該 N+ 型半導體層的表面形成由預定的膜厚所構成的 N 型半導體層 1。接著，於 N 型半導體層 1 的表面形成未圖示的氧化矽膜，穿過該氧化矽膜將硼離子予以離子植入至 N 型半導體層 1 內。之後，將半導體基板 12 插入至高溫爐等內，將經過離子植入的硼擴散至 N 型半導體層 1 內，藉此形成 P 型半導體層 2。P 型半導體層 2 係於之後成為閘極電極正下方的通道層之區域。

接著，如第 2 圖所示，經由預定的步驟形成由未圖示的氧化矽膜等所構成的遮罩，使用該遮罩並藉由乾蝕刻等形成從 P 型半導體層 2 的表面延伸至 N 型半導體層 1 內部之預定寬度及預定深度的溝槽 3。雖然形成複數個溝槽 3，但僅記載其中一個。

於成為溝槽 3 側壁的 N 型半導體層 1 與 P 型半導體層 2 的表面殘留有許多乾蝕刻等時的蝕刻損傷。因此，首先，將半導體基板 12 插入至高溫爐內，於成為溝槽 3 側壁的 P 型半導體層 2 與 N 型半導體層 1 的表面形成預定膜厚之所謂的犧牲氧化膜，於犧牲氧化膜中吸收前述蝕刻損傷層。

之後，將半導體基板浸入氟酸等蝕刻液內，將犧牲氧化膜予以蝕刻去除。接著，如第 3 圖所示，將半導體基板 12 插入至高溫爐等內，形成從溝槽 3 內延伸至 P 型半導體層 2 表面之由預定膜厚所構成的閘極絕緣膜 4。此外，閘極絕緣膜 4 亦可為將氮植入至熱氧化矽膜的氮氧化膜。

接著，藉由 CVD 法形成用以覆蓋包含溝槽 3 內部之半導體基板 12 的整體表面之多晶矽層。由於多晶矽層的膜厚較厚，因此多晶矽層埋入至溝槽 3 的內部，其表面成為大至平坦的狀態。接著，將三氯一氧化磷（phosphorus oxychloride / POCl_3 ）等作為雜質來源，在高溫爐中將磷擴散至多晶矽層中。之後，藉由乾蝕刻將多晶矽層予以全面回蝕，直至露出 P 型半導體層 2 上的閘極絕緣膜 4。

此時，以蝕刻裝置的最佳蝕刻終點（endpoint）確認蝕刻狀態後，以不會於 P 型半導體層 2 上的閘極絕緣膜 4 上殘留多晶矽層的殘渣之方式，進行一定時間的過度蝕刻（over etching），藉此形成第 4 圖所示之填充於溝槽 3 內部的閘極電極 5。能從溝槽 3 上確認到閘極電極最上表面 5a。結果，如第 4 圖所示，填充於溝槽 3 內部的閘極電極最上表面 5a 係位於從 P 型半導體層 2 的表面降低至預定位置的較低位置。防止包夾於該閘極電極 5 與 P 型半導體層 2 之間的部分的閘極絕緣膜 4 因為下一步驟的形成射極層等時的砷離子等的離子植入而受到損傷導致閘極絕緣膜 4 的絕緣耐壓降低乃是本發明的目的。

接著，如第 5 圖所示，將半導體基板 12 插入至高溫爐等內，將構成閘極電極 5 之多晶矽膜予以熱氧化，形成比砷離子的離子植入時的多晶矽熱氧化膜中的平均植入全距還厚之成為閘極電極上保護膜之多晶矽熱氧化膜 6。如第 5 圖所示，多晶矽熱氧化膜 6 係夾著氧化前的虛線所示的閘極電極最上表面 5a 形成有由上部 6a 與下部 6b 所構成

之新的閘極電極最上表面 5b。

此時，形成於 P 型半導體層 2 上之預定膜厚的閘極絕緣膜 4 亦成為以第 7 圖所示的追加氧化量經過追加氧化之厚的追加氧化膜 7。追加氧化膜 7 的厚度係設定為未滿砷離子的平均植入全距的 70%。關於上述多晶矽熱氧化膜 6 的膜厚及追加氧化膜 7 的膜厚的必要性係容後述。

此外，所謂離子的平均植入全距係指於某物體中離子植入複數個離子時，各個的離子於物體內行進的植入全距的平均值。經過離子植入的離子最後會成為中性的原子而停止，於被離子植入物體內呈現高斯分布（Gaussian distribution）。因此，所謂離子的平均植入全距係指停止於物體內的雜質的高斯分布的峰值位置。

接著，如箭頭 9b 所示，為了於 P 型半導體層 2 內形成 N 型半導體層 8，以一定的加速電壓將砷離子等予以離子植入。離子植入的方向從與半導體基板垂直的方向具有些微角度乃是如前所示為了防止所植入的離子因為穿隧而不規則地分布於比 P 型半導體層 2 內的預定位置還深的位置之故。

第 5 圖的箭頭 9a 所示的砷離子等係朝包夾於因為於多晶矽的上表面形成有多晶矽熱氧化膜 6 而位於比當初的閘極電極最上表面 5a 還低的位置的閘極電極最上表面 5b 與 P 型半導體層 2 之間的部分的閘極絕緣膜 4 的方向予以植入。由於在氧化後的新的閘極電極最上表面 5b 上形成有比多晶矽熱氧化膜中的砷離子的平均植入全距還厚的多晶矽

熱氧化膜 6，因此經過植入的砷離子等無法進入包夾於上述閘極電極 5 與 P 型半導體層 2 之間的閘極絕緣膜 4 中，即使能夠進入閘極絕緣膜 4 中，亦僅有比砷離子的平均植入全距還內側的砷離子能侵入。

在第 11 圖所示的習知例的情形中，由於砷離子直接離子植入至包夾於閘極電極 5 與 P 型半導體層 2 之間的閘極絕緣膜 4 中，因此閘極絕緣膜 4 受到砷離子的衝擊，而如第 6 圖 (a) 所示，閘極絕緣膜漏電流係相對於閘極施加電壓而增加，導致閘極絕緣膜 4 的絕緣耐壓降低。然而，在本實施形態的情形中，如上所述，由於即使存在植入於包夾在閘極電極 5 與 P 型半導體層 2 之間的閘極絕緣膜 4 中的砷離子，亦比習知例少很多，因此如第 6 圖 (b) 所示保持高的絕緣耐壓。

此外，在第 5 圖及第 11 圖中雖記載為於離子植入之後立即於 P 型半導體層 2 內形成 N 型半導體層 8，然而在該時間點中大部分的砷離子係在非活性狀態下高斯分布於構成 P 型半導體層 2 之矽原子的晶格間，因此不會於 P 型半導體層 2 內形成完全的 N 型半導體層 8。藉由後續步驟的層間絕緣膜的高溫退火處理等予以擴散及活性化，而形成第 5 圖、第 11 圖所示之最終形態的 N 型半導體層 8。

接著，以下說明加算過形成於 P 型半導體層 2 上的初期閘極絕緣膜 4 與新的追加氧化量後的追加氧化膜 7 的膜厚設為未滿砷離子在氧化矽膜中的平均植入全距的 70% 之理由。藉由第 5 圖的箭頭 9b 所示的砷離子的離子植入於 P

型半導體層 2 內形成 N 型半導體層 8。N 型半導體層 8 係成為 IGBT 的射極層、功率 MOS 電晶體的源極層，這些射極層或源極層的下層的 P 型半導體層 2 係分別成為裝置 (device) 的通道層。

藉由砷離子的離子植入所形成的 N 型半導體層 8 係於之後進行層間絕緣膜的退火處理而使其從 P 型半導體層 2 的表面延伸至比隔著閘極絕緣膜 4 而與 P 型半導體層 2 對峙的閘極電極最上表面 5b 還深的 P 型半導體層 2 內。此外，為了降低導通電阻以及降低與用以與 N 型半導體層 8 接觸之未圖示的射極電極等的接觸電阻，N 型半導體層 8 的砷濃度較佳為儘可能在實用性範圍內的高濃度。

追加氧化膜 7 的膜厚愈薄時則植入的離子在追加氧化膜 7 內停止的比率就愈少，而能穩定地形成高濃度的 N 型半導體層 8。由於所植入的離子的分布係依循高斯分布，因此為了穩定地形成高濃度的 N 型半導體層 8，較佳為追加氧化膜 7 的膜厚未滿砷離子在氧化矽膜中的平均植入全距的 70%。

另一方面，為了防止對於上述閘極絕緣膜 4 的損傷，閘極電極 5 上的多晶矽熱氧化膜 6 較厚為宜。於第 7 圖的橫軸係顯示將於具有預定初期膜厚的閘極絕緣膜 4 的 P 型半導體層 2 的表面新追加形成的追加氧化量予以規格化，於縱軸係顯示將於 P 型半導體層 2 上加算預定初期膜厚的閘極絕緣膜 4 與追加氧化量而形成的追加氧化膜 7 的膜厚及形成於閘極電極 5 上的多晶矽熱氧化膜 6 的膜厚予以規

格化而表示該等間之關係。雖然會受到多晶矽中的雜質濃度等的影響，但於多晶矽上成長的氧化膜的成膜速度係比於矽上成長的氧化膜的成長速度還快。利用該成長速度的差異亦為用以獲得本發明的效果的重點之一。

在本實施形態的砷離子的離子植入時的加速電壓的情形中，砷離子在多晶矽氧化膜中的平均植入全距係為第 7 圖的縱軸 $a1$ 所示之經過規格化的值， $a1 \div 3.25\text{nm}$ 。因此，為了不使包夾於閘極電極最上表面 5b 部附近的閘極電極 5 與 P 型半導體層 2 之間的閘極絕緣膜 4 因為砷離子的離子植入而受到損傷，閘極電極最上表面 5b 上的多晶矽熱氧化膜 6 經過規格化的膜厚必須比約 3.25nm 還厚。

當將多晶矽熱氧化膜 6 的膜厚作成比砷離子在多晶矽氧化膜中的平均植入全距 3.25nm 還薄時，可確認到閘極絕緣膜 4 的絕緣耐壓的劣化。在此情形中，初期的閘極電極最上表面 5a 與新的閘極電極最上表面 5b 間的多晶矽熱氧化膜 6 的下部 6b 的膜厚係整體膜厚的 0.45，形成於比初期的閘極電極最上表面 5a 還上面的多晶矽熱氧化膜 6 的上部 6a 的膜厚係整體膜厚的約 0.55。

如第 7 圖所示，當閘極電極 5 上的多晶矽熱氧化膜 6 的多晶矽上規格化氧化膜厚為 $a1 \div 3.25\text{nm}$ 時規格化追加氧化量係 $c1 \div 1.3\text{nm}$ ，P 型半導體層 2 上的矽上規格化追加氧化膜 7 的膜厚成為 $b1 \div 1.87\text{nm}$ 。另一方面，砷離子在氧化矽膜中的平均植入全距係與多晶矽氧化膜的情形大致相同，約 3.25nm 。當矽上規格化追加氧化膜 7 的膜厚比砷

離子在氧化矽膜中的平均植入全距 3.25nm 的 0.7 倍的約 2.25nm (b2) 還厚時，第 5 圖的箭頭 9b 所示的砷離子朝向 P 型半導體層 2 中的植入量減少，N 型半導體層 8 的電阻變高，且由於表面濃度降低而使與未圖示的射極電極等之接觸電阻變高。

〔第二實施形態〕

依據第 8 圖及第 9 圖說明本發明的第二實施形態。與第一實施形態相同的構成係附上相同的符號。首先，經由與第一實施形態相同的步驟準備第 4 圖所示的半導體基板 12。接著，如第 8 圖所示，將露出於 P 型半導體層 2 上的閘極絕緣膜 4 予以蝕刻去除。此時，包夾於閘極電極 5 與 P 型半導體層 2 之間的部分的閘極絕緣膜 4 亦被稍微凹入蝕刻。

接著，如第 9 圖所示，將半導體基板 12 插入至高溫爐內，以與第一實施形態相同的條件於閘極電極 5 上形成多晶矽熱氧化膜 6，於 P 型半導體層 2 上形成追加氧化膜 7a。在此情形中，形成於閘極電極 5 上的多晶矽氧化膜 6 的膜厚係與第一實施形態的情形相同。

相對於此，在相同的追加氧化量中，由於形成在 P 型半導體層 2 上的追加氧化膜 7a 的膜厚的初期膜厚為 0，因此當然比從預定的初期膜厚開始的第一實施形態中的追加氧化膜 7 的膜厚還薄。雖然不夠嚴謹，但本實施形態之由形成於露出的 P 型半導體層 2 上的熱氧化矽膜所構成之矽上規格化追加氧化膜 7a 的膜厚係成為與規格化追加氧化

量相同的值。

追加氧化膜 7 與追加氧化膜 7a 的膜厚的下限係受限於用以防止離子植入的損傷之最少的多晶矽熱氧化膜 6 的膜厚，而上限係受限於 N 型半導體層 8 的濃度等。以第一實施形態中的第 7 圖的規格化追加氧化量比較其容許範圍。不論是在第一實施形態與本實施形態中，規格化追加氧化量的下限皆為與多晶矽上規格化氧化膜的膜厚 $a1 \div 3.25\text{nm}$ 對應之 $c1 \div 1.3\text{nm}$ 而相同。

相對於此，規格化追加氧化量的上限在第一實施形態中為與矽上規格化追加氧化膜厚的上限 $b2 \div 2.25\text{nm}$ 對應之 $c2 \div 1.72\text{nm}$ 。而在本實施形態中，由於規格化追加氧化量其本身係相當於 P 型半導體層 2 上的矽規格化追加氧化膜厚，因此矽上規格化追加氧化膜厚的上限 $c3$ 係為砷離子在氧化矽膜中的平均植入全距 3.25nm 的 0.7 倍，亦即變成 $c3 \div 2.25\text{nm}$ 。結果，在第一實施形態中規格化追加氧化量的容許範圍係成為 $c1$ 至 $c2$ ，亦即為 1.3nm 至 1.72nm ，相對於此，在本實施形態中規格化追加氧化量的容許範圍係成為 $c1$ 至 $c3$ ，亦即為 1.3nm 至 2.25nm 。結果，能將追加氧化量的容許範圍擴展 2.2 倍以上。由於規格化追加氧化量係與氧化時間的開平方成正比，因此與第一實施形態相比，本實施形態中至規格化追加氧化量的上限為止的時間係能增長約 1.8 倍。

亦即，在第一實施形態的情形中，由於用以形成容許規格化追加氧化量之上限與下限之間的熱處理時間寬度狹

窄且製程餘裕度小，因此需要減少一次的處理片數等之降低變異差異的對策。相對於此，與第一實施形態相比，在本實施形態中，由於至容許規格化追加氧化量的上限為止的時間係增加 1.8 倍，因此能大幅改善製程餘裕度。

接著，說明第一實施形態與第二實施形態（以下合稱為本實施形態）所共通之專利文獻 1 記載的習知例中所未有之本發明的特徵。第一個特徵為是否能從溝槽 3 的側壁將雜質離子植入至 P 型半導體層 2 內。在習知例的第一實施例中，包含溝槽 3 內的半導體基板 12 上整面係在平坦的狀態下被厚的氧化矽膜覆蓋，並未露出溝槽 3 的側壁。因此，砷離子等僅從 P 型半導體層 2 的上表面離子植入至該 P 型半導體層 2 內，並不會從溝槽 3 的側壁離子植入砷離子等。

此外，在第三實施例中，由於能從最上部所露出的溝槽 3 的露出部分確認之溝槽 3 的側壁係被由 CVD 氧化膜、閘極氧化膜以及屏蔽氧化膜所構成之厚的膜所覆蓋，因此還是不會從溝槽 3 的側壁離子植入砷離子等。

相對於此，在本實施形態中，由於將閘極電極 5 上的多晶矽氧化膜 6 的上表面形成為比 P 型半導體層 2 的上表面還低，因此雖然為溝槽 3 的側壁被追加氧化膜 7 或追加氧化膜 7a 覆蓋的狀態，但亦露出溝槽 3 的一部分。因此，除了從 P 型半導體層 2 的上表面植入，朝向箭頭 9a 或箭頭 9a 與箭頭 9b 之間的方向植入之砷離子等的一部分亦經由追加氧化膜 7 內或追加氧化膜 7a 內等而從溝槽 3 的側壁植

入至 P 型半導體層 2 內。

由於來自箭頭 9a 或箭頭 9a 與箭頭 9b 之間的方向之砷離子等朝向追加氧化膜 7 或追加氧化膜 7a 的射入口係位於比來自箭頭 9b 方向的砷離子朝向 P 型半導體層 2 上的追加氧化膜 7 或追加氧化膜 7a 的射入口還低的位置，因此能使從溝槽 3 的側壁射入的砷離子等比習知例分布至 P 型半導體層 2 的更深位置。結果。能期待裝置特性的提升等。此外，由於此位置會隨著追加氧化膜 7 的膜厚愈薄而愈深，因此相較於第一實施形態，第二實施形態較為有利。

然而，從箭頭 9a 或箭頭 9a 與箭頭 9b 之間的方向射入的砷離子等係斜向行進在形成於溝槽 3 的側壁上的追加氧化膜 7 或追加氧化膜 7a。因此，例如即使在矽上規格化追加氧化膜 7a 的膜厚為與多晶矽上規格化氧化膜的膜厚 $a1 \div 3.25\text{nm}$ 對應之 $c1 \div 1.3\text{nm}$ 的情形，砷離子等係在矽上規格化追加氧化膜中經過約 10.6nm 後植入至 P 型半導體層 2 內。結果，植入至 P 型半導體層 2 內之砷等的濃度變成較低。

因此，為了發揮上述效果，亦必須考量矽中的砷離子的平均植入全距為矽氧化膜中的砷離子的平均植入全距的約 1.2 倍，而決定多晶矽氧化膜 6 的最上表面與 P 型半導體層 2 的上表面的距離。

接著，參照第 10 圖說明第二個特徵。第 10 圖係擴大顯示閘極電極最上表面 5b 與閘極絕緣膜 4 附近的位置關係。雖將閘極電極 5 予以氧化而於閘極電極 5 上形成多晶

矽氧化膜 6，惟此時與閘極絕緣膜 4 接觸的閘極電極最上表面 5a 部附近係在多晶矽被氧化之間時，P 型半導體層 2 亦因為通過閘極絕緣膜 4 的氧化物質而被氧化。

結果，閘極電極最上表面 5b 係形成為具有隨著遠離 P 型半導體層 2 其高度緩緩變高的最高部，且之後朝溝槽 3 的中心部降低其高度之山形狀。此外，於 P 型半導體層 2 與閘極電極最上表面 5b 之間形成有從預定膜厚的閘極絕緣膜開始朝向閘極電極最上表面 5b 的最高部緩緩增加膜厚的 P 型半導體層的熱氧化膜以及多晶矽的熱氧化膜所混合之厚的混合絕緣膜 6c。

另一方面，有在包夾於閘極電極最上表面 5a 與 P 型半導體層 2 之間的閘極絕緣膜 4 內或閘極絕緣膜 4 正下方的 P 型半導體層 2 表面係在蝕刻後立即呈現蝕刻損傷且該蝕刻損傷持續殘留之情形。在此情形中，如上所述，隔著閘極絕緣膜 4 而與閘極電極最上表面 5b 對峙之含有蝕刻損傷的 P 型半導體層 2 係變成新的混合絕緣膜 6c 的一部分，而吸收去除於 P 型半導體層 2 所含有的損傷層。此外，由於形成有至閘極電極最上表面 5b 為止緩緩變厚的混合絕緣膜 6c，因此緩和閘極電極最上表面 5a 及與該閘極電極最上表面 5a 對峙的 P 型半導體層 2 之間的電場強度，而能防止該等間之漏電流的增大。

最後，說明第三個特徵。當結束砷等的離子植入步驟時，接著，藉由 CVD 法等於半導體基板 12 上整面沉積層間絕緣膜。通常，層間絕緣膜係以無摻雜（non-doped）氧

化矽膜 NSG、硼及磷摻雜氧化矽膜 BPSG 的順序堆積而形成。在本實施形態中具有下述特徵：由於形成有比以往還厚的多晶矽熱氧化膜 6 或追加氧化膜 7，因此無須形成 NSG 層，可於閘極電極 5 或 N 型半導體層 8 上直接形成 BPSG。

之後，經由預定步驟於層間絕緣膜形成接觸孔(contact hole)，經由預定步驟形成射極電極等，最後則形成由氮化膜等所構成的保護膜(passivation，亦有稱為鈍化膜之情形，本文中稱為保護膜)，藉此完成半導體裝置。如此，能進一步減少製造步驟數，且能以更低的成本製造上述閘極絕緣膜的絕緣耐壓經過提升的半導體裝置。

此外，上述雖說明 N 通道型功率 MOS 電晶體的情形，但在 P 通道型功率 MOS 電晶體的情形中，第一及第二實施形態中僅各雜質的極性變成相反而已，基本部分並未改變。

【圖式簡單說明】

第 1 圖係顯示本發明第一實施形態的半導體裝置的製造方法之剖面圖。

第 2 圖係顯示本發明第一實施形態的半導體裝置的製造方法之剖面圖。

第 3 圖係顯示本發明第一實施形態的半導體裝置的製造方法之剖面圖。

第 4 圖係顯示本發明第一實施形態的半導體裝置的製造方法之剖面圖。

第 5 圖係顯示本發明第一實施形態的半導體裝置的製

造方法之剖面圖。

第 6 圖 (a) 及 (b) 係顯示閘極施加電壓與閘極絕緣膜的漏電流的關係之圖表。

第 7 圖係顯示經過規格化的追加氧化量與多晶矽上及矽上的規格化氧化膜厚的關係之圖表。

第 8 圖係顯示本發明第二實施形態的半導體裝置的製造方法之剖面圖。

第 9 圖係顯示本發明第二實施形態的半導體裝置的製造方法之剖面圖。

第 10 圖係放大顯示本發明實施形態中的半導體裝置的製造方法之閘極電極最上表面的附近之剖面圖。

第 11 圖係顯示以往的半導體裝置的製造方法之剖面圖。

【主要元件符號說明】

1	N 型半導體層	2	P 型半導體層
3	溝槽	4	閘極絕緣膜
5	閘極電極	5a、5b	閘極電極最上表面
6	多晶矽熱氧化膜	6a、6b、6c	多晶矽熱氧化膜
7、7a	追加氧化膜	8	N 型半導體層
9a、9b	箭頭 (砷離子的離子植入方向)		
12	半導體基板		

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99141172

※申請日：99.11.29 ※IPC 分類：H01L 21/336 2006.01

H01L 21/28 2006.01

一、發明名稱：(中文/英文)

半導體裝置之製造方法

METHOD FOR MAKING SEMICONDUCTOR DEVICE

二、中文發明摘要：

本發明的課題在於確立一種半導體裝置的製造方法，其製造的半導體裝置之溝槽構造的閘極絕緣膜不會因為形成射極層等時之砷離子而受到損傷，而能以低成本製造提升該閘極絕緣膜的絕緣耐壓之半導體裝置。

本發明的半導體裝置的製造方法如下所述。在高溫爐中等將由埋入於溝槽 3 內而形成的多晶矽所構成的閘極電極 5 予以熱氧化，而於閘極電極 5 上形成厚的多晶矽熱氧化膜 6。之後，將雜質離子予以離子植入以形成當成為射極層等的 N 型半導體層 8。此時，將多晶矽熱氧化膜 6 的膜厚形成為比用以藉由離子植入而形成由當成為射極層等的 N 型半導體層 8 之雜質離子在氧化矽膜中的平均植入全距還厚。藉此，可防止雜質離子對包夾在閘極電極 5 與 N 型半導體層 8 之間的閘極絕緣膜 4 遭受損傷。

三、英文發明摘要：

This invention provides a method for making a semiconductor device at low cost, without the gate insulation film of a trench structure of the semiconductor device being damaged by an arsenic ion when an emitter layer is formed. The method comprises the steps of forming a thick polysilicon heat oxide film 6 on a gate electrode 5 by heating to oxidize the gate electrode 5 which is formed by a polysilicon buried and formed in a trench 3, subsequently forming an N type semiconductor layer 8 to become an emitter layer by implanting impurity ions, wherein the polysilicon heat oxide film 6 is formed to have a thickness thicker than an average depth range of implantation of the impurity ions in the silicon oxide film which forms the N type semiconductor layer 8 to become the emitter layer by ion implanting. Thereby the gate insulation film 4 sandwiched between the gate electrode 5 and the N type semiconductor layer 8 is prevented from being damaged by the impurity ions.

七、申請專利範圍：

1. 一種半導體裝置的製造方法，係包括有：

準備於第一導電型的第一半導體層上具有第二導電型的第二半導體層之半導體基板之步驟；

形成從前述第二半導體層的表面延伸至前述第一半導體層內之溝槽之步驟；

形成從前述溝槽內壁延伸至前述第二半導體層的表面之閘極絕緣膜之步驟；

於形成有前述閘極絕緣膜之前述溝槽內形成閘極電極之步驟；

將前述閘極電極予以熱氧化而藉此於前述閘極電極的上表面形成閘極電極保護膜之步驟；以及

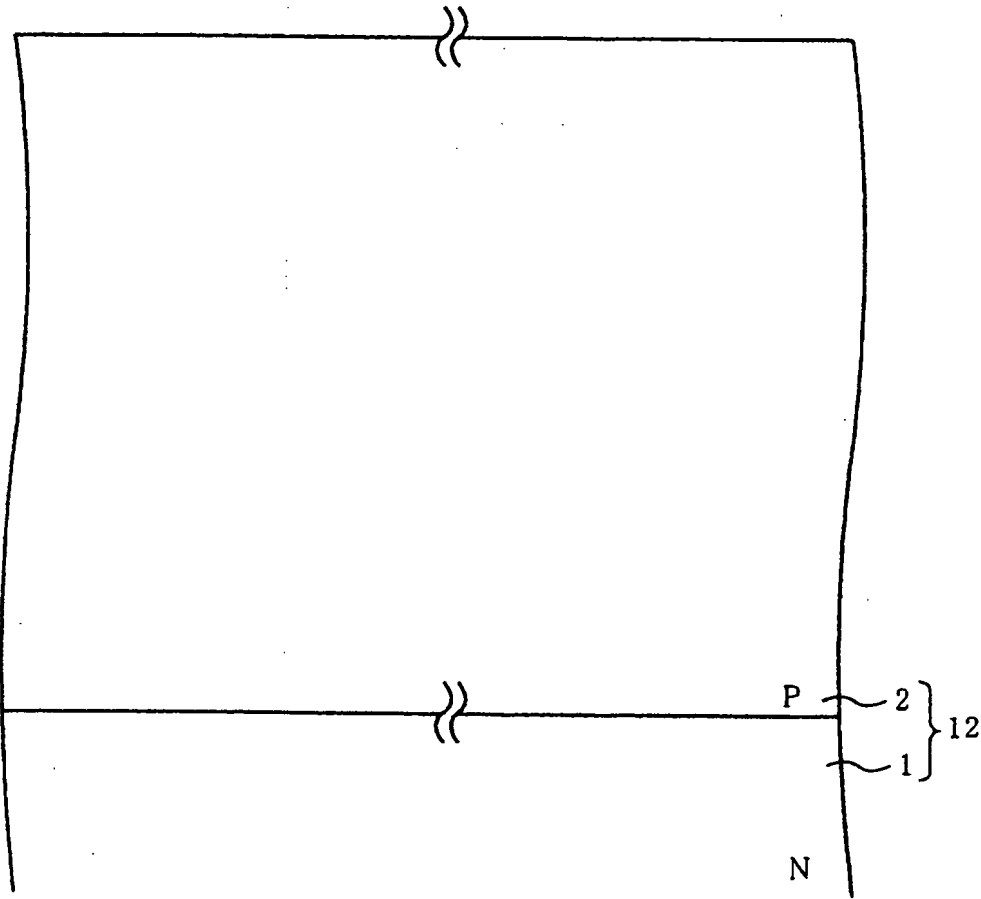
於前述閘極電極保護膜的形成後，於前述第二半導體層內將雜質離子予以離子植入而形成第一導電型的雜質區域之步驟。

2. 如申請專利範圍第 1 項所述之半導體裝置的製造方法，其中，在形成前述閘極電極保護膜之步驟中，於前述第二半導體層的上表面重疊前述閘極絕緣膜而形成熱氧化膜；

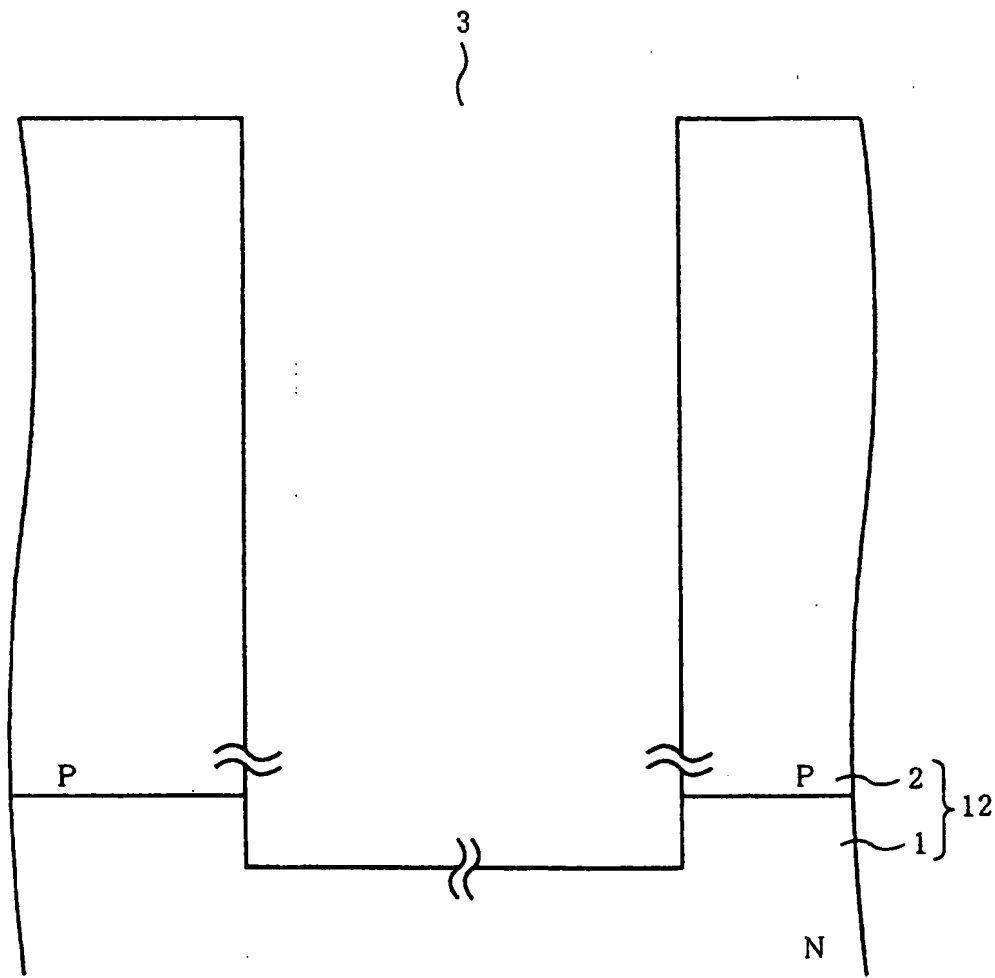
前述閘極電極保護膜的膜厚係比形成前述雜質區域之步驟中的前述雜質離子在前述閘極電極保護膜中的平均植入全距還厚，且前述閘極絕緣膜與前述熱氧化膜重疊後的膜厚為未滿前述雜質離子在前述閘極電極保護膜中的平均植入全距的 70% 的厚度。

3. 如申請專利範圍第 1 項或第 2 項所述之半導體裝置的製造方法，其中，前述閘極電極保護膜的上表面係成為比前述第二半導體層的上表面還低的位置。
4. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置的製造方法，其中，包夾於前述閘極電極與前述第二半導體層之間的前述閘極絕緣膜係在前述閘極電極最上表面形成為較厚。
5. 如申請專利範圍第 4 項所述之半導體裝置的製造方法，其中，與前述第二半導體層對峙的前述閘極電極最上表面係形成為具有隨著遠離該第二半導體層而變高的最上部，且之後朝前述溝槽的中心部變低之山形狀，而前述第二半導體層與前述閘極電極最上表面之間的前述閘極絕緣膜係從預定膜厚朝前述最上部逐漸變厚而形成。
6. 如申請專利範圍第 1 至 5 項中任一項所述之半導體裝置的製造方法，其中，復具備有下述步驟：在前述閘極電極形成後且在形成前述閘極電極保護膜之前，從前述第二半導體層表面去除前述閘極絕緣膜。

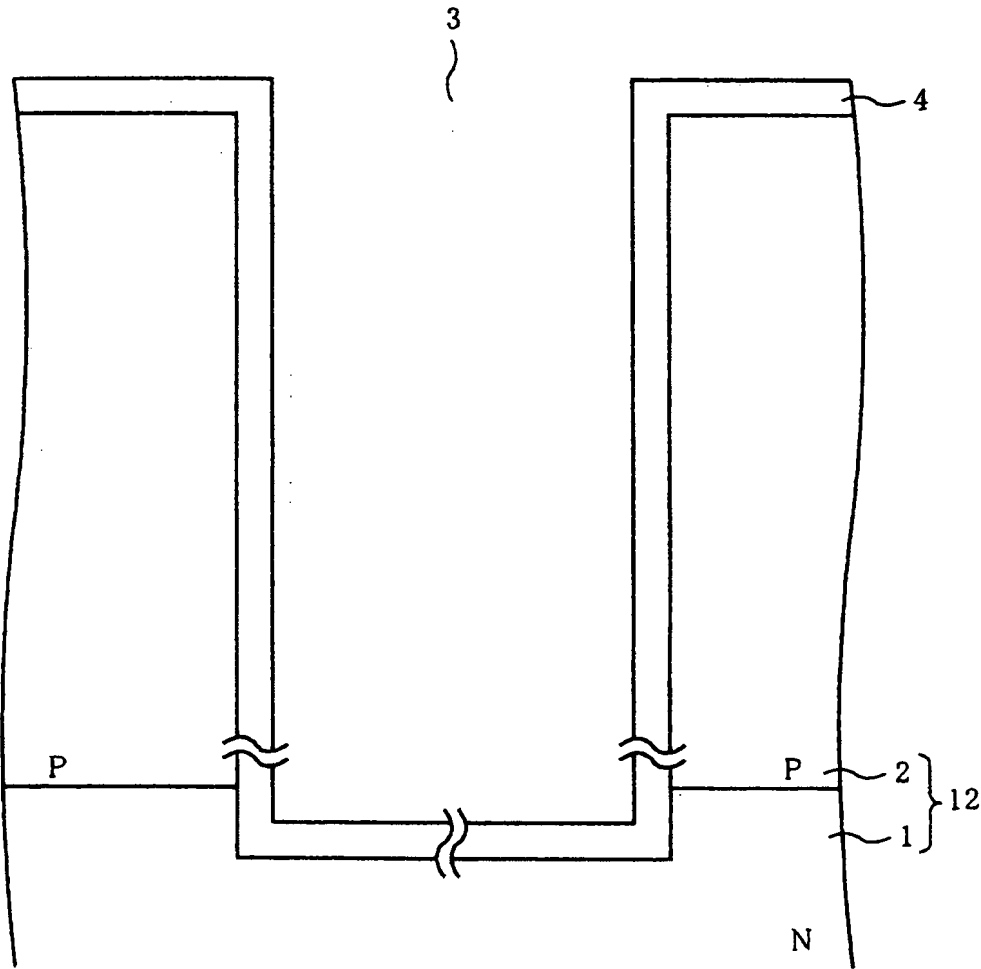
八、圖式：



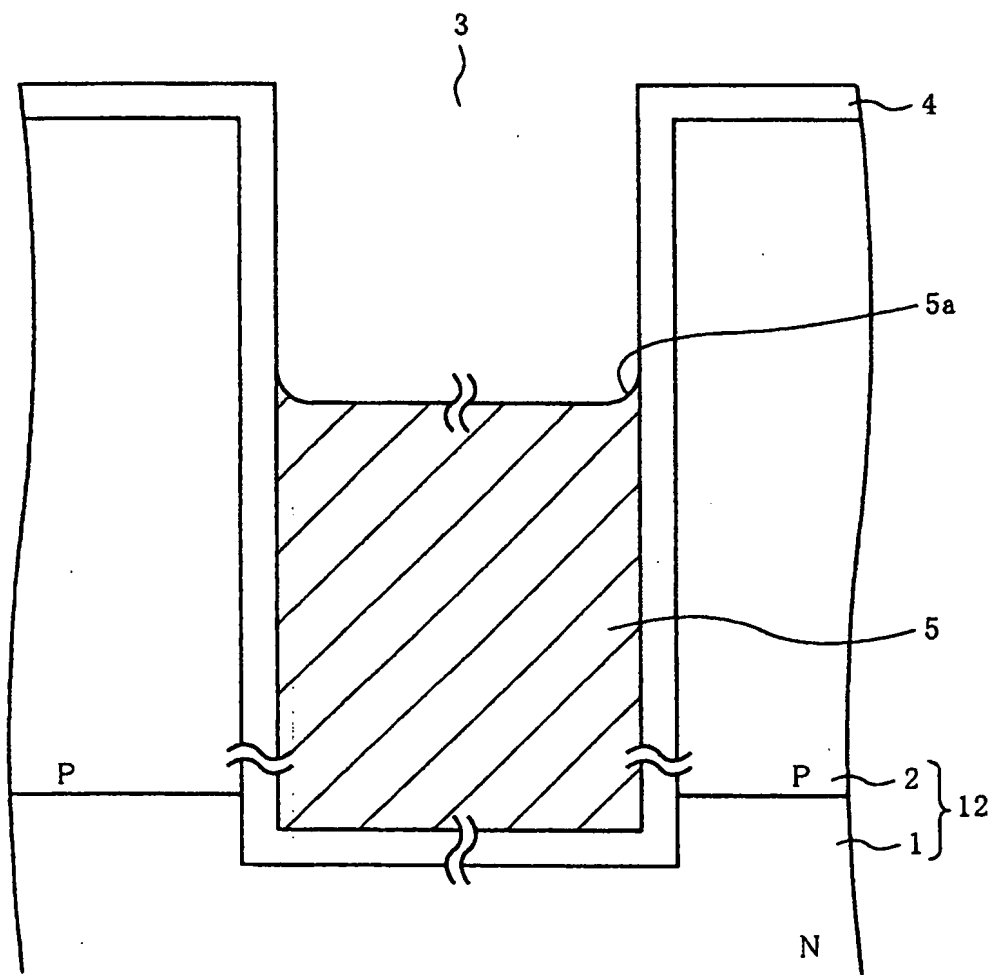
第 1 圖



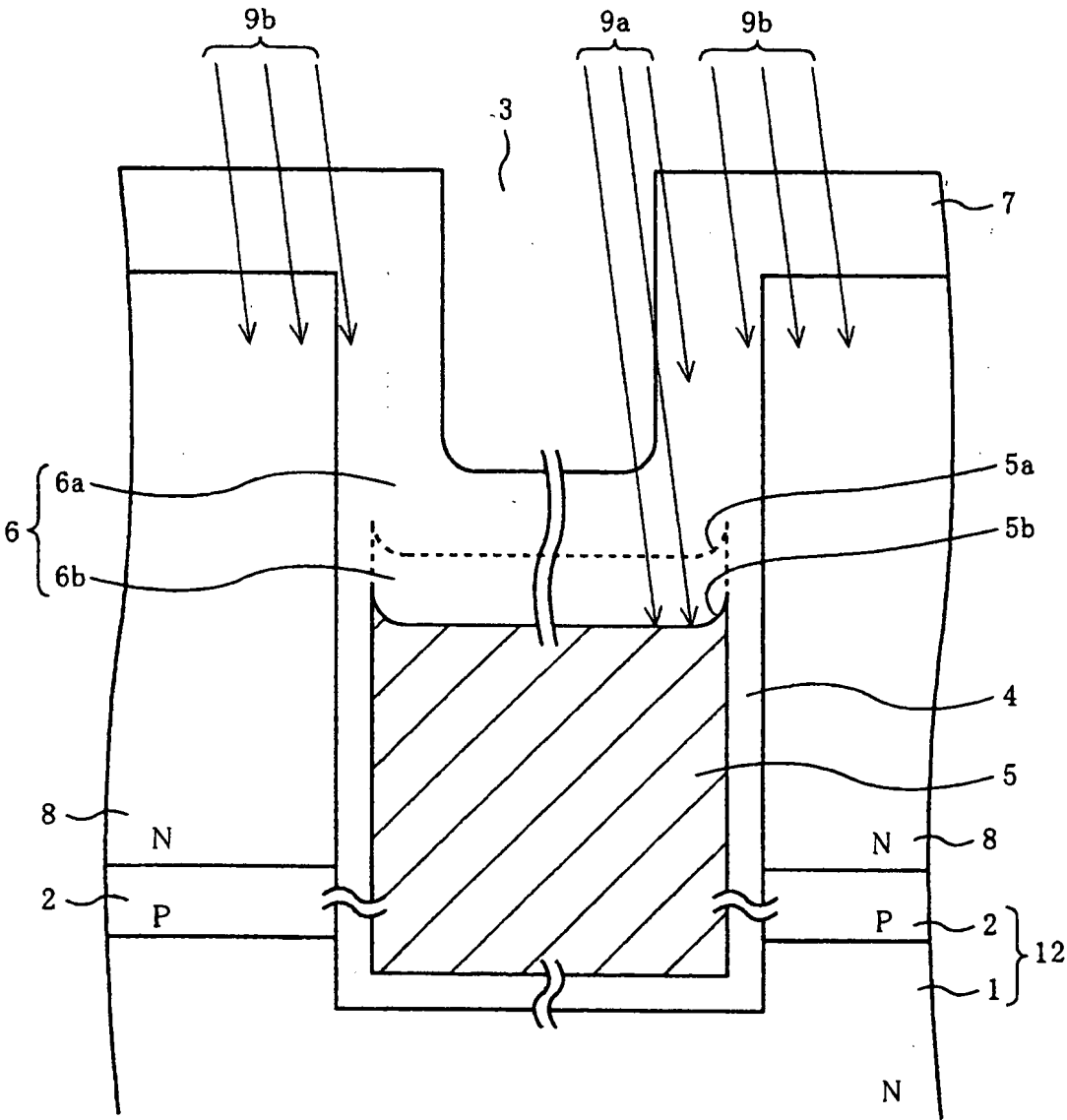
第 2 圖



第 3 圖

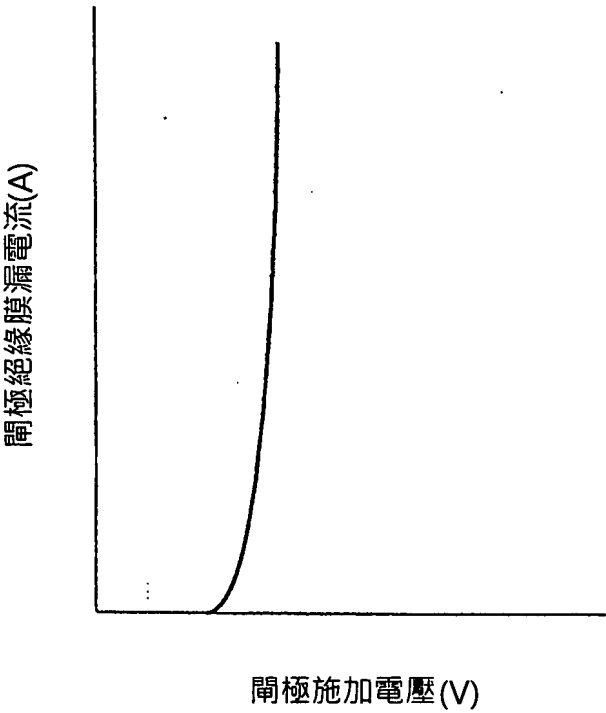


第 4 圖

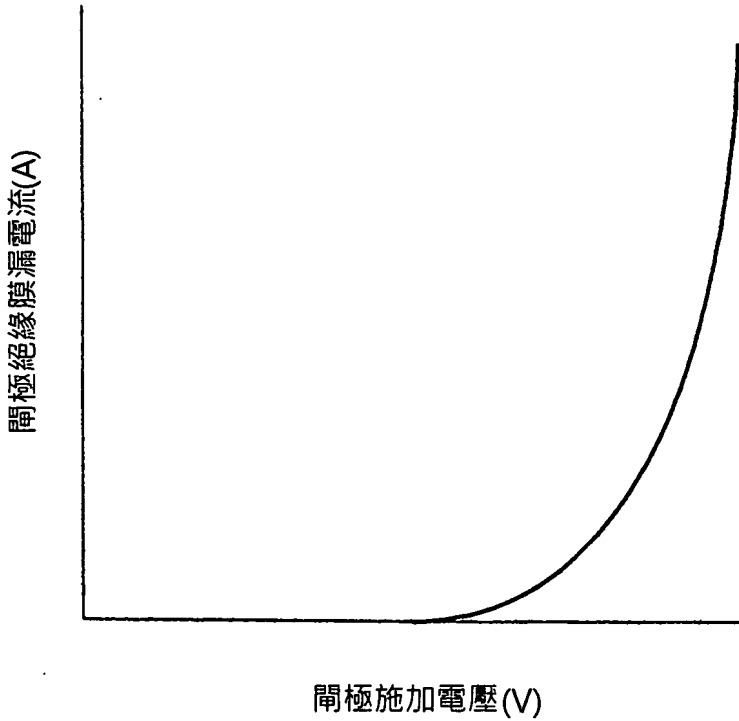


第 5 圖

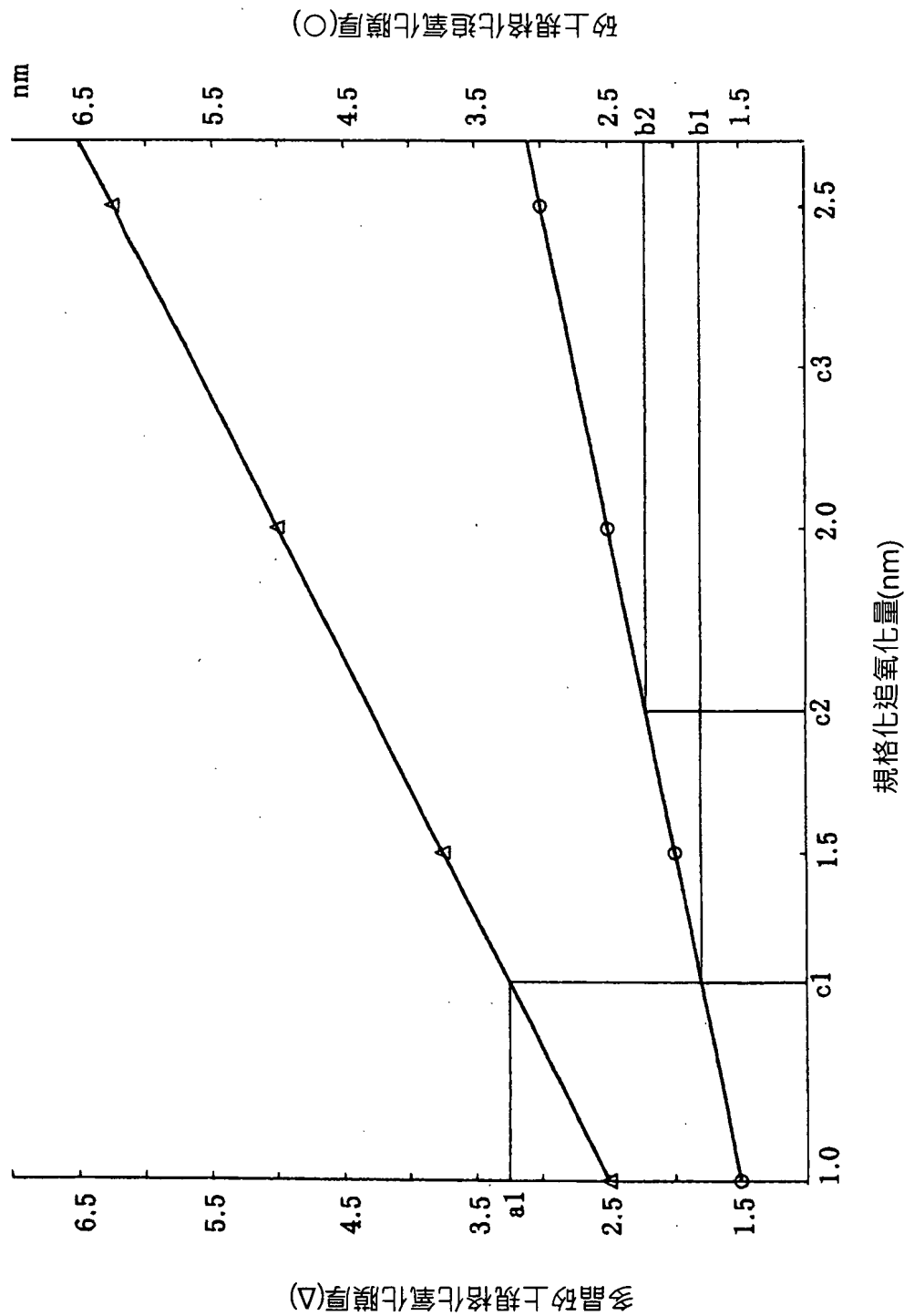
(a)



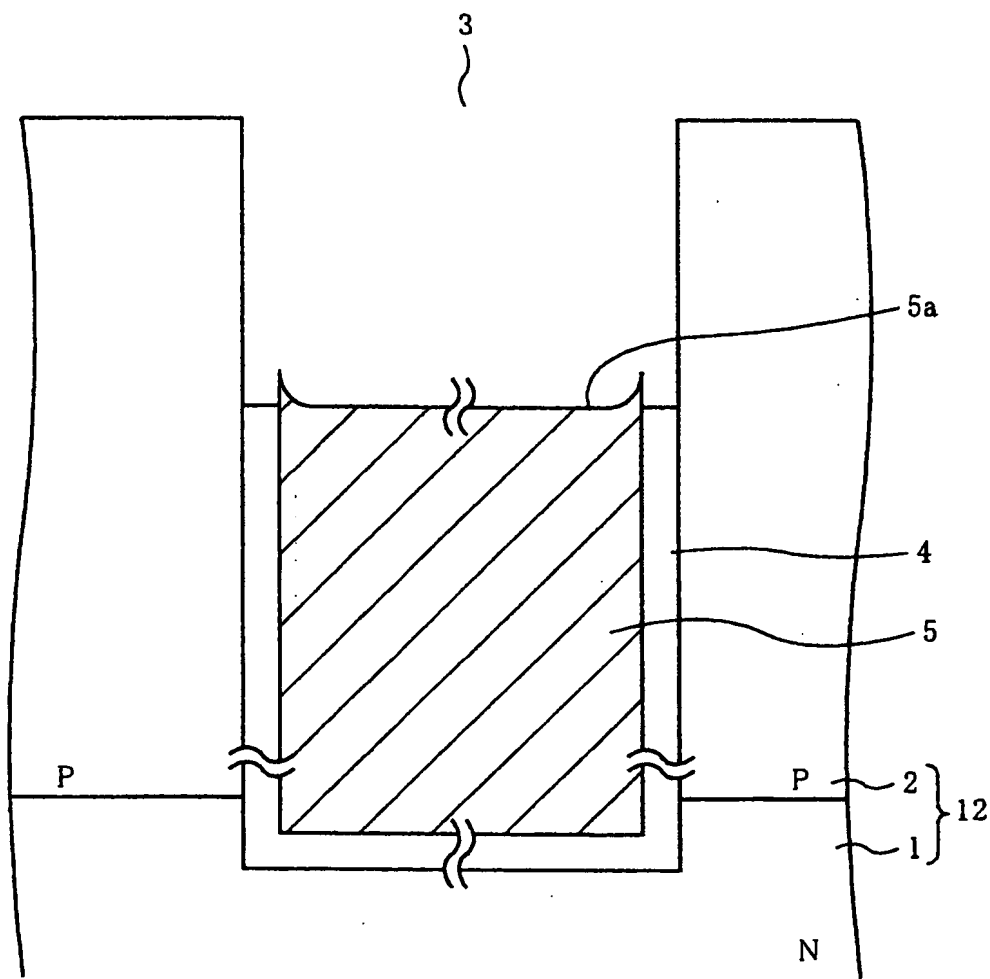
(b)



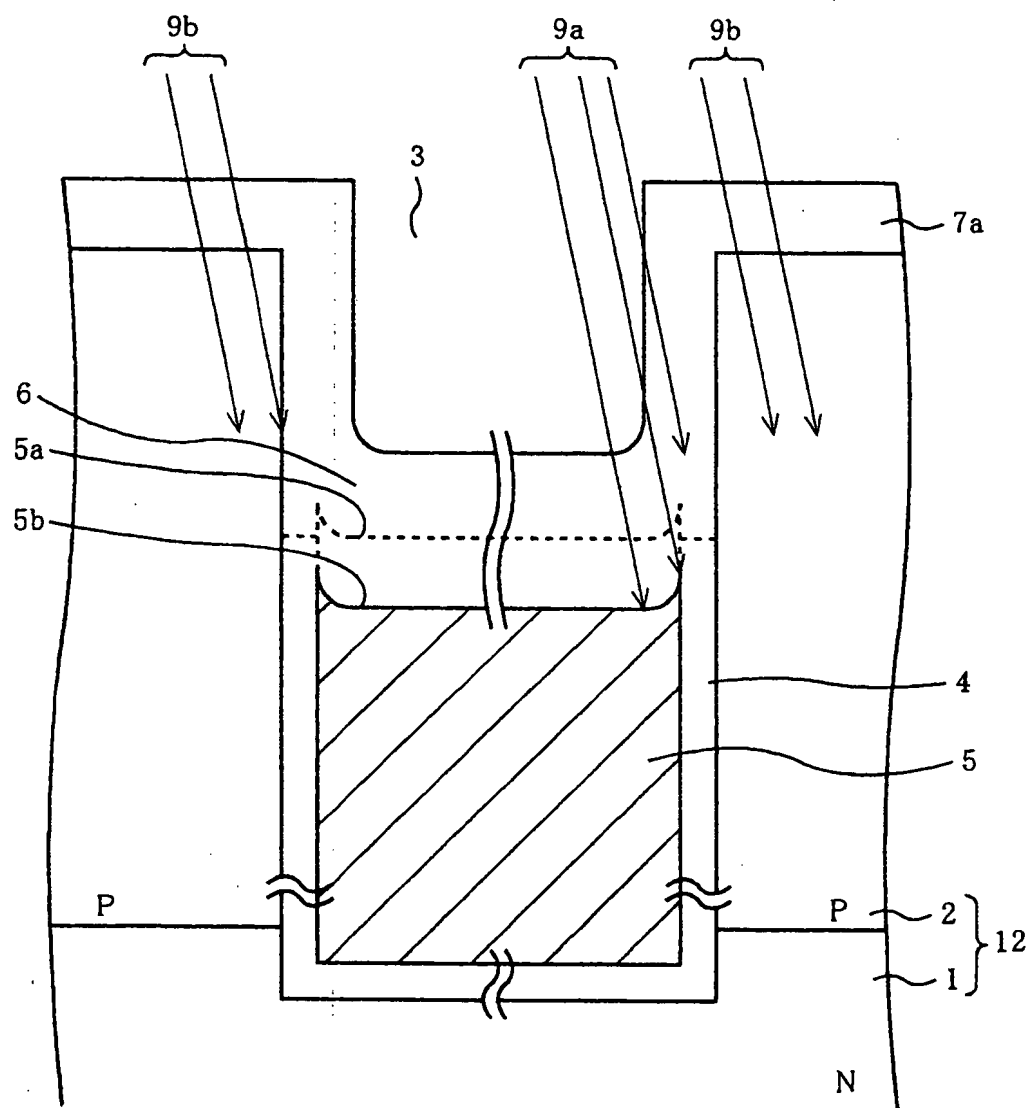
第 6 圖



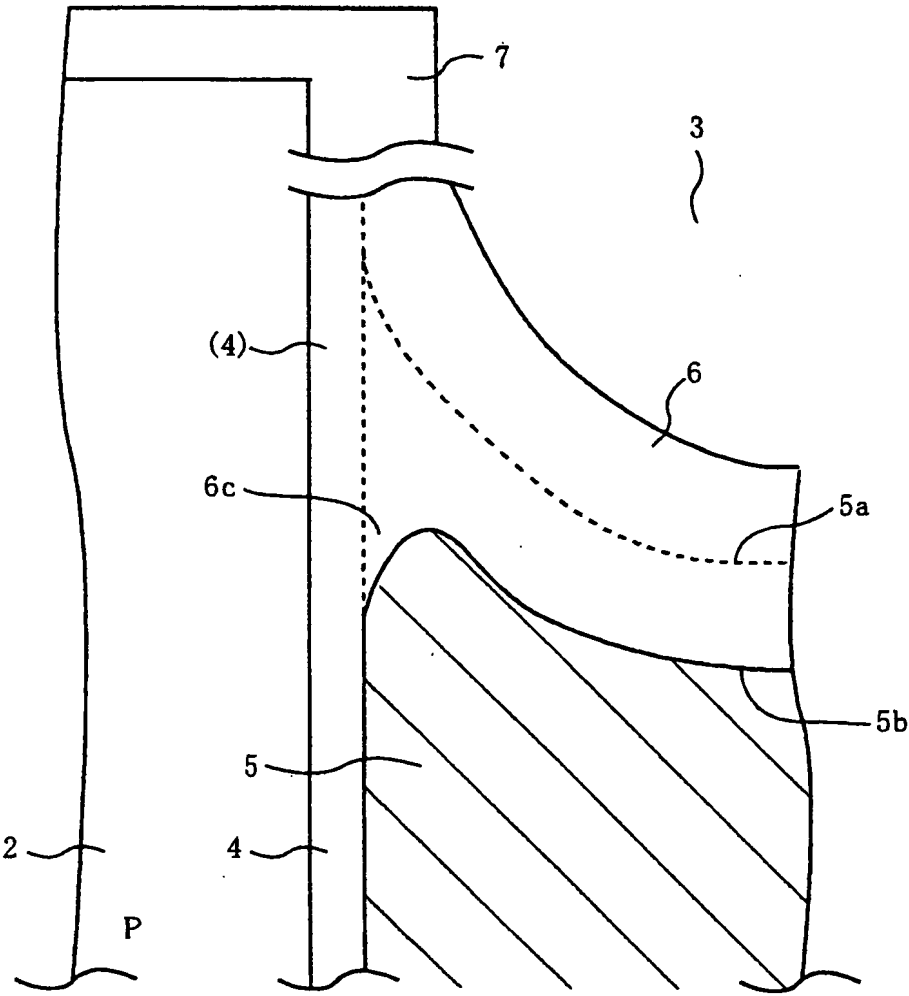
第 7 圖



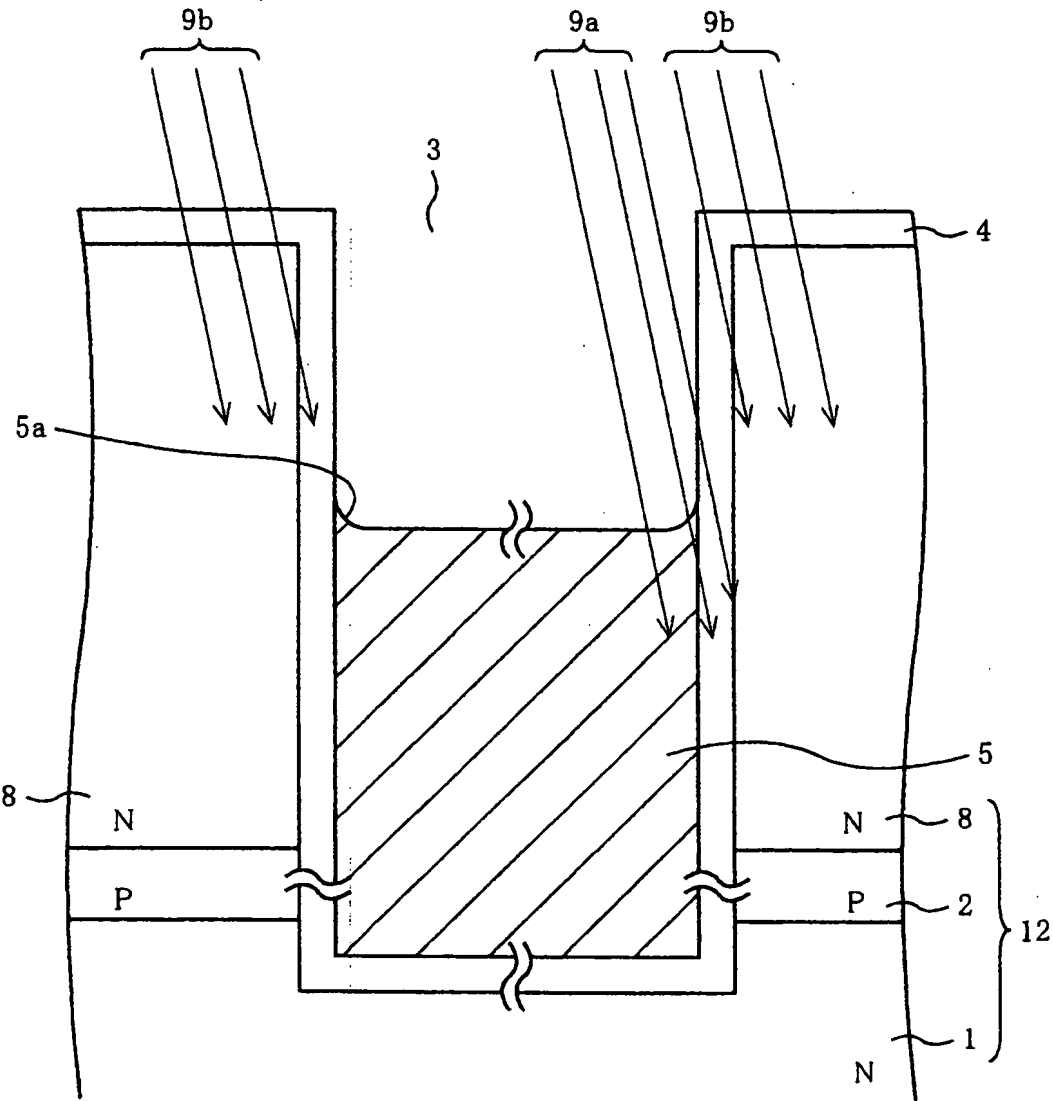
第 8 圖



第 9 圖



第 10 圖



第 11 圖

四、指定代表圖：

(一)本案指定代表圖為：第 (5) 圖。

(二)本代表圖之元件符號簡單說明：

1	N 型半導層
2	P 型半導層
3	溝槽
4	閘極絕緣膜
5	閘極電極
5a、5b	閘極電極最上表面
6	多晶矽熱氧化膜
6a、6b	多晶矽熱氧化膜
7	追加氧化膜
8	N 型半導體層
9a、9b	箭頭 (砷離子的離子植入方向)
12	半導體基板

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。