

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年7月7日(2005.7.7)

【公開番号】特開2002-222589(P2002-222589A)

【公開日】平成14年8月9日(2002.8.9)

【出願番号】特願2001-341365(P2001-341365)

【国際特許分類第7版】

G 1 1 C 11/14

G 1 1 C 11/15

G 1 1 C 29/00

【F I】

G 1 1 C 11/14 Z

G 1 1 C 11/14 A

G 1 1 C 11/15

G 1 1 C 29/00 6 0 3 H

【手続補正書】

【提出日】平成16年11月4日(2004.11.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のワード線と複数の第1データ線の交点に設けられ、第1情報又は第2情報の何れかを記憶するための複数の第1メモリセルと、

前記複数のワード線と第1ダミーデータ線の交点に設けられ、前記第1情報を記憶するための複数の第1ダミーセルと、

前記複数のワード線と第2ダミーデータ線の交点に設けられ、前記第2情報を記憶するための複数の第2ダミーセルとを具備することを特徴とする半導体装置。

【請求項2】

請求項1において、

前記複数の第1データ線の一端に接続される第1マルチプレクサと、

前記第1及び第2ダミーデータ線の一端に接続される第2マルチプレクサと、

前記複数の第1データ線の他の一端に接続される第3マルチプレクサと、

前記第1及び第2ダミーデータ線の他の一端に接続される第4マルチプレクサと、

前記第1及び第2マルチプレクサに接続される読み出し回路とを更に具備し、

前記複数の第1メモリセルのいずれかに記憶情報を書き込む場合において、前記第1マルチプレクサは、前記第3マルチプレクサが前記複数の第1データ線の一つに第1電位を供給する際に、前記複数のデータ線の一つに前記第1電位より小さい第2電位を供給し、前記第3マルチプレクサが前記複数の第1データ線の一つに前記第2電位を供給する際に、前記複数の第1データ線の一つに前記第1電位を供給することを特徴とする半導体装置。

【請求項3】

請求項1において、

前記複数の第1データ線に接続される第1マルチプレクサと、

前記第1及び第2ダミーデータ線に接続される第2マルチプレクサと、

前記第1及び第2マルチプレクサに接続される読み出し回路と、

前記読み出し回路と前記第1マルチプレクサとを結合するための第1共通データ線と、

前記読み出し回路と前記第2マルチプレクサとを結合するための第2共通データ線とを更に具備し、

前記読み出し回路は、前記第1共通データ線に接続される第1カレントミラー回路と、前記第2共通データ線に接続される第2カレントミラー回路と、前記第1カレントミラー回路に接続される第1センスデータ線と、前記第2カレントミラー回路に接続される第2センスデータ線と、前記第1及び前記第2センスデータ線に接続されるセンスアンプとを含むことを特徴とする半導体装置。

#### 【請求項4】

請求項3において、

前記第1カレントミラー回路は、前記第1共通データ線を流れる電流と前記第1センスデータ線に流れる電流を略同じ電流となるように設定され、

前記第2カレントミラー回路は、前記第1センスデータ線に流れる電流を前記第2共通データ線に流れる電流の略1/2の電流となるように設定されることを特徴とする半導体装置。

#### 【請求項5】

請求項4において、

前記複数の第1メモリセル、前記複数の第1及び第2ダミーセルのそれぞれは、共通の回路定数を持って形成され、磁気抵抗効果を用いて前記第1情報又は前記第2情報を記憶することを特徴とする半導体装置。

#### 【請求項6】

請求項1において、

前記複数のワード線と複数の第2データ線の交点に設けられ、前記第1情報又は第2情報を記憶するための複数の第2メモリセルと、

前記複数の第1データ線に接続される第1マルチプレクサと、

前記第1及び第2ダミーデータ線に接続される第2マルチプレクサと、

前記複数の第2データ線に接続される第5マルチプレクサと、

前記第1、第2及び第5マルチプレクサに接続される読み出し回路とを更に具備し、

前記第1及び第2ダミーデータ線は、前記複数の第1データ線と前記複数の第2データ線との間に配置されることを特徴とする半導体装置。

#### 【請求項7】

請求項6において、

前記読み出し回路と前記第1マルチプレクサとを結合するための第1共通データ線と、

前記読み出し回路と前記第2マルチプレクサとを結合するための第2共通データ線と、

前記読み出し回路と前記第5マルチプレクサとを結合するための第3共通データ線とを更に具備し、

前記第1読み出し回路は、前記第1共通データ線に接続される第1カレントミラー回路と、前記第2共通データ線に接続される第2カレントミラー回路と、前記第3共通データ線に接続される第3カレントミラー回路と、前記第1カレントミラー回路に接続される第1センスデータ線と、前記第2カレントミラー回路に接続される第2及び第3センスデータ線と、前記第3カレントミラー回路に接続される第4センスデータ線と、前記第1及び前記第2センスデータ線とに接続される第1センスアンプと、前記第3及び第4センスデータ線に接続される第2センスアンプとを含むことを特徴とする半導体装置。

#### 【請求項8】

請求項7において、

前記第1カレントミラー回路は、前記第1共通データ線に流れる電流と前記第1センスデータ線に流れる電流を略同じとなるように設定され、

前記第2カレントミラー回路は、前記第2及び第3センスデータ線に流れる電流を前記第2共通データ線に流れる電流の略1/2の電流となるように設定され、

前記第3カレントミラー回路は、前記第3共通データ線に流れる電流と前記第4センスデータ線に流れる電流とを略同じとなるように設定されることを特徴とする半導体装置。

**【請求項 9】**

請求項 8 において、

前記複数の第1、第2メモリセル、前記複数の第1及び第2ダミーセルのそれぞれは、共通の回路定数を持って形成され、磁気抵抗効果を用いて前記第1情報又は前記第2情報を記憶することを特徴とする半導体装置。

**【請求項 10】**

請求項 1 において、

前記複数のワード線と複数の第2データ線の交点に設けられ、前記第1又は第2情報を記憶するための複数の第2メモリセルと、

前記複数のワード線と第3ダミーデータ線の交点に設けられ、前記第1情報を記憶するための複数の第3ダミーセルと、

前記複数のワード線と第4ダミーデータ線の交点に設けられ、前記第2情報を記憶するための複数の第4ダミーセルと、

前記複数の第1データ線に接続される第1マルチプレクサと、

前記第1及び第2ダミーデータ線に接続される第2マルチプレクサと、

前記複数の第2データ線に接続される第5マルチプレクサと、

前記第3及び第4ダミーデータ線に接続される第6マルチプレクサと、

前記第1、第2、第5及び第6マルチプレクサに接続される読み出し回路とを更に具備し、前記第1及び第2マルチプレクサは、第1共通データ線を介して前記読み出し回路に接続され、

前記第5及び第6マルチプレクサは、第2共通データ線を介して前記読み出し回路に接続されることを特徴とする半導体装置。

**【請求項 11】**

請求項 10 において、

前記読み出し回路は、前記第1共通データ線に接続される第1カレントミラー回路と、前記第2共通データ線に接続される第2カレントミラー回路と、前記第1カレントミラー回路に接続される第1センスデータ線と、前記第2カレントミラー回路に接続される第2センスデータ線と、前記第1及び第2センスデータ線に接続されるセンスアンプとを具備することを特徴とする半導体装置。

**【請求項 12】**

請求項 11 において、

前記第1カレントミラー回路は、前記第1共通データ線の流れる電流と前記第1センスデータ線に流れる電流とを略同じとする第1状態と、前記第2センスデータ線に流れる電流を前記第1共通データ線に流れる電流の略 1 / 2 の電流とする第2状態とを有し、

前記第2カレントミラー回路は、前記第2共通データ線に流れる電流と前記第2センスデータ線に流れる電流とを略同じにする第3状態と、前記第2センスデータ線に流れる電流を前記第2共通データ線に流れる電流の略 1 / 2 の電流とする第4状態とを有し、

前記複数の第1メモリセルから記憶情報が読み出される場合において、前記第1カレントミラー回路は前記第1状態で動作し、前記第2カレントミラー回路は前記第4状態で動作し、

前記複数の第2メモリセルから記憶情報が読み出される場合において、前記第1カレントミラー回路は前記第2状態で動作し、前記第2カレントミラー回路は前記第3状態で動作することを特徴とする半導体装置。

**【請求項 13】**

請求項 12 において、

前記複数の第1、第2メモリセル、前記複数の第1、第2、第3及び第4ダミーセルのそれぞれは、共通の回路定数を持って形成され、磁気抵抗効果を用いて前記第1情報又は前記第2情報を記憶することを特徴とする半導体装置。

**【請求項 14】**

請求項 10 において、

前記複数のワード線と第1冗長データ線の交点に設けられた複数の第1冗長メモリセルと

、前記複数のワード線と第2冗長データ線の交点に設けられた複数の第2冗長メモリセルと

、前記第1冗長データ線に接続される第1冗長マルチプレクサと、

前記第2冗長データ線に接続される第2冗長マルチプレクサとを具備し、

前記第1冗長マルチプレクサは、前記第1共通データ線に接続され、

前記第2冗長マルチプレクサは、前記第2共通データ線に接続され、

前記複数の第1メモリセル、前記複数の第1ダミーセル、又は前記複数の第2ダミーセル線に関する欠陥が有る場合に、欠陥を有している前記複数の第1データ線、前記第1ダミーデータ線、又は前記第2ダミーデータ線は、前記第1冗長データ線に置換され、

前記複数の第2メモリセル、前記複数の第3ダミーセル、又は前記複数の第4ダミーセル線に関する欠陥が有る場合に、欠陥を有している前記複数の第2データ線、前記第3ダミーデータ線、又は前記第4ダミーデータ線は、前記第2冗長データ線に置換されることを特徴とする半導体装置。

#### 【請求項 15】

請求項14において、

前記第1、第2、第5及び第6マルチプレクサの動作状態を制御するための正規カラムアドレスデコーダと、

前記第1及び第2冗長マルチプレクサの動作状態を制御するための冗長カラムアドレスデコーダと更に具備し、

前記正規カラムアドレスデコーダは、前記第1及び第5マルチプレクサの動作状態を制御するためのカラムアドレス信号を出力する正規カラムアドレス信号ドライバと、前記第2及び第6マルチプレクサの動作状態を制御するためのカラム

アドレスアドレス信号を出力するダミーカラムアドレス信号ドライバとを含み、

前記冗長カラムアドレスデコーダは、前記第1及び第2冗長マルチプレクサの動作状態を制御するための冗長カラムアドレス信号を出力する冗長カラムアドレスドライバと、前記正規カラムアドレス信号ドライバ又は前記ダミーカラムアドレス信号ドライバと前記冗長カラムアドレス信号ドライバの何れかを選択して活性化するための冗長カラムアドレス検出回路とを含むことを特徴とする半導体装置。

#### 【請求項 16】

請求項15において、

前記冗長カラムアドレス検出回路は、前記欠陥の情報を記憶するための冗長カラムアドレス記憶回路を含むことを特徴とする半導体装置。

#### 【請求項 17】

請求項16において、

前記複数の第1、第2メモリセル、前記複数の第1、第2、第3、第4ダミーセル、前記第1及び第2冗長メモリセルのそれぞれは、共通の回路定数を持って形成され、磁気抵抗効果を用いて前記第1情報又は前記第2情報を記憶することを特徴とする半導体装置。

#### 【請求項 18】

複数のワード線と複数の第1データ線の交点に設けられた複数の第1メモリセルと、

前記複数のワード線と複数の第2データ線の交点に設けられた複数の第2メモリセルと

、前記複数のワード線と第1ダミーデータ線の交点に設けられた複数の第1ダミーセルと、前記複数のワード線と第2ダミーデータ線の交点に設けられた複数の第2ダミーセルと、

前記複数のワード線と複数の第3データ線の交点に設けられた複数の第3メモリセルと

、前記複数のワード線と複数の第4データ線の交点に設けられた複数の第4メモリセルと

、前記複数のワード線と第3ダミーデータ線の交点に設けられた複数の第3ダミーセルと

、前記複数のワード線と第4ダミーデータ線の交点に設けられた複数の第4ダミーセルと

、前記複数の第1及び第2データ線に接続される第1マルチプレクサと、

前記第1及び第2ダミーデータ線に接続される第2マルチプレクサと、

前記複数の第3及び第4データ線に接続される第3マルチプレクサと、

前記第3及び第4ダミーデータ線に接続される第4マルチプレクサと、

前記複数の第1データ線が前記第1マルチプレクサを介して接続される第1共通データ線と、

前記複数の第2データ線が前記第1マルチプレクサを介して接続される第2共通データ線と、

前記複数の第3データ線が前記第3マルチプレクサを介して接続される第3共通データ線と、

前記複数の第4データ線が前記第4マルチプレクサを介して接続される第4共通データ線と、

前記第1及び第3共通データ線との間に接続される第1スイッチと、

前記第2及び第4共通データ線との間に接続される第2スイッチと、

前記第1及び第2共通データ線に接続される第1読み出し回路と、

前記第3及び第4共通データ線に接続される第2読み出し回路とを具備し、

前記複数の第1ダミーセルと前記複数の第2ダミーセルは、互いに相補の記憶情報が書き込まれ、

前記複数の第3ダミーセルと前記複数の第4ダミーセルは、互いに相補の記憶情報が書き込まれ、

前記第1ダミーデータ線は、前記第2マルチプレクサを介して前記第1共通データ線に接続され、

前記第2ダミーデータ線は、前記第2マルチプレクサを介して前記第3共通データ線に接続され、

前記第3ダミーデータ線は、前記第4マルチプレクサを介して前記第2共通データ線に接続され、

前記第4ダミーデータ線は、前記第4マルチプレクサを介して前記第4共通データ線に接続されることを特徴とする半導体装置。

#### 【請求項19】

請求項18において、

前記第1スイッチは、前記複数の第2又は第4メモリセルの何れかから記憶情報が読み出される場合にオン状態とされ、

前記第2スイッチは、前記複数の第1又は第3メモリセルの何れかから記憶情報が読み出される場合にオン状態とされることを特徴とする半導体装置。

#### 【請求項20】

請求項19において、

前記第1読み出し回路は、前記第1共通データ線に接続される第1カレントミラー回路と、前記第2共通データ線に接続される第2カレントミラー回路と、前記第1カレントミラー回路に接続される第1センスデータ線と、前記第2カレントミラー回路に接続される第2センスデータ線と、前記第1及び第2センスデータ線に接続される第1センスアンプとを含み、

前記第2読み出し回路は、前記第3共通データ線に接続される第3カレントミラー回路と、前記第4共通データ線に接続される第4カレントミラー回路と、前記第3カレントミラー回路に接続される第3センスデータ線と、前記第4カレントミラー回路に接続される第4センスデータ線と、前記第3及び第4センスデータ線に接続される第2センスアンプとを含むことを特徴とする半導体装置。

#### 【請求項21】

請求項 2 0 において、

前記第1から第4カレントミラー回路は、対応する第1から第4共通データ線に流れる電流と対応する前記第1から第4センスデータ線に流れる電流とを略同じとなるように設定されることを特徴とする半導体装置。

【請求項 2 2】

請求項 2 1 において、

前記複数の第1、第2、第3、第4メモリセル、前記複数の第1、第2、第3及び第4ダミーセルのそれぞれは、共通の回路定数を持って形成され、磁気抵抗効果を用いて前記第1情報又は前記第2情報を記憶することを特徴とする半導体装置。

【請求項 2 3】

請求項 1 において、

前記複数の第1メモリセル、前記複数の第1及び第2ダミーセルのそれぞれは、トランジスタと前記トランジスタに直列接続されたMTJ(マグネティック・トンネル・ジャンクション)素子を有する事を特徴とする半導体装置。

【請求項 2 4】

複数のメモリセルの一つから読み出した信号と、第1の情報を記憶した第1ダミーセルから読み出した信号と、第2の情報を記憶した第2ダミーセルから読み出した信号を用いて読み出し動作を行う半導体装置。