

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016 년 6 월 30 일 (30.06.2016)



(10) 국제공개번호
WO 2016/104946 A1

- (51) 국제특허분류:
H01L 33/00 (2010.01)
- (21) 국제출원번호: PCT/KR2015/012138
- (22) 국제출원일: 2015 년 11 월 11 일 (11.11.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2014-0185904 2014 년 12 월 22 일 (22.12.2014) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 100-714 서울시 중구 한강대로 416 번지 서울스퀘어, Seoul (KR).
- (72) 발명자: 김종국 (KIM, Chong Cook); 100-714 서울시 중구 한강대로 416 번지 서울스퀘어, Seoul (KR).
- (74) 대리인: 김기문 (KIM, Ki Moon); 135-936 서울시 강남구 역삼로 114 번지 현죽빌딩 6 층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,

AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

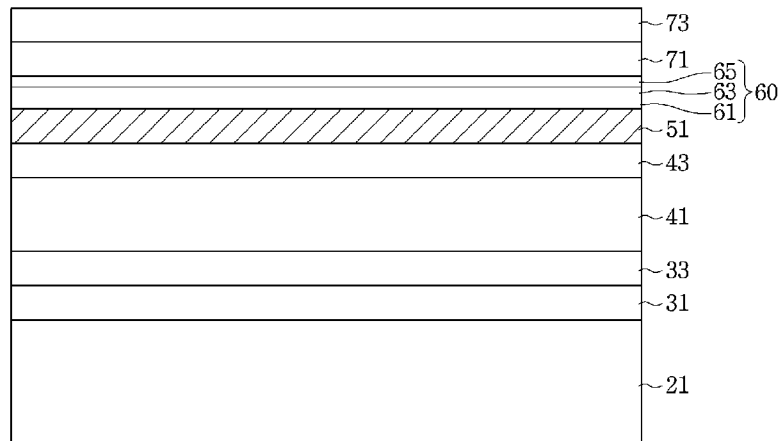
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: LIGHT EMITTING DEVICE AND LIGHT EMITTING DEVICE PACKAGE HAVING SAME

(54) 발명의 명칭 : 발광 소자 및 이를 구비한 발광 소자 패키지



(57) Abstract: The embodiments relate to a light emitting device. The light emitting device disclosed in the embodiments comprises: a first conductive semiconductor layer having a first conductive dopant; an active layer disposed on the first conductive semiconductor layer and having a plurality of barrier layers and a plurality of well layers; an electron blocking structure layer disposed on the active layer; and a second conductive semiconductor layer disposed on the electron blocking structure layer. The active layer includes a first barrier layer adjacent to the electron blocking structure layer, and a first well layer adjacent to the first barrier layer. The plurality of barrier layers includes the first conductive dopant. The electron blocking structure layer includes a plurality of semiconductor layers having a second conductive dopant and an AlGaIn-based semiconductor. The plurality of semiconductor layers includes a first semiconductor layer having a first region adjacent to the first barrier layer. The first region of the first semiconductor layer includes an AlGaIn-based semiconductor having an aluminum composition of 95% or greater. A light emitting structure having the active layer and the electron blocking structure layer emits light of respectively different peak wavelengths.

(57) 요약서:

[다음 쪽 계속]



WO 2016/104946 A1



실시예는 발광소자에 관한 것이다. 실시예에 개시된 발광 소자는, 제 1 도전형의 도펀트를 갖는 제 1 도전형 반도체층; 상기 제 1 도전형 반도체층 상에 배치되며 복수의 장벽층 및 복수의 우물층을 갖는 활성층; 상기 활성층 상에 배치된 전자 차단 구조층; 및 상기 전자 차단 구조층 상에 배치된 제 2 도전형 반도체층을 포함하며, 상기 활성층은 상기 전자 차단 구조층에 인접한 제 1 장벽층 및 상기 제 1 장벽층에 인접한 제 1 우물층을 포함하며, 상기 복수의 장벽층은 제 1 도전형의 도펀트를 포함하며, 상기 전자 차단 구조층은 제 2 도전형의 도펀트를 갖고 AlGaIn 계 반도체를 갖는 복수의 반도체층을 포함하며, 상기 복수의 반도체층은 상기 제 1 장벽층에 인접한 제 1 영역을 갖는 제 1 반도체층을 포함하며, 상기 제 1 반도체층의 제 1 영역은 95% 이상의 알루미늄 조성을 갖는 AlGaIn 계 반도체를 포함하며, 상기 활성층 및 상기 전자 차단 구조층을 갖는 발광 구조물은 서로 다른 피크 파장을 발광한다.

명세서

발명의 명칭: 발광 소자 및 이를 구비한 발광 소자 패키지 기술분야

- [1] 실시 예는 발광소자에 관한 것이다.
- [2] 실시 예는 자외선 발광 소자에 관한 것이다.
- [3] 실시 예는 자외선 발광 소자를 갖는 발광 소자 패키지에 관한 것이다.

배경기술

- [4] 일반적으로 질소(N)와 같은 V족 소스와, 갈륨(Ga), 알루미늄(Al), 또는 인듐(In)과 같은 III족 소스를 포함하는 질화물 반도체 소재는 열적 안정성이 우수하고 직접 천이형의 에너지 밴드(band) 구조를 갖고 있어, 질화물계 반도체 소자 예컨대, 자외선 영역의 질화물계 반도체 발광소자 및 태양전지용 물질로 많이 사용되고 있다.
- [5] 질화물계 물질은 0.7eV에서 6.2eV의 폭넓은 에너지 밴드갭을 가지고 있어 태양광스펙트럼 영역과 일치하는 특성으로 인하여 태양전지소자용 물질로 많이 사용되고 있다. 특히, 자외선 발광소자는 경화기 장치, 의료분석기 및 치료기기 및 살균, 정수, 정화시스템 등 다양한 산업분야에서 활용되고 있으며, 향후 반도체 조명 광원으로써 일반조명에 사용 가능한 물질로서 주목을 받고 있다.

발명의 상세한 설명

기술적 과제

- [6] 실시 예는 듀얼 피크 파장을 발광하는 발광 소자 및 이를 구비한 발광 소자 패키지를 제공한다.
- [7] 실시 예는 듀얼 피크 파장을 발광하는 자외선 발광 소자 및 이를 구비한 발광 소자 패키지를 제공한다.
- [8] 실시 예는 활성층으로부터 발생된 제1피크 파장과, 상기 활성층과 전자 차단층의 밴드 갭 차이에 의해 상기 제1피크 파장보다 단 파장의 제2피크 파장을 발광하는 발광 소자를 제공한다.
- [9] 실시 예는 서로 다른 UV-C(Ultraviolet-C) 파장을 방출하는 발광 소자를 제공한다.

과제 해결 수단

- [10] 실시 예에 개시된 발광 소자는, 제1도전형의 도펀트를 갖는 제1도전형 반도체층; 상기 제1도전형 반도체층 상에 배치되며 복수의 장벽층 및 복수의 우물층을 갖는 활성층; 상기 활성층 상에 배치된 전자 차단 구조층; 및 상기 전자 차단 구조층 상에 배치된 제2도전형 반도체층을 포함하며, 상기 활성층은 상기 전자 차단 구조층에 인접한 제1장벽층 및 상기 제1장벽층에 인접한 제1우물층을 포함하며, 상기 복수의 장벽층은 제1도전형의 도펀트를 포함하며, 상기 전자 차단 구조층은 제2도전형의 도펀트를 갖고 AlGaIn계 반도체를 갖는 복수의

반도체층을 포함하며, 상기 복수의 반도체층은 상기 제1장벽층에 인접한 제1영역을 갖는 제1반도체층을 포함하며, 상기 제1반도체층의 제1영역은 95% 이상의 알루미늄을 조성하는 AlGaIn계 반도체를 포함하며, 상기 활성층 및 상기 전자 차단층을 갖는 발광 구조물은 서로 다른 피크 파장을 발광한다.

- [11] 실시 예에 따른 발광 소자 패키지는, 지지부재; 상기 지지부재 상에 발광 소자; 및 상기 발광 소자에 전기적으로 연결된 제1 및 제2전극층을 포함하며, 상기 발광 소자의 발광 구조물은 서로 다른 제1 및 제2피크 파장의 자외선 광을 발광한다.

발명의 효과

- [12] 실시 예에 의하면, 하나의 발광 소자로부터 방출된 서로 다른 자외선 파장을 발광하여 살균을 진행함으로써, 살균 효과가 개선될 수 있다.
- [13] 실시 예에 의하면, 하나의 발광 소자로부터 DNA 흡수 파장과 단백질 흡수 파장을 방출하게 됨으로써, 서로 다른 발광 소자를 사용하지 않아도 되는 효과가 있다.
- [14] 실시 예는 살균용 자외선 발광 소자의 신뢰성을 개선시켜 줄 수 있다.
- [15] 실시 예는 자외선 발광 소자를 갖는 발광소자 패키지 및 자외선 램프를 제공할 수 있다.

도면의 간단한 설명

- [16] 도 1은 실시 예에 따른 발광 소자를 나타낸 도면이다.
- [17] 도 2는 도 1의 발광 소자에 있어, 제1실시 예에 따른 활성층 및 전자 차단 구조층을 나타낸 도면이다.
- [18] 도 3은 도 2의 활성층 및 전자 차단 구조층의 부분 확대도이다.
- [19] 도 4는 도 1의 발광 소자에 있어, 제2실시 예에 따른 활성층 및 전자 차단 구조층을 나타낸 도면이다.
- [20] 도 5는 도 1의 발광 소자에 있어, 제3실시 예에 따른 활성층 및 전자 차단 구조층을 나타낸 도면이다.
- [21] 도 6은 도 1의 발광 소자에 전극을 배치한 일 예이다.
- [22] 도 7은 도 1의 발광 소자에 전극을 배치한 다른 예이다.
- [23] 도 8은 도 6의 발광 소자를 갖는 발광 소자 패키지를 나타낸 도면이다.
- [24] 도 9는 실시 예에 따른 알루미늄 조성에 따른 밴드 갭 차이를 나타낸 도면이다.
- [25] 도 10은 제1 내지 제3실시 예에 따른 발광 소자로부터 방출된 피크 파장을 나타낸 도면이다.
- [26] 도 11은 실시 예에 따른 자외선 파장의 흡수율을 나타낸 도면이다.

발명의 실시를 위한 최선의 형태

- [27] 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on/over)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on/over)"와 "하/아래(under)"는

"직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.

[28] <발광소자>

[29] 도 1는 실시예에 따른 발광소자의 단면도이다.

[30] 도 1을 참조하면, 실시예에 따른 발광소자는 제1도전형 반도체층(41)과, 상기 제1도전형 반도체층(41) 상에 배치된 활성층(51)과, 상기 활성층(51) 상에 배치된 전자 차단 구조층(60), 및 상기 전자 차단 구조층(60) 상에 배치된 제2 도전형 반도체층(73)을 포함할 수 있다.

[31] 상기 발광 소자는 제1도전형 반도체층(41) 아래에 저 전도층(33), 버퍼층(31) 및 기판(21) 중 하나 이상 또는 모두를 포함할 수 있다.

[32] 상기 발광 소자는 상기 제1도전형 반도체층(41)과 활성층(51) 사이에 제1클래드층(43) 및 상기 활성층(51)과 제2도전형 반도체층(73) 사이에 제2클래드층(71) 중 적어도 하나 또는 모두를 포함할 수 있다.

[33] 상기 발광 소자는 서로 다른 자외선 파장의 광을 방출하게 된다. 상기 발광 소자는 290nm 이하의 파장을 발광하며, 서로 다른 자외선 파장은 290nm 이하에서 8nm 이상의 차이를 갖는다.

[34]

[35] 상기 기판(21)은 예를 들어, 투광성, 전도성 기판 또는 절연성 기판일 수 있다. 예를 들어, 상기 기판(21)은 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, GaP, InP, Ge, and Ga_2O_3 중 적어도 하나를 포함할 수 있다. 상기 기판(21)의 상면 및/또는 하면에는 복수의 돌출부(미도시)가 형성될 수 있으며, 상기 복수의 돌출부 각각은 측 단면이, 반구형 형상, 다각형 형상, 타원 형상 중 적어도 하나를 포함하며 스트라이프 형태 또는 매트릭스 형태로 배열될 수 있다. 상기 돌출부는 광 추출 효율을 개선시켜 줄 수 있다.

[36] 상기 기판(21) 위에는 복수의 화합물 반도체층이 성장될 수 있으며, 상기 복수의 화합물 반도체층의 성장 장비는 전자빔 증착기, PVD(physical vapor deposition), CVD(chemical vapor deposition), PLD(plasma laser deposition), 이중형의 열증착기(dual-type thermal evaporator) 스퍼터링(sputtering), MOCVD(metal organic chemical vapor deposition) 등에 의해 형성할 수 있으며, 이에 대해 한정하지는 않는다.

[37] 상기 기판(21)과 상기 제1도전형 반도체층(41) 사이에는 버퍼층(31)이 형성될 수 있다. 상기 버퍼층(31)은 II족 내지 VI족 화합물 반도체를 이용하여 적어도 한 층으로 형성될 수 있다. 상기 버퍼층(31)은 III족-V족 화합물 반도체를 이용한 반도체층을 포함하며, 예컨대, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 버퍼층(31)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP, ZnO와 같은 재료 중 적어도 하나를 포함한다.

- [38] 상기 버퍼층(31)은 서로 다른 반도체층을 교대로 배치하여 초 격자(super lattice) 구조로 형성될 수 있다. 상기 버퍼층(31)은 상기 기판(21)과 질화물 계열의 반도체층과의 격자상수의 차이를 완화시켜 주기 위해 형성될 수 있으며, 결합 제어층으로 정의될 수 있다. 상기 버퍼층(31)은 상기 기판(21)과 질화물 계열의 반도체층 사이의 격자상수 사이의 값을 가질 수 있다. 상기 버퍼층(31)은 형성하지 않을 수 있으며, 이에 대해 한정하지는 않는다.
- [39] 상기 저 전도층(33)은 상기 버퍼층(31)과 상기 제1도전형 반도체층(41) 사이에 배치될 수 있다. 상기 저 전도층(33)은 언도프드 반도체층으로서, 제1도전형 반도체층(41) 보다 낮은 전기 전도성을 가진다.
- [40] 상기 저 전도층(33)은 II족 내지 VI족 화합물 반도체 예컨대, III족-V족 화합물 반도체로 구현될 수 있으며, 이러한 언도프드 반도체층은 의도적으로 도전형 도펀트를 도핑하지 않더라도 제1도전형 특성을 가지게 된다. 상기 언도프드 반도체층은 형성하지 않을 수 있으며, 이에 대해 한정하지는 않는다. 상기 저 전도층(33)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 적어도 하나를 포함할 수 있다. 상기 저 전도층(33)은 형성하지 않을 수 있으며, 이에 대해 한정하지는 않는다.
- [41] 상기 제1도전형 반도체층(41)은 상기 기판(21), 상기 버퍼층(31), 상기 저 전도층(33) 중 적어도 하나와 상기 활성층(51) 사이에 배치될 수 있다. 상기 제1도전형 반도체층(41)은 제1도전형의 도펀트가 도핑된 III족-V족 및 II족-VI족의 화합물 반도체 중 적어도 하나로 구현될 수 있다.
- [42] 상기 제1도전형 반도체층(41)은 예컨대, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 제1도전형 반도체층(41)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중에서 적어도 하나를 포함할 수 있으며, Si, Ge, Sn, Se, Te 등의 n형 도펀트가 도핑된 n형 반도체층이 될 수 있다.
- [43] 상기 제1도전형 반도체층(41)은 단층 또는 다층으로 배치될 수 있다. 상기 제1도전형 반도체층(41)은 서로 다른 적어도 두 층이 교대로 배치된 초격자 구조로 형성될 수 있다. 상기 제1도전형 반도체층(41)은 전극 접촉층이 될 수 있다.
- [44]
- [45] 상기 제1클래드층(43)은 AlGaIn계 반도체를 포함할 수 있다. 상기 제1클래드층(43)은 제1도전형의 도펀트 예컨대, n형 도펀트를 갖는 n형 반도체층일 수 있다. 상기 제1클래드층(43)은 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중에서 적어도 하나를 포함할 수 있으며, Si, Ge, Sn, Se, Te 등의 n형 도펀트가 도핑된 n형 반도체층이 될 수 있다.
- [46] 상기 제1도전형 반도체층(41) 및 상기 제1클래드층(43)은 자외선 파장의 흡수를 방지하기 위해, AlGaIn계 반도체로 배치될 수 있다.

[47]

[48] 상기 활성층(51)은 단일 우물, 단일 양자우물, 다중 우물, 다중 양자우물 구조(MQW: Multi Quantum Well), 양자 선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 적어도 하나로 형성될 수 있다.

[49] 상기 활성층(51)은 상기 제1도전형 반도체층(41)을 통해서 주입되는 전자(또는 정공)와 상기 제2도전형 반도체층(73)을 통해서 주입되는 정공(또는 전자)이 서로 만나서, 상기 활성층(51)의 형성 물질에 따른 에너지 밴드(Energy Band)의 밴드갭(Band Gap) 차이에 의해서 빛을 방출하는 층이다.

[50] 상기 활성층(51)은 화합물 반도체로 구현될 수 있다. 상기 활성층(51)은 예로서 II족-VI족 및 III족-V족 화합물 반도체 중에서 적어도 하나로 구현될 수 있다.

[51] 상기 활성층(51)이 다중 우물 구조로 구현된 경우, 상기 활성층(51)은 복수의 우물층(53)과 복수의 장벽층(55)을 포함한다. 상기 활성층(51)은 우물층(53)과 장벽층(55)이 교대로 배치된다. 상기 우물층(53)과 상기 장벽층(55)의 페어는 2~30주기로 형성될 수 있다.

[52] 상기 우물층(53)은 예컨대, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 배치될 수 있다. 상기 장벽층(55)은 예컨대, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 형성될 수 있다.

[53] 상기 우물층(53)/장벽층(55)의 주기는 예를 들어, InGaN/GaN, GaN/AlGaIn, AlGaIn/AlGaIn, InGaIn/AlGaIn, InGaIn/InGaIn, AlGaAs/GaAs, InGaAs/GaAs, InGaP/GaP, AlInGaP/InGaP, InP/GaAs의 페어 중 적어도 하나를 포함한다.

[54] 실시 예에 따른 활성층(51)의 우물층(53)은 AlGaIn으로 구현될 수 있으며, 상기 장벽층(55)은 AlGaIn으로 구현될 수 있다. 상기 활성층(51)은 자외선 파장을 발광할 수 있다. 상기 장벽층(55)의 알루미늄 조성은 상기 우물층(53)의 알루미늄 조성보다 높은 조성을 갖는다. 상기 우물층(53)의 알루미늄 조성은 20% 내지 40% 범위일 수 있으며, 상기 장벽층(55)의 알루미늄 조성은 40% 내지 95% 범위일 수 있다.

[55] 상기 우물층(53)은 제1밴드 갭(G1)을 가질 수 있다. 상기 장벽층(55)은 상기 우물층(53)의 제1밴드 갭(G1)보다 넓은 제2밴드 갭(G2)을 가질 수 있다. 상기 장벽층(55)은 상기 우물층(53)의 두께보다 두꺼운 두께를 가질 수 있다.

[56] 상기 우물층(53)의 두께는 3nm 내지 5nm 범위일 수 있으며, 예컨대 2nm 내지 4nm 범위일 수 있다. 상기 우물층(53)의 두께가 상기 범위보다 얇으면 캐리어의 구속 효율이 낮아지고, 상기 범위보다 두꺼우면 캐리어를 과도하게 구속하게 되는 문제가 있다.

[57] 상기 장벽층(55)의 두께는 4nm 내지 20nm 범위일 수 있으며, 예컨대 4nm 내지 10nm 범위일 수 있다. 상기 장벽층(55)의 두께가 상기 범위보다 얇은 경우 전자의 차단 효율이 낮아지고, 상기 범위보다 두꺼우면 전자를 과도하게 차단하게 되는 문제가 있다. 이러한 장벽층(55)의 두께, 광의 파장과 양자 우물 구조에 따라 각 캐리어를 우물층(53)에 효과적으로 구속시켜 줄 수 있다.

- [58] 상기 장벽층(55)은 도펀트를 포함할 수 있으며, 예컨대 n형 도펀트를 포함할 수 있다. 상기 장벽층(55)은 n형 도펀트가 첨가되므로, n형의 반도체층이 될 수 있다. 상기 장벽층(55)이 n형 반도체층인 경우, 활성층(51)으로 주입되는 전자의 주입 효율이 증가될 수 있다. 상기 장벽층(55)에 첨가된 n형 도펀트 농도는 $1 \times 10^{20} \text{cm}^{-3}$ 이하일 수 있으며, 이를 초과할 경우 반도체층의 결정성을 저하시킬 수 있다.
- [59] 상기 활성층(51)은 상기 전자 차단 구조층(60)에 인접한 제1장벽층(B1)을 포함하며, 상기 제1장벽층(B1)에 인접하며 상기 제1장벽층(B1)보다 제1도전형 반도체층(41)에 더 가까운 제1우물층(W1)을 포함한다. 상기 제1장벽층(B1)은 상기 제1우물층(W1)과 상기 전자 차단 구조층(60) 사이에 배치된다. 상기 제1우물층(W1)은 제1장벽층(B1)과 다른 장벽층(B2) 사이에 배치될 수 있다.
- [60] 도 2 및 도 3과 같이, 상기 제1장벽층(B1)은 다른 장벽층(B2)의 두께보다 얇은 두께(T1)로 제공될 수 있다. 상기 제1장벽층(B1)은 상기 제1우물층(W1)의 두께보다 얇은 두께(T1)로 제공될 수 있다. 상기 제1장벽층(B1)의 두께(T1)는 1~2.5nm 범위일 수 있으며, 예컨대 1.5nm 내지 2.5nm 범위일 수 있다. 상기 제1장벽층(B1)의 두께(T1)가 상기 범위보다 두꺼운 경우 제1우물층(W1)으로의 정공 주입 효율이 저하될 수 있고, 상기 범위보다 얇은 경우 전자 장벽으로 기능이 저하될 수 있다. 상기 제1장벽층(B1)은 다른 장벽층(B2)에 첨가된 도펀트 예컨대, n형 도펀트가 첨가될 수 있으며, 다른 장벽층(B2)의 도펀트 농도로 첨가될 수 있다.
- [61] 상기 장벽층(155)에 n형 도펀트가 첨가됨으로써, 주입되는 전자를 가이드할 수 있고, 이러한 전자는 제1우물층(W1)까지 이동하여 구속될 수 있다. 상기 제1장벽층(B1)의 두께(T1)가 얇게 배치됨으로써, 제1우물층(W1)으로의 정공 주입 효율을 개선시켜 줄 수 있다. 이에 따라 상기 활성층(51)은 제1우물층(W1)으로 주입된 전자와 정공이 만나서 제1피크 파장(도 10의 P1)을 방출하게 되며, 상기 제1피크 파장(P1)은 270nm 내지 290nm 범위일 수 있다.
- [62] 상기 제1장벽층(B1)이 n형 반도체이고 상기 제1우물층(W1)의 두께보다 얇은 두께(T1)를 가진 경우, 주입되는 일부 전자는 상기 제1장벽층(B1)을 넘어 전자 차단 구조층(60)으로 이동될 수 있다. 이 경우 상기 전자 차단 구조층(60)에서는 상기 전자와 정공이 만나서 제2피크 파장(도 10의 P2)을 방출할 수 있다. 상기 제2피크 파장(P2)은 상기 제1피크 파장(P1)보다 단 파장이며, 예컨대 260nm 내지 270nm 범위일 수 있다. 상기 제1피크 파장(P1)과 상기 제2피크 파장(P2)의 차이는 8nm 이상일 수 있다. 실시 예에 따른 활성층(51) 및 전자 차단 구조층(60)을 갖는 발광 구조물은 서로 다른 제1 및 제2피크 파장(P1, P2)을 발광한다.
- [63] 한편, 상기 전자 차단 구조층(60)은 다층 구조를 포함한다. 상기 전자 차단 구조층(60)은 복수의 반도체층(61, 63, 65)을 포함하며, 상기 복수의 반도체층(61, 63, 65)은 AlGaIn계 반도체를 포함할 수 있다. 상기 복수의 반도체층(61, 63, 65)은 상기 알루미늄의 조성비 50% 이상인 재료이거나, 상기

장벽층(155)의 알루미늄의 조성과 같거나 더 높은 조성을 갖는 재료를 포함할 수 있다.

- [64] 상기 복수의 반도체층(61,63,65)은 상기 제1장벽층(B1)과 상기 제1도전형 반도체층(41) 사이에 배치된 제1반도체층(61), 상기 제1반도체층(61)과 제2도전형 반도체층(73) 사이에 배치된 제2반도체층(63), 및 상기 제2반도체층(63)과 상기 제2도전형 반도체층(73) 사이에 배치된 제3반도체층(65)을 포함한다. 상기 제1 내지 제3반도체층(61,63,65)은 AlGaN 반도체로 배치될 수 있다.
- [65] 상기 제1 내지 제3반도체층(61,63,65)은 제2도전형의 도펀트 예컨대, p형 도펀트를 포함할 수 있다. 상기 제1 내지 제3반도체층(61,63,65)은 p형 도펀트 농도가 $1 \times 10^{17} \text{cm}^{-3}$ 이상일 수 있으며, 상기 p형 도펀트 농도가 낮은 경우 정공 주입 효율이 저하될 수 있다.
- [66] 상기 제1 및 제3반도체층(61,63)은 전자를 차단하는 장벽 구조이며, 상기 제2반도체층(63)은 정공 주입을 위해 상기 장벽 구조 사이에 우물 구조로 배치된다. 상기 제1 및 제3반도체층(61,63)의 알루미늄 조성은 상기 제2반도체층(63)의 알루미늄의 조성보다 높을 수 있다. 상기 제1반도체층(61)의 밴드 갭(G3,G4) 및 제3반도체층(63)의 밴드 갭(G6)은 상기 제2반도체층(63)의 밴드 갭(G5)보다 넓을 수 있다. 이에 따라 상기 제1 내지 제3반도체층(61,63,65)은 전자를 차단하고 정공의 주입을 가이드하게 된다.
- [67] 상기 제1반도체층(61)은 상기 제1장벽층(B1)에 인접한 제1영역(11), 상기 제2반도체층(63)에 인접한 제2영역(12)을 포함한다. 상기 제1영역(11)은 상기 제2영역(12) 및 상기 제2반도체층(63)보다 제1장벽층(B1), 활성층(51) 및 제1도전형 반도체층(41)에 더 가깝게 위치하게 된다. 상기 제1영역(11)은 상기 제1장벽층(B1)에 접촉되며, 상기 제2영역(12)은 상기 제1영역(11)과 제2반도체층(63) 사이에 배치되고 상기 제1영역(11)과 제2반도체층(63)에 접촉될 수 있다. 상기 제2반도체층(63)은 상기 제1반도체층(61) 및 제3반도체층(65) 사이에 배치될 수 있다. 상기 제2반도체층(63)은 상기 제1반도체층(61)의 제2영역(12)과 상기 제3반도체층(65)에 접촉될 수 있다.
- [68] 상기 제1반도체층(61)의 제1영역(11)은 상기 제2영역(12)의 알루미늄의 조성보다 높은 알루미늄의 조성을 포함한다. 상기 제1영역(11)의 알루미늄 조성은 상기 장벽층(155) 및 상기 제3반도체층(65)의 알루미늄의 조성보다 높은 조성을 가질 수 있다. 상기 제2영역(12)은 상기 제1영역(11)으로부터 알루미늄의 조성이 단계적으로 감소하는 스텝 구조이거나, 상기 알루미늄 조성이 선형적으로 감소되는 그레이딩(grading) 구조일 수 있다.
- [69]
- [70] 상기 제1반도체층(61)의 평균 알루미늄 조성 예컨대, 상기 제1 및 제2영역(11,12)의 평균 알루미늄 조성은 상기 장벽층(55), 상기 제2반도체층(63) 및 상기 제3반도체층(65)의 알루미늄의 조성보다 높을 수 있다. 상기

제1영역(11)의 알루미늄의 조성은 95% 이상 예컨대, 95% 내지 99.9% 범위일 수 있다. 상기 제2영역(12)의 알루미늄의 조성은 50% 내지 80% 범위 예컨대, 70% 내지 78% 범위일 수 있다. 상기 제1반도체층(61)의 평균 알루미늄 조성은 65% 이상일 수 있으며, 상기 알루미늄 조성이 65% 미만인 경우 제1반도체층(61)으로 정공이 넘지 못하는 문제가 될 수 있다. 여기서, 상기 제1영역(11)은 상기 제1장벽층(B1)과의 장벽 높이(H1)의 차이가 가장 큰 영역일 수 있으며, 상기 제2영역(12)은 상기 제1장벽층(B1) 또는 상기 제2반도체층(63)과의 장벽 높이(H2)의 차이가 가장 작은 영역일 수 있다.

[71] 이러한 제1반도체층(61)은 제1영역(11)이 예컨대 $\text{Al}_a\text{Ga}_{1-a}\text{N}$ ($0.95 \leq a < 1$)의 조성식을 갖는 반도체 재료를 포함하며 상기 제2영역(12)이 $\text{Al}_b\text{Ga}_{1-b}\text{N}$ ($0.5 \leq b < 0.8$, $a > b$)의 조성식을 갖는 반도체 재료를 포함한다. 상기 제1영역(11)은 다른 예로서, AlN으로 형성될 수도 있다.

[72] 도 3과 같이, 상기 제1반도체층(61)의 두께(T4)는 7nm 이하 예컨대, 4.5nm 내지 6nm 범위를 포함한다. 상기 제1영역(11)의 두께(T2)는 0.1nm 내지 5nm 범위 예컨대, 1.5nm 내지 2nm 범위를 포함한다. 상기 제1영역(11)의 두께(T2)가 상기 범위보다 작은 경우 발광 기능을 수행하는 데 어려움이 있으며, 상기 범위보다 큰 경우 정공을 과도하게 차단하게 되므로 활성층(51) 내에서 광량이 줄어드는 문제가 있다. 이러한 상기 제1영역(11)의 두께(T2)는 상기 제1반도체층(61)의 두께(T4)의 50% 이하일 수 있다.

[73] 상기 제2영역(12)의 두께(T2)는 상기 제1영역(11)의 두께(T3)보다 두껍게 배치될 수 있으며, 2.5nm 내지 5nm 범위의 두께 예컨대, 2.5nm 내지 3.5nm 범위의 두께일 수 있다. 상기 제2영역(12)의 두께(T2)가 상기 범위보다 두꺼우면 정공 주입 효율이 저하될 수 있고, 상기 범위보다 얇으면 전자가 오버 플로우(overflow)할 수 있다.

[74] 상기 제2반도체층(63)은 알루미늄 조성은 40% 내지 65% 범위일 수 있으며, 상기 제3반도체층(65)은 알루미늄 조성은 50% 내지 80% 범위 예컨대, 70% 내지 78% 범위일 수 있다. 상기 제2반도체층(63)의 두께(T5)는 상기 제1반도체층(61)의 두께(T4)보다 얇으며, 예컨대 4nm 내지 6nm 범위일 수 있다. 상기 제3반도체층(65)의 두께(T6)는 상기 제1반도체층(61)의 두께(T4)보다 얇으며, 예컨대 4nm 내지 6nm 범위일 수 있다.

[75] 다른 예로서, 상기 제2반도체층(63) 및 상기 제3반도체층(65)은 상기의 알루미늄 조성의 범위 내에서 그레이딩하게 감소하거나 증가될 수 있으며, 이에 대해 한정하지는 않는다.

[76] 실시 예에 따른 전자 차단 구조층(60)은 활성층(51)에 인접한 제1영역(11)의 알루미늄의 조성은 95% 이상으로 배치됨으로써, 상기 제1반도체층(61)에서 질소 베이컨스(nitrogen vacancy, $\text{V}_{\text{N}^{3+}}$)와 p형 도펀트인 Mg 억셉터(acceptor) 간 발광 모드가 생성된다. 즉, 알루미늄 조성은 95% 이상인 제1영역(11)에서 $\text{V}_{\text{N}^{3+}}$ -Mg 억셉터 전이(transition)로 인해 4.7eV(AlN)~260nm 사이에서 제2피크 파장이

발광하게 된다.

[77] 도 9와 같이, 알루미늄 함량에 따른 밴드 갭은 GaN 반도체 영역(A1)은 2.8eV 밴드 갭이고, AlN 영역은 4.7eV으로 나타나게 되며, 알루미늄의 함량이 0.95부터 1미만 사이의 영역(A2)은 4.7eV(AlN)~260nm 사이의 파장이 발광될 수 있다. 실시 예에 따른 전자 차단 구조층(60)의 제1영역(11)은 알루미늄의 조성이 95% 이상 100% 미만인 영역(A2)의 밴드 갭을 갖게 되므로, 도 10과 같이 제2피크 파장(P2)을 발광하게 된다.

[78] 도 2 및 도 10을 참조하면, 상기 제2피크 파장(P2)은 상기 전자 차단 구조층(60) 예컨대, 제1반도체층(61)에서 260nm 내지 270nm 범위로 발광할 수 있다. 여기서, 상기 활성층(51)으로 주입되는 전자는 상기 전자 차단 구조층(60)에 인접한 제1장벽층(B1)을 넘어 상기 제1반도체층(61)으로 이동될 수 있고, 상기 제2도전형 반도체층(73)으로 공급되는 일부 정공은 전자 차단 구조층(60)의 제1반도체층(61)의 제1영역(11)에서 상기 전자와 결합될 수 있다. 이에 따라 상기 제1반도체층(61)의 제1영역(11)에서 제1피크 파장(P1)보다 단 파장인 제2피크 파장(P2)이 발생될 수 있다. 실시 예에 따른 활성층(51) 및 전자 차단 구조층(60)을 갖는 발광 구조물은 서로 다른 제1 및 제2피크 파장(P1,P2)을 발광한다.

[79] 실시 예에 따른 발광 소자는 도 10과 같이, 자외선 파장의 제1피크 파장(P1)과, 상기 제1피크 파장(P1)보다 단파장인 제2피크 파장(P2)이 방출될 수 있다. 상기 제1피크 파장(P1)은 270nm 내지 290nm 범위이며, 상기 제2피크 파장(P2)은 260nm 내지 270nm 범위가 될 수 있다. 도 10에서 점선의 파장(P3,P4,P5)은 개별 피크 파장을 측정한 예이며, 제1피크 파장(P1)은 메인 및 서브 파장(P3, P5)으로 검출될 수 있으며, 상기 제2피크 파장은 메인 파장(P4)으로 검출될 수 있다. 상기 제1피크 파장(P1)의 메인 파장(P3)은 반치 폭이 6nm 이상일 수 있으며, 서브 파장(P5)은 반치 폭이 18nm 이상일 수 있으며, 상기 제2피크 파장(P2)의 서브 파장(P4)은 반치 폭이 8nm 이상일 수 있다.

[80] 도 10 및 도 11과 같이, 상기 발광 소자로부터 방출된 제1피크 파장(P1)은 단백질의 흡수 파장의 광원으로 제공될 수 있고, 제2피크 파장(P2)은 DNA(deoxyribonucleic acid)의 흡수 파장의 광원으로 제공될 수 있다. 이러한 제1 피크 파장(P1)과 제2피크 파장(P2)을 함께 제공해 줌으로써, 하나의 자외선 LED에서의 살균력을 개선시켜 줄 수 있다. 또한 하나의 자외선 LED에서 서로 다른 피크 파장(P1,P2)을 동시에 제공해 줌으로써, 하나의 LED 패키지에 2개의 발광 소자 즉, 2개의 LED 칩을 탑재하지 않아도 되는 효과가 있다.

[81]

[82] 상기 제2클래드층(71)은 상기 전자 차단 구조층(60) 위에 배치된다. 상기 제2클래드층(71)은 상기 전자 차단 구조층(60)과 상기 제2도전형 반도체층(73) 사이에 배치된다.

[83] 상기 제2클래드층(71)은 AlGaIn계 반도체를 포함할 수 있다. 상기

제2클래드층(71)은 제2도전형의 도펀트 예컨대, p형 도펀트를 갖는 p형 반도체층일 수 있다. 상기 제2클래드층(71)은 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, 또는 AlGaInP 중에서 적어도 하나를 포함할 수 있으며, Mg, Zn, Ca, Sr, Ba와 같은 p형 도펀트를 포함할 수 있다.

[84] 상기 제2클래드층(71) 위에 제2도전형 반도체층(73)이 배치될 수 있다. 상기 제2도전형 반도체층(73)은 예컨대, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 제2도전형 반도체층(73)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, 또는 AlGaInP 중에서 적어도 하나를 포함할 수 있으며, p형 도펀트가 도핑된 p형 반도체층이 될 수 있다.

[85] 상기 제2도전형 반도체층(73)은 단층 또는 다층으로 배치될 수 있다. 상기 제2도전형 반도체층(73)은 서로 다른 적어도 두 층이 교대로 배치된 초격자 구조로 형성될 수 있다. 상기 제2도전형 반도체층(73)은 전극 접촉층이 될 수 있다. 상기 제2도전형 반도체층(73) 및 상기 제2클래드층(71)은 자외선 파장의 흡수를 방지하기 위해, AlGaIn계 반도체로 배치될 수 있다.

[86] 발광 구조물은 제1도전형 반도체층(41), 활성층(51), 전자 차단 구조층(61) 및 제2도전형 반도체층(73)을 포함할 수 있다. 상기 발광 구조물은 제1 및 제2클래드층(43,71)을 더 포함할 수 있다. 이러한 발광 소자의 발광 구조물은 상기에 개시된 서로 다른 제1 및 제2피크 파장을 발광할 수 있다. 다른 예로서, 발광 구조물은 제1도전형 반도체층(41) 및 제1클래드층(43)이 p형 반도체층, 상기 제2클래드층(71) 및 제2도전형 반도체층(73)은 n형 반도체층으로 구현될 수 있다. 이러한 발광 구조물은 n-p 접합 구조, p-n 접합 구조, n-p-n 접합 구조, p-n-p 접합 구조 중 어느 한 구조로 구현할 수 있다.

[87]

[88] 도 4는 제2실시 예에 따른 발광 소자를 나타낸 측 단면도이다. 도 4를 설명함에 있어서, 제1실시 예와 동일한 구성은 제1실시 예의 설명을 참조하기로 한다.

[89] 도 1 및 도 4를 참조하면, 발광 소자의 활성층(51)은 제1도전형 반도체층(41)과 제2도전형 반도체층(73) 사이에 배치된다. 상기 활성층(51)은 제1클래드층(43)과 제2클래드층(71) 사이에 배치될 수 있다. 전자 차단층(60)은 상기 활성층(51)과 제2도전형 반도체층(73) 사이에 배치될 수 있다. 전자 차단층(60)은 상기 활성층(51)과 제2클래드층(71) 사이에 배치될 수 있다.

[90] 발광 구조물은 제1도전형 반도체층(41), 활성층(51), 전자 차단 구조층(61) 및 제2도전형 반도체층(73)을 포함할 수 있다. 상기 발광 구조물은 제1 및 제2클래드층(43,71)을 더 포함할 수 있다. 이러한 발광 소자의 발광 구조물은 상기에 개시된 서로 다른 제1 및 제2피크 파장을 발광할 수 있다.

[91] 상기 활성층(51)은 복수의 우물층(53)과 복수의 장벽층(55)을 포함한다. 상기 활성층(51)은 우물층(53)과 장벽층(55)이 교대로 배치된다. 상기 우물층(53)과 상기 장벽층(55)의 페어는 2~30주기로 형성될 수 있다.

- [92] 상기 우물층(53)은 예컨대, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 배치될 수 있다. 상기 장벽층(55)은 예컨대, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 형성될 수 있다.
- [93] 상기 우물층(53)/장벽층(55)의 주기는 예를 들어, InGaN/GaN , GaN/AlGaN , $\text{AlGaN}/\text{AlGaN}$, $\text{InGaN}/\text{AlGaN}$, $\text{InGaN}/\text{InGaN}$, $\text{AlGaAs}/\text{GaAs}$, $\text{InGaAs}/\text{GaAs}$, InGaP/GaP , $\text{AlInGaP}/\text{InGaP}$, InP/GaAs 의 페어 중 적어도 하나를 포함한다.
- [94] 실시 예에 따른 활성층(51)의 우물층(53)은 AlGaN 으로 구현될 수 있으며, 상기 장벽층(55)은 AlGaN 으로 구현될 수 있다. 상기 장벽층(55)의 알루미늄 조성은 상기 우물층(53)의 알루미늄 조성보다 높은 조성을 갖는다. 상기 우물층(53)의 알루미늄 조성은 20% 내지 40% 범위일 수 있으며, 상기 장벽층(55)의 알루미늄 조성은 40% 내지 95% 범위일 수 있다. 상기 우물층(53) 및 장벽층(55)의 알루미늄 조성 차이는 활성층(51)의 발광 파장에 따라 달라질 수 있다.
- [95] 상기 우물층(53)은 제1밴드 갭($G1$)을 가질 수 있다. 상기 장벽층(55)은 상기 우물층(53)의 제1밴드 갭($G1$)보다 넓은 제2밴드 갭($G2$)을 가질 수 있다. 상기 장벽층(55)은 상기 우물층(53)의 두께보다 두꺼운 두께를 가질 수 있다.
- [96] 상기 활성층(51)은 자외선 파장을 발광할 수 있다. 상기 우물층(53)의 두께는 3nm 내지 5nm 범위일 수 있으며, 예컨대 2nm 내지 4nm 범위일 수 있다. 상기 우물층(53)의 두께가 상기 범위보다 얇으면 캐리어의 구속 효율이 낮아지고, 상기 범위보다 두꺼우면 캐리어를 과도하게 구속하게 되는 문제가 있다.
- [97] 상기 장벽층(55)의 두께는 4nm 내지 20nm 범위일 수 있으며, 예컨대 4nm 내지 10nm 범위일 수 있다. 상기 장벽층(55)의 두께가 상기 범위보다 얇은 경우 전자의 차단 효율이 낮아지고, 상기 범위보다 두꺼우면 전자를 과도하게 차단하게 되는 문제가 있다. 이러한 장벽층(55)의 두께, 광의 파장과 양자 우물 구조에 따라 각 캐리어를 우물층(53)에 효과적으로 구속시켜 줄 수 있다.
- [98] 상기 장벽층(55)은 도펀트를 포함할 수 있으며, 예컨대 n형 도펀트를 포함할 수 있다. 상기 장벽층(55)은 n형 도펀트가 첨가되므로, n형의 반도체층이 될 수 있다. 상기 장벽층(55)이 n형 반도체층인 경우, 제1도전형 반도체층(41)으로 주입되는 전자의 가이드 효율이 증가될 수 있다. 상기 장벽층(55)에 첨가된 n형 도펀트 농도는 $1\text{E}20\text{cm}^{-3}$ 이하일 수 있으며, 이를 초과할 경우 반도체층의 결정성을 저하시킬 수 있다.
- [99] 상기 활성층(51)은 상기 전자 차단 구조층(60)에 인접한 제1장벽층(B1)을 포함하며, 상기 제1장벽층(B1)에 인접하며 상기 제1장벽층(B1)보다 제1도전형 반도체층(41)에 더 가까운 제1우물층(W1)을 포함한다. 상기 제1장벽층(B1)은 상기 제1우물층(W1)과 상기 전자 차단 구조층(60) 사이에 배치된다. 상기 제1우물층(W1)은 제1장벽층(B1)과 다른 장벽층 사이에 배치될 수 있다.
- [100] 상기 제1장벽층(B1)은 다른 장벽층의 두께보다 얇은 두께로 제공될 수 있다. 상기 제1장벽층(B1)은 상기 제1우물층(W1)의 두께보다 얇은 두께로 제공될 수 있다. 상기 제1장벽층(B1)의 두께는 1nm~2.5nm 범위일 수 있으며, 예컨대 1.5nm

내지 2.5nm 범위일 수 있다. 상기 제1장벽층(B1)의 두께가 상기 범위보다 두꺼운 경우 제1우물층(W1)으로의 정공 주입 효율이 저하될 수 있고, 상기 범위보다 얇은 경우 장벽으로 기능이 저하될 수 있다. 상기 제1장벽층(B1)은 다른 장벽층에 첨가된 도펀트 예컨대, n형 도펀트가 첨가될 수 있으며, 다른 장벽층의 도펀트 농도로 첨가될 수 있다.

- [101] 상기 장벽층(55)에 n형 도펀트가 첨가됨으로써, 주입되는 전자는 제1우물층(W1)에서 구속될 수 있다. 상기 제1장벽층(B1)의 두께가 얇게 배치됨으로써, 제1우물층(W1)으로의 정공 주입 효율을 개선시켜 줄 수 있다. 이에 따라 상기 활성층(51)은 제1우물층(W1)으로 주입된 전자와 정공이 만나서 제1피크 파장(P1)을 방출하게 된다. 예컨대, 상기 제1피크 파장은 270nm 내지 290nm 범위로 발광할 수 있다.
- [102] 도 4 및 도 10과 같이, 상기 제1장벽층(B1)이 n형 도펀트를 갖고 상기 제1우물층(W1)의 두께보다 얇은 두께를 갖고 있으므로, 주입되는 전자는 상기 제1장벽층(B1)을 넘어 전자 차단 구조층(60)으로 이동될 수 있다. 이 경우 상기 전자 차단 구조층(60)에서는 제2피크 파장(P2)을 방출할 수 있다. 상기 제2피크 파장(P2)은 상기 제1피크 파장(P1)보다 단 파장인 광을 방출하게 되며, 예컨대 260nm 내지 270nm 범위를 발광할 수 있다. 상기 제1피크 파장(P1)과 상기 제2피크 파장(P2)의 차이는 8nm 이상일 수 있다.
- [103] 상기 전자 차단 구조층(60)은 AlGaIn계 반도체를 포함하며, 제1반도체층(61), 제2반도체층(63) 및 제3반도체층(65)을 포함한다. 상기 제1 내지 제3반도체층(61,63,65)은 AlGaIn으로 배치될 수 있다.
- [104] 상기 제1반도체층(61)은 알루미늄의 조성이 95% 이상인 제1영역(13)과, 상기 제1영역(13)보다 낮은 알루미늄의 조성을 갖는 제2영역(14)을 포함한다. 상기 제1영역(13)의 알루미늄의 조성은 95% 이상 예컨대, 95% 내지 99.9% 범위일 수 있다. 상기 제1영역(13)의 알루미늄 조성은 상기 활성층(51) 또는 제1장벽층(B1)으로부터 멀어질수록 점차 감소하게 된다. 상기 제2영역(14)의 알루미늄의 조성은 50% 내지 80% 범위 예컨대, 70% 내지 78% 범위일 수 있다. 상기 제1반도체층(61)은 상기 제1영역(13)에서 제2영역(14)까지 알루미늄의 조성이 그레이딩하게 감소될 수 있다.
- [105] 상기 제1영역(13)의 밴드 갭(G3)은 제2영역(14)의 밴드 갭(G4)보다 넓게 배치될 수 있다. 상기 제1반도체층(61)의 평균 알루미늄의 조성은 65% 이상일 수 있으며, 두께는 7nm 이하 예컨대, 4.5nm 내지 6nm 범위를 포함한다. 상기 제1 내지 제3반도체층(61,63,65)은 p형 도펀트를 갖는 p형 반도체층을 포함한다.
- [106] 상기 제2반도체층(63)은 상기 제1반도체층(61)의 평균 알루미늄 조성보다 낮은 알루미늄 조성을 갖고, 예컨대 40% 내지 65% 범위의 알루미늄 조성을 가질 수 있다. 상기 제3반도체층(65)은 상기 제1반도체층(61)의 평균 알루미늄 조성보다 낮은 알루미늄 조성을 갖는다. 상기 제3반도체층(65)은 알루미늄 조성이 50% 내지 80% 범위 예컨대, 70% 내지 78% 범위일 수 있다. 상기 제2반도체층(63)의

두께는 상기 제1반도체층(61)의 두께보다 얇으며, 예컨대 4nm 내지 6nm 범위일 수 있다. 상기 제3반도체층(65)의 두께는 상기 제1반도체층(61)의 두께보다 얇으며, 예컨대 4nm 내지 6nm 범위일 수 있다.

- [107] 실시 예에 따른 전자 차단 구조층(60)은 활성층(51)에 인접한 제1영역(13)의 알루미늄의 조성이 95% 이상으로 배치됨으로써, 상기 제1반도체층(61)에서 질소 베이컨스(nitrogen vacancy, $V_{N^{3+}}$)와 p형 도펀트인 Mg 억셉터(acceptor) 간 발광 모드가 생성된다. 즉, 알루미늄 조성이 95% 이상인 제1영역(13)에서 $V_{N^{3+}}$ -Mg 억셉터 전이(transition)로 인해 4.7eV(AlN)~260nm 사이에서 제2피크 파장(P2)이 발광하게 된다. 상기 제2피크 파장(P2)은 상기 전자 차단 구조층(60) 예컨대, 제1반도체층(61)에서 260nm 내지 270nm 범위로 발광할 수 있다. 여기서, 상기 활성층(51)으로 주입되는 전자는 상기 전자 차단 구조층(60)에 인접한 제1장벽층(B1)을 넘어 상기 제1반도체층(61)으로 이동될 수 있고, 상기 제2도전형 반도체층(73)으로 공급되는 일부 정공은 전자 차단 구조층(60)의 제1반도체층(61)의 제1영역(13)에서 상기 전자와 결합될 수 있다. 이에 따라 상기 제1반도체층(61)의 제1영역(13)은 제1피크 파장(P1)보다 단 파장인 제2피크 파장(P2)을 발광할 수 있다.

[108]

- [109] 도 5는 제3실시 예에 따른 발광 소자를 나타낸 측 단면도이다. 도 5를 설명함에 있어서, 제1, 2실시 예와 동일한 구성은 제1, 2실시 예의 설명을 참조하기로 한다.

- [110] 도 1 및 도 5를 참조하면, 발광 소자의 활성층(51)은 제1도전형 반도체층(41)과 제2도전형 반도체층(73) 사이에 배치된다. 상기 활성층(51)은 제1클래드층(43)과 제2클래드층(71) 사이에 배치될 수 있다. 전자 차단층(60)은 상기 활성층(51)과 제2도전형 반도체층(73) 사이에 배치될 수 있다. 전자 차단층(60)은 상기 활성층(51)과 제2클래드층(71) 사이에 배치될 수 있다.

- [111] 발광 구조물은 제1도전형 반도체층(41), 활성층(51), 전자 차단 구조층(61) 및 제2도전형 반도체층(73)을 포함할 수 있다. 상기 발광 구조물은 제1 및 제2클래드층(43, 71)을 더 포함할 수 있다. 이러한 발광 소자의 발광 구조물은 상기에 개시된 서로 다른 제1 및 제2피크 파장을 발광할 수 있다.

- [112] 상기 활성층(51)은 복수의 우물층(53)과 복수의 장벽층(55)을 포함한다. 상기 활성층(51)은 우물층(53)과 장벽층(55)이 교대로 배치된다. 상기 우물층(53)과 상기 장벽층(55)의 페어는 2~30주기로 형성될 수 있다.

- [113] 상기 우물층(53)은 예컨대, $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 배치될 수 있다. 상기 장벽층(55)은 예컨대, $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 형성될 수 있다.

- [114] 상기 우물층(53)/장벽층(55)의 주기는 예를 들어, InGa_{0.9}N/GaN, GaN/AlGa_{0.1}N, AlGa_{0.1}N/AlGa_{0.9}N, InGa_{0.9}N/AlGa_{0.1}N, AlGa_{0.1}N/InGa_{0.9}N, AlGa_{0.1}As/GaAs, InGa_{0.9}As/GaAs, InGa_{0.9}P/GaP, AlInGa_{0.1}P/InGa_{0.9}P, InP/GaAs의 페어 중 적어도 하나를 포함한다.

- [115] 실시 예에 따른 활성층(51)의 우물층(53)은 AlGa_{0.1}N으로 구현될 수 있으며, 상기

장벽층(55)은 AlGaN으로 구현될 수 있다. 상기 장벽층(55)의 알루미늄 조성은 상기 우물층(53)의 알루미늄의 조성보다 높은 조성을 갖는다. 상기 우물층(53)의 알루미늄 조성은 20% 내지 40% 범위일 수 있으며, 상기 장벽층(55)의 알루미늄 조성은 40% 내지 95% 범위일 수 있다.

- [116] 상기 우물층(53)은 제1밴드 갭(G1)을 가질 수 있다. 상기 장벽층(55)은 상기 우물층(53)의 제1밴드 갭(G1)보다 넓은 제2밴드 갭(G2)을 가질 수 있다. 상기 장벽층(55)은 상기 우물층(53)의 두께보다 두꺼운 두께를 가질 수 있다.
- [117] 상기 활성층(51)은 자외선 파장을 발광할 수 있다. 상기 우물층(53)의 두께는 3nm 내지 5nm 범위일 수 있으며, 예컨대 2nm 내지 4nm 범위일 수 있다. 상기 우물층(53)의 두께가 상기 범위보다 얇으면 캐리어의 구속 효율이 낮아지고, 상기 범위보다 두꺼우면 캐리어를 과도하게 구속하게 되는 문제가 있다.
- [118] 상기 장벽층(55)의 두께는 4nm 내지 20nm 범위일 수 있으며, 예컨대 4nm 내지 10nm 범위일 수 있다. 상기 장벽층(55)의 두께가 상기 범위보다 얇은 경우 전자의 장벽 효율이 낮아지고, 상기 범위보다 두꺼우면 전자를 과도하게 차단하게 되는 문제가 있다. 이러한 장벽층(55)의 두께, 광의 파장과 양자 우물 구조에 따라 각 캐리어를 우물층(53)에 효과적으로 구속시켜 줄 수 있다.
- [119] 상기 장벽층(55)은 도펀트를 포함할 수 있으며, 예컨대 n형 도펀트를 포함할 수 있다. 상기 장벽층(55)은 n형 도펀트가 첨가되므로, n형의 반도체층이 될 수 있다. 상기 장벽층(55)이 n형 반도체층인 경우, 제1도전형 반도체층(41)으로 주입되는 전자의 가이드 효율이 증가될 수 있다. 상기 장벽층(55)에 첨가된 n형 도펀트 농도는 $1E20cm^{-3}$ 이하일 수 있으며, 이를 초과할 경우 반도체층의 결정성을 저하시킬 수 있다.
- [120] 상기 활성층(51)은 상기 전자 차단 구조층(60)에 인접한 제1장벽층(B1)을 포함하며, 상기 제1장벽층(B1)에 인접하며 상기 제1장벽층(B1)보다 제1도전형 반도체층(41)에 더 가까운 제1우물층(W1)을 포함한다. 상기 제1장벽층(B1)은 상기 제1우물층(W1)과 상기 전자 차단 구조층(60) 사이에 배치된다. 상기 제1우물층(W1)은 제1장벽층(B1)과 다른 장벽층 사이에 배치될 수 있다.
- [121] 상기 제1장벽층(B1)은 다른 장벽층의 두께보다 얇은 두께로 제공될 수 있다. 상기 제1장벽층(B1)은 상기 제1우물층(W1)의 두께보다 얇은 두께로 제공될 수 있다. 상기 제1장벽층(B1)의 두께는 1nm~2.5nm 범위일 수 있으며, 예컨대 1.5nm 내지 2.5nm 범위일 수 있다. 상기 제1장벽층(B1)의 두께가 상기 범위보다 두꺼운 경우 제1우물층(W1)으로의 홀 주입 효율이 저하될 수 있고, 상기 범위보다 얇은 경우 장벽으로 기능이 저하될 수 있다. 상기 제1장벽층(B1)은 다른 장벽층에 첨가된 도펀트 예컨대, n형 도펀트가 첨가될 수 있으며, 다른 장벽층의 도펀트 농도로 첨가될 수 있다.
- [122] 상기 장벽층(55)에 n형 도펀트가 첨가됨으로써, 활성층(51)로 주입되는 전자는 제1우물층(W1)에서 구속될 수 있다. 상기 제1장벽층(B1)의 두께가 얇게 배치됨으로써, 제1우물층(W1)으로의 정공 주입 효율은 개선시켜 줄 수 있다.

이에 따라 상기 활성층(51)은 제1우물층(W1)으로 주입된 전자와 정공이 만나서 제1피크 파장(P1)을 방출하게 된다. 예컨대, 상기 제1피크 파장(P1)은 270nm 내지 290nm 범위로 발광할 수 있다.

- [123] 또한 상기 제1장벽층(B1)이 n형 도펀트를 갖고 상기 제1우물층(W1)의 두께보다 얇은 두께를 갖고 있으므로, 주입되는 일부 전자는 상기 제1장벽층(B1)을 넘어 전자 차단 구조층(60)으로 이동될 수 있다. 이 경우 상기 전자 차단 구조층(60)에서는 제2피크 파장(P2)을 방출할 수 있다. 상기 제2피크 파장(P2)은 상기 제1피크 파장(P1)보다 단 파장인 광을 방출하게 되며, 예컨대 260nm 내지 270nm 범위를 발광할 수 있다. 상기 제1피크 파장(P1)과 상기 제2피크 파장(P2)의 차이는 8nm 이상일 수 있다.
- [124] 상기 전자 차단 구조층(60)은 AlGaIn계 반도체를 포함하며, 제1반도체층(61), 제2반도체층(63) 및 제3반도체층(65)을 포함한다. 상기 제1 내지 제3반도체층(61,63,65)은 AlGaIn계 반도체로 형성될 수 있다.
- [125] 상기 제1반도체층(61)은 알루미늄의 조성이 95% 이상인 제1영역(15)과, 상기 제1영역(15)보다 낮은 알루미늄의 조성을 갖는 제2영역(16)과, 상기 제1 및 제2영역(15,16) 사이에 배치되며 상기 제1영역(15)의 알루미늄 조성보다 낮고 상기 제2영역(16)의 알루미늄 조성보다 높은 제3영역(17)을 포함한다.
- [126] 상기 제1반도체층(61)은 상기 제1영역(15)과 제3영역(17)은 스텝 구조 또는 그레이딩 구조로 배치될 수 있고, 제3영역(17)과 제2영역(16)은 스텝 구조이거나 그레이딩 구조로 배치될 수 있다. 상기 제3영역(17)은 상기 제1영역(15)과 스텝 구조로 연결되고 제2영역(16)과 스텝 구조로 연결되거나, 제1영역(15)과 스텝 구조로 연결되고 제2영역(16)과 그레이딩 구조로 연결되거나, 상기 제1영역(15)과 그레이딩 구조로 연결되고 제2영역(16)과 스텝 구조로 연결될 수 있다.
- [127] 상기 제1영역(15)의 밴드 갭(G3)은 제2 및 제3영역(16,17)의 밴드 갭(G4,G7)보다 넓게 배치될 수 있다. 상기 제1반도체층(61)의 평균 알루미늄의 조성은 65% 이상일 수 있으며, 두께는 7nm 이하 예컨대, 4.5nm 내지 6nm 범위를 포함한다. 상기 알루미늄 조성이 65% 미만인 경우 제1반도체층(61)으로 정공이 넘지 못하는 문제가 될 수 있다.
- [128] 상기 제1영역(15)의 알루미늄의 조성은 95% 이상 예컨대, 95% 내지 99.9% 범위일 수 있다. 상기 제2영역(16)의 알루미늄의 조성은 50% 내지 80% 범위 예컨대, 70% 내지 78% 범위일 수 있다. 상기 제3영역(17)의 알루미늄 조성은 상기 제1 및 제2영역(15,16)의 알루미늄 조성 사이이거나, 상기 제1반도체층(61)의 평균 알루미늄 조성일 수 있다. 여기서, 상기 제1영역(15)은 상기 제1장벽층(B1)과의 장벽 높이의 차이가 가장 큰 영역일 수 있으며, 상기 제2영역(16)은 상기 제1장벽층(B1) 또는 상기 제2반도체층(63)과의 장벽 높이의 차이가 가장 작은 영역일 수 있다.

[129]

- [130] 상기 제1반도체층(61)의 두께는 7nm 이하 예컨대, 4.5nm 내지 6nm 범위를 포함한다. 상기 제1영역(15)의 두께는 0.1nm 내지 5nm 범위 예컨대, 1.5nm 내지 2nm 범위를 포함한다. 상기 제1영역(15)의 두께가 상기 범위보다 작은 경우 발광 기능을 수행하는 데 어려움이 있으며, 상기 범위보다 큰 경우 정공이 너무 많아져 발광하기 어려운 문제가 있다.
- [131] 상기 제2 및 제3영역(16,17)의 두께의 합은 상기 제1영역(15)의 두께보다 두껍게 배치될 수 있으며, 2.5nm 내지 5nm 범위의 두께 예컨대, 2.5nm 내지 3.5nm 범위의 두께일 수 있다. 상기 제2 및 제3영역(16,17) 각각의 두께는 상기 제1영역(15)의 두께와 동일하거나 1.5nm 내지 2nm 범위일 수 있다. 상기 각 영역(15,16,17)의 두께가 상기 범위보다 두꺼우면 정공 주입 효율이 저하될 수 있고, 상기 범위보다 얇으면 전자가 오버 플로우(overflow)될 수 있다.
- [132] 상기 제2반도체층(63)은 알루미늄 조성비 40% 내지 65% 범위일 수 있으며, 상기 제3반도체층(65)은 알루미늄 조성비 50% 내지 80% 범위 예컨대, 70% 내지 78% 범위일 수 있다. 상기 제2반도체층(63)의 두께는 상기 제1반도체층(61)의 두께보다 얇으며, 예컨대 4nm 내지 6nm 범위일 수 있다. 상기 제3반도체층(65)의 두께는 상기 제1반도체층(61)의 두께보다 얇으며, 예컨대 4nm 내지 6nm 범위일 수 있다.
- [133] 실시 예에 따른 전자 차단 구조층(60)은 활성층(51)에 인접한 제1영역(15)의 알루미늄의 조성비 95% 이상으로 배치됨으로써, 상기 제1반도체층(61)에서 질소 베이컨스(nitrogen vacancy, $V_{N^{3+}}$)와 p형 도펀트인 Mg 억셉터(acceptor) 간 발광 모드가 생성된다. 즉, 알루미늄 조성비 95% 이상인 제1영역(11)에서 $V_{N^{3+}}$ -Mg 억셉터 전이(transition)로 인해 4.7eV(AIN)~260nm 사이에서 제2피크 파장(P2)이 발광하게 된다. 상기 제2피크 파장(P2)은 상기 전자 차단 구조층(60) 예컨대, 제1반도체층(61)에서 260nm 내지 270nm 범위로 발광할 수 있다. 여기서, 상기 활성층(51)으로 주입되는 전자는 상기 전자 차단 구조층(60)에 인접한 제1장벽층(B1)을 넘어 상기 제1반도체층(61)으로 이동될 수 있고, 상기 제2도전형 반도체층(73)을 통해 공급되는 정공의 일부는 전자 차단 구조층(60)의 제1반도체층(61)의 제1영역(15)에서 상기 전자와 결합될 수 있다. 이에 따라 상기 제1반도체층(61)의 제1영역(15)은 제1피크 파장(P1)보다 단 파장인 제2피크 파장(P2)을 발광할 수 있다.
- [134]
- [135] 도 6은 도 1의 발광소자에 전극을 배치한 예를 나타낸다. 도 6을 설명함에 있어서, 상기에 개시된 구성과 동일한 부분은 상기에 개시된 실시 예의 설명을 참조하기로 한다.
- [136] 도 6을 참조하면, 발광소자(101)는 제1전극(91) 및 제2전극(95)을 포함한다. 상기 제1전극(91)은 제1도전형 반도체층(41)과 전기적으로 연결되며, 상기 제2전극(95)은 제2도전형 반도체층(73)과 전기적으로 연결될 수 있다. 상기 제1전극(91)은 상기 제1도전형 반도체층(41) 위에 배치될 수 있으며, 상기

- 제2전극(95)은 제2도전형 반도체층(73) 위에 배치될 수 있다.
- [137] 상기 제1전극(91) 및 상기 제2전극(95) 중 적어도 하나 또는 모두는 암(arm) 구조 또는 핑거(finger) 구조의 전류 확산 패턴이 더 형성될 수 있다. 상기 제1전극(91) 및 제2전극(95)은 오믹 접촉, 접촉층, 본딩층의 특성을 갖는 금속으로 비 투광성으로 이루어질 수 있으며, 이에 대해 한정하지는 않는다. 상기 제1전극(93) 및 제2전극(95)은 Ti, Ru, Rh, Ir, Mg, Zn, Al, In, Ta, Pd, Co, Ni, Si, Ge, Ag 및 Au와 이들의 선택적인 합금 중에서 선택될 수 있다.
- [138] 상기 제2전극(95)과 상기 제2도전형 반도체층(73) 사이에는 전극층(93)이 배치될 수 있으며, 상기 전극층(93)은 70% 이상의 광을 투과하는 투광성 물질이거나 70% 이상의 광을 반사하는 반사성 특성을 갖는 물질로 형성될 수 있으며, 예컨대 금속 또는 금속 산화물로 형성될 수 있다. 상기 전극층(93)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), ZnO, IrOx, RuOx, NiO, Al, Ag, Pd, Rh, Pt, Ir 중 선택적으로 형성될 수 있다.
- [139] 상기 전극층(93) 상에 절연층(81)이 배치될 수 있다. 상기 절연층(81)은 상기 전극층(93)의 상면 및 반도체층의 측면에 배치될 수 있으며, 제1, 2전극(91,95)과 선택적으로 접촉될 수 있다. 상기 절연층(81)은 Al, Cr, Si, Ti, Zn, Zr 중 적어도 하나를 갖는 산화물, 질화물, 불화물, 및 황화물 중 적어도 하나로 형성된 절연물질 또는 절연성 수지를 포함한다. 상기 절연층(81)은 예컨대, SiO₂, Si₃N₄, Al₂O₃, TiO₂ 중에서 선택적으로 형성될 수 있다. 상기 절연층(81)은 단층 또는 다층으로 형성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 절연층(81)은 형성하지 않을 수 있다.
- [140] 실시 예에 따른 발광 소자(101)는 도 10과 같이, 자외선 파장의 제1피크 파장(P1)과, 상기 제1피크 파장(P1)보다 단파장인 제2피크 파장(P2)이 방출될 수 있다. 상기 제1피크 파장(P1)은 270nm 내지 290nm 범위이며, 상기 제2피크 파장(P2)은 260nm 내지 270nm 범위가 될 수 있다.
- [141] 도 10 및 도 11과 같이, 상기 발광 소자(101)로부터 방출된 제1피크 파장(P1)은 단백질 흡수 파장의 광원으로 제공될 수 있고, 제2피크 파장(P2)은 DNA 흡수 파장의 광원으로 제공될 수 있다. 이러한 제1 피크 파장(P1)과 제2피크 파장(P2)을 함께 제공해 줌으로써, 하나의 자외선 LED에서의 살균력을 개선시켜 줄 수 있다. 또한 서로 다른 피크 파장(P1,P2)을 동시에 제공해 줌으로써, 하나의 패키지에 2개의 발광 소자를 탑재하지 않아도 되는 효과가 있다.
- [142] 도 7은 도 1의 전자 차단 구조층을 갖는 발광소자를 이용한 수직형 발광소자의 예를 나타낸 도면이다. 도 7을 설명함에 있어서, 상기에 개시된 구성과 동일한 부분은 상기에 개시된 실시 예의 설명을 참조하기로 한다.
- [143] 도 7을 참조하면, 발광소자(102)는 제1도전형 반도체층(41) 위에 제1전극(91) 및

제2도전형 반도체층(73) 아래에 복수의 전도층(96,97,98,99)을 갖는 제2전극을 포함한다.

- [144] 상기 제2전극은 상기 제2도전형 반도체층(73) 아래에 배치되며, 접촉층(96), 반사층(97), 본딩층(98) 및 지지 부재(99)를 포함할 수 있다. 상기 접촉층(96)은 반도체층 예컨대, 제2도전형 반도체층(73)과 접촉된다. 상기 접촉층(96)은 ITO, IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 등과 같은 저 전도성 물질이거나 Ni, Ag의 금속을 이용할 수 있으며, 단층 또는 다층으로 형성될 수 있다. 상기 접촉층(96) 아래에 반사층(97)이 배치되며, 상기 반사층(97)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 및 그 조합으로 구성된 그룹으로부터 선택된 물질로 이루어진 적어도 하나의 층을 포함하는 구조로 형성될 수 있다. 상기 반사층(97)은 상기 제2도전형 반도체층(73) 아래에 접촉될 수 있으며, 이에 대해 한정하지는 않는다.
- [145] 상기 반사층(97) 아래에는 본딩층(98)이 배치되며, 상기 본딩층(98)은 베리어 금속 또는 본딩 금속으로 사용될 수 있으며, 그 물질은 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag 및 Ta와 선택적인 합금 중에서 적어도 하나를 포함할 수 있다.
- [146] 상기 제2도전형 반도체층(73)과 제2전극 사이에 채널층(83) 및 전류 블록킹층(85)이 배치된다.
- [147] 상기 채널층(83)은 상기 제2도전형 반도체층(73)의 하면 에지를 따라 형성되며, 링(ring) 형상, 루프(loop) 형상 또는 프레임(frame) 형상으로 형성될 수 있다. 상기 채널층(83)은 투명한 전도성 물질 또는 절연성 물질을 포함하며, 예컨대 ITO, IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO, SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃, TiO₂ 중 적어도 하나를 포함할 수 있다. 상기 채널층(163)의 내측부는 상기 제2도전형 반도체층(73) 아래에 배치되고, 외측부는 상기 발광 구조물의 측면보다 더 외측에 배치된다.
- [148] 상기 전류 블록킹층(85)은 제2도전형 반도체층(73)과 접촉층(96) 또는 반사층(97) 사이에 배치될 수 있다. 상기 전류 블록킹층(85)은 절연물질을 포함하며, 예컨대 SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃, TiO₂ 중에서 적어도 하나를 포함할 수 있다. 다른 예로서, 상기 전류 블록킹층(85)은 쇼트키 접촉을 위한 금속으로도 형성될 수 있다.
- [149] 상기 전류 블록킹층(161)은 상기 발광 구조물(150A) 위에 배치된 제1전극(181)과 상기 발광 구조물의 두께 방향으로 대응되게 배치된다. 상기 전류 블록킹층(161)은 상기 제2전극(170)으로부터 공급되는 전류를 차단하여, 다른 경로로 확산시켜 줄 수 있다. 상기 전류 블록킹층(85)은 하나 또는 복수로 배치될 수 있으며, 제1전극(91)과 수직 방향으로 적어도 일부 또는 전 영역이 오버랩될 수 있다.
- [150] 상기 본딩층(98) 아래에는 지지 부재(99)가 형성되며, 상기 지지 부재(99)는 전도성 부재로 형성될 수 있으며, 그 물질은 구리(Cu-copper), 금(Au-gold),

니켈(Ni-nickel), 몰리브덴(Mo), 구리-텅스텐(Cu-W), 캐리어 웨이퍼(예: Si, Ge, GaAs, ZnO, SiC 등)와 같은 전도성 물질로 형성될 수 있다. 상기 지지부재(99)는 다른 예로서, 전도성 시트로 구현될 수 있다.

- [151] 여기서, 상기 도 1의 기판은 제거하게 된다. 상기 성장 기판의 제거 방법은 물리적 방법(예: Laser lift off) 또는/및 화학적 방법(습식 에칭 등)으로 제거할 수 있으며, 상기 제1도전형 반도체층(41)을 노출시켜 준다. 상기 기판이 제거된 방향을 통해 아이솔레이션 에칭을 수행하여, 상기 제1도전형 반도체층(41) 상에 제1전극(91)을 형성하게 된다.
- [152] 상기 제1도전형 반도체층(41)의 상면에는 러프니스와 같은 광 추출 구조(미도시)로 형성될 수 있다. 상기 반도체층의 표면에는 절연층(미도시)이 더 배치될 수 있으며, 이에 대해 한정하지는 않는다. 이에 따라 발광 구조물 위에 제1전극(91) 및 아래에 지지 부재(99)를 갖는 수직형 전극 구조를 갖는 발광소자(102)가 제조될 수 있다.
- [153] 실시 예에 따른 발광 소자(101)는 도 10과 같이, 자외선 파장의 제1피크 파장(P1)과, 상기 제1피크 파장(P1)보다 단파장인 제2피크 파장(P2)이 방출될 수 있다. 상기 제1피크 파장(P1)은 270nm 내지 290nm 범위이며, 상기 제2피크 파장(P2)은 260nm 내지 270nm 범위가 될 수 있다.
- [154] 도 10 및 도 11과 같이, 상기 발광 소자(101)로부터 방출된 제1피크 파장(P1)은 단백질 흡수 파장의 광원으로 제공될 수 있고, 제2피크 파장(P2)은 DNA 흡수 파장의 광원으로 제공될 수 있다. 이러한 제1 피크 파장(P1)과 제2피크 파장(P2)을 함께 제공해 줌으로써, 하나의 자외선 LED에서의 살균력을 개선시켜 줄 수 있다. 또한 서로 다른 피크 파장(P1,P2)을 동시에 제공해 줌으로써, 하나의 패키지에 2개의 발광 소자를 탑재하지 않아도 되는 효과가 있다.
- [155]
- [156] <발광소자 패키지>
- [157] 도 8은 도 6의 발광소자를 갖는 발광소자 패키지를 나타낸 도면이다.
- [158] 도 8을 참조하면, 발광소자 패키지는 지지부재(110), 상기 지지 부재(110) 위에 캐비티(112)를 갖는 반사부재(111), 상기 지지부재(110)의 위에 배치되고 상기 캐비티(112) 내에 발광 칩(101), 및 상기 캐비티(112) 상에 투광성 필름(115)을 포함한다.
- [159] 상기 지지부재(110)는 수지 계열의 인쇄회로기판(PCB), 실리콘(silicon) 또는 실리콘 카바이드(silicon carbide: SiC)와 같은 실리콘 계열, 질화 알루미늄(aluminum nitride; AlN)과 같은 세라믹 계열, 폴리프탈아마이드(polyphthalamide: PPA)와 같은 수지 계열, 고분자액정(Liquid Crystal Polymer), 바닥에 금속층을 갖는 PCB(MCPCB: Metal core PCB) 중에서 적어도 하나로 형성될 수 있으며, 이러한 재질로 한정하지는 않는다.
- [160] 상기 지지부재(110)는 제1금속층(131), 제2금속층(133), 제1연결 부재(138), 제2연결 부재(139), 제1전극층(135) 및 제2전극층(137)을 포함할 수 있다. 상기

제1금속층(131) 및 제2금속층(133)은 상기 지지부재(110)의 바닥에 서로 이격되게 배치된다. 상기 제1전극층(135) 및 제2전극층(137)은 상기 지지부재(110)의 상면에 서로 이격되게 배치된다. 상기 제1연결 부재(138)는 상기 지지부재(110)의 내부 또는 제1측면에 배치될 수 있으며, 상기 제1금속층(131)과 상기 제1전극층(135)을 서로 연결해 준다. 상기 제2연결 부재(139)는 상기 지지부재(110)의 내부 또는 제2측면에 배치될 수 있으며, 상기 제2금속층(133) 및 상기 제2전극층(137)을 서로 연결해 준다.

- [161] 상기 제1금속층(131), 제2금속층(133), 제1전극층(135) 및 제2전극층(137)은 금속 재질, 예를 들어, 티타늄(Ti), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P) 중 적어도 하나 또는 이들의 선택적 합금으로 형성될 수 있으며, 단일 금속층 또는 다층 금속층으로 형성될 수 있다.
- [162] 상기 제1연결 부재(138) 및 상기 제2연결 부재(139)는 비아, 비아 홀, 쓰루 홀 중 적어도 하나를 포함한다.

[163]

- [164] 상기 반사 부재(111)는 상기 지지부재(110) 상에서 상기 캐비티(112)의 둘레에 배치되며, 상기 발광 소자(101)로부터 방출된 자외선 광을 반사시켜 줄 수 있다.

- [165] 상기 반사부재(111)는 수지 계열의 인쇄회로기판(PCB), 실리콘(silicon) 또는 실리콘 카바이드(silicon carbide: SiC)과 같은 실리콘 계열, AlN(aluminum nitride; AlN)과 같은 세라믹 계열, 폴리프탈아마이드(polyphthalamide: PPA)과 같은 수지 계열, 고분자액정(Liquid Crystal Polymer) 중에서 적어도 하나로 형성될 수 있으며, 이러한 재질로 한정하지는 않는다. 상기 지지부재(110) 및 반사부재(111)는 세라믹 계열의 재질을 포함할 수 있으며, 이러한 세라믹 계열의 재질은 방열 효율이 수지 재질보다 높은 특징이 있다.

- [166] 상기 발광 소자(101)는 상기 제2전극층(137) 상에 배치되거나 상기 지지부재(110) 상에 배치될 수 있으며, 상기 제1전극층(135)과 상기 제2전극층(137)과 전기적으로 연결된다. 상기 발광 소자(101)는 와이어(121)로 제1전극층(135)와 연결될 수 있다. 다른 예로서, 상기 발광 소자(101)는 제1 및 제2전극층(135,137) 상에 플립 칩 방식으로 본딩될 수 있다.

- [167] 상기 발광 소자(101)는 도 10과 같이, 자외선 파장의 제1피크 파장(P1)과, 상기 제1피크 파장(P1)보다 단파장인 제2피크 파장(P2)이 방출될 수 있다. 상기 제1피크 파장(P1)은 270nm 내지 290nm 범위이며, 상기 제2피크 파장(P2)은 260nm 내지 270nm 범위가 될 수 있다.

- [168] 상기 투광성 필름(115)은 상기 캐비티(112) 상에 배치되며, 상기 발광 소자(101)로부터 방출된 듀얼 피크 파장을 방출하게 된다. 이러한 투광성 필름(115)은 유리 재질, 세라믹 재질, 또는 투광성 수지 재질을 포함할 수 있다.

- [169] 또한 상기 캐비티(112) 상에는 광학 렌즈, 또는 형광체층이 더 배치될 수 있으며, 이에 대해 한정하지는 않는다.

- [170] 실시 예에 따른 발광 소자 또는 발광 소자 패키지는, 라이트 유닛에 적용될 수

있다. 상기 라이트 유닛은 하나 또는 복수의 발광소자 또는 발광소자 패키지를 갖는 어셈블리로서, 자외선 램프를 포함될 수 있다.

- [171] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

- [172] 또한, 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

산업상 이용가능성

- [173] 실시 예는 하나의 LED 칩 내에서 듀얼 피크 파장을 방출하는 자외선 LED로 이용할 수 있다.
- [174] 실시 예는 듀얼 피크 파장을 이용하여 살균용 자외선 램프에 적용될 수 있다.
- [175] 실시 예에 따른 듀얼 피크 파장을 방출하는 발광 소자 및 이를 구비한 발광 소자 패키지는 자외선 램프에 적용될 수 있다.
- [176] 실시 예에 따른 듀얼 피크 파장을 방출하는 발광 소자 및 이를 구비한 발광 소자 패키지는, 라이트 유닛에 적용될 수 있다.
- [177]

청구범위

- [청구항 1] 제1도전형의 도펀트를 갖는 제1도전형 반도체층;
 상기 제1도전형 반도체층 상에 배치되며 복수의 장벽층 및 복수의 우물층을 갖는 활성층;
 상기 활성층 상에 배치된 전자 차단 구조층; 및
 상기 전자 차단 구조층 상에 배치된 제2도전형 반도체층을 포함하며,
 상기 활성층은 상기 전자 차단 구조층에 인접한 제1장벽층 및 상기 제1장벽층에 인접한 제1우물층을 포함하며,
 상기 복수의 장벽층은 제1도전형의 도펀트를 포함하며,
 상기 전자 차단 구조층은 제2도전형의 도펀트를 갖고 AlGaN계 반도체를 갖는 복수의 반도체층을 포함하며,
 상기 복수의 반도체층은 상기 제1장벽층에 인접한 제1영역을 갖는 제1반도체층을 포함하며,
 상기 제1반도체층의 제1영역은 95% 이상의 알루미늄 조성을 갖는 AlGaN계 반도체를 포함하며,
 상기 활성층 및 상기 전자 차단 구조층을 갖는 발광 구조물은 서로 다른 피크 파장을 발광하는 발광 소자.
- [청구항 2] 제1항에 있어서,
 상기 제1도전형의 도펀트는 n형 도펀트를 포함하며,
 상기 제2도전형의 도펀트는 p형 도펀트를 포함하는 발광 소자.
- [청구항 3] 제2항에 있어서,
 상기 전자 차단 구조층은,
 상기 제1반도체층과 상기 제2도전형 반도체층 사이에 배치된 제2반도체층, 상기 제2반도체층과 상기 제2도전형 반도체층 사이에 배치된 제3반도체층을 포함하며,
 상기 제2반도체층은 상기 제1 및 제3반도체층의 알루미늄의 조성보다 낮은 알루미늄의 조성을 갖는 발광 소자.
- [청구항 4] 제3항에 있어서,
 상기 제1반도체층은 상기 제1영역과 상기 제2반도체층 사이에 배치된 제2영역을 포함하며,
 상기 제2영역은 상기 제1영역의 알루미늄의 조성보다 낮은 알루미늄 조성을 갖는 AlGaN계 반도체를 포함하는 발광 소자.
- [청구항 5] 제4항에 있어서,
 상기 제2영역은 상기 AlGaN계 반도체의 알루미늄 조성이 상기 제1영역의 AlGaN계 반도체의 알루미늄 조성으로부터 선형적으로 또는 단계적으로 감소되는 발광 소자.

- [청구항 6] 제4항에 있어서,
상기 제2영역의 두께는 상기 제1영역의 두께보다 두꺼운 발광 소자.
- [청구항 7] 제3항에 있어서,
상기 제1영역과 상기 제2영역 사이에 배치된 제3영역을 포함하며,
상기 제3영역은 상기 제1영역의 알루미늄 조성보다 낮고 상기 제2영역의 알루미늄 조성보다 높은 알루미늄 조성을 갖는 발광 소자.
- [청구항 8] 제3항 내지 제7항 중 어느 한 항에 있어서,
상기 제2반도체층은 상기 제1 및 제3반도체층 사이에 우물 구조로 배치되는 발광 소자.
- [청구항 9] 제1항 내지 제7항 중 어느 한 항에 있어서,
상기 제1영역의 두께는 상기 제1우물층의 두께보다 얇거나 상기 제1반도체층의 두께의 50% 이하인 발광 소자.
- [청구항 10] 제1항 내지 제7항 중 어느 한 항에 있어서,
상기 우물층은 AlGaIn을 포함하며,
상기 장벽층은 상기 우물층의 알루미늄 조성보다 높은 알루미늄 조성을 갖는 AlGaIn을 포함하는 발광 소자.
- [청구항 11] 제9항에 있어서,
상기 제1장벽층은 상기 제1우물층의 두께보다 얇고 다른 장벽층의 두께보다 얇은 두께를 갖는 발광 소자.
- [청구항 12] 제4항 내지 제7항 중 어느 한 항에 있어서,
상기 제1반도체층의 평균 알루미늄의 조성은 65% 이상인 발광 소자.
- [청구항 13] 제4항 내지 제7항 중 어느 한 항에 있어서,
상기 제1반도체층의 알루미늄의 조성은 상기 활성층으로부터 멀어질수록 점차 감소하게 되는 발광 소자.
- [청구항 14] 제1항 내지 제7항 중 어느 한 항에 있어서,
상기 활성층 및 전자 차단 구조층은 270nm 내지 290nm 범위의 제1피크 파장 및 상기 제1피크 파장보다 단파장인 제2피크 파장을 발광하는 발광 소자.
- [청구항 15] 제14항에 있어서,
상기 제2피크 파장은 260nm 내지 270nm 범위인 발광 소자.
- [청구항 16] 제14항에 있어서,
상기 제2피크 파장은 상기 제1피크 파장으로부터 단 파장으로 8nm 이상의 차이를 갖는 발광 소자.
- [청구항 17] 제1항 내지 제7항 중 어느 한 항에 있어서,
상기 전자 차단 구조층과 상기 제2도전형 반도체층 사이에

[청구항 18]

클래드층을 포함하며,
상기 전자 차단 구조층, 상기 제2도전형 반도체층 및 상기
클래드층은 p형 반도체층을 포함하는 발광 소자.
지지부재;
상기 지지부재 상에 제1항 내지 제7항 중 어느 한 항의 발광 소자;
및
상기 발광 소자에 전기적으로 연결된 제1 및 제2전극층을
포함하며,
상기 발광 소자의 발광 구조물은 서로 다른 제1 및 제2피크 파장의
자외선 광을 발광하는 발광 소자 패키지.

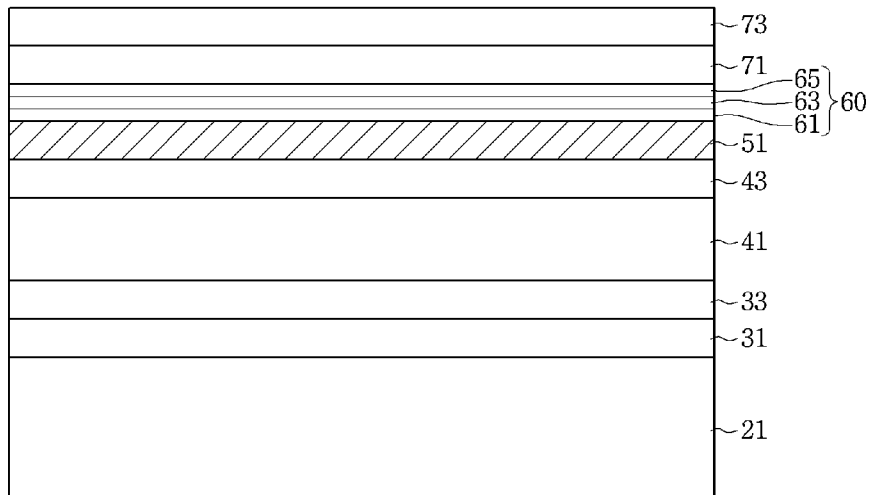
[청구항 19]

제17항에 있어서,
상기 발광 구조물의 활성층 및 전자 차단층은 270nm 내지 290nm
범위의 제1피크 파장 및 상기 제1피크 파장보다 단파장인 제2피크
파장을 발광하는 발광 소자 패키지.

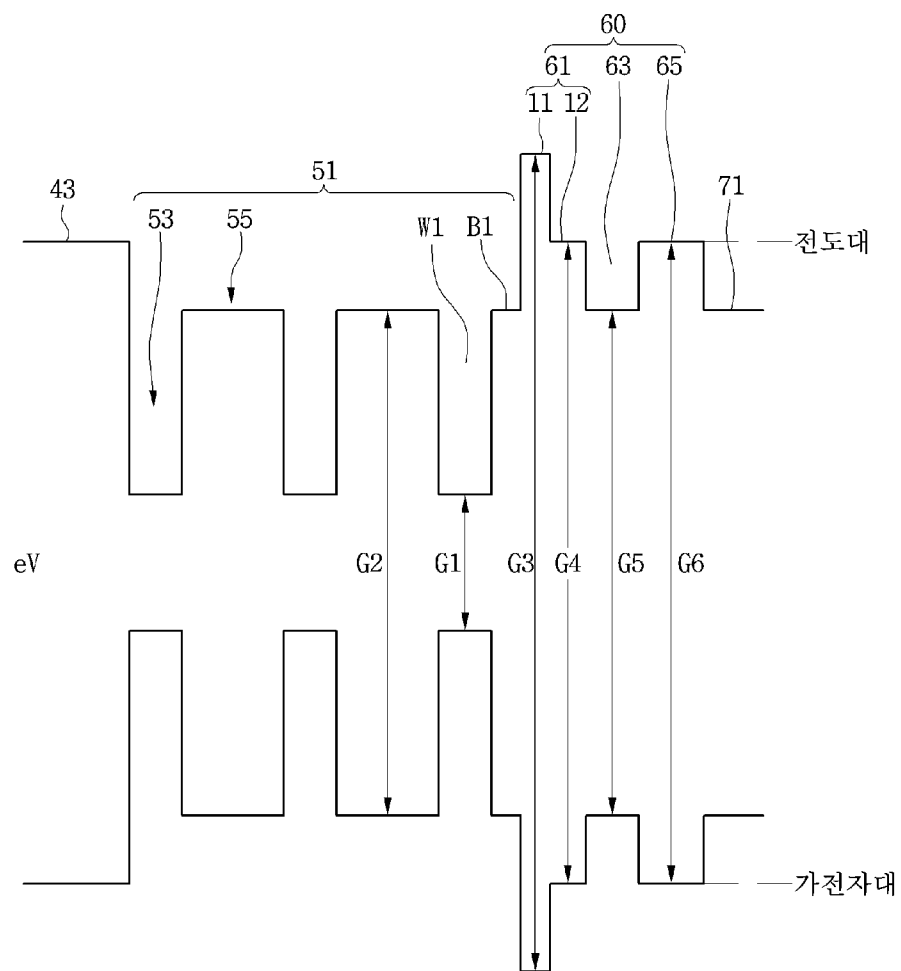
[청구항 20]

제18항에 있어서,
상기 제2피크 파장은 260nm 내지 270nm 범위이거나, 상기
제1피크 파장으로부터 단 파장으로 8nm 이상의 차이를 갖는 발광
소자 패키지.

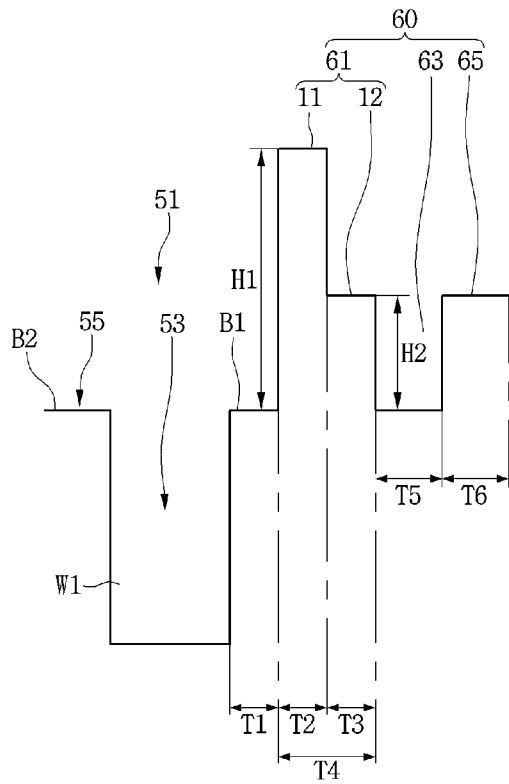
[Fig. 1]



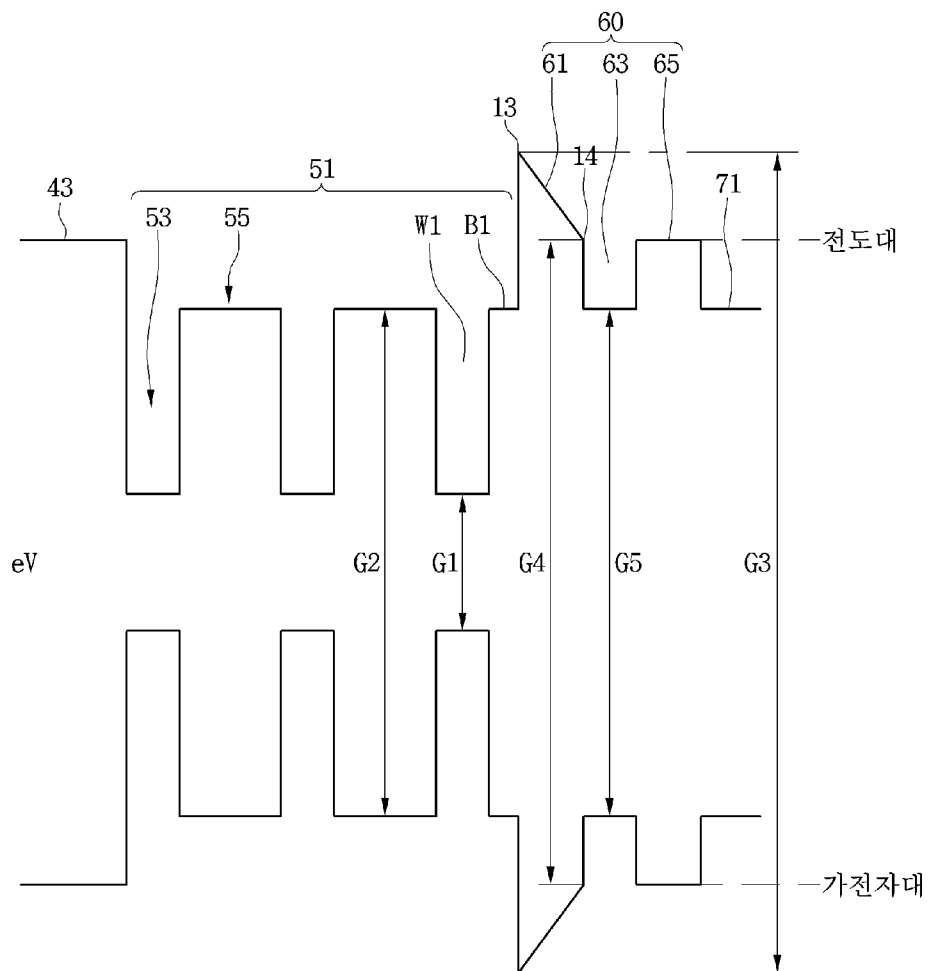
[Fig. 2]



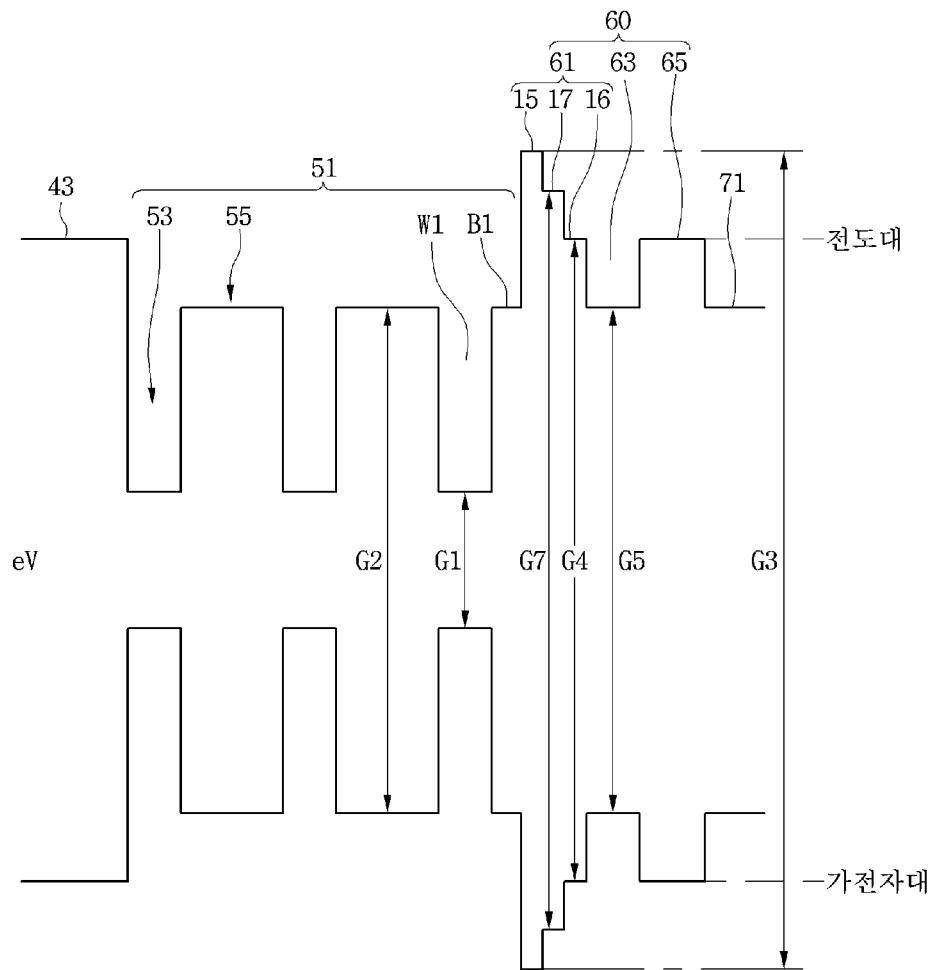
[Fig. 3]



[Fig. 4]

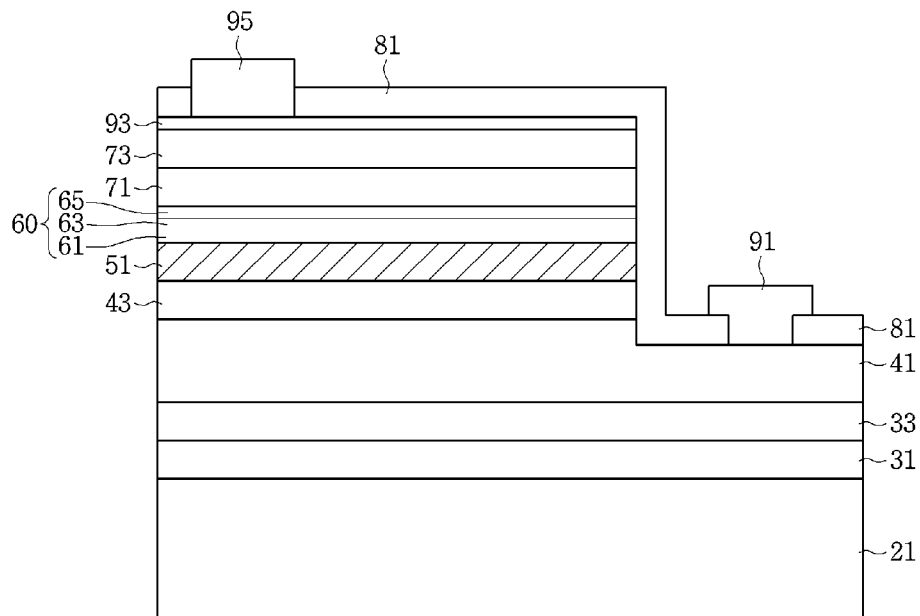


[Fig. 5]



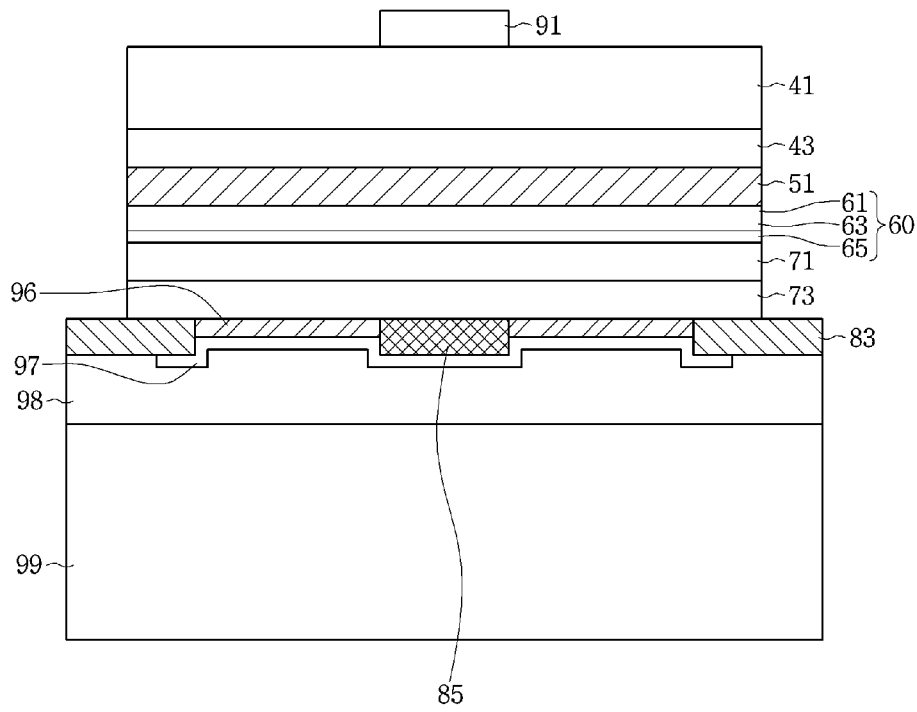
[Fig. 6]

101

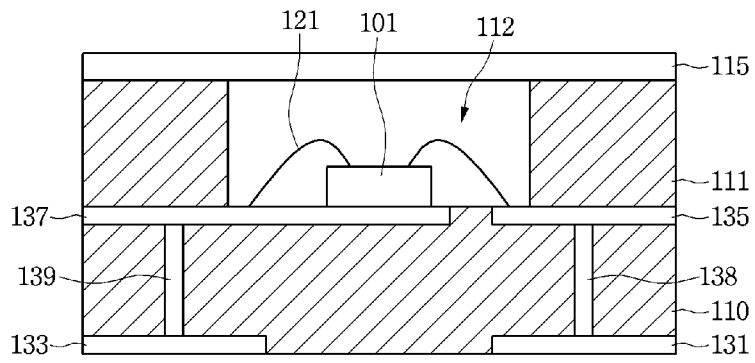


[Fig. 7]

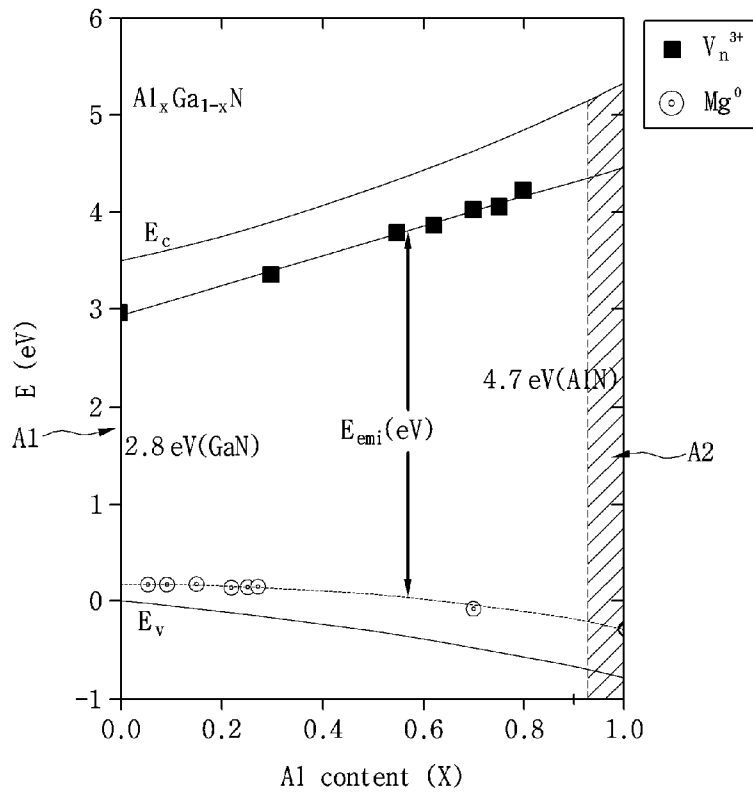
102



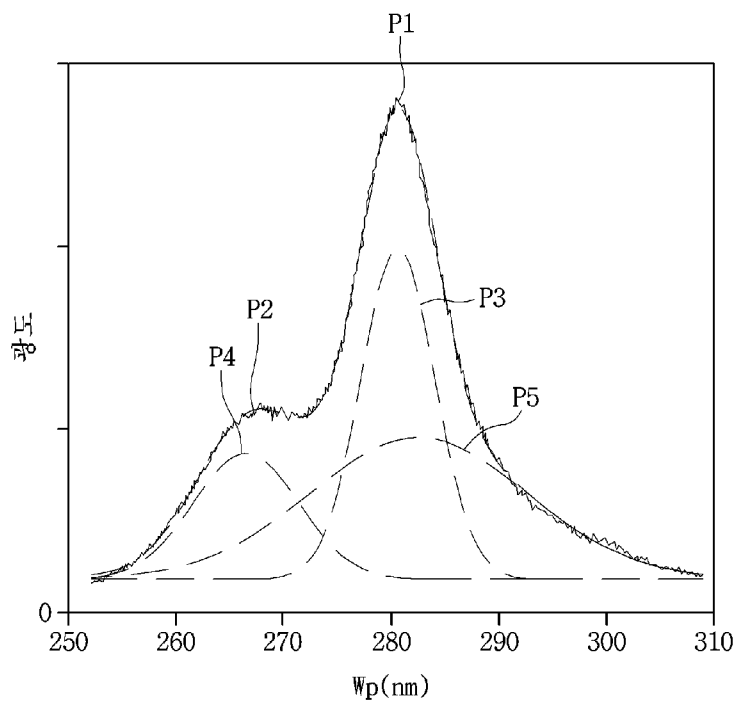
[Fig. 8]



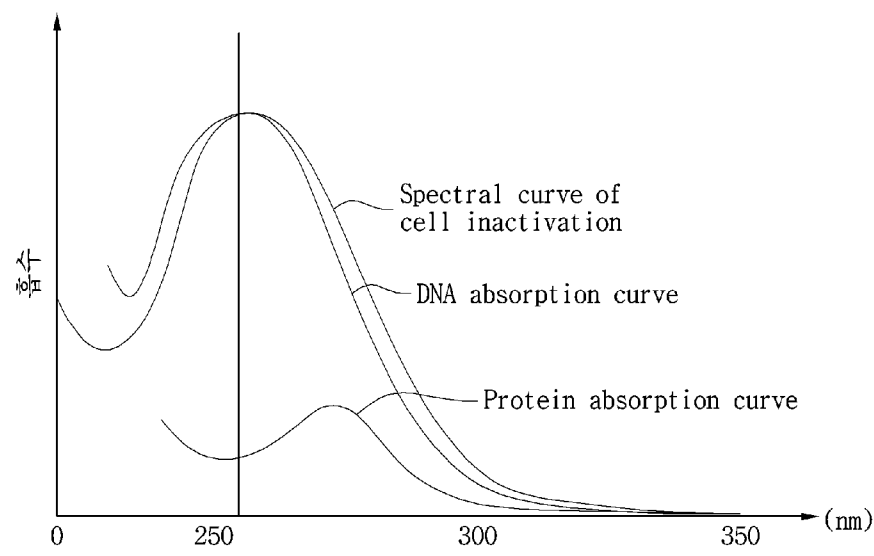
[Fig. 9]



[Fig. 10]



[Fig. 11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/012138**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 33/00(2010.01)j***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/00; H01S 5/343; H01L 33/02; H01L 33/04; H01L 33/06; H01L 33/08; H01L 33/14; H01S 5/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: electron-blocking layer, barrier, dopant, wavelength, aluminum

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2014-0003125 A (INTELLECTUAL DISCOVERY CO., LTD.) 09 January 2014 See paragraphs [35]-[55], claims 1-8 and figures 1-5.	1-20
Y	KR 10-2014-0112177 A (LG INNOTEK CO., LTD.) 23 September 2014 See paragraphs [35]-[50], claims 1-10 and figures 2-4.	1-20
Y	KR 10-2014-0075318 A (LG INNOTEK CO., LTD.) 19 June 2014 See paragraphs [60]-[75], claim 1 and figures 5-6.	3-9,11-13
A	US 2004-0131098 A1 (GARBUZOV, Dmitri Zalmanovich et al.) 08 July 2004 See paragraphs [33]-[45], claim 1 and figures 2a-3c.	1-20
A	US 2011-0188528 A1 (KISIN, Mikhail V. et al.) 04 August 2011 See paragraphs [27]-[35], claims 1-5 and figure 5.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 MARCH 2016 (09.03.2016)

Date of mailing of the international search report

10 MARCH 2016 (10.03.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/012138

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2014-0003125 A	09/01/2014	KR 10-1376976 B1 US 2015-0162493 A1 WO 2014-003524 A2 WO 2014-003524 A3	21/03/2014 11/06/2015 03/01/2014 20/02/2014
KR 10-2014-0112177 A	23/09/2014	NONE	
KR 10-2014-0075318 A	19/06/2014	NONE	
US 2004-0131098 A1	08/07/2004	EP 1380077 A1 EP 1380077 B1 JP 2005-510854 A JP 4278985 B2 US 7084444 B2 WO 02-075878 A1	14/01/2004 14/02/2007 21/04/2005 17/06/2009 01/08/2006 26/09/2002
US 2011-0188528 A1	04/08/2011	CN 102823089 A EP 2532059 A2 JP 2013-519231 A KR 10-1527840 B1 KR 10-2012-0123128 A TW 201133925 A WO 2011-097325 A2 WO 2011-097325 A3	12/12/2012 12/12/2012 23/05/2013 11/06/2015 07/11/2012 01/10/2011 11/08/2011 13/09/2012

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/00(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/00; H01S 5/343; H01L 33/02; H01L 33/04; H01L 33/06; H01L 33/08; H01L 33/14; H01S 5/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 전자차단층, 배리어, 도펀트, 파장, 알루미늄

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2014-0003125 A (인텔렉추얼디스커버리 주식회사) 2014.01.09 단락 35-55, 청구항 1-8 및 도면 1-5 참조.	1-20
Y	KR 10-2014-0112177 A (엘지이노텍 주식회사) 2014.09.23 단락 35-50, 청구항 1-10 및 도면 2-4 참조.	1-20
Y	KR 10-2014-0075318 A (엘지이노텍 주식회사) 2014.06.19 단락 60-75, 청구항 1 및 도면 5-6 참조.	3-9, 11-13
A	US 2004-0131098 A1 (DMITRI ZALMANOVICH GARBUZOV 등) 2004.07.08 단락 33-45, 청구항 1 및 도면 2a-3c 참조.	1-20
A	US 2011-0188528 A1 (MIKHAIL V.KISIN 등) 2011.08.04 단락 27-35, 청구항 1-5 및 도면 5 참조.	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 03월 09일 (09.03.2016)

국제조사보고서 발송일

2016년 03월 10일 (10.03.2016)

ISA/KR의 명칭 및 우편주소

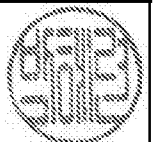
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

박혜련

전화번호 +82-42-481-3463



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2014-0003125 A	2014/01/09	KR 10-1376976 B1 US 2015-0162493 A1 WO 2014-003524 A2 WO 2014-003524 A3	2014/03/21 2015/06/11 2014/01/03 2014/02/20
KR 10-2014-0112177 A	2014/09/23	없음	
KR 10-2014-0075318 A	2014/06/19	없음	
US 2004-0131098 A1	2004/07/08	EP 1380077 A1 EP 1380077 B1 JP 2005-510854 A JP 4278985 B2 US 7084444 B2 WO 02-075878 A1	2004/01/14 2007/02/14 2005/04/21 2009/06/17 2006/08/01 2002/09/26
US 2011-0188528 A1	2011/08/04	CN 102823089 A EP 2532059 A2 JP 2013-519231 A KR 10-1527840 B1 KR 10-2012-0123128 A TW 201133925 A WO 2011-097325 A2 WO 2011-097325 A3	2012/12/12 2012/12/12 2013/05/23 2015/06/11 2012/11/07 2011/10/01 2011/08/11 2012/09/13