

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 2 月 5 日 (05.02.2015)



(10) 国际公布号
WO 2015/014033 A1

- (51) 国际专利分类号:
H01L 29/06 (2006.01) H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2013/086118
- (22) 国际申请日: 2013 年 10 月 29 日 (29.10.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310331347.X 2013 年 8 月 1 日 (01.08.2013) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 尹海洲 (YIN, Haizhou); 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。张珂珂 (ZHANG, Keke); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号 4-1105 室, Beijing 100089 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: SEMICONDUCTOR CONFIGURATION AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 半导体设置及其制造方法

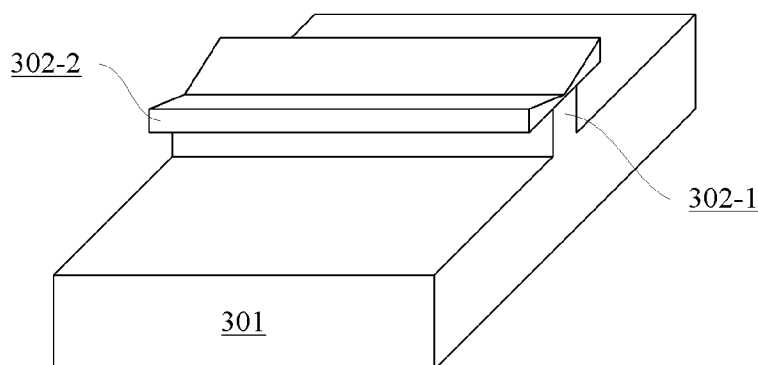


图3 (a) /Fig.3(a)

(57) Abstract: Provided are a semiconductor configuration and a method for manufacturing the same. The semiconductor configuration may comprise: a substrate (301); and a fin. The fin comprises a first portion (302-1) and a second portion (302-2) formed sequentially on the substrate, and the first portion and the second portion are T shaped as a whole. The second portion has a reduced thickness at a region corresponding to the first portion.

(57) 摘要: 提供了一种半导体设置及其制造方法。半导体设置可以包括: 衬底 (301); 以及鳍, 鳍包括在衬底上依次形成的第一部分 (302-1) 和第二部分 (302-2), 第一部分和第二部分整体上呈 T 形, 其中, 第二部分在与第一部分相对应的区域处具有减小的厚度。



WO 2015/014033 A1

半导体设置及其制造方法

本申请要求了 2013 年 8 月 1 日提交的、申请号为 201310331347.X、发明名称为“半导体设置及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及半导体领域，更具体地，涉及一种包括鳍（fin）结构的半导体设置及其制造方法。

背景技术

随着平面型半导体器件的尺寸越来越小，短沟道效应愈加明显。为此，提出了立体型半导体器件如 FinFET（鳍式场效应晶体管）。FinFET 包括在衬底上竖直形成的鳍，可以在鳍中形成器件的导电沟道。由于可以提升鳍的高度而不增加其占用面积（footprint），从而可以增加每单位占用面积的电流驱动能力。

图 1（a）示出了一种常规的鳍结构，且图 1（b）示出了以图 1（a）所示的鳍结构为基础的 FinFET。如图 1（a）所示，可以在衬底 101 上形成鳍 102。在图 1（a）所示的示例中，鳍 102 与衬底 101 为一体。另外，如图 1（b）所示，FinFET 可以包括在衬底 101 上形成的与鳍 102 交叉的栅堆叠。例如，栅堆叠可以包括栅介质层 103 和栅导体层 104。另外，栅堆叠两侧可以形成有侧墙（spacer）105。为了隔离栅堆叠和衬底，衬底上可以形成有隔离层（未示出），栅堆叠形成于该隔离层之上。

另外，图 2（a）示出了另一种常规的鳍结构，且图 2（b）示出了以图 2（a）所示的鳍结构为基础的 FinFET。如图 2（a）所示，可以在衬底 201 上形成鳍 202，该鳍 202 整体上呈 T 形。此外，如图 2（b）所示，FinFET 可以包括在衬底 201 上形成的与鳍 202 交叉的栅堆叠。例如，栅堆叠可以包括栅介质层 203 和栅导体层 204。另外，栅堆叠两侧可以形成有侧墙（spacer）205。

相比于图 1（b）所示的 FinFET，图 2（b）所示的 FinFET 可以改善器件底部的亚阈值特性。然而，在 T 形鳍的两个分支相交之处，例如图 2（b）中

箭头所指区域，由于距离栅极较远，从而亚阈值区域性能欠佳。

发明内容

本公开的目的至少部分地在于提供一种半导体设置及其制造方法。

根据本公开的一个方面，提供了一种半导体设置，包括：衬底；以及鳍，所述鳍包括在衬底上依次形成的第一部分和第二部分，所述第一部分和第二部分整体上呈 T 形，其中，第二部分在与第一部分相对应的区域处具有减小的厚度。

根据本公开的另一方面，提供了一种制造半导体设置的方法，包括：在衬底上依次形成第一半导体层和第二半导体层的堆叠；对第二半导体层进行构图，使第二半导体层中的一部分具有减小的厚度；以及对第一半导体层进行构图，使得构图后的第一半导体层和构图后的第二半导体层整体上呈 T 形，且构图后的第一半导体层与第二半导体层中厚度减小的所述部分相对。

根据本公开的示例性实施例，鳍整体上呈 T 形，从而可以呈现良好的亚阈值特性。此外，由于鳍的第二部分（至少）在与鳍的第一部分相对应的区域处具有减小的厚度，从而可以获得更好的短沟道效应控制。

附图说明

通过以下参照附图对本公开实施例的描述，本公开的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1 (a) 是示出了常规鳍结构的一示例的透视图，图 1 (b) 是示出了以图 1 (a) 所示的鳍结构为基础的示例 FinFET 的透视图；

图 2 (a) 是示出了常规鳍结构的另一示例的透视图，图 2 (b) 是示出了以图 2 (a) 所示的鳍结构为基础的另一示例 FinFET 的透视图；

图 3 (a) 是示出了根据本公开实施例的包括鳍结构的半导体设置的透视图，图 3 (b) 是示出了以图 3 (a) 所示的鳍结构为基础的示例 FinFET 的透视图；

图 4-9 是示出了根据本公开另一实施例的制造包括鳍结构的半导体设置的流程中多个阶段的示意图；

图 10-14 是示出了根据本公开又一实施例的制造包括鳍结构的半导体设置的流程中多个阶段的示意图；

图 15 是示出了根据本公开再一实施例的半导体设置的示意图。

具体实施方式

以下，将参照附图来描述本公开的实施例。但是应该理解，这些描述只是示例性的，而并非要限制本公开的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本公开的概念。

在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的，其中为了清楚表达的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

在本公开的上下文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中层/元件。另外，如果在一种朝向中一层/元件位于另一层/元件“上”，那么当调转朝向时，该层/元件可以位于该另一层/元件“下”。

根据本公开的实施例，提供了一种半导体设置。该半导体设置可以包括在衬底上形成的鳍（fin）结构。该鳍结构整体上呈 T 形，从而例如可以包括相交的第一部分和第二部分，以分别构成“T”的第一分支（例如，竖直延伸部分）和第二分支（例如，横向延伸部分）。这种 T 形鳍结构有助于改善亚阈值特性。

鳍的第二部分可以在与第一部分相对应的区域处具有减小的厚度。通常，第一部分可以基本上对准于第二部分的中部。因此，第二部分可以在其中部具有减小的厚度。这种减小的厚度可以各种方式实现。例如，厚度可以从端部向着中部具有阶跃变化，或者可以逐渐变化。根据一有利示例，第二部分在与第一部分相反一侧的表面向着中部逐渐凹入。这种形式的第二部分便于制作。例如，这可以通过第二部分的半导体材料本身的晶面来形成这种厚度变化。具体

地，例如衬底的表面可以为（100）取向，而第二部分在与第一部分相反一侧的表面可以包括{111}晶面。

根据一示例，第一部分和第二部分可以包括相对于彼此具有刻蚀选择性的材料，从而可以方便地对它们进行分别构图，以形成所需的形状。

根据本公开的一些示例，半导体设置可以如下来制作。例如，可以在衬底上依次形成第一半导体层和第二半导体层的堆叠。可以对第一半导体层和第二半导体层分别进行构图来形成 T 形鳍结构，例如，可以将第二半导体层构图为对应于 T 形的横向延伸部分，而将第一半导体层厚度为对应于 T 形的竖直延伸部分。另外，第二半导体层进一步形成为在与第一部分相对应的区域处具有减小的厚度。

根据一示例，第二半导体层的构图例如可以如下进行。具体地，可以先在衬底上形成一保护层，用以在对第二半导体层构图的过程中例如保护衬底和第一半导体层。该保护层可以被平坦化以露出第二半导体层。然后，可以对第二半导体层进行湿法刻蚀。这种湿法刻蚀例如可以停止于第二半导体层的{111}晶面，从而相对于例如（100）取向的衬底表面可以形成从端部向着中部厚度逐渐减小的形状。

根据另一示例，第二半导体层的构图例如可以如下进行。具体地，同样可以先在衬底上形成一保护层。该保护层可以被平坦化以露出第二半导体层。接着，可以对第二半导体层进行选择刻蚀，以使其相对于保护层凹入。可以在凹入的第二半导体层上，在保护层的侧壁上形成侧墙（spacer）。之后，可以对侧墙和第二半导体层两者一起进行各向异性刻蚀，例如反应离子刻蚀（RIE）。在侧墙被去除时，由于第二半导体层中部未被侧墙覆盖，从而被刻蚀最多；而在两端，由于侧墙的存在，从而刻蚀较少。因此，可以形成中部相对于端部厚度减小的形状。

在如上所述对第二半导体层进行构图之后，可以去除保护层，然后对第一半导体层进行构图。例如，可以对第一半导体层进行选择刻蚀，使其侧面相对于第二半导体层的相应侧面凹入。

本公开可以各种形式呈现，以下将描述其中一些示例。

图 3（a）示出了根据本公开实施例的包括鳍结构的半导体设置，且图 3

(b) 示出了以图 3 (a) 所示的鳍结构为基础的 FinFET。

如图 3 (a) 所示, 该半导体设置可以包括衬底 301 以及在衬底上形成的鳍。衬底 301 可以包括体半导体衬底如 Si、Ge 等, 化合物半导体衬底如 SiGe、GaAs、GaSb、AlAs、InAs、InP、GaN、SiC、InGaAs、InSb、InGaSb 等, 绝缘体上半导体衬底 (SOI) 等。为方便说明, 以下以体硅衬底及硅系材料为例进行描述。

鳍可以包括第一部分 302-1 和第二部分 302-2。第一部分 302-1 可以在衬底 301 上大致竖直延伸, 第二部分 302-2 可以大致横向延伸, 从而它们整体上呈 T 形。第一部分 302-1 可以大致对准于第二部分 302-2 的中部。在衬底 301 包括 Si 的情况下, 第一部分 302-1 例如可以包括 SiGe, 高度可为约 15-50nm, 宽度可为约 5-30nm, 第二部分 302-2 可以包括 Si, 宽度可为 10-40nm, 厚度可为 10-30nm。当然, 本公开不限于此。第一部分 302-1 和第二部分 302-2 可以包括各种合适的半导体材料和合适的尺寸设置。

第二部分 302-2 在与第一部分 302-1 相对应的区域 (在图 3 (a) 所示的示例中, 其中部) 处具有减小的厚度。具体地, 在图 3 (a) 的示例中, 第二部分 302-2 与第一部分 302-1 相反一侧的表面 (图中上表面) 从端部向着其中部 (中线) 倾斜。

这里需要指出的是, 第二部分 302-2 的上表面不限于图 3 (a) 所示的光滑平面。例如, 该表面可以具有由于制造工艺导致的凹凸起伏等, 或者整体上可以并非呈平面状, 而是可以有一定弯曲。

另外, 如图 3 (b) 所示, 示例 FinFET 可以包括在衬底 301 上形成的与鳍 (302-1 和 302-2) 交叉的栅堆叠。具体地, 栅堆叠可以包括栅介质层 303 和栅导体层 304。例如, 栅介质层 303 可以包括高 K 栅介质如 HfO_2 , 厚度为 1-5nm; 栅导体层 304 可以包括金属栅导体。另外, 栅介质层 303 还可以包括一层薄的氧化物 (高 K 栅介质形成于该氧化物上), 例如厚度为 0.3-1.2nm。在栅介质层 303 和栅导体层 304 之间, 还可以形成功函数调节层 (图中未示出)。另外, 栅堆叠两侧形成有栅侧墙 305。例如, 栅侧墙 305 可以包括氮化物, 厚度为约 5-20nm。

在衬底 301 上可以形成有隔离层 (未示出), 栅堆叠形成于该隔离层之上。

在衬底为 SOI 衬底的情况下，可以不需要另外形成隔离层。

图 4-9 是示出了根据本公开另一实施例的制造包括鳍结构的半导体设置的流程中多个阶段的示意图。

如图 4 所示，提供衬底 1000，例如体硅衬底。在该示例中，衬底 1000 的表面取向为 (100)。另外，在衬底 1000 上例如通过外延生长，依次形成第一半导体层 1002 和第二半导体层 1004。例如，第一半导体层 1002 可以包括 SiGe，厚度为约 15-50nm，第二半导体层 1004 可以包括 Si，厚度为约 10-30nm。这样，衬底 1000、第一半导体层 1002 和第二半导体层 1004 中相邻的每两层之间相对于彼此可以具有刻蚀选择性，以便于随后进行处理。本领域技术人员明了，可以选择其他合适的材料，只要能够提供这种刻蚀选择性。

接下来，如图 5 所示，例如可以通过光刻，对第二半导体层 1004 和第一半导体层 1002 进行构图，以形成它们的堆叠。构图后堆叠的宽度可为约 10-40nm。这种构图例如可以通过反应离子刻蚀 (RIE) 实现。

然后，如图 6 所示，可以通过淀积，在衬底 1000 上形成保护层 1006。保护层 1006 例如可以包括氧化物（如，氧化硅）。该保护层 1006 可以被形成为覆盖第一半导体层 1002 和第二半导体层 1004 的堆叠，然后对其进行平坦化处理例如化学机械抛光 (CMP)，以露出第二半导体层 1004，以便随后对第二半导体层 1004 进行构图。

这里需要指出的是，如果第二半导体层 1004 的材料相对于衬底 1000 和第二半导体层 1002 的材料具有足够的刻蚀选择性，甚至可以省略这种保护层 1006。

随后，如图 7 所示，可以对第二半导体层 1004 进行湿法刻蚀。在此，可以采用碱性腐蚀液，例如稀释 KOH 溶液、TMAH（四甲基氢氧化铵溶液）等。这种湿法刻蚀例如可以停止于第二半导体层 1004 的 {111} 晶面。从而，第二半导体层 1004 的上表面形成从端部向中部倾斜的形状，如图 7 所示。例如，该上表面可以包括第一部分 1004a（例如，(1, -1, 1) 取向）和第二部分 1004b（例如，(1, -1, -1) 取向）。

这里需要指出的是，(100) 的衬底表面取向以及 {111} 的第二半导体层表面晶面仅仅是示例，本公开不限于此。本领域技术人员可以想到衬底表面的其

他取向以及第二半导体层上表面的其他取向,只要它们能够实现第二半导体层中部厚度减小的形状。

随后,可以如图 8 所示,可以通过选择性刻蚀如 RIE,去除保护层 1006。然后,可以如图 9 所示,对第二半导体层 1002 进行选择刻蚀如湿法刻蚀,使得其两侧相对于第二半导体层 1004 的相应侧面凹入,从而第一半导体层 1002 和第二半导体层 1004 整体上可以呈 T 形。在该示例中,可以采用 $\text{HNO}_3:\text{H}_2\text{O}:\text{HF}$ 、 $\text{HF}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 、 $\text{H}_3\text{PO}_4\text{-KH}_2\text{PO}_4\text{-NaOH}$ 缓冲液和 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 等腐蚀液。例如,比例为 1:1:5 的 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 溶液在 SiGe 中 Ge 含量为 40% 时的刻蚀选择比为 36:1 (SiGe:Si),在 Ge 含量为 55% 时的选择比为 117:1 (SiGe:Si)。

这样,就得到了根据该实施例的鳍结构。如图 9 所示,该鳍结构包括整体上呈 T 形的第一部分 1002 和第二部分 1004。第一部分 1002 大致对准于第二部分 1004 的中部,且第二部分 1004 的上表面具有从端部向中部倾斜的形状。

图 10-14 是示出了根据本公开又一实施例的制造包括鳍结构的半导体设置的流程中多个阶段的示意图。

如图 10 所示,可以在衬底 2000 上形成第一半导体层 2002 和第二半导体层 2004 的堆叠。这例如可以通过以上结合图 4 和 5 描述的处理来进行。此外,在衬底 2000 上可以也形成保护层 2006。关于衬底 2000、第一半导体层 2002、第二半导体层 2004 和保护层 2006 的进一步详情,可以参见上述实施例。

然后,如图 11 所示,可以对第二半导体层 2004 进行选择刻蚀如 RIE,以使其相对于保护层 2006 凹入。对第二半导体层 2004 的刻蚀深度可以占第二半导体层 2004 总厚度的约 $1/5$ - $1/2$ 。例如,第二半导体层 2004 在刻蚀之前厚度可为约 12-60nm,而在刻蚀之后厚度可为约 10-30nm。接着,可以如图 12 所示,在凹入的第二半导体层 2004 的表面上,沿保护层 2006 的侧壁,形成侧墙 (spacer) 2008。例如,可以通过在图 11 所示结构的表面上淀积一层非晶硅,然后对非晶硅进行 RIE,来形成侧墙 2008。每一侧的侧墙 2008 的厚度可以占半导体层堆叠总宽度的约 $1/6$ - $1/4$,例如为约 2-10nm。本领域技术人员知道多种方式来形成这种侧墙,在此不再赘述。

之后,可以如图 12 中的箭头所示,对侧墙 2008 和第二半导体层 2004 两

者(在本示例中,均为Si)进行各向异性刻蚀,如RIE。由于形成侧墙的工艺,侧墙2008覆盖第二半导体层2004的端部,并且可以呈现从保护层2006的侧壁一侧向相反一侧高度降低的形状。由于这种形式的侧墙2008,第二半导体层2004的中部受到的刻蚀量最大,而向着其两端,刻蚀量逐渐降低。当通过刻蚀去除侧墙2008时,如图13所示,第二半导体层2004的表面可以形成从端部向中部倾斜的形状。

之后,可以如以上结合图8和9所述,去除保护层2008,并选择性刻蚀第一半导体层2002,得到如图14所示的鳍结构。该鳍结构与图9所示的鳍结构具有相似的形状。

根据本公开实施例的鳍结构,如以上图9和14所示的鳍结构,可以制作各种半导体器件如FinFET。

图15示出了根据本公开一示例的FinFET。如图15所示,该FinFET包括在衬底3000上形成的鳍。鳍包括整体上呈T形的第一部分3002和第二部分3004。第一部分3002可以大致对准于第二部分3004的中部。第二部分3004在与第一部分3002相对应的区域(在图15所示的示例中,其中部)处具有减小的厚度。这种鳍例如可以通过上述方法来制作。

另外,该FinFET还可以包括在衬底3000上形成的与鳍交叉的栅堆叠。栅堆叠可以包括栅介质层3006和栅导体层。栅介质层3006例如可以包括高K栅介质例如 HfO_2 ,厚度为约1-5nm。另外,栅介质层3006还可以包括一层薄的氧化物(高K栅介质形成于该氧化物上),例如厚度为0.3-1.2nm。栅导体层可以包括金属栅导体。例如,栅导体层可以包括第一金属层3008和第二金属层3010。例如,第一金属层3008为功函数调节层,可以包括TiN、TaN、TiAlN中任一项或其组合,厚度可为约2nm-50nm;第二金属层3010为电阻调节层,可以包括多晶硅、Cu、Al、Ti、Mo、Ta、W中任一项或其组合,厚度可为约10nm-100nm。本领域技术人员知道多种方式来形成这种FinFET。

在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过各种技术手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外,尽管在以上分别描述了各实施例,

但是这并不意味着各个实施例中的措施不能有利地结合使用。

以上对本公开的实施例进行了描述。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本公开的范围之内。

权 利 要 求 书

1. 一种半导体设置，包括：

衬底；以及

鳍，所述鳍包括在衬底上依次形成的第一部分和第二部分，所述第一部分和第二部分整体上呈 T 形，

其中，第二部分在与第一部分相对应的区域处具有减小的厚度。

2. 根据权利要求 1 所述的半导体设置，其中，第一部分大致与第二部分的中部对准，第二部分在与第一部分相反一侧的表面向着中部逐渐凹入。

3. 根据权利要求 2 所述的半导体设置，其中，衬底的表面为 (100) 取向，第二部分在与第一部分相反一侧的表面包括 {111} 晶面。

4. 根据权利要求 1 所述的半导体设置，其中，衬底包括 Si，第一部分包括 SiGe，第二部分包括 Si。

5. 根据权利要求 1 所述的半导体设置，还包括：在衬底上形成的与鳍交叉的栅堆叠。

6. 一种制造半导体设置的方法，包括：

在衬底上依次形成第一半导体层和第二半导体层的堆叠；

对第二半导体层进行构图，使第二半导体层中的一部分具有减小的厚度；以及

对第一半导体层进行构图，使得构图后的第一半导体层和构图后的第二半导体层整体上呈 T 形，且构图后的第一半导体层与第二半导体层中厚度减小的所述部分相对。

7. 根据权利要求 6 所述的半导体设置，其中，对第二半导体层进行构图包括：

在衬底上形成保护层，且对该保护层进行平坦化处理，以露出第二半导体层；

对第二半导体层进行湿法刻蚀。

8. 根据权利要求 7 所述的半导体设置，其中，衬底的表面为 (100) 取向，第二部分在与第一部分相反一侧的表面包括 {111} 晶面。

9. 根据权利要求 6 所述的半导体设置, 其中, 对第二半导体层进行构图包括:

在衬底上形成保护层, 且对该保护层进行平坦化处理, 以露出第二半导体层;

对第二半导体层进行选择性刻蚀, 以使其相对于保护层凹入;

在第二半导体层上在保护层的侧壁上形成侧墙;

对侧墙和第二半导体层进行各向异性刻蚀, 以去除侧墙。

10. 根据权利要求 7 或 9 所述的半导体设置, 其中, 对第一半导体层进行构图包括:

去除保护层;

对第一半导体层进行选择性刻蚀, 使其侧面相对于第二半导体层的相应侧面凹入。

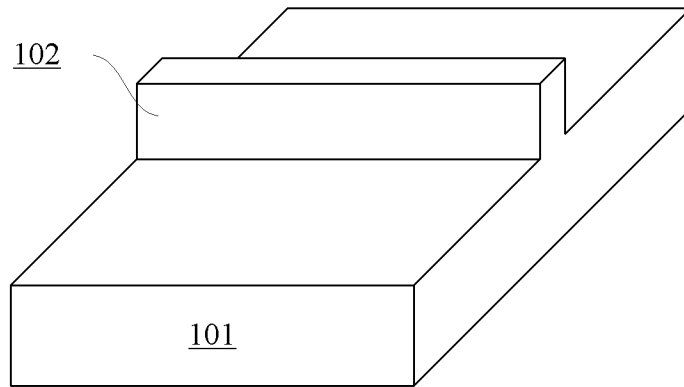


图1 (a)

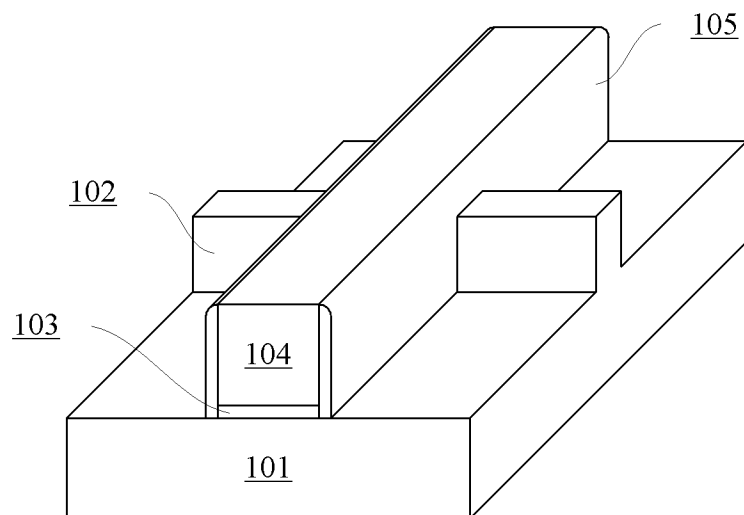


图1 (b)

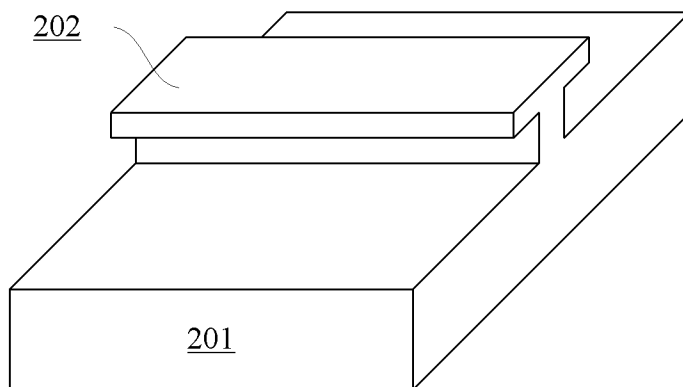


图2 (a)

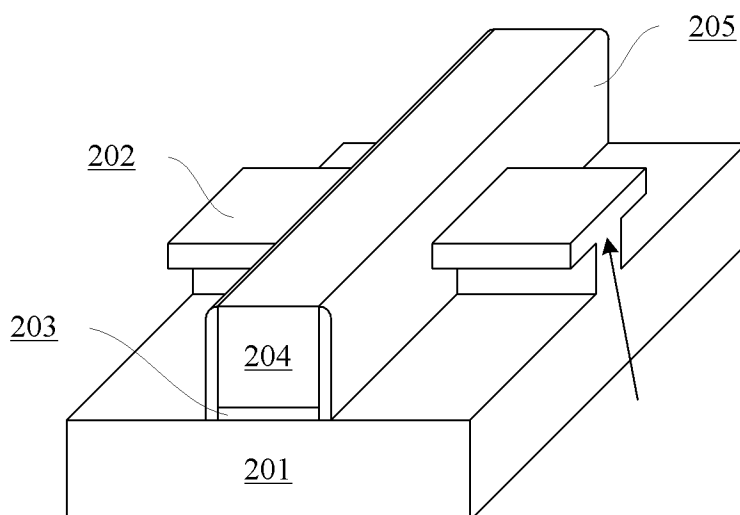


图2 (b)

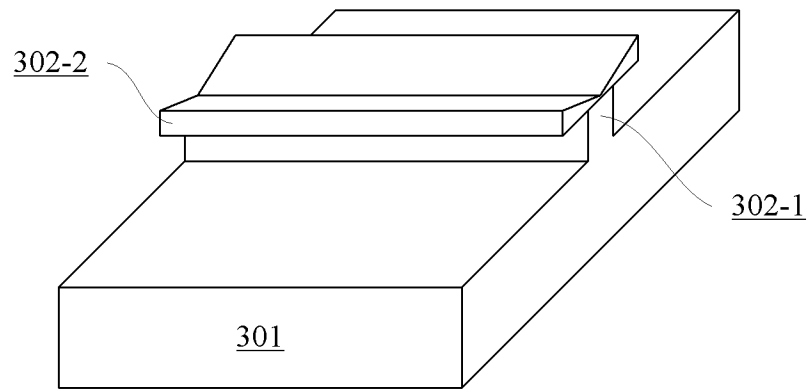


图3 (a)

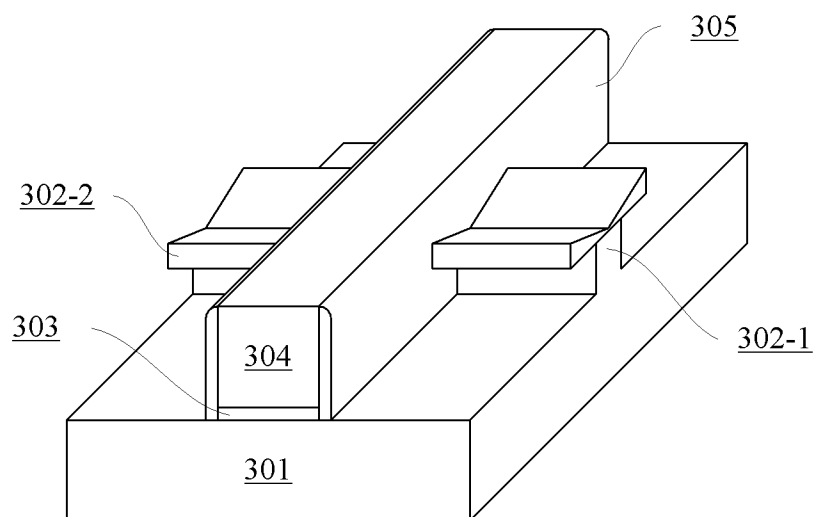


图3 (b)

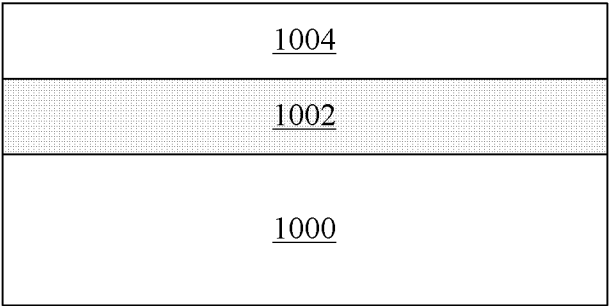


图4

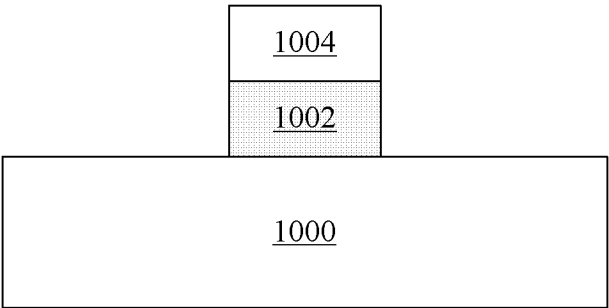


图5

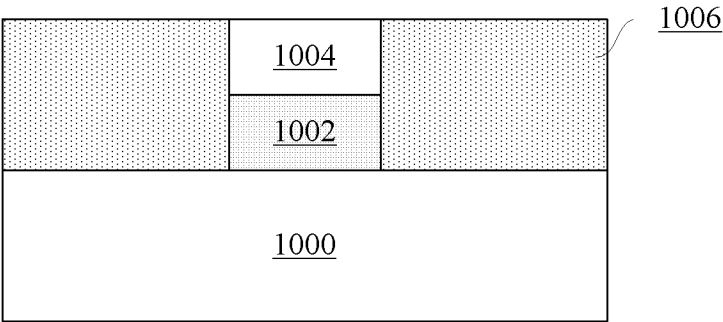


图6

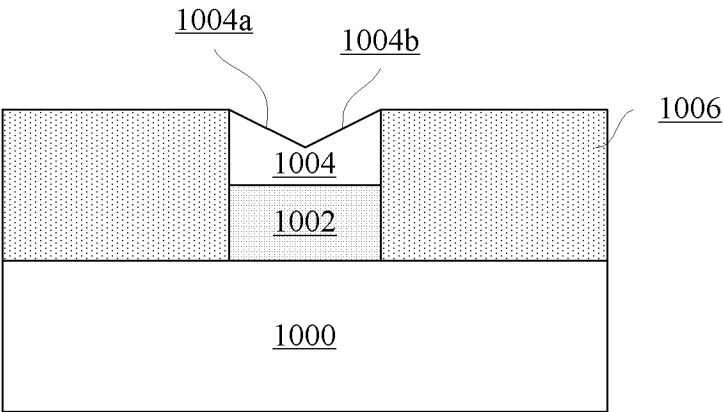


图7

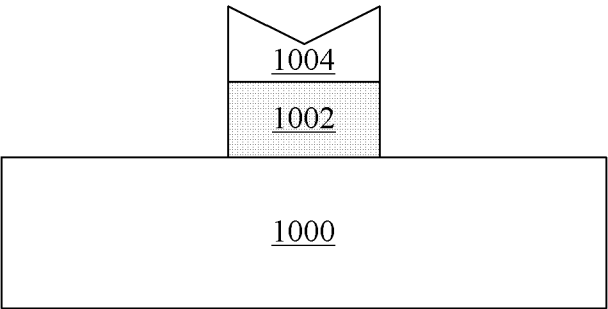


图8

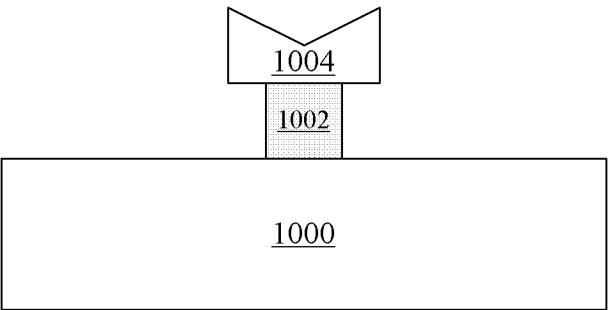


图9

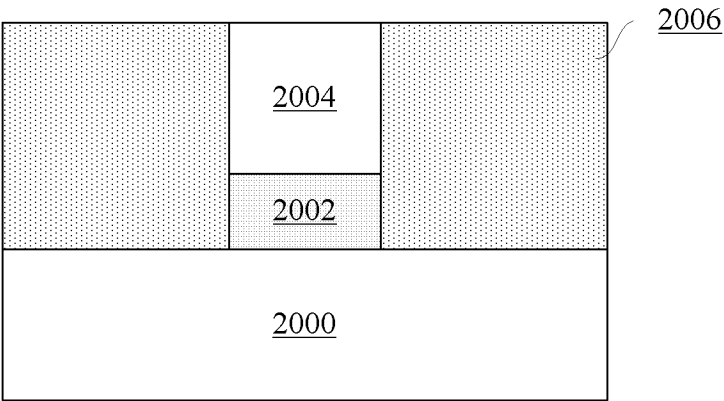


图10

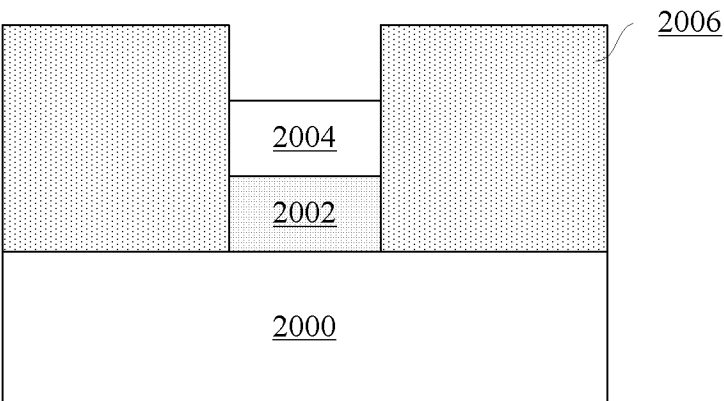


图11

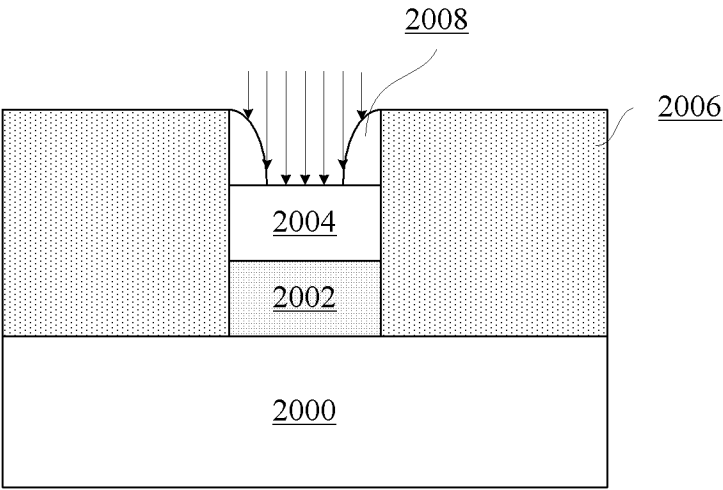


图12

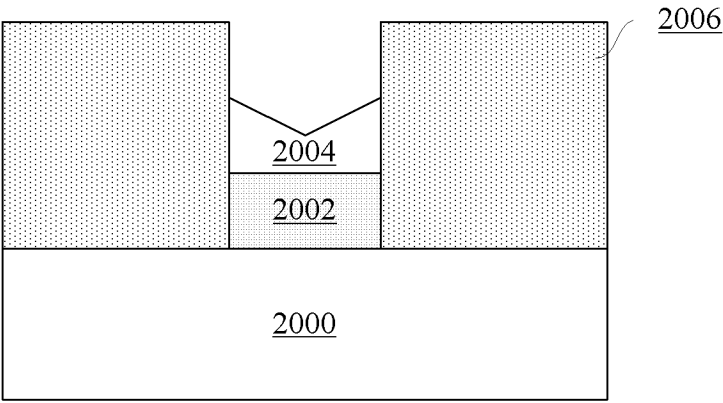


图13

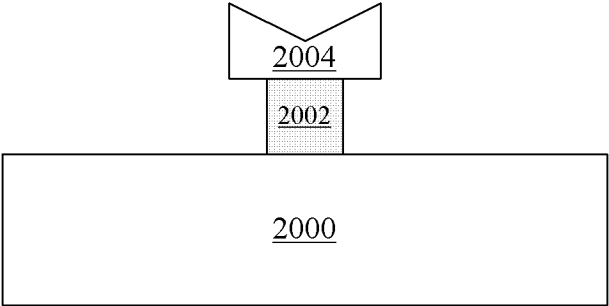


图14

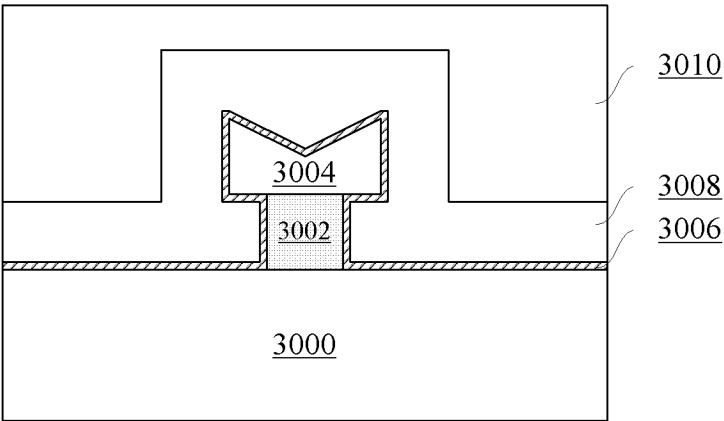


图15

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/086118

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/06 (2006.01) i; H01L 21/336 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNTXT, DWPI, EPODOC, IEEE: fin, T-shape, sub-threshold value, thickness, short channel effect

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102969345 A (SEMICONDUCTOR MFG INT SHANGHAI CORP) 13 March 2013 (13.03.2013) the whole document	1-10
A	CN 1665000 A (IBM CORP) 07 September 2005 (07.09.2005) the whole document	1-10
A	US 2002167057 A1 (AHN et al.) 14 November 2002 (14.11.2002) the whole document	1-10
A	CN 101271922 A (HYNIX SEMICONDUCTOR INC) 24 September 2008 (24.09.2008) the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 April 2014	Date of mailing of the international search report 20 May 2014
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHI, Yue Telephone No. (86-10) 61411788

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/086118

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102969345 A	13.03.2013	None	
CN 1665000 A	07.09.2005	CN 100352020 C	28.11.2007
		US 2005191795 A1	01.09.2005
		US 7060539 B2	13.06.2006
		TW 200540931 A	16.12.2005
US 2002167057 A1	14.11.2002	US 6552383 B2	22.04.2003
CN 101271922 A	24.09.2008	JP 2008235866 A	02.10.2008
		US 2008230832 A1	25.09.2008
		KR 100858882 B1	17.09.2008
		US 8236696 B2	07.08.2012
		TW I355744 B	01.01.2012
		TW 200840049 A	01.10.2008

A. 主题的分类		
H01L 29/06(2006.01)i; H01L 21/336(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
H01L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNKI, CNTXT, DWPI, EPODOC, IEEE: 鳍, T形, 亚阈值, 厚度, 短沟道效应, fin, T-shape, sub-threshold value, thickness, short channel effect		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 102969345A (中芯国际集成电路制造上海有限公司) 2013年 3月 13日 (2013 - 03 - 13) 全文	1-10
A	CN 1665000A (国际商业机器公司) 2005年 9月 07日 (2005 - 09 - 07) 全文	1-10
A	US 2002167057A1 (AHN等) 2002年 11月 14日 (2002 - 11 - 14) 全文	1-10
A	CN 101271922A (海力士半导体有限公司) 2008年 9月 24日 (2008 - 09 - 24) 全文	1-10
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2014年 4月 24日		2014年 5月 20日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国		智月
传真号 (86-10)62019451		电话号码 (86-10)61411788

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2013/086118

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 102969345A	2013年 3月 13日	无	
CN 1665000A	05) 年00月00日	CN 100352020C	2007年 11月 28日
		US 2005191795A1	2005年 9月 01日
		US 7060539B2	2006年 6月 13日
		TW 200540931A	2005年 12月 16日
US 2002167057A1	2002年 11月 14日	US 6552383 B2	2003年 4月 22日
CN 101271922A	2008年 9月 24日	JP 2008235866A	2008年 10月 02日
		US 2008230832A1	2008年 9月 25日
		KR 100858882B1	2008年 9月 17日
		US 8236696B2	2012年 8月 07日
		TW I355744B	2012年 1月 01日
		TW 200840049A	2008年 10月 01日