

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-11490
(P2005-11490A)

(43) 公開日 平成17年1月13日(2005.1.13)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G 1 1 C 16/02	G 1 1 C 17/00	5 B 1 2 5
G 1 1 C 16/04	H O 1 L 27/10	5 F 0 8 3
H O 1 L 21/8247	H O 1 L 29/78	5 F 1 0 1
H O 1 L 27/115	G 1 1 C 17/00	6 2 1 Z
H O 1 L 29/788		

審査請求 未請求 請求項の数 7 O L (全 11 頁) 最終頁に続く

(21) 出願番号	特願2004-129233 (P2004-129233)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成16年4月26日 (2004. 4. 26)	(74) 代理人	100068504 弁理士 小川 勝男
(31) 優先権主張番号	特願2003-150226 (P2003-150226)	(74) 代理人	100086656 弁理士 田中 恭助
(32) 優先日	平成15年5月28日 (2003. 5. 28)	(72) 発明者	松崎 望 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	石丸 哲也 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】

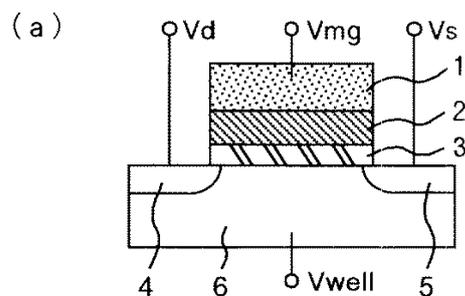
基板から電子を注入し、ゲート電極側に電子を引き抜く書換え動作を行うメモリセルからなる半導体不揮発性記憶装置、すなわちゲート引抜型の半導体不揮発性記憶装置では、書換え時の最初の処理として消去バイアスを印加すると、過消去状態になるメモリセルが出現し、そのメモリセルの電荷保持特性が劣化するという課題がある。

【解決手段】

本発明は、消去バイアスを印加する前に、消去単位中にある全てのメモリセルを書込み、その後消去バイアスを印加する手段を用いた半導体不揮発性記憶装置を提供する。

【選択図】 図1

図 1



(b)

	Vmg	Vs	Vd	Vwell
書込	8V	5V	0V	0V
消去	12V	0V	0V	0V
読出	1V	1V	0V	0V

【特許請求の範囲】**【請求項 1】**

半導体基板の一主面側に所定の間隔を置いて形成されたソース拡散層およびドレイン拡散層と、前記ソース拡散層および前記ドレイン拡散層に挟まれた前記半導体基板の領域上に絶縁膜を介して電荷蓄積膜およびゲート電極が積層されてなるゲート部とからなるメモリセルを有し、

前記メモリセルの書換えを行う前に、前記書換えの対象となるメモリセルに書込みを行い、その後前記メモリセルの消去を行うことを特徴とする半導体装置。

【請求項 2】

半導体基板の一主面側に所定の間隔を置いて形成されたソース拡散層およびドレイン拡散層と、前記ソース拡散層および前記ドレイン拡散層に挟まれた前記半導体基板の領域上に絶縁膜を介して電荷蓄積膜およびゲート電極が積層されてなるゲート部とからなるメモリセルが配置されたサブブロックを有する半導体装置において、

前記メモリセルの書換えを行う前に、前記書換えの対象となる前記サブブロック内の全てのメモリセルに電子を注入することにより書込みを行い、その後前記ゲート電極にバイアスを印加して前記メモリセルに注入された電子を引き抜くことにより消去を行なうことを特徴とする半導体装置。

【請求項 3】

前記メモリセルは、MONOS型あるいはMNOS型構造を有する電荷トラップ型メモリセルであり、前記半導体基板側から前記絶縁膜を通り、前記電荷トラップ型メモリセルへ電子を注入することにより書込を行い、前記ゲート電極側へ電子を引き抜く動作により消去を行うことを特徴とする請求項 1 または 2 のいずれかに記載の半導体装置。

【請求項 4】

前記メモリセルへの書込みは、ホットエレクトロンを用いた電子注入によることを特徴とする請求項 1 または 2 のいずれかに記載の半導体装置。

【請求項 5】

前記メモリセルの消去は、前記メモリセルのメモリセル読出電流を検出し、所定のメモリセル読出電流が検出された時点で前記消去を停止することを特徴とする請求項 1 または 2 のいずれかに記載の半導体装置。

【請求項 6】

前記メモリセルの消去は、前記メモリセルのしきい値を下げることにより行なわれることを特徴とする請求項 1 または 2 のいずれかに記載の半導体装置。

【請求項 7】

半導体基板の一主面側に所定の間隔を置いて形成された第 1 不純物導入層および第 2 不純物導入層と、前記第 1 不純物導入層および前記第 2 不純物導入層に挟まれた前記半導体基板の領域上に絶縁膜を介して電荷蓄積膜および電極が積層されてなるゲート部とからなるメモリセルを有し、

前記メモリセルの消去コマンドの実行は、前記消去の対象となるメモリセルに書込み処理を行った後に行うことを特徴とする半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置に係り、特にマイクロコンピュータに代表される論理演算機能を有する半導体装置と同一基板上に搭載する半導体不揮発性記憶装置の構造、およびその信頼性の向上に関する。

【背景技術】**【0002】**

半導体不揮発性記憶装置には、浮遊ゲート型が広く用いられている。近年になり、電荷トラップ膜中に電荷を蓄積する、MONOS型あるいはMNOS型メモリが見直され、大容量データ格納用途や論理用半導体装置と同一のシリコン基板上への混載用途への適用な

10

20

30

40

50

どが再評価されている。以下、単体の半導体不揮発性記憶素子をメモリセルと称し、メモリセル複数個から構成された、不揮発性記憶機能を有する装置全体を、半導体不揮発性記憶装置と称する。本発明と関わりがある、メモリセルへの電子注入・引抜動作を示す公知特許として、例えば、特許文献1がある。これには、酸化膜、窒化膜、酸化膜の3層構造から成る電荷蓄積構造に、ソースサイド・ホットエレクトロンで電子を注入し、ゲート電極への正電圧印加により電子をゲート電極側へ引き抜く技術が開示されている。

【0003】

【特許文献1】米国特許第5408115号明細書

【発明の開示】

【発明が解決しようとする課題】

10

【0004】

本発明者らは、書込みにホットエレクトロン注入を用い、消去はゲート電極側へ注入電荷を引き抜くことを行うメモリセルの動作を検討した。メモリセルの構造と、各動作における電圧対応関係を図1(a)及び(b)にそれぞれ示す。 V_{mg} はN型ゲート電極への印加電圧、 V_d はN型ドレイン電極への印加電圧、 V_s はN型ソース電極への印加電圧、 V_{well} はP型ウェルへの印加電圧である。ここでは、電子注入を書込み、電子引抜を消去と定義する。

【0005】

図2に、メモリセルの消去特性を示す。電子が注入された書込み状態でのしきい値は V_{tw} であり、読出しを行っても電流は流れない。消去バイアスを印加するとしきい値は下がり、読出し電流は増加していく。読出し電流が I_{read} に達したら消去と判定する。この時の消去しきい値は V_{te} となる。さらに消去バイアスを印加し続ければしきい値は下がり、電荷中性しきい値 V_{ti} を下回る。しきい値は V_{toe} で飽和を迎えるが、しきい値が V_{thi} と V_{toe} の間に存在する状態を、過消去状態と定義する。

20

【0006】

このような消去特性を有するメモリセルの電荷保持特性を、初期と書換え後とで比較した結果、電荷引抜動作が電荷保持特性を大きく劣化させる要因となることを、本発明者らは見出した(図3を参照)。

【0007】

図3に示す通り、1000回の書き換えを行った場合の電荷保持特性は、初期(書換え無し)と殆ど変わらない。しかし、書換え1000回の積算消去時間に相当する電圧パルスを、同一のメモリセルに対して印加した場合、電荷保持特性は大きく劣化することが判る。これは、書込み後のしきい値の高低に由来するものではなく、メモリセルそのものの電荷保持特性が悪化することを示す。

30

【0008】

消去と書込みを繰り返す場合と、消去のみを行う場合の、それぞれのしきい値の変動状態を図4に示す。消去と書込みを繰り返す場合は、しきい値が V_{te} 以下に下がることは無い。消去時に V_{te} まで達した段階で、消去処理を止めるためである。しかし、消去のみを行う場合は、しきい値あるいは読出し電流の大小に拘らず、消去バイアスが一方的に印加される。したがって、消去のみを受けるメモリセルのしきい値は V_{te} 以下に下がり、過消去状態に置かれることが判る。即ち、過消去状態になるまで消去されるために、電荷保持特性が劣化すると考えられる。

40

【0009】

過消去状態になることで電荷保持特性が劣化する現象を、図5のバンド図を用いて説明する。このメモリセルはN型であるため、ウェルはP型である。蓄積された電子をゲート電極に引き抜くため、N型ゲート電極に正電圧を印加した状態を示す。蓄積された電子は電界に沿ってゲート電極へと移動する。高い電界のため、下地の酸化膜からもFNトンネルで電子が注入されるが、蓄積電子のゲート電極への移動量の方が大きければしきい値は下がり続ける。一方、ゲート電極のトラップ膜との界面ではホールが発生し、トラップ膜中へトンネル注入される。そして電界に沿って基板側へと移動する。蓄積電子とホールは

50

再結合を起こして消滅する。初期に蓄積された電子が失われ、下地酸化膜からの電子トンネル注入と電極からのホール注入量が等しくなれば、メモリセルのしきい値は飽和して、それ以上は低下しなくなる。しかし、電界がかかっている場合はホールが供給され続けるため、電子と再結合できなかつたホールは、下地酸化膜をトンネルして基板側に抜ける。このとき、エネルギーを放出するため、下地酸化膜中あるいは下地酸化膜と基板との界面に準位を生成させる。この準位を通じて、蓄積電荷が基板側に漏れるので、電荷保持特性が悪化するものと考えられる。消去状態から書込みを行う書換えの場合、殆どのホールは蓄積電荷との再結合で消滅してしまうため、基板に抜けて下地酸化膜を傷めることは無い。しかし、消去のみを行う場合は、蓄積電子が殆ど無い過消去状態でホールの供給が起こるため、下地酸化膜に抜けるホールの量が多くなる。結果として、消去のみでは電荷保持特性が大きく劣化する。

10

【0010】

実際の半導体不揮発性記憶装置に当て嵌めて説明する。図6に、NOR型構成の半導体不揮発性記憶装置の構成例を示す。12個のメモリセルしか記載していないが、これは課題と本発明の原理を示すために簡略化したためである。ワード線WL1にはM11、M21、M31、3つのメモリセルのゲート電極が接続されている。同様に、WL2にはM12、M22、M32が、WL3にはM13、M23、M33が、WL4にはM14、M24、M34が、それぞれ接続されている。WDECは、ワードドライバWD1乃至WD4を選択するデコーダであり、ワードドライバWD1乃至WD4は、WL1乃至WL4へ電圧を供給するドライバ回路である。ビット線BL1は、M11、M12、M13、M14、それぞれのドレインに接続されている。同様に、BL2にはM21、M22、M23、M24のドレインが接続され、BL3にはM31、M32、M33、M34の各メモリセルのドレインが接続される。BL1乃至BL3の選択は、デコーダとセンスアンプから成るBDECで行われる。ソース線SL1には、M11乃至M34、全てのメモリセルのソースが共通に接続されている。SL1の選択はSDCで行われる。図中の全てのメモリセルが書換え対象であり、また消去ブロック(同一の消去単位)であるとする。書換えにあたっては、WL1乃至WL4に12Vが同時に印加され、M11乃至M34までの全てのメモリセルに正の消去電圧が印加される。書換え時には、消去ブロック中の複数のメモリセルを一括して消去する。

20

【0011】

メモリセルの中には、前回の書換え時に書込みが無かつたものが必ず存在する。一括消去なので、そのようなメモリセルにも消去バイアスは印加される。当然にしてそのメモリセルは過消去状態が強くなり、図5までで説明してきたとおり、電荷保持特性が悪化してしまう。そして、半導体不揮発性記憶装置としての信頼度は著しく下がってしまうという問題がある。メモリセル個別に消去する構成を取れば、半導体不揮発性記憶装置の面積は大きくなり、かつ消去時間が膨大になるので実用的でない。

30

【0012】

なお、図1(a)ではドレインサイド・ホットエレクトロン注入とメモリゲート引き抜きを前提としたが、図5の原理に従えば、基板側からの電子注入とメモリゲート引き抜きの組み合わせであれば、ソースサイド・ホットエレクトロン注入などの他の電子注入方式でも同様の問題が起こると考えられる。

40

【課題を解決するための手段】

【0013】

書換え時の消去単位に含まれるメモリセル全てを、一旦、書込みし、その後に消去バイアスを印加して消去を行う。消去単位毎に読出し電流でベリファイを施し、不要な過消去状態が起こらないようにする。

【発明の効果】

【0014】

本発明の技術を用いた半導体集積回路装置を用いれば、信頼性の高い半導体不揮発性記憶装置を実現する事が出来る。この装置を単体チップとして提供することが可能である。

50

また、本発明の技術を用いた半導体集積回路装置を半導体論理演算装置と同一の基板上に混載すれば、データやプログラムの格納に用いることが出来、信頼性の高い組込み型マイコンあるいはカード型マイコンとして提供できる。さらに、プログラム格納とデータ格納を専用に行う半導体不揮発性記憶装置を同時に有する、高機能のマイコンを提供できる。

【発明を実施するための最良の形態】

【0015】

<実施の形態1>

図6のような消去ブロック内で一括消去を行う半導体不揮発性記憶装置を想定し、本発明の実施形態である書換え手順を図7に示す。書換え開始後、消去ブロック内の全てのメモリセルを書込む。その処理が完了したら、消去ブロック内の全てのメモリセルに消去バイアスを印加する。全てのセルで、必要な読出電流が取れるまでしきい値を下げた事が確認できた段階で、消去処理は終了となる。本発明の、消去ブロック内の全てのメモリセルを書込む処理は、消去バイアスの印加と一体のものであり、消去コマンド実行時に必ず行うものとする。続いて、必要な情報を格納するために、所望のメモリセルに書込みを行う。書込みの方式は、ホットエレクトロンあるいはトンネル注入とする。書込みが完了した段階で、書換え処理の全てが完了する。この一連の動作により、過消去状態になるメモリセルを無くす事ができ、半導体不揮発性記憶装置の信頼度を高めることが出来る。さらに、図6、図7について以下に詳細に説明をする。

【0016】

図6は、図1で説明したメモリセルで構成した、NOR型のメモリアレイを示す回路ブロック図である。WL1は、メモリセルM11乃至M31に共通するワード線、WL2は、メモリセルM12乃至M32に共通するワード線、WL3は、M13乃至M33に共通するワード線、WL4は、M14乃至M34に共通するワード線である。ワードドライバWD1乃至WD4は、WL1乃至WL4へ電圧を供給する。ワードデコーダWDECは、アドレスに応じてWD1乃至WD4のいずれかを選択する論理回路群である。BL1は、メモリセルM11乃至M14に共通するビット線、BL2は、メモリセルM21乃至M24に共通するビット線、BL3は、メモリセルM31乃至M34に共通するビット線である。SACは、BL1乃至BL3に電位を供給する、あるいは電位変動を検出するためのセンスアンプ群とその制御回路、BLDECは、アドレスに応じてBL1乃至BL3につながるセンスアンプを選択するためのデコーダ回路である。ソース線SL1は、M11乃至M34すべてのメモリセルに共通である。SLCは、SL1に電位を供給する制御回路である。これを用いて、本発明の実施形態を説明する。なお、ここでは12個のメモリセルからなるメモリアレイとしたが、これはメモリアレイの動作と本発明の実施形態を簡単に説明するためであり、この個数に限るものではない。

【0017】

書込みによりメモリセルのしきい値が高くなった状態を“1”、書き込まれずに、しきい値が低いままの状態を“0”、と定義する。このメモリアレイには既に何等かの情報が書き込まれており、M11乃至M34は、夫々、“1”、あるいは“0”、の何れかの状態にあるものとする。このメモリアレイに記憶した情報を書換えるにあたり、まず、M11乃至M34の12個のメモリセルを全て書込状態にする。消去前書込は、情報格納時の書込と同じ、ホットエレクトロン注入で行って良い。WL1に接続されたメモリセル群から開始し、順にWL4に接続されたメモリセル群へと進める。WDECによりWD1を選択し、WL1に10Vを印加する。SLCは、SL1に0Vを供給する。続いて、BLDECからBL1を選択するアドレス信号をSACへ送る。その信号を受け、SACよりBL1のみに5V、BL2およびBL3に0Vを供給する。このとき、WL1およびBL1の双方が選択状態にあるメモリセルM11でホットエレクトロン注入が起こり、M11は書き込まれる。続いて、BLDECからBL2を選択する信号をSACへ供給し、BL2に5V、BL1およびBL3には0Vを供給する。このとき、M21が書き込まれる。同様に、BL3を選択すれば、M31が書き込まれる。WL1に接続されたメモリセルへの書込みを終えたら、WL2を選択し、再び、BL1からBL3へと順に書込み電圧の5

10

20

30

40

50

Vを供給していく。この繰り返しにより、すべてのワード線（ここでWL1乃至WL4）に接続されたメモリセル全てを書き込む。情報としての“1”を格納するための書込みでは、所定のしきい値に達したかどうかを判定する処理が必要だが、情報格納を目的としない本発明の消去前書込み処理においては、特に書込判定処理を行う必要はない。その分、処理に要する時間が少なくて済む長所がある。特に、ホットエレクトロン書込みの場合は、書込み速度はメモリセル毎のばらつきが小さいので、書込み確認の処理は行わなくても十分である。また、この消去前書込み処理は、“0”状態にあるメモリセルのみに行っても良いが、全てのメモリセルに書込み電圧を印加すれば判断処理が不要になり、総処理時間を短縮できる。なお、ここではメモリセルを1個ずつ書き込んだが、複数のビット線を同時に選択して、複数個のメモリセルを同時に書き込んで構わない。

10

【0018】

上記、全メモリセルへの消去前書込みを行った後に、しきい値を下げる消去処理を行う。ここでは、全ワード線に一括して消去電圧を印加する方法を説明する。BLDECからSACに、ビット線を選択しない信号を送る。SACはその信号を受け、BL1乃至BL3を0Vに設定する。SLCは、SL1を0Vに設定する。WDECはWD1乃至WD4の全てを選択する。WD1乃至WD4は、WL1乃至WL4に消去用の電圧10Vを印加する。このとき、M11乃至M34のゲート電極に消去用の電圧が印加され、それらのメモリセルのしきい値は下がる。所定の時間だけ消去電圧を印加した後、各々のメモリセルが消去されたかどうか、すなわち、しきい値が下がり、所定の読み出し電流が流れる状態になったかどうかを検証するため、M11乃至M34を順に読み出す。まず、SLCによりSL1を1Vにし、WD1によりWLを1Vにする。この後、SACによりBL1を0Vに設定すれば、M11を通じてSACに流入する信号の大小を検出できる。所望の読み出し電流が流れることが判れば、M11を消去完了と判断する。以下同様に、BL2を選択肢してM21、BL3を選択肢してM31を読み出す。M11乃至M31のうち、何れかのメモリセルが消去状態に達していなければ、WL1乃至WL4に10Vを印加する消去処理を再度行い、再びメモリセルの電流を検証する。M11乃至M31の消去が確認できたら、この繰り返しにより、M11乃至M34の全てが消去状態に達したことを確認したら、図6のメモリアレイの消去は完了となる。

20

【0019】

消去が完了した後、書換え情報にしたがって、“1”を格納したいメモリセルにのみ、書込を行う。例として、WL1に接続されたメモリセルの内、M11のみを“1”にし、M21、M31を“0”とする場合を説明する。WDECによりWD1を選択し、WL1に10Vを印加する。SLCは、SL1に0Vを供給する。続いて、BLDECからBL1を選択するアドレス信号をSACへ送る。その信号を受け、SACよりBL1のみに5V、BL2およびBL3に0Vを供給する。このとき、WL1およびBL1の双方が選択状態にあるメモリセルM11でホットエレクトロン注入が起こり、M11は書き込まれる。M21、M31は消去状態にあるが、これが“0”に当たるので、そのまま書込処理を行わずにおけば良い。M11が必要な書込みしきい値に達したかどうかを検証するため、書込み電圧を印加した後に、M11を読み出す。まず、SLCによりSL1を1Vにし、WD1によりWLを1Vにする。この後、SACによりBL1を0Vに設定すれば、M11を通じてSACに流入する信号の大小を検出できる。読み出し電流が所定の値以下であれば、M11のしきい値が所定の値に達したことになるので、書込み完了と判断する。所定の電流以上に流れている場合は書込み不足であるから、再度、書込み電圧の印加と検証を行う。M12乃至M34のメモリセルも、“1”を格納する際は、M11同様に書込み処理を行った後に読出しを行って、書込み完了か否かを検証する。以上が、本発明の、不揮発性メモリセルの電荷保持特性を確保する書換手法である。

30

40

【0020】

上記の説明を、図7のフロー図に示す。まず、書換対象となる全ビットに書き込む処理を行う。書換対象のワード線群から最初の1本を選び、書き込みワード電圧を印加する。次に、共通ソース線に書き込み電圧を印加

50

する。続いて、最初に書き込むセルに接続されたビット線に、書き込み選択信号である 0 V を印加して書き込む。ビット線の書き込み選択信号は、セルのドレインに印加されるパルス電圧である。この書き込み処理の後、次のビット線を選択して 0 V パルスを印加し、そのビット線に接続されたセルを書き込む。このようにして、同一のワード線に接続された全てのビット線に選択信号を印加して、そのワード線に接続された全てのセルに書き込む処理を終えたら、次のワード線を選択して、再び最初のビット線から書き込み電圧を印加する。こうして、全てのワード線に対して書き込み処理を終えたら、一旦、全ワード線、全ビット線、共通ソース線の電位を 0 V に落とす。この後、セルのしきい値を下げる処理を行う。

【0021】

はじめに、全ワード線に一括して消去電圧パルスを印加する。その後、全ワード線の電位を 0 V に落とす。そして、しきい値が十分に下がったかどうかを検証する処理に入る。まず、最初のワード線に読出しゲート電圧を印加し、さらに最初のビット線にも読出しの電圧を印加して選択し、その交点にあるセルの電流を読み出す。この電流が、予め規定した値以上であれば、十分にしきい値が下がったと看做す。もし電流値が小さければ、再び全ワード線に消去電圧を印加する処理に戻ってやり直す。そして、最初のワード線、最初のビット線で選択したセル電流を再び読み、電流が規定値以上であったなら、次のビット線に進んで、次のセル電流が規定値以上かどうかを検証する。もしこの段階で規定値以下であった場合、再び全てのワード線に消去電圧を印加する処理に戻らねばならない。規定値以上であれば、さらに次のビット線に進んで、同様の検証を続ける。同一のワード線で全てのビット線を選択してセル電流を検出し、それら全てのセル電流が規定値以上であれば、ここで次のワード線に進む。以下、同様の手順を繰り返し、全てセル電流が規定値以上にあることが確認できたら、全てのワード線、全てのビット線、共通ソース線の電位を 0 V に落とし、しきい値を下げる消去処理は終了する。ここで行う消去処理は、全てのワード線に一括して消去電圧を与えることとしているが、ワード線を幾つかのグループにまとめて、そのグループ一つ一つを、同時に消去処理を行う消去単位として扱っても良い。消去が終了したので、次は必要な情報を書き込む。最初の書き込みワード線を選択し、次に共通ソース線に書き込み電圧を印加し、次に書き込みビット線を選択する。書き込みビット線選択は、セルのドレインに 0 V を印加することに相当し、これによって、そのセルのソース・ドレイン間に書き込みに必要なチャンネル電流が流れる。次にワード線と共通ソース線を 0 V にしてチャンネル電流を切る。続いて、このセルに正しく情報を書き込めたかどうかの検証を行う。共通ソース線には書き込み時より低い読出し電圧を印加する。書き込み時に選択したワード線に読出し電圧を印加する。そして、そのセルが接続されているビット線に 0 V を印加して選択し、セル電流を検出する。この電流が規定値以上の電流が検出されたときは、しきい値が十分に高くないので、再び書き込みの処理を行う。規定値以下であれば、しきい値が十分に高くなった、即ち、正常に書き込めたと判断して、次の書き込み対象となるセルが接続されたビット線を選択し、次のセルの書き込みを行う。この手順を繰り返し、同一ワード線内での書き込みが終了したら、次のワード線を選択し、書き込み対象となるビット線を次々に選択して書き込み処理を行う。全てのワード線内で、対象となるセルへの書き込みが終了したら、全ワード線、全ビット線、共通ソース線の電位を 0 V に戻し、書換処理は終了である。

【0022】

本発明の書換方法における、消去前に全てのメモリセルを書込む処理は、消去バイアスの印加と一体のものであり、消去コマンド実行時に必ず行うものとする。この一連の動作により、過消去状態になるメモリセルを無くす事ができ、半導体不揮発性記憶装置の信頼度を高めることが出来る。なお、ここで開示したフローは一例であり、書換対象ビットの全てを一旦書き込んだ後に消去電圧を印加する、という本発明の主旨から外れない限り、他の手順を用いても良い。例えば、消去終了後の情報書き込みの際に行う検証処理は、セルを 1 つ書き込む毎に行うのではなくワード線毎に行う、即ち、1 本のワード線内での書き込み対象となるセルへの書き込み電圧印加が終わった後に、まとめて行っても良い。

10

20

30

40

50

【 0 0 2 3 】

< 実施の形態 2 >

図 6 のようなメモリアレイを同一基板上に搭載した半導体論理集積回路の実施形態である、マイクロコントローラを図 8 に示す。中央演算処理装置 CPU、不揮発性メモリアレイを含み、情報の不揮発格納機能を有するフラッシュメモリモジュール、それを制御するフラッシュメモリモジュール制御回路、揮発性メモリモジュール RAM、バスステート制御回路部、入出力回路部 I/O、その他の機能を有する周辺回路部から構成される。これらの回路ブロックは、内部バスに接続される。この内部バスは、アドレス信号、データ信号、制御信号を伝達する信号線を有する。CPU は命令解読、それにしたがった演算処理を実行する。フラッシュメモリモジュールは、CPU の動作プログラムあるいはデータの格納に供される。フラッシュメモリモジュールの動作は、CPU がフラッシュメモリモジュール制御回路に設定した制御データに基づいて行われる。RAM は、CPU のワーク領域あるいはデータの一時記憶に供される。バスステート制御回路は、内部バスを介するアクセス、外部バスに対するアクセスサイクル数、バス幅などの制御を行う。フラッシュメモリモジュールの情報書換え時に本発明の書換え法を用いれば、電化保持特性の劣化を抑制できる。即ち、信頼性の高い、不揮発メモリを搭載したマイクロコントローラを提供することが可能となる。

10

【 図面の簡単な説明 】

【 0 0 2 4 】

【 図 1 】 (a) は本発明の原理を説明するためのメモリセル構造を示し、(b) はメモリセル構造の各動作時の印加電圧を示す図。

20

【 図 2 】 図 1 (a) のメモリセルの消去特性を示す図。

【 図 3 】 図 1 (a) のメモリセルの電荷保持特性を示す図。

【 図 4 】 図 1 (a) のメモリセルの書換え特性を示す図。

【 図 5 】 メモリセルの電荷保持特性が劣化する原因を表す図。

【 図 6 】 本発明を適用すべき半導体不揮発性記憶装置。

【 図 7 】 本発明である、半導体不揮発性記憶装置の書換え手順を示すフロー図。

【 図 8 】 本発明の半導体不揮発性記憶装置を搭載したマイクロコントローラ。

【 符号の説明 】

【 0 0 2 5 】

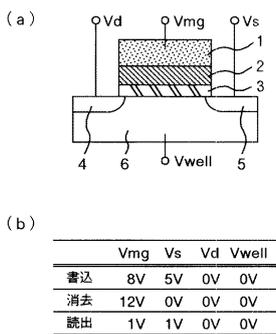
1 ... N 型ゲート電極、2 ... 電荷蓄積層、3 ... 下地酸化膜、4 ... N 型ドレイン電極、5 ... N 型ソース電極、6 ... P 型ウェル、 V_{mg} ... メモリゲート電極印加電圧、 V_s ... ソース電極印加電圧、 V_d ... ドレイン電極印加電圧、 V_{well} ... ウェル電圧印加電圧、 V_{tw} ... 書込判定しきい値電圧、 V_{te} ... 消去判定しきい値電圧、 V_{ti} ... 電荷中性しきい値、 V_{toe} ... 過消去状態における飽和しきい値電圧、 I_{read} ... 消去判定のメモリセル読出電流、M11 乃至 M34 ... 不揮発性記憶装置を構成するメモリセル、WL1 乃至 WL4 ... 不揮発性記憶装置を構成するワード線、SL1 ... 不揮発性記憶装置を構成する共通ソース線、BL1 乃至 BL3 ... 不揮発性記憶装置を構成するビット線、WDEC ... WL1 乃至 WL4 を選択するデコーダ、BLDEC ... 制御回路、SAC ... BL1 乃至 BL3 に電位を供給するあるいは電位変動を検出するためのセンスアンプ群とその制御回路、SLC ... SL1 に電位を供給する制御回路。

30

40

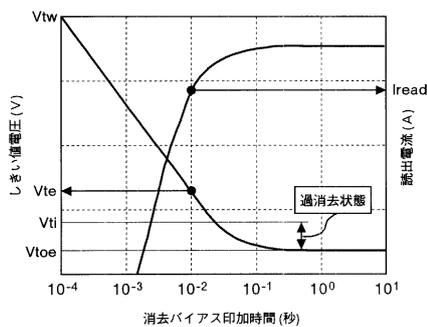
【 図 1 】

図 1



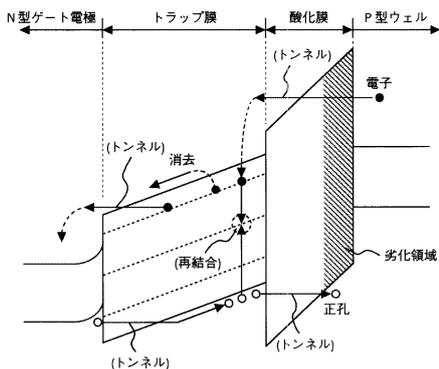
【 図 2 】

図 2



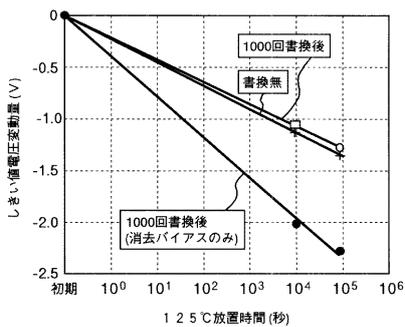
【 図 5 】

図 5



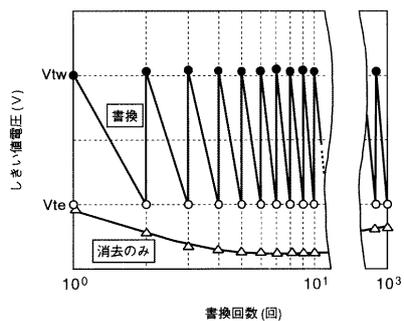
【 図 3 】

図 3



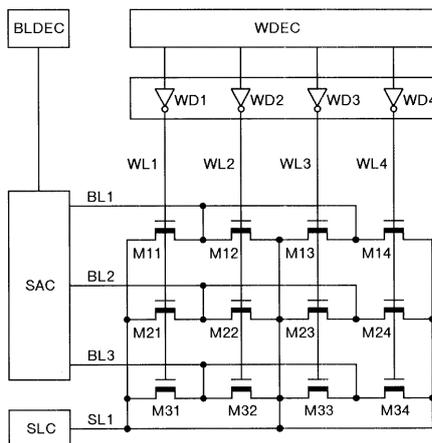
【 図 4 】

図 4



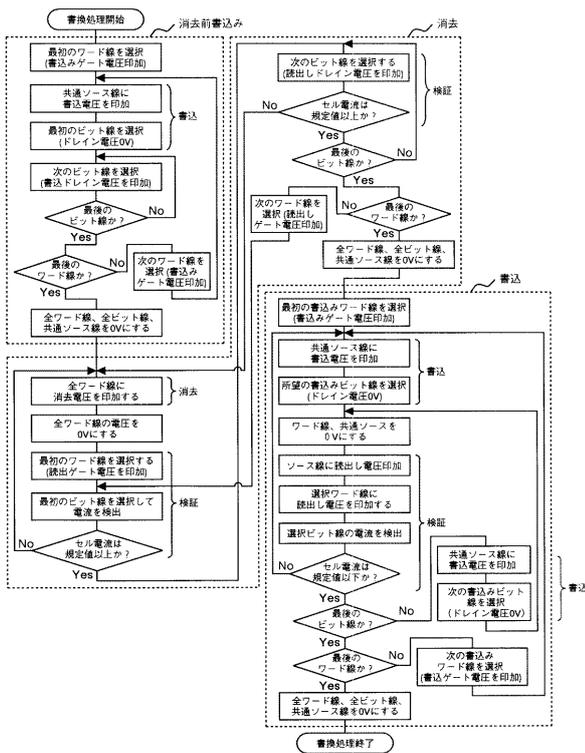
【 図 6 】

図 6



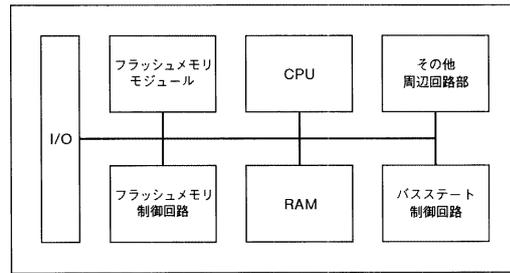
【 図 7 】

図 7



【 図 8 】

図 8



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 1 L 29/792

(72)発明者 水野 真

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 橋本 孝司

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

Fターム(参考) 5B125 BA01 CA17 DC09 EA02 EB02 EK01 EK02 FA01 FA02 FA05

5F083 EP18 EP22 EP48 EP77 ER02 ER09 ER17 ER21 ER22 GA17

JA04 LA03 LA04 LA05 LA10 ZA13 ZA14

5F101 BA45 BA46 BB02 BC11 BE01 BE02 BE05 BE07