【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成17年12月2日(2005.12.2)

【公表番号】特表2000-514939(P2000-514939A)
【公表日】平成12年11月7日(2000.11.7)
【出願番号】特願平10-529439
【国際特許分類第７版】
　Ｇ０５Ｆ　3/24
【ＦＩ】
　Ｇ０５Ｆ　3/24　　Ｂ

【手続補正書】
【提出日】平成17年4月27日(2005.4.27)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】補正の内容のとおり
【補正方法】変更
【補正の内容】

手　続　補　正　書

平成１７年　４月２７日

特許庁長官　小川　洋　殿

１　事件の表示

平成１０年　特許願　第５２９４３９号

２　補正をする者

名　称　コーニンクレッカ　フィリップス　エレクトロニクス　エヌヴィ

３　代　理　人

住　所　東京都千代田区霞が関３丁目２番４号

霞山ビルディング７階　電話(3581)2241番(代表)

氏　名　(7205)　弁理士　杉　村　興　作

４　補正対象書類名　請求の範囲　明細書

５　補正対象項目名　請求の範囲　明細書

６　補正の内容　別紙の通り

特許庁
17.4.27
出願文書部
窓口

明　細　書

１．発明の名称　　分圧器回路

２．特許請求の範囲

１．入力電圧を受け取る第１トランジスタと出力電圧を出力する第２トランジスタとを含む第１の複数の直列に結合されたトランジスタと、

入力電圧を受け取るように結合された第２の複数の直列に結合されたトランジスタとを具え、該第２の複数の直列に結合されたトランジスタは、前記第１の複数のトランジスタの予め決められたトランジスタの各々へ基板バイアス電圧を与えるために、前記第２の複数のトランジスタの予め決められたトランジスタのソース端子及び前記第１の複数のトランジスタの予め決められたトランジスタの基板にそれぞれ結合されたソース端子を有する予め決められたトランジスタを含んでいることを徴とする分圧器回路。

２．前記第１の複数の直列に結合されたトランジスタは、各自のドレイン端子が各自のゲートに結合されていることを特徴とする請求項１記載の分圧器回路。

３．前記第２の複数の直列に結合されたトランジスタは、各自のドレイン端子が各自のゲートに結合されていることを特徴とする請求項２記載の分圧器回路。

４．前記第２の複数の直列に結合されたトランジスタは第１トランジスタと第２トランジスタとを含み、該第１トランジスタは前記入力電圧を受け取るように結合されたソースとゲートとを有し、該第２トランジスタは大地へ結合され且つ該第１トランジスタの前記ゲートに結合されたドレインを有することを特徴とする請求項３記載の分圧器回路。

５．前記第２の複数の直列に結合されたトランジスタの前記第１トランジスタのゲートと前記第２トランジスタのドレインとに結合された電流源を更に具えていることを特徴とする請求項４記載の分圧器回路。

６．入力電圧を受け取り且つ前記入力電圧のうちの予め決められた部分を出力として供給する分圧手段と、

前記分圧手段へ基板バイアス電圧を与える手段と、

を具えていることを特徴とする分圧器。

７．前記分圧手段は複数の直列に結合されたトランジスタを含み、各トランジス

タはソース端子を有し、且つ当該分圧器は更に前記ソース端子を順方向バイアスから阻止するための手段を具えていることを特徴とする請求項６記載の分圧器。

８．前記分圧手段は複数の直列に結合されたトランジスタを含み、各トランジスタはソース端子を有し、且つ当該分圧器は更に前記ソース端子を順方向バイアスから阻止するために前記分圧手段に電流を供給する手段を具えていることを特徴とする請求項６記載の分圧器。

９．ゲート、入力電圧を受け取るためのソース端子、該ゲートに結合されたドレイン端子、及び該ソース端子に結合された基板端子を有している第１トランジスタ、

ゲート、基板端子、前記第１トランジスタのドレイン端子に結合されたソース端子、及び該ゲートに結合され且つ出力電圧を出力するドレイン端子を有している第２トランジスタ、

ゲート、基板端子、前記第２トランジスタのドレイン端子に結合されたソース端子、及び該ゲートに結合され且つ大地に結合されたドレイン端子を有している第３トランジスタ、

ゲート、入力電圧を受け取るためのソース端子、該ゲートに結合されたドレイン端子、及び該ソース端子に結合された基板端子を有している第４トランジスタ、

ゲート、前記第４トランジスタのドレイン端子に結合されたソース端子、該ゲートに結合されたドレイン端子、及び該ソース端子に結合され且つ前記第２トランジスタの前記基板端子に結合された基板端子を有している第５トランジスタ、及び

ゲート、前記第５トランジスタのドレイン端子へ結合されたソース端子、該ゲートに結合され、大地に結合され、且つ前記第４トランジスタのゲートに結合されたドレイン端子、及び該ソース端子に結合され且つ前記第３トランジスタの基板端子に結合された基板端子を有している第６トランジスタ、

を具えていることを特徴とする分圧器回路。

１０．前記第６トランジスタのドレインへ結合され且つ前記第４トランジスタの

ゲートに結合された電流源を更に具えていることを特徴とする請求項９記載の分圧器回路。

３．発明の詳細な説明

発明の分野

本発明は、一般に分圧器に関するものであり、特に、分圧器出力が寄生トランジスタ及びコンデンサにより与えられる代わりの（別の）電流路により影響されにくい分圧器に関するものである。

背景技術

分圧器はほとんどの集積回路に広く用いられている。分圧器は集積回路の動作に必要な追加の電圧を与え、集積回路パッケージに追加の電圧供給ピンを不要にするとともに、集積回路全域にわたる追加の電圧供給線を不要にする。しかしながら、集積回路の製造プロセスにおける不可避の回路デバイスのパラメータ変動及び意図しない寄生構造のために、分圧器は集積回路に期待電圧を与えることができないことが起こりうる。

図１にはＭＯＳＦＥＴ技術で実現された従来の分圧器の回路図が示されている。図１は入力電圧の３分の１に等しい出力電圧を発生するための標準分圧器回路を示している。トランジスタＰ１は、その基板１０１に接続されたソース１００と、そのドレイン１０３に接続されたゲート１０２とを有している。トランジスタＰ２は、その基板１０５に接続されたソース１０４と、そのドレイン１０７に接続されたゲート１０６とを有している。トランジスタＰ３は、その基板１０９に接続されたソース１０８と、そのドレイン１１１に接続されたゲート１１０とを有している。入力電圧Ｖ１はＰ１のソース端子１００及び基板バイアス１０１に接続され、Ｐ２のソース端子１０４はＰ１のドレイン端子１０３に接続され、Ｐ３のソース端子１０８はＰ２のドレイン端子１０７に接続され、且つＶ２はドレイン端子１１１が大地に接続されたＰ３のソース端子１０８からの分圧器出力である。

このような分圧器の設計において使用される二つの基本的な仮定は、同量の電流が分圧器内の全てのトランジスタを通って流れること、及びそれらのトランジスタが各々同一のしきい値電圧（スレッショルド電圧）及びデバイス相互コンダ

クタンス（すなわち、同一のＭＯＳＦＥＴチャネル幅対長さ比）を有していることである。この場合には、各トランジスタがドレインとソースとの間に同一の電圧降下を有する。一つのトランジスタが小さいデバイス相互コンダクタンスを有する場合には、このトランジスタは他のトランジスタよりも大きいドレイン－ソース間電圧降下を有する。一つのトランジスタが大きいデバイス相互コンダクタンスを有する場合には、このトランジスタは他のトランジスタよりも小さいドレイン－ソース間電圧降下を有する。しかし、デバイス相互コンダクタンスはトランジスタの幾何寸法に従って変化し、しきい値電圧よりもはるかに厳重に制御することができる。

各トランジスタのしきい値電圧は、トランジスタの基板バイアスを含む幾つかの因子に依存する。それぞれのソースに異なるバイアスを有する一組のＭＯＳデバイスが１つの電源に接続された基板を有している場合には、それらのしきい値電圧は相違し、分圧器の出力（すなわちＶ２）は期待値でなくなる。この問題を回避するために、それらの基板１０１、１０５及び１０９はそれぞれソース１００、１０４及び１０８に接続される。Ｖ１がＭＯＳデバイスＰ１、Ｐ２及びＰ３のしきい値の整数倍よりも小さい場合のような所定のバイアス状態のもとでは、これらのＭＯＳデバイスを流れる電流は大きく減少する。これが起こると、結合点１０４及び１０８における基板バイアスは、ＣＭＯＳ製造プロセスに固有の寄生デバイスの電流に敏感になる。従って、寄生デバイスの電流がＭＯＳデバイスの電流に大幅な影響を与える。特に、ＭＯＳトランジスタのウエルに接続されたコレクタを有するラテラルＮＰＮトランジスタが、Ｖ１の電圧が如何なる値であるかと無関係に、Ｖ１の電圧の整数分圧値よりも小さい電圧Ｖ２を維持する点に電流を流しうる。

所望の出力電圧を変化し得る寄生効果に殆ど影響されない出力を有する分圧器回路が必要である。

本発明は、２個の分圧器ストリングを用いる分圧器回路であり、各ストリングは分圧器構成のダイオード接続ＭＯＳトランジスタの直列接続チェーンから成る。これらの２個の分圧器ストリングが、入力電圧と大地電位に対して並列に接続される。一方の分圧器ストリングが入力電圧の一部分として実際の分圧器出力を発

生し、第２の分圧器ストリングは第１分圧器ストリングと同数のダイオード接続ＭＯＳトランジスタを有している。第２の分圧器ストリング内の各分圧トランジスタはその基板バイアスに接続されたソース端子を有し、更に第１の分圧器ストリング内の対応する分圧トランジスタに基板バイアスを付与する。従って、第１分圧器ストリングが非常に低い電流を発生し、それらのトランジスタがサブスレッショルド領域（ゲート電圧の絶対値がトランジスタのしきい値電圧の絶対値よりもわずかに小さい領域）で動作するときは、第１分圧器ストリングからの出力電圧の値は、第１分圧器ストリング内のトランジスタに代りの電流路を与え得る寄生バイポーラトランジスタ及び寄生ダイオードのような寄生装置により大きく影響されない。

以下、本発明を図面を参照して詳細に説明する。

本発明は、出力電圧を発生するクリティカル分圧器回路と、該クリティカル分圧器回路を模擬する第２分圧器回路とを使用する。第２分圧器回路の目的はクリティカル分圧器回路内のトランジスタのウエル又は基板に対するバイアスを与えることにある。

図２につき説明すると、これには本発明の典型的な実施例の回路図が示されている。図２は２つの分圧器ストリングを使用する分圧器回路を示している。これら２つの分圧器ストリングは入力電圧と大地電位とに対して並列に接続されている。各分圧器ストリングは３個のダイオード接続された（ドレイン端子がゲート端子に接続されている）Ｐチャネルトランジスタから成っている。クリティカル（「第１」ともいう）分圧器ストリング２１６は、実際の分圧器出力を入力電圧Ｖ１の一部分としてトランジスタＰ９のソース端子に発生する。分圧器２１６は３個のトランジスタＰ７、Ｐ８及びＰ９から成る。トランジスタＰ７はその基板２２１に接続されたソース２２０と、そのドレイン２２３に接続されたゲート２２２とを有している。トランジスタＰ８はそのドレイン２２７に接続されたゲート２２６を有している。トランジスタＰ９はそのドレイン２３１に接続されたゲート２３０を有している。入力電圧Ｖ１はＰ７のソース端子２２０と基板バイアス２２１に接続され、Ｐ８のソース端子２２４はＰ７のドレイン端子２２３に接続され、Ｐ９のソース端子２２８はＰ８のドレイン端子２２７に接続されており、

且つＶ２はドレイン端子２３１が大地に接続されているＰ９のソース端子２２８に発生される出力電圧である。分圧器２１６は、第２分圧器ストリング２５２内の対応するトランジスタの基板バイアス端子に接続された基板バイアス端子２２１、２２５及び２２９の各々を有している。

第２分圧器ストリング２５２は３個のトランジスタＰ４、Ｐ５及びＰ６から成る。トランジスタＰ４はその基板２０１に接続されたソース２００と、そのドレイン２０３に接続されたゲート２０２とを有している。トランジスタＰ５はその基板２０５に接続されたソース２０４と、そのドレイン２０７に接続されたゲート２０６とを有している。トランジスタＰ６はその基板２０９に接続されたソース２０８と、そのドレイン２１１に接続されたゲート２１０とを有している。入力電圧Ｖ１はＰ４のソース端子２００と基板バイアス２０１とに接続され、Ｐ５のソース端子２０４はＰ４のドレイン端子２０３に接続され、Ｐ６のソース端子２０８はＰ５のドレイン端子２０７に接続され、且つバイアス電圧ＶＢ２が、ドレイン端子２１１が大地に接続されているＰ６のソース端子２０８に現われる。

バイアス電圧ＶＢ１はライン２８２を介してＰ５とＰ８に供給される。ライン２８２が基板２２５をソース端子２０４に結合されている基板２０５に接続する。バイアス電圧ＶＢ２がライン２８４を介してＰ６とＰ９に供給される。ライン２８４が基板２２９をソース端子２０８に結合されている基板２０９に接続する。基板への電流がＶＢ１又はＶＢ２のいずれかにより供給される場合、この電流は第２分圧器ストリング２５２により供給され、分圧器ストリング２１６のトランジスタＰ７、Ｐ８及びＰ９の電流は同じになる。任意の電流源２９０が、分圧器ストリング２５２内のＰ４のゲート２０２及びドレイン２０３と、Ｐ６のゲート２１０及びドレイン２１１とへ接続されている。電流源２９０が、Ｐ４のドレイン２０３とバイアス電圧ＶＢ１及びＶＢ２を介して、分圧器ストリング２１６内のＰ９及びＰ８のＮ型ウエル又はＮ型基板に逆バイアス電流を供給して、Ｐ９及びＰ８のＰＮソース拡散接合が順方向バイアスされてＦＥＴ内に固有に存在する寄生バイポーラ構造におけるバイポーラトランジスタ動作が駆動されるのを阻止する。

ＰチャネルＦＥＴ内の寄生バイポーラトランジスタ構造の一例は、ＦＥＴのソ

ース及びドレインを構成する高ドープＰ拡散領域がＰＮＰバイポーラトランジスタのエミッタ及びコレクタ拡散領域としてそれぞれ働き、ＦＥＴのソース及びドレイン間の中ドープＮ基板がＰＮＰバイポーラトランジスタのベースとして働き、Ｎ型基板又はＮウエル拡散領域がベース端子として働くものである。Ｎチャネル ＦＥＴを有するＣＭＯＳ－Ｐウエル又はＰ基板内の寄生バイポーラトランジスタ構造のもう一つの例は、ＦＥＴのソース及びドレインを構成する高ドープＮ拡散領域がＮＰＮバイポーラトランジスタのエミッタ及びコレクタ拡散領域としてそれぞれ働き、ＦＥＴのソース及びドレイン間の中ドープＰウエル又は基板がＮＰＮバイポーラトランジスタのベースとして働き、Ｐ型基板又はＰウエル拡散領域がベース端子として働くものである。個別のＦＥＴの構造に固有の寄生バイポーラトランジスタに加えて、隣接するＦＥＴが追加の寄生バイポーラトランジスタを形成し、この場合には１つのＦＥＴのソース拡散領域がコレクタ拡散領域として働き、且つもう１つの隣のＦＥＴのドレイン拡散領域がエミッタ拡散領域として働き、且つ共通基板又はウエルがバイポーラトランジスタのベースとして働くことができる。

従って、分圧器ストリング２１６が非常に低い電流を発生し、トランジスタＰ７、Ｐ８及びＰ９がサブスレッショルド領域で動作しているときは、分圧器ストリング２１６からの出力電圧の値は、分圧器ストリング２１６内のトランジスタに代わりの電流路を与え得る寄生バイポーラトランジスタ及び寄生ダイオードのような寄生デバイスにより大きく影響されない。

本発明は、クリティカル分圧器内の直列に接続されたトランジスタチェーンに等しいゲート幅対長さ比のＰチャネルＭＯＳトランジスタを用いることにより入力電圧に対して整数比の出力電圧を得るように実現することができる。また、本発明は、クリティカル分圧器内の直列に接続されたトランジスタチェーンに等しくないゲート幅対長さ比のＰチャネルＭＯＳトランジスタを用いることにより入力電圧に対して任意所望の比の出力電圧を得るように実現することができる。本発明はまた第２分圧器内の直列に接続されたトランジスタチェーン内のＰチャネルＭＯＳトランジスタのゲート幅対長さ比に等しくないゲート幅対長さ比のＰチャネルＭＯＳトランジスタをクリティカル分圧器内の直列に接続されたトランジ

スタチェーン内の用いることにより、面積と電力消費を最適化することもできる。

当業者であれば、分圧器ＭＯＳトランジスタＰ４～Ｐ９は、選択された基板及びウエルの導電型に依存して、Ｎチャネル又はＰチャネルＭＯＳトランジスタのいずれかとすることができること明らかである。また、当業者であれば、本発明の分圧器は、用途に応じて、各直列接続トランジスタチェーンをもっと多数又は少数のトランジスタで実現することもできること明らかである。それ故に、本発明は特許請求の範囲に記載によってのみ限定される。

４．図面の簡単な説明

図１は従来技術の分圧器の回路図であり、

図２は新しい分圧器回路の典型的な実施例の回路図である。