(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/304

(45) 공고일자 2003년01월06일
(11) 등록번호 10-0348097
(24) 등록일자 2002년07월26일

(21) 출원번호 10-1996-0052266
(22) 출원일자 1996년11월06일

(65) 공개번호 특1997-0030439
(43) 공개일자 1997년06월26일

(30) 우선권주장 95-317054 1995년11월13일 일본(JP)
96-110576 1996년04월08일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 미야시타 나오토
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1 번지 가부시키가이샤 도시바 다마가와공장 내
아베 마사히로
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1 번지 가부시키가이샤 도시바 다마가와공장 내
시모무라 마리코
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1 번지 가부시키가이샤 도시바 다마가와공장 내

(74) 대리인 김윤배
이범일

심사관 : 김갑병

(54) 폴리싱방법, 반도체장치의 제조방법 및 반도체제조장치

요약

본 발명은, 폴리싱속도가 빠른 신규의 재료로 이루어진 연마제를 이용한 폴리싱방법과 CMP에 의해 반도체기판의 피폴리싱막을 평탄화하는 반도체장치의 제조방법 및 이 방법에 이용되는 반도체제조장치를 제공한다.

폴리싱은 질화규소, 탄화규소 및 탄소(그래파이트)로부터 선택된 1개의 재료로 이루어진 연마입자를 분산시킨 연마제를 이용하여 행한다. 또, 이 연마제는 CMP에 적용하여 반도체기판상의 피폴리싱재를 폴리싱한다. 또, 반도체기판에 연마제와 같은 재료의 스토퍼막을 형성하고, 연마제와 스토퍼막을 같은 재료로 폴리싱하여 폴리싱속도를 향상시킨다. 파이프(38)로부터의 연마제를 연마포(25)상의 반도체기판의 가공점에 공급할 때에, 파이프(39)로부터의 이온수로 이루

어진 분산제도 공급한다. 이 연마제와 분산제는 이 가공점에서 일체화시킴으로서 연마제가 열화되지 않는다.

대표도

[도 15a] [도 15b]

명세서

도면의 간단한 설명

도 1은 제1발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 2는 제1발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 3은 제1발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 4는 제1발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 5는 제1발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 6은 제2발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 7은 제2발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 8은 제2발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 9는 제2발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 10은 제2발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 11은 제2발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 12는 제2발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 13은 제3발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 14는 제3발명의 실시형태의 폴리싱을 설명하는 반도체기판의 단면도,

도 15는 제4발명의 실시형태의 폴리싱장치의 사시도 및 단면도,

도 16은 본 발명 및 종래의 폴리싱장치의 단면도,

도 17은 종래의 폴리싱방법을 설명하는 반도체기판의 공정단면도,

도 18은 종래의 폴리싱방법을 설명하는 반도체기판의 공정단면도,

도 19는 종래의 폴리싱방법을 설명하는 반도체기판의 공정단면도,

도 20은 종래의 폴리싱방법을 설명하는 반도체기판의 공정단면도이다.

< 도면의 주요부분에 대한 설명>

1 - - - 반도체기판, 2 - - - 질화규소막,

3, 6 - - - CVD산화막 4, 9, 13 - - - 포토레지스트,

5, 10, 17 - - - 홈부, 7 - - - 오목부,

8 - - - 버퍼산화막, 11 - - - 산화막,

12 - - - 폴리실리콘막, 14 - - - LOCOS산화막,

15, 18 - - -플라즈마산화막, 16 - - - Cu막, 매립Cu배선,

20 - - - 웨이퍼, 21 - - - 스테이지,

22 - - - 베어링, 23 - - - 연마반 받침대,

24 - - - 연마반, 25 - - - 연마포,

26 - - - 구동축, 27 - - - 모터,

28 - - - 회전벨트, 29 - - - 템플레이트,

30 - - - 흡착포, 31 - - - 흡착반,

32 - - - 구동축, 33 - - - 모터,

34, 35 - - - 기어, 36 - - - 구동대,

37 - - - 실린더, 38 - - - 연마제 공급파이프,

39 - - - 이온수 공급파이프, 40 - - - 연마제탱크,

41 - - - 전해조, 42 - - - 배수파이프.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 기판을 폴리싱하는 폴리싱방법, 이 폴리싱법에 의해 반도체기판상의 피폴리싱막을 폴리싱하여 평탄화하는 반도체장치의 제조방법 및 이 제조방법에 이용하는 반도체제조장치에 관한 것이다.

폴리싱장치는, 연마포를 표면에 붙이고 모터 등에 의해 회전되는 연마반과, 기판을 회전자재(回轉自在)로 지지하고, 회전하는 기판을 연마반에 꽉 누르는 흡착반을 갖추고 있다. 이 폴리싱장치를 이용하여 기판을 폴리싱함에 있어서는, 회전하는 기판의 폴리싱면을 회전하는 연마반상의 연마포에 꽉 누르고 가공점에 연마제(슬러리라고도 함)를 공급하면서 폴리싱하는 것이 일반적이다. 이 폴리싱장치를 이용한 폴리싱기술은 반도체장치의 제조나 액정의 제조 등에 적용되고 있다.

IC나 LSI 등의 반도체장치는, 반도체기판에 형성되는 집적회로를 설계하는 설계공정, 집적회로를 형성하기 위해 이용되는 전자빔 등을 묘화하기 위한 마스크작성공정, 단결정 잉곳(ingot)으로부터 소정 두께의 웨이퍼를 형성하는 웨이퍼제조공정, 웨이퍼에 집적회로 등의 반도체소자를 형성하는 웨이퍼처리공정, 웨이퍼를 각 반도체기판으로 분리하고 패키징하여 반도체장치를 형성하는 조립공정 및 검사공정 등을 거쳐 형성된다. 각 공정에는, 각각 그 공정에 필요한 제조장치가 준비된다. 종래 웨이퍼처리공정에 있어서 트렌치나 콘택트홀 등의 홈(트렌치)부에 금속, 폴리실리콘, 실리콘산화막(SiO_2) 등의 임의의 재료를 매립한 후에 그 표면을 평탄화하는 방법으로서 에치백 RIE(Reactive Ion Etching)법이 알려져 있다.

그러나, 이 에치백 RIE방법은 에치백 레지스트의 도포 등의 공정이 많아지는 점, 웨이퍼 표면에 RIE 대미지가 생기기 쉬운 점, 양호한 평탄화가 곤란한 점, 또 진공계의 장치를 이용하기 때문에 구조가 복잡하고 위험한 애칭 가스를 사용하는 점 등 여러 가지 문제가 많다.

그래서 최근에는 에치백 RIE 대신에 CMP(Chemical Mechanical Polishing)법이 연구되고 있다,

도 16에 CMP를 실시하기 위한 폴리싱장치의 개략을 나타내고, 이하에 그 기구를 설명한다. 도 16은 본 발명에도 적용되는 종래의 폴리싱장치의 단면도이다. 이 폴리싱장치는 스테이지(21)상에 베어링(22)을 매개로 연마반 받침대(23)가 배치되어 있다. 연마반 받침대(23)상에는 연마반(24)이 장치되어 있다. 연마반(24)상에는 웨이퍼를 폴리싱하는 연마포(25)가 부착되어 있다. 연마반 받침대(23) 및 연마반(24)을 회전시키기 위해 이들의 중심부분에 구동축(26)이 접속되어 있다. 구동축(26)은 모터(27)에 의해 회전벨트(28)를 매개로 회전된다. 한편, 실리콘반도체 등의 웨이퍼(20)는 연마포(25)와 대향하는 위치에 배치되고, 진공 또는 물을 묻혀 붙이는 것에 의해 흡착반(31)에 부착된 흡착포(30) 및 템플레이트(template; 29)에 고정되어 있다.

흡착반(31)은 구동축(32)에 접속되어 있다. 구동축(32)은 모터(33)에 의해 기어(34, 35)를 매개로 회전된다. 또, 구동축(32)은 구동대(36)에 고정되어 있다. 구동대(36)는 실린더(37)에 장치되고, 이 실린더(37)에 의한 상하의 이동에 따라 움직인다. 흡착반(31)에 고정된 웨이퍼(20)와 연마포(25) 사이에는 연마제가 공급된다. 이렇게 하여, 웨이퍼(20)의 폴리싱이 행해진다.

이 폴리싱장치를 이용하여, 도 17 및 도 18에 나타낸 바와 같이, CVD산화막을 매립하고 스토퍼막으로 폴리싱을 정지시킴으로써 리세스구조로 매립한 산화물을 완전히 평탄화할 수 있다. 우선, 실리콘 반도체기판(1)상에 SiO_2 등의 산화막을 폴리싱할 때의 스토퍼막으로 되는 질화규소막(2)을 퇴적한다. 그 후, CVD에 의해 형성되는 홈부 형성용의 마스크로 되는 SiO_2 산화막(이하, CVD산화막이라 함: 3)을 퇴적한다. CVD산화막(3) 및 질화규소막(2)을 패터닝하기 위해 포토레지스트(도시하지 않음)를 반도체기판(1) 전면에 도포하고 패터닝한다.

포토레지스트를 마스크로 하여 CVD산화막(3)과 다음 공정에서 폴리싱의 스토퍼막으로서 이용되는 질화규소막(2)을 RIE법에 의해 동시에 개구하여 홈부(5)를 형성한 후, 웨트처리로 RIE가공시의 반응생성물과 대미지층을 제거한다(도 17a). 다음에, 반도체기판(1)상 및 상기 홈부내에 CVD산화막(6) 또는 BPSG(Boron-doped Phospho-Silicate Glass) 등을 퇴적하고(도 17b), 도 16에 나타낸 폴리싱장치로 반도체기판(1)을 폴리싱하여 CVD산화막(6)을 평탄화한다(도 18a). 그 후, 스토퍼막인 질화규소막(2)은 제거된다(도 18b). 종래의 폴리싱장치에서는, 연마입자로서 산화세륨입자 또는 실리카입자 등을 연마제에 분산하여 사용하고 있기 때문에, 디싱되어 홈을 매립한 CVD산화막(6)에 오목부(7)가 생긴다. 산화막(6)의 오목부(7) 외에 실리콘 반도체기판(1) 자체의 홈의 코너부분도 에칭되어 후공정을 진행함에 있어 문제로 되는 경우가 있다. 예컨대, 오목부에 n^+ 화나 p^+ 화한 폴리실리콘이나 메탈 잔류가 생기는 것에 의한 저항이상이나 배선단락 등이 발생하는 일이 있다.

발명이 이루고자 하는 기술적 과제

반도체기판의 홈부에 매립한 산화막 또는 다층배선의 층간절연막에 사용하는 산화막의 평탄화에 폴리싱장치를 사용하는 경우, 오버폴리싱에 의한 디싱이나 목적으로 하는 막두께로 폴리싱을 정지시키기 위해 스토퍼막을 이용하는 경우가 많다.

종래, 산화막을 폴리싱하는 경우, 산화세륨입자 또는 실리카입자를 연마제에 분산하여 사용하고 있다. 실리카입자를 분산시킨 연마제는 폴리싱속도가 약 0.10 0.15㎛/min으로 늦다. 또, 산화세륨입자를 분산한 연마제는 약 0.5 1.0㎛/min으로 빠른 폴리싱속도를 갖고 있다. 그러나, 산화세륨입자를 이용한 연마제를 사용하고 질화규소막을 스토퍼로 하는 경우에 있어서는 그 선택비가 약 2, 폴리실리콘을 스토퍼막으로 사용하는 경우에 있어서는 그 선택비가 약 1 2로 낮고, 그 때문에 오버폴리싱으로 되어 스토퍼막까지 깍여 버린다는 문제가 있었다.

한편, 실리카입자를 연마제에 분산하여 사용하는 경우에 있어서는, 질화규소막을 스토퍼막으로 사용하는 경우에 있어서 선택비가 2, 폴리실리콘막을 스토퍼막으로 사용하는 경우에 있어서도 선택비는 1로 낮고, 그 때문에 오버폴리싱으로 되면 스토퍼막까지 깍여 디싱화한다는 문제가 있었다. 그러나, 이 연마제는 폴리싱속도가 약 0.15㎛/min으로 늦기 때문에 깍임량을 콘트롤 하기 쉬워, 콘트롤하면서 오버폴리싱에 의한 디싱량을 경감하고 있다.

이와 같이, 충분히 폴리싱속도가 큰 연마제가 없고, 폴리싱속도가 비교적 큰 연마제이더라도 스토퍼막에 대해 선택성이 낮기 때문에 디싱을 완전히 억제하기가 곤란하며, 프로세스마진이 낮기 때문에 CMP처리를 양산화프로세스에 사용하는 것은 어려운 것이 현상황이다.

본 발명은 상기한 점을 감안하여 발명된 것으로, 폴리싱속도가 큰 신규한 재료로 이루어진 연마제를 이용한 폴리싱방법과 CMP에 의해 반도체기판의 피폴리싱막을 평탄화하는 반도체장치의 제조방법 및 이 방법에 이용되는 반도체제조장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

본 발명은, 질화규소, 탄화규소 및 그래파이트(즉, 카본그래파이트)로부터 선택된 1개의 재료로 이루어진 연마입자를 분산시킨 연마제를 이용하여 폴리싱을 행하는 것을 특징으로 한다. 특히, 이 연마제를 CMP에 적용하여 반도체기판상의 피폴리싱재를 폴리싱하는 것을 특징으로 한다. 또, 반도체 기판에 상기 연마제와 같은 재료의 스토퍼막을 형성하고, 연마제와 스토퍼막을 같은 재료로 폴리싱하는 것을 특징으로 한다.

같은 재료란 연마입자와 스토퍼막이 같은 조성을 갖는 것을 말한다.

또, 본 발명은 반도체제조장치에 있어서 연마제를 반도체기판의 가공점에 공급할 때에 이온수로 이루어진 분산제를 공급하고, 이 연마제와 분산제는 이 가공점에서 일체화하는 것을 특징으로 한다.

상기 연마입자는 높은 경도를 갖고 있고, 종래 알려져 있는 연마입자보다 폴리싱속도가 빨라서 피폴리싱막의 평탄화를 효율좋게 행할 수 있다. 이 연마제는 반도체기판 표면의 피폴리싱막을 CMP에 의해 폴리싱하는 방법에 적합하고, 특히 연마제와 스토퍼막을 같은 재료로 하면 폴리싱속도가 한층 향상되며, 또 폴리싱의 스토퍼막에 대한 고선택비가 얻어진다. 더욱이, 오버폴리싱이 현저하게 감소되기 때문에, 피폴리싱막에 디싱형상의 오목부가 형성되는 일이 없다.

본 발명의 폴리싱방법에 이용하는 연마제는 연마입자와 용매로 구성되어 있다. 용매로는 초산이 많이 이용되고, 이 외에도 계면활성제, 유화제, 물, 유지, 접착제, 이온수 등이 있다. 피폴리싱막에 대한 연마작용은 연마제에만 있는 것은 아니고, 본 발명에 있어서 연마제와 더불어 상기 가공점에 공급되는 분산제에도 보조적인 연마작용이 있다. 또, 연마제의 상기 용매에도 분산제와 같은 분산작용이 있다.

(실시형태)

이하, 도면을 참조하여 본 발명의 실시형태를 설명한다.

본 발명의 폴리싱을 실시할 때에, 종래의 기술에서 설명한 도 16의 폴리싱장치를 이용한다. 본 발명의 폴리싱장치는 신규한 조성의 연마제를 공급하는 노즐 등의 수단이 있는 점에서 종래의 것과는 다르지만, 도면에 나타낸 그 외의 부분에서는 현저한 차이는 없기 때문에 양자를 공통의 도면으로 나타내었다.

우선, 도 1 내지 도 5를 참조하여 제1발명의 실시형태를 설명한다. 도면은 반도체기판상의 피폴리싱막을 폴리싱하는 방법을 설명하는 공정단면도이다. 이 발명의 실시형태에서는 반도체 웨이퍼의 폴리싱처리면에 있어서, 질화규소입자를 용매인 초산에 분산시킨 연마제를 이용함과 더불어 스토퍼막 재료와 같은 조성의 연마입자를 사용함으로써, 스토퍼막과의 선택비를 높이는 것을 특징으로 하고 있다. 도면은 실리콘 반도체기판에 홈부를 형성하고 그 홈부를 CVD산화막으로 매립하며, 폴리싱장치로 평탄화하는 소자분리법과 그 프로세스를 나타내고 있다. 실리콘 반도체기판(1)상에 산화막을 폴리싱할 때의 스토퍼막으로 되는 질화규소막(2)을 두께 약 70nm 퇴적한다.

그 후, 홈부 형성용 마스크로 되는 CVD산화막(3)을 질화규소막(2)상에 퇴적한다(도 1a). 마스크 및 스토퍼막을 패터닝하기 위해 포토레지스트(4)를 CVD산화막(3)의 전면에 도포한다(도 1b). 다음에, 이 포토레지스트(4)를 패터닝한다(도 2a). 패터닝된 포토레지스트(4)를 마스크로 하여 CVD산화막(3)과 그 아래의 스토퍼막인 질화규소막(2)을 RIE법 등에 의해 개구한다(도 2b). 다음에, 더욱이 RIE법으로 홈부(5)를 형성한다(도 3a). 홈부(5)를 형성한 후에 웨트처리에 의해 RIE가공시의 반응생성물과 대미지층을 제거한 상태로 한다. 그리고, 질화규소막(2)상 및 홈부(5)에 CVD산화막(6) 또는 BPSG막을 퇴적한다(도 3b). 이 CVD산화막(6)을 피폴리싱막으로 해서 도 16에 나타낸 폴리싱장치를 이용하여 폴리싱한다. 이 폴리싱장치에 이용하는 연마제에는 연마입자로서 질화규소입자가 분산되어 있다. 연마제에 균일하게 분산하기 위해 질화규소입자를 콜로이드상태로 하여 분산시킨다. 연마제의 점도는 1 10cp가 적당하다. 왜냐하면, 점성이 낮으면 연마입자를 균일하게 분산시키는 것이 곤란하고, 또 점성이 높으면 기계적 폴리싱성이 강해져서 웨이퍼의 휨이나 막두께의 균일성이 CMP후의 균일성에 크게 영향을 미치게 된다. 따라서, 균일성을 얻는 것이 어렵게 된다.

폴리싱온도는 20 70℃가 적당하고, 특히 고온처리에서는 화학적인 작용이 강해진다. 질화규소입자의 입자지름은, 1차입자에서 0.01 1000nm의 범위가 사용된다. 특히, 1차 입자에서 10 40nm가 적당하다. 콜로이드상태 등으로 된 2차입자에서는 60 300nm가 적당하고, 특히 60 100nm가 바람직하다.

이 폴리싱장치에 의한 폴리싱은 예컨대 100rpm 정도로 회전하는 연마반(24)상의 연마포(25)에 꽉 눌려 행해진다. 그때의 연마반(24)의 회전수는 20 200rpm이고, 꽉 누르는 압력은 50 500g/㎠이다.

본 발명에서는 분산성을 양호하게 하기 위해 연마입자를 콜로이드상태로 하는 이외에, 예컨대 계면활성제를 혼합하여 분산시킬 수도 있다.

도 4a에 CVD산화막(6)을 이 폴리싱장치로 평탄화한 후의 상태를 나타낸다. 폴리싱 후에는 스토퍼막인 질화규소막(2)을 에칭제거한다(도 4b). 이 후, 마무리의 폴리싱을 행하여 반도체기판면과 CVD산화막(6)의 표면을 똑같이 마무리한다(도 5). 이 폴리싱에 의해, 실리콘 반도체기판(1) 및 매립한 CVD산화막(6)에 디싱이 없는 양호한 가공형상을 얻을 수 있었다.

이 발명의 실시형태에서는, 질화규소입자를 연마입자로서 사용하고 있기 때문에, 스토퍼막인 질화규소막(2)에 대해 50 1000의 선택비와 0.5 1.0㎛/min 이상의 폴리싱속도를 얻을 수 있다.

또, 반도체기판상에 형성한 스토퍼막과 같은 재료를 연마입자에 이용하는 연마제로서는, 질화규소입자 대신에 그래파이트입자나 SiC입자 등을 이용할 수도 있다. 그 경우의 스토퍼막으로는, 물론 그래파이트막이나 SiC막을 각각 이용한다.

연마제에 포함되는 연마입자와 피폴리싱막이 형성된 기판에 설치된 스토퍼막이 같은 재료로 구성되어 있는 경우에 있어서, 스토퍼막에 대해 높은 선택비가 얻어지지만, 그래파이트막이나 SiC막 등을 스토퍼막으로 하면, 스토퍼막에 대한 구체적인 선택비는 폴리싱온도나 연마반의 회전수 등의 플리싱조건에 의해 크게 변화한다.

다음에, 도 6 내지 도 12의 폴리싱공정을 나타낸 단면도를 참조하여 제2 발명의 실시형태를 설명한다. 이들 도면과 병용해서 종래의 폴리싱의 결과를 나타낸 도 19 및 도 20을 비교하면서 발명의 실시형태의 효과를 설명한다.

이 발명의 실시형태에서는, 반도체기판의 폴리싱처리에 있어서 연마제로서 스토퍼막 재료와 같은 조성의 연마제를 사용함으로써, 스토퍼막과의 선택비를 높일 수 있다. 반도체기판상의 대상으로 하는 피폴리싱막은 폴리실리콘막으로 이루어진다. 종래에는 폴리실리콘막을 폴리싱하는 경우, 실리카입자를 연마제에 분산시켜 사용하였지만, 여기서는 질화규소입자로 연마입자로 하고 있다. 실리콘기판(1)의 주면을 두께 10 50nm 정도로 열산화하여 버퍼 산화막(SiO_2: 8)을 형성한다(도 6a). 그 후, 2회째의 폴리실리콘막을 폴리싱할 때의 스토퍼막에 이용되고, 또한 소자영역을 보호하기 위한 마스크로 이용되는 질화규소막(2)을 버퍼산화막(8)상에 두께 70nm 정도 퇴적한다(도 6b). 그 후, 홈부 형성용 마스크로 되는 CVD산화막(3)을 질화규소막(2)상에 퇴적한다(도 7a). 마스크 및 질화규소막을 패터닝하기 위해, 포토레지스트(9)를 CVD산화막(3) 전면에 도포하고, 이를 패터닝한다(도 7b).

이 포토레지스트(9)를 마스크로 하여 CVD산화막(3)과 스토퍼막으로 되는 질화규소막(2)을 RIE법 등으로 동시에 개구한다(도 8a). 홈부(10)를 형성한 후, 웨트처리로 RIE가공시의 반응생성물과 대미지층을 제거하고, 그 후 홈부(10)의 내표면을 열산화하여 산화막(11)을 형성한다(도 8b). 다음에, 감압 CVD 등에 의해 폴리실리콘막(12)을 홈부(10)의 내부 및 CVD산화막(3)상에 퇴적한다(도 9a).

다음에, 폴리실리콘막(12)을 피폴리싱막으로 해서 도 16에 나타낸 폴리싱장치를 이용하여 1회째의 폴리싱을 행한다. 이 폴리싱장치에 이용하는 연마제에는, 연마입자로서 질화규소입자가 용매인 초산에 분산되어 있다. 질화규소입자는 계면활성제를 혼합하여 분산시켜도 좋다. 연마제의 점도는 1 10cp가 적당하고, 폴리싱온도는 20 70℃가 적당하다. 이 1회째의 폴리싱에서의 스토퍼막으로는 CVD산화막(3)이 이용된다. 도 9b에 폴리실리콘막(12)을 이 폴리싱장치로 평탄화한 후의 상태를 나타냈다. 산화막(3)을 스토퍼막으로서 사용하고 있기 때문에, 선택폴리싱을 할 수 있게 되어 디싱이 생기지 않는다.

1회째의 폴리싱 후에는, CVD산화막(3)을 HF를 함유한 에칭액으로 에칭한다(도 10a). CVD산화막(3)을 제거한 결과, 폴리실리콘막(12)은 반도체기판(1)으로부터 돌출한 상태로 되어 있다.

다음에, 이 돌출한 상태의 폴리실리콘막(12)을 피폴리싱막으로 해서 도 16에 나타낸 폴리싱장치를 이용하여 2회째의 폴리싱을 한다. 이 폴리싱장치에 이용하는 연마제는 상기 1회째의 폴리싱과 같다. 도 10b에 폴리실리콘막(12)을 이 폴리싱장치로 평탄화한 후의 상태를 나타냈다. 이 평탄화에 의해 디싱되지 않고 홈부가 폴리실리콘막(12)으로 매립된다. 질화규소막(2)의 일부는 그대로 LOCOS용의 마스크로서 사용되기 때문에, 그 부분의 위에는 포토리소그래피공정을 거쳐 포토레지스트(13)가 형성된다(도 11a). 그리고, 질화규소막(2)의 포토레지스트(13)로 피복되어 있는 영역을 제외한 영역을 RIE등으로 제거한 후, 포토레지스트를 박리한다(도 11b). 그리고, 열처리에 의해 반도체기판(1) 표면을 LOCOS산화막(14)으로 피복한다(도 12). LOCOS마스크는 주변부가 오버폴리싱으로 인하여 얇아져서 새부리형상(bird's beak)이 생기지만, 이는 종래보다 작게 형성되기 때문에, 영역의 면적이 디바이스특성에 크게 영향을 미칠 만큼 영향을 미치는 일은 없다.

여기서는 질화규소입자를 연마입자로 이용하고 있기 때문에, 스토퍼막인 질화규소막(2: 2회째의 폴리싱)에 대해 50 1000의 선택비와 0.8 1.lμm/min 이상의 폴리싱속도를 얻을 수 있다. 산화막을 스토퍼막으로 하는 경우(1회째의 폴리싱)는, 선택비가 2 3 정도로 된다.

종래의 방법으로 반도체기판(1)의 피폴리싱막을 폴리싱하는 경우에 있어서, 도 10a에 나타낸 튀어 나온 폴리실리콘막(12)을 폴리싱하여 평탄화하는 경우는, 질화규소막(2)을 스토퍼막으로 하기 때문에, 선택성이 낮은 것이 원인으로 되어 디싱되어 홈부를 매립한 폴리실리콘막(12)에 움푹 들어간 부분과 스토퍼막에 한쪽 테두리가 줄어드는 부분이 생긴다(도 19a). 질화규소막의 일부는 그대로 LOCOS마스크로서 사용되기 때문에, 포토리소그래피공정을 거쳐 질화규소막(2)의 LOCOS마스크로 되는 부분의 위에 포토레지스트(13)를 형성한다(도 19b). 질화규소막(2)의 포토레지스트(13)로 피복되어 있는 영역 이외의 영역을 RIE 등으로 제거한 후, 포토레지스트(13)를 박리한다. 그리고, 반도체기판(1)의 표면을 열처리하여 산화를 행한다(도 20b). 이와 같은 종래의 방법에서는, 마스크는 주변부가 오버폴리싱으로 인하여 얇아져서 새부리형상이 크게 들어가 디바이스영역이 좁아져 버린다. 이 영역의 면적은 디바이스특성에 크게 영향을 미친다는 것이 알려져 있는 바, 콘트롤하지 않으면 안된다.

본 발명에서는 신규한 구성의 연마제를 사용함으로써, 도 10b에 나타낸 바와 같은 양호한 평탄형상을 얻을 수 있고, 그 결과 도 12에 나타낸 바와 같은 LOCOS패턴 변환차가 없는 양호한 가공형상을 얻을 수 있다.

다음에, 도 13 및 도 14를 참조하여 제3발명의 실시형태를 설명한다.

최근, CMP기술이 고집적 디바이스의 제조프로세스에 이용되고 있고, 본 발명은 이 프로세스에 적용할 수 있다. 여기에 나타낸 매립금속배선방법에서는 도 16의 폴리싱장치를 이용하여 매립Cu배선을 형성한다. 연마제의 용매(초산)에는 질화규소입자를 연마입자로서 분산혼입시킨다. 연마제에 질화규소입자를 이용하고 있기 때문에 폴리싱속도는 0.5 1.0㎛/min으로 빠르고, 또 이 질화규소입자를 분산시킨 연마제를 이용한 폴리싱에 있어서 반도체기판상의 스토퍼막으로서 이 입자와 같은 재료인 질화규소막을 이용하면, 스토퍼막에 대한 선택비는 현저하게 높아진다. 이 질화규소입자를 함유한 연마제를 이용하여 폴리실리콘막이나 산화실리콘막 등 다른 재료를 스토퍼막으로 해도 역시 그 선택비는 질화규소막의 경우 만큼 높지는 않지만, 종래부터 알려지고 있는 연마입자를 이용하는 경우보다 크다. 질화규소입자의 연마제로의 분산은 계면활성제 등을 이용하여 분산효율을 높일 수 있다. 반도체기판(1)상에 SiO_2 등으로 이루어진 CVD산화막(3) 및 플라즈마CVD로 형성된 SiO_2 등의 산화막(이하, 플라즈마산화막이라 칭함; 15)을 계속해서 형성한다(도 13a).

다음에, 플라즈마산화막(15)을 패터닝하여 소정 부분에 홈부(17)를 형성한다(도 13b). 홈부(17)내 및 플라즈마산화막(15)의 전면에 Cu막(16)을 퇴적한다(도 13c). 다음에, 도 16의 폴리싱장치에 의해 플라즈마산화막(15)을 스토퍼막으로 하여 Cu막(16)을 폴리싱한다. 플라즈마산화막(15)이 노출된 단계에서 Cu막(16)의 폴리싱을 종료시킨다. 이 처리에 의해 홈부(17)내에만 Cu막이 매립되어, Cu막의 매립Cu배선(16)이 형성된다(도 l4a).

이 폴리싱에 의해 반도체기판(1)의 표면이 디싱이 없는 평탄화된 표면이 얻어진다. 이에 따라, 이어지는 2층째의 플라즈마산화막(SiO_2: 18)의 형성이 용이해진다(도 14b). 이 CMP법에 의한 평탄화에 의해 2층째, 3층째의 전극 배선(도시하지 않음)의 형성도 용이해진다.

이 발명의 실시형태에 있어서, 밑바탕의 산화막이나 배선금속재료로서 플라즈마CVD SiO_2 막이나 Cu막 등을 이용했지만, 각각 소정의 절연성능이나 금속 배선으로서의 성능을 만족시키면, 플라즈마CVD Si_3N_4 막이나 Al, Au, W, 그 외 합금 등 다른 재료이어도 좋고, 이 밑바탕의 산화막에 형성된 배선홈의 깊이나 피착한 배선용 금속재료의 막두께도 적절히 선택할 수 있다.

또, 본 발명의 폴리싱방법에 이용하는 연마제는, CMP처리시에 있어서 폴리싱장치에 장착된 반도체기판을 폴리싱할 때에, 연마제를 반도체기판의 가공점에 공급함과 동시에 분산제(이온수)도 가공점에 공급한다.

다음에, 도 15를 참조하여 제4발명의 실시형태를 설명한다.

도면은 도 16에 나타낸 폴리싱장치의 연마반 및 흡착반 등을 포함하는 폴리싱 가공부분의 개략사시도 및 단면도이다.
여기서는, 폴리싱시에 이온수를 분산제로서 이용하는 점에 특징이 있다. 순수(純水)나 초순수(超純水)는 반도체장치의 제조기술에 있어서 그 유용성은 인식되어 있다. 순수는 이온, 미립자, 미생물 유기물 등의 불순물을 거의 제거한 저항율이 5 18MΩ㎝ 정도의 고순도의 물이다. 초순수는 초순수 제조장치에 의해 수중의 현탁물질, 용해물질 및 고효율로 제거한 순수보다 더욱 순도가 높은 대단히 고순도의 물이다. 전기전도도로 표현하면, 순수의 전도율(ρ)은 10μ℧㎝ 보다 작고, 초순수의 전도율(ρ)은 0.055μ℧㎝ 보다 작다. 이들 물을 전기분해함으로써, 반도체장치의 제조에 이용되는 산화성이 강한 산성이온수나 환원성이 강한 알칼리이온수가 생성된다.

여기서는, 반도체제조장치에 이용되는 폴리싱장치에 있어서, 연마포의 가공점에 연마제를 주입하는 파이프와 더불어 이온수를 주입하는 별도의 파이프도 설치되는 것을 특징으로 한다. 즉, 연마제는 피폴리싱막이 형성된 반도체기판의 가공점에서 희석하여 공급되도록 한다.

도 15의 폴리싱장치는 연마반(24)을 갖추고 있다. 연마반(24)에는 도시하지 않은 연마반 받침대를 매개로 구동축(도시하지 않음)이 그 중심부분에 접속되어 있다. 그리고, 연마반(24)상에는 반도체 웨이퍼 등의 기판을 연마하는 연마포(25)가 부착되어 있다. 연마포(25)는 발포폴리우레탄이나 폴리우레탄부직포 등으로 구성되어 있다. 구동축은 모터에 의해 회전되어 연마반 받침대 및 연마반(24)을 회전시킨다. 반도체 웨이퍼는 연마포(25)와 대향하는 위치에 오도록 진공 등에 의해, 도시하지 않은 흡착포(도시하지 않음)가 설치된 흡착반(31)에 의해 흡착되어 있다. 흡착반(31)은 구동축(32)에 접속되어 이 구동축(32)의 이동에 의해 흡착반(31)에 보지(保持)되어 있는 반도체 웨이퍼가 연마포(25)에 꽉 눌려지기도 하고 분리되기도 한다.

반도체 웨이퍼를 폴리싱하는 경우는, 질화규소(Si_3N_4)입자로 이루어진 연마입자 및 초산 등의 용매를 함유한 연마제를 연마제 탱크로부터 연마제 공급파이프(38)를 매개로 연마포(25)에 공급함과 더불어, 전해조(41)에서 생성된 이온수를 이온수 공급파이프(39)로부터 공급하면서 행한다. 그 때문에, 연마제 공급파이프(38)와 이온수 공급파이프(39)는 그들의 선단의 노즐이 연마포(25)의 위쪽에 반도체 웨이퍼를 보지하는 흡착반(31)의 근방에 배치된다.

그리고, 연마포(25)상에 실린 반도체 웨이퍼상의 가공점에 이들 공급파이프(38, 39)로부터 공급된 연마제와 이온수가 주입되어 혼합되도록 되어 있다. 공급파이프(38, 39)는 연마포(25)상의 임의의 위치로 이동가능하게 되어 있다. 전해조(41)에서 생성된 불필요한 이온수는 배수파이프(42)에 의해 외부로 배출된다.

이온수에는 알칼리이온수와 산성이온수가 있으며, 전해조내에 고체전해질을 배치하고, 전해질 즉 금속불순물을 함유하지 않은 순수 또는 초순수를 저전압으로 전기분해를 행함으로써 임의의 pH의 이온수가 생성된다. 알칼리 이온수의 경우는, 연마중에 연마속도가 변동한 경우, 속도를 빠르게 하기 위해서는 pH를 보다 알칼리성 측으로, 느리게 하기 위해서는 중성측으로 제어함으로써 안정한 연마가 가능하게 된다. 또, 산성이온수의 경우도 연마중에 연마속도가 변동한 경우, 속도를 빠르게 하기 위해서는 pH를 보다 산성측으로, 느리게 하기 위해서는 중성측으로 제어함으로써 안정한 연마가 가능하게 된다.

이온수는 폴리싱처리를 행한 후의 퇴적막의 표면을 안정화시킬 수 있다. 산성이온수는 퇴적막이 Al, Cu나 W 등의 고융점금속 등의 금속에 적당하다. 산성이온수를 이용한 폴리싱에 의해 퇴적막의 표면은 산화되어 안정화된다.

또, 알칼리이온수 및 산성수를 폴리싱에 이용하는 경우에는, 산화실리콘 (SiO_2), 질화실리콘(Si_3N_4), 폴리실리콘 등의 퇴적막이나 실리콘단결정이 적당하다. 알칼리이온수에 의해 이들 퇴적막의 표면은 안정화된다. SiO_2막을 폴리싱하는 처리나 폴리실리콘막을 폴리싱하는 처리에는 알칼리이온수를 이용하고, Cu막을 폴리싱하는 처리에는 산성이온수를 이용하는 것이 적당하다.

이온수의 pH의 크기에 따라 반도체 웨이퍼의 폴리싱속도나 퇴적막의 안정화 정도 등의 조건이 변화한다. 따라서, 이온수의 pH를 조정하는 것은 폴리싱조건을 적절하게 하는 점에서 중요하다.

알칼리이온수를 폴리싱에 이용하는 경우에는, 수산화물이온과의 반응에 의해 폴리싱이 촉진되기 때문에, 알칼리이온수의 주입량을 제어함으로써 폴리싱속도를 용이하게 조정할 수 있다. 산성이온수를 폴리싱에 이용하는 경우에는, 수소이온과의 반응에 의해 폴리싱이 촉진되기 때문에, 수소이온수의 주입량을 제어함으로써 폴리싱속도를 용이하게 조정할 수 있다.

다음에는 본 발명의 연마제의 작용효과를 설명한다. 초산을 용매로 하고, 이것에 질화규소입자를 연마입자로서 분산시킨 연마제를 이용하여 실리콘 반도체기판상의 피폴리싱막인 폴리실리콘막을 폴리싱한다. 연마입자의 2차 입자지름이 50nm 정도이면, 폴리싱속도는 41.2nm/min 정도인데 반해, 이 2차 입자지름이 60nm를 넘으면 폴리싱속도는 810.8nm/min에 도달한다. 2차 입자지름이 더 커져서 200 260nm 정도로 되면, 폴리싱속도는 더욱 커져서 1108.4nm/min으로 된다. 이와 같이 연마입자의 2차 입자지름이 커짐에 따라 폴리싱속도는 커지고, 특히 2차 입자지름이 60nm 부근에서 임계적으로 증대한다.

이 관점으로부터, 연마입자는 크면 클수록 폴리싱속도가 증대하지만, 입자지름이 필요 이상으로 커지면 피폴리싱막인 반도체기판상의 산화막의 표면에 손상이 눈에 띄게 되고, 이 손상에 금속이 들어가서 단락사고를 일으키게 된다. 이와 같은 손상이 적고, 평탄한 면을 갖는 피폴리싱막을 형성하기 위해서는, 이 2차 입자지름은 300nm를 초과하지 않는 것이 좋고, 특히 60 100nm가 손상이 없는 면을 형성하는데 바람직하다. 그러나, 반도체장치의 미세화가 진행됨에 따라 적은 손상이라도 반도체장치의 특성에 영향을 미치게 되기 때문에, 입자지름은 가능한 한 작은 편이 좋다.

또, 제4발명의 실시형태에서는 CMP처리시에 있어서 폴리싱장치에 장착된 반도체기판을 폴리싱할 때에, 연마제를 반도체기판의 가공점에 공급함과 동시에 분산제(이온수)도 가공점에 공급하는 경우도 있다. 이 가공점까지 연마제와 분산제를 분리하여 두는 것은, 이온수와 용매가 반응하여 연마제가 열화하는 것과, 특히 알칼리이온수는 오래 보지(保持)할 수 없기 때문이다.

이 때 가공점에는 이온수에 희석된 연마제가 공급되는 것으로 되지만, 이 희석된 연마제의 점도가 1 10cp의 범위에 들어가도록 양자의 공급이 조정된다.

미리 분산제(이온수)를 연마제(슬러리)에 첨가하여 희석된 연마제를 형성할 수도 있다. 이와 같은 연마제는, 연마제만이 연마에 기여하는 것이 아니라, 분산제에 의한 보조적인 연마작용도 갖는다. 또, 연마제의 용매에도 분산작용이 있다.

본 발명의 폴리싱방법은, 반도체장치의 제조에 적용할 뿐만 아니라, 액정등의 제조에도 적용할 수 있다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 질화규소, 탄화규소 및 그래파이트로부터 선택된 1개의 재료로 이루어진 연마입자를 분산시킨 연마제는 폴리싱속도가 크고, 피폴리싱막의 평탄화를 효율좋게 행할 수 있다. 또, 이 연마제를 반도체기판을 폴리싱하는 CMP에 이용하면, 퍼폴리싱막에 대해 디싱이 없는 가공형상을 얻을 수 있다.

(57) 청구의 범위

청구항 1.

기판 표면에 질화규소, 탄화규소 및 그래파이트로부터 선택된 1개의 재료로 이루어진 스토퍼막을 형성하는 공정과,

상기 스토퍼막상 및 상기 기판 표면상에 피폴리싱막을 형성하는 공정 및,

상기 스토퍼막과 동일한 재료로 이루어진 연마입자를 분산시킨 연마제를 이용하여 상기 피폴리싱막을 폴리싱하는 공정을 구비하여 이루어진 것을 특징으로 하는 폴리싱방법.

청구항 2.

반도체기판 주면에 질화규소, 탄화규소 및 그래파이트로부터 선택된 1개의 재료로 이루어진 스토퍼막을 형성하는 공정과,

상기 스토퍼막 및 반도체기판 주면을 선택적으로 에칭하여 이 반도체기판 상에 홈부를 형성하는 공정,

상기 홈부내 및 상기 스토퍼막상을 포함하여 상기 반도체기판 주면상에 피폴리싱막을 퇴적하는 공정 및,

연마포를 이용하고, 상기 스토퍼막과 동일한 재료로 이루어진 연마입자를 분산시킨 연마제를 이 연마포의 가공점에 공급하면서 상기 폴리싱막을 상기 스토퍼막이 노출하기까지 폴리싱하여 상기 피폴리싱막을 상기 홈부에 매립하는 공정을 구비하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3.

제2항에 있어서, 상기 가공점에는 상기 연마제와 더불어 이온수를 공급하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4.

표면에 연마포를 고정시킨 연마반과,

상기 연마반을 회전시키는 제1구동수단,

피폴리싱막과 질화규소, 탄화규소 및 그래파이트로부터 선택된 1개의 재료로 이루어진 스토퍼막이 형성되어 있는 반도체기판을 고정하는 흡착반,

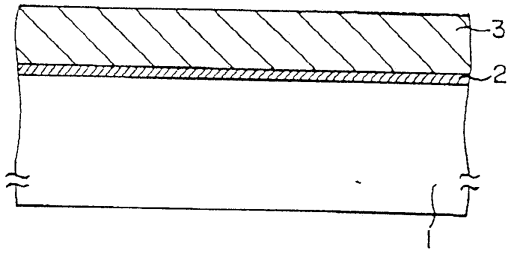
상기 흡착반을 회전시키는 제2구동수단,

상기 연마포에 상기 스토퍼막과 동일한 재료를 함유한 연마입자를 분산시킨 연마제를 공급하는 수단 및,

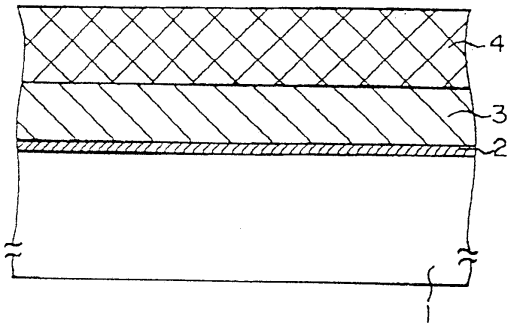
이온수를 공급하는 수단을 구비하여 구성된 것을 특징으로 하는 반도체제조장치.

도면

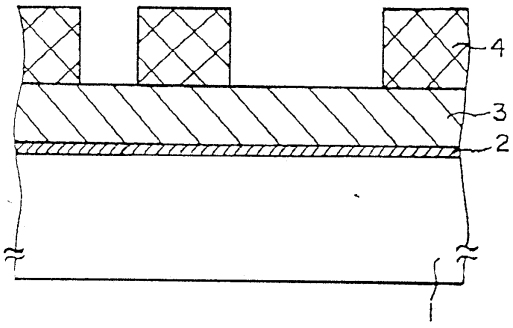
도면 1a



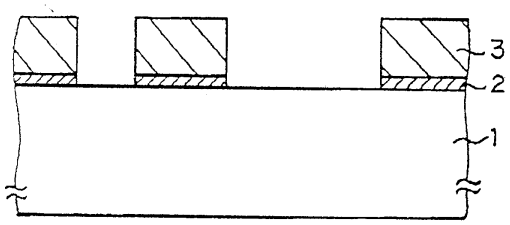
도면 1b



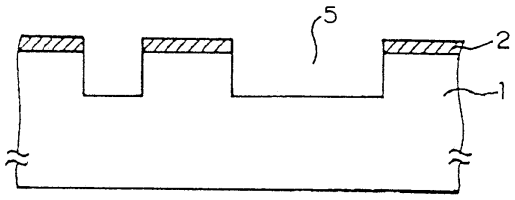
도면 2a



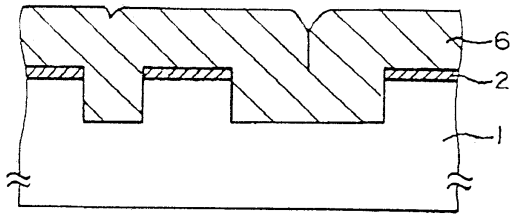
도면 2b



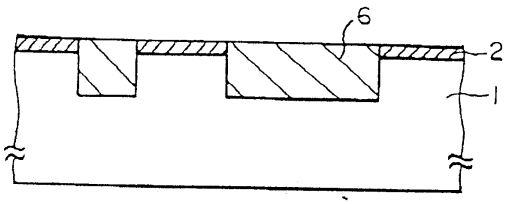
도면 3a



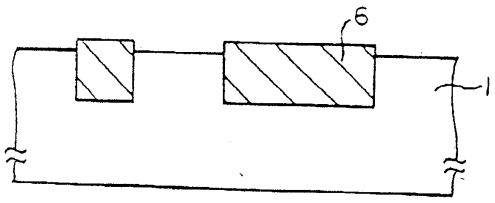
도면 3b



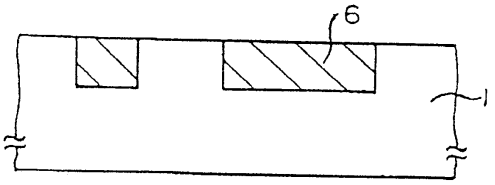
도면 4a



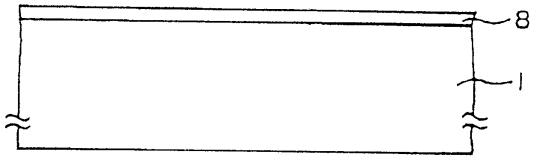
도면 4b



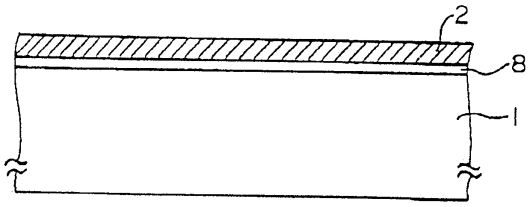
도면 5



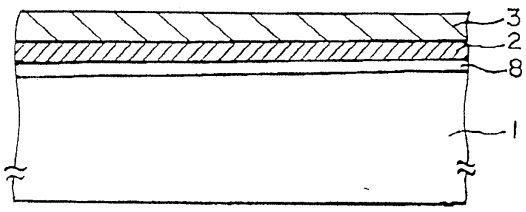
도면 6a



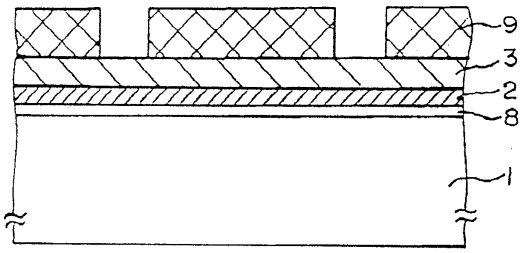
도면 6b



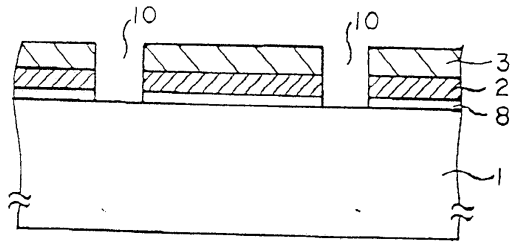
도면 7a



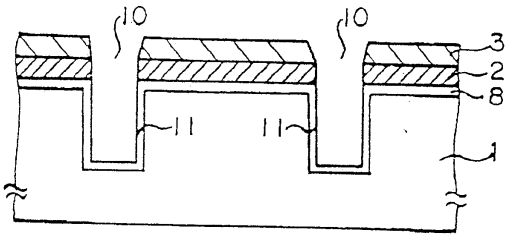
도면 7b



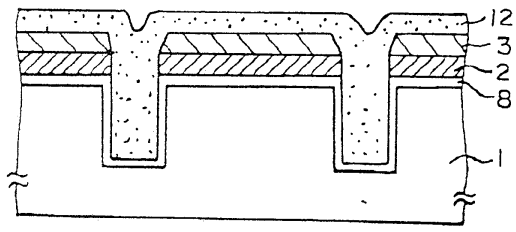
도면 8a



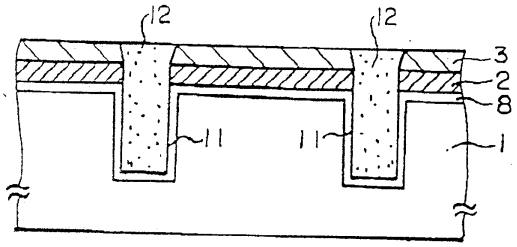
도면 8b



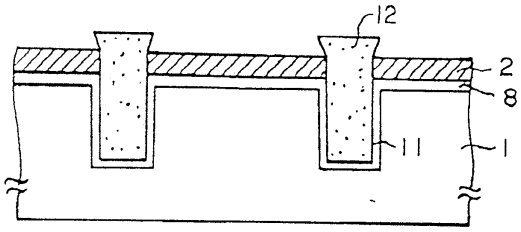
도면 9a



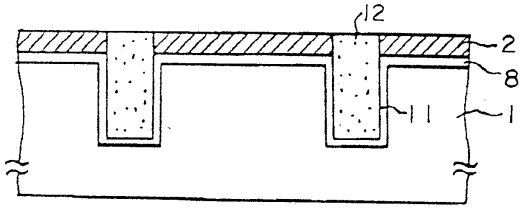
도면 9b



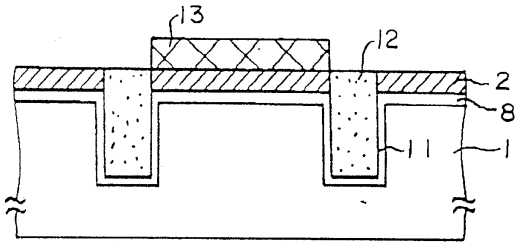
도면 10a



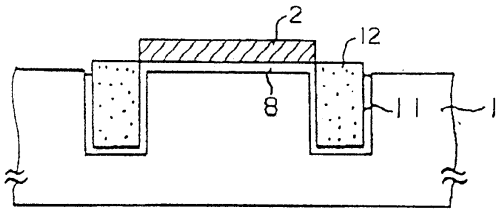
도면 10b



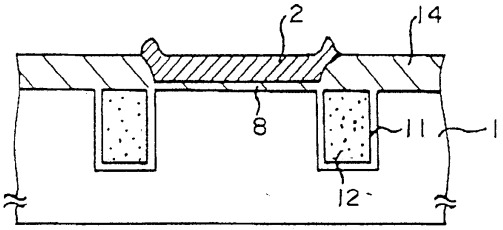
도면 11a



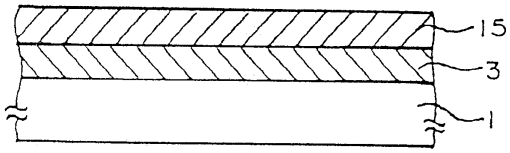
도면 11b



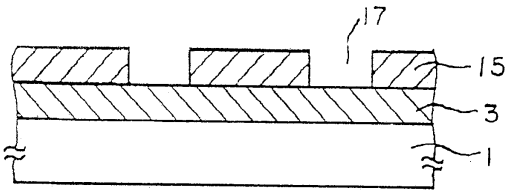
도면 12



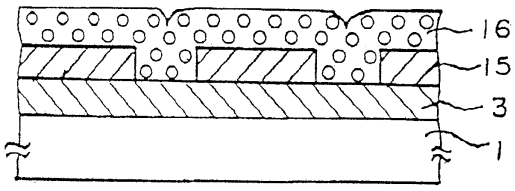
도면 13a



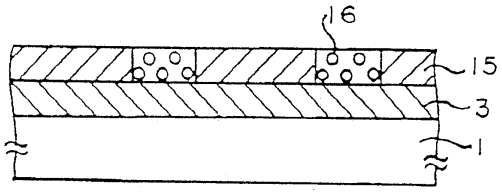
도면 13b



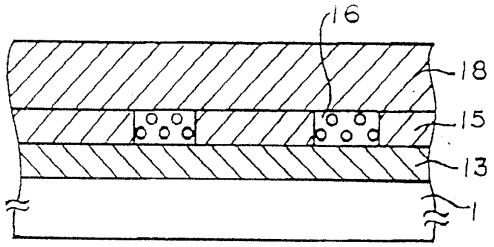
도면 13c



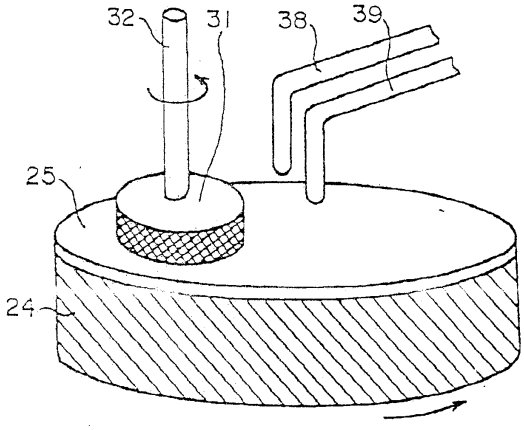
도면 14a



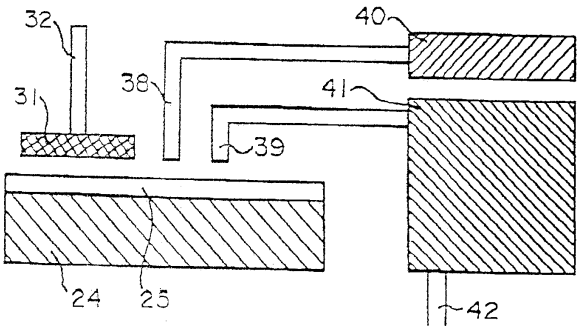
도면 14b



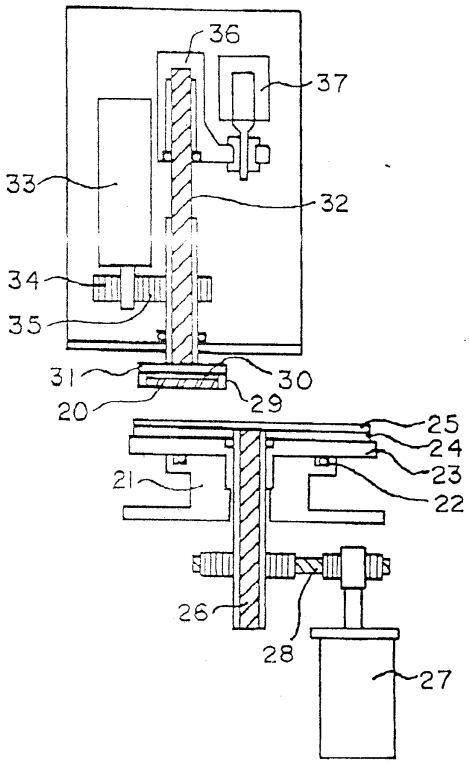
도면 15a



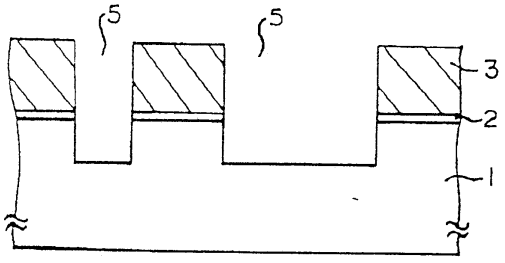
도면 15b


32
40
38
41
31
39
24
25
42

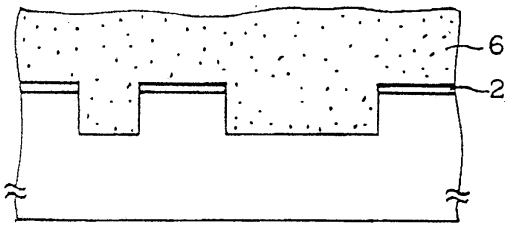
도면 16


36
37
33
32
34
35
31
30
20
29
25
24
23
21
22
26
28
27

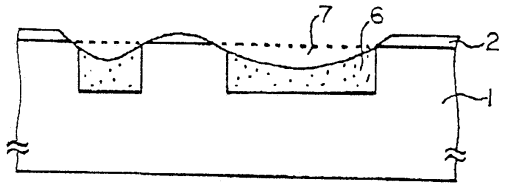
도면 17a



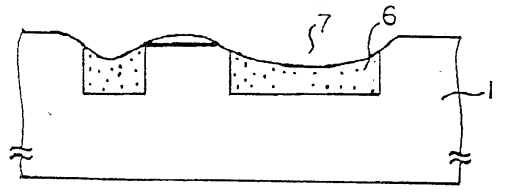
도면 17b



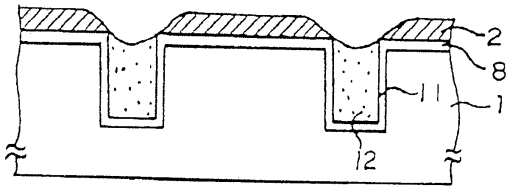
도면 18a



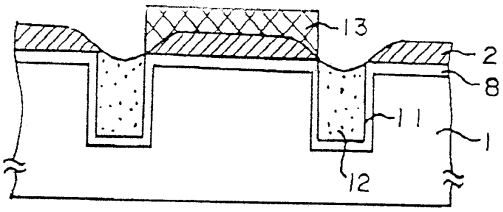
도면 18b



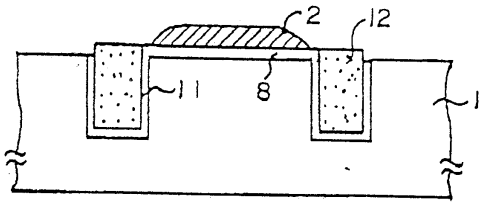
도면 19a



도면 19b



도면 20a



도면 20b

