



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0087879  
(43) 공개일자 2017년07월31일

(51) 국제특허분류(Int. Cl.)  
H03F 3/217 (2006.01) H03M 3/00 (2006.01)  
(52) CPC특허분류  
H03F 3/2175 (2013.01)  
H03M 3/30 (2013.01)  
(21) 출원번호 10-2017-7013571  
(22) 출원일자(국제) 2015년10월20일  
심사청구일자 없음  
(85) 번역문제출일자 2017년05월19일  
(86) 국제출원번호 PCT/GB2015/053126  
(87) 국제공개번호 WO 2016/063038  
국제공개일자 2016년04월28일  
(30) 우선권주장  
1418622.5 2014년10월20일 영국(GB)

(71) 출원인  
캠브리지 컨설턴트 리미티드  
영국 캠브리지셔 씨비40디더블유 캠브리지 밀턴  
로드 사이언스 파크  
(72) 발명자  
도노그휴, 브라이언 제임스  
영국 캠브리지셔 씨비40디더블유 캠브리지 밀턴  
로드 사이언스 파크 캠브리지 컨설턴트 리미티드  
내  
필립스, 디스먼드  
영국 캠브리지셔 씨비40디더블유 캠브리지 밀턴  
로드 사이언스 파크 캠브리지 컨설턴트 리미티드  
내  
(뒷면에 계속)  
(74) 대리인  
특허법인 대아

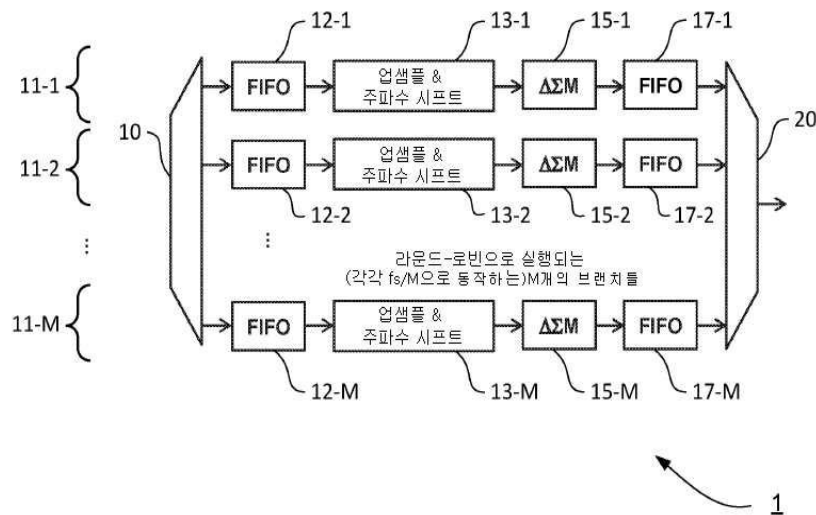
전체 청구항 수 : 총 34 항

(54) 발명의 명칭 무선 주파수 증폭기

(57) 요약

복수의 신호 처리 브랜치들을 포함하는 변조기 회로가 개시되는데, 각각의 변조기는 변조된 신호를 생성하기 위하여 각각의 데이터 스트림 부분의 델타-시그마 변조를 수행하는 변조기를 포함한다. 변조기 회로는 반송파 주파수를 갖는 입력 데이터 스트림을 수신하고, 입력 데이터를 복수의 데이터 스트림 부분들로 분할한다. 델타-시그마 변조는 각각의 데이터 스트림 부분들 상에서 각각의 브랜치에서 수행된다. 반송파 주파수에서의 출력을 위한 출력 신호를 형성하기 위하여 각각의 브랜치들로부터의 각각의 변조된 신호들은 결합된다.

대표도 - 도1



(52) CPC특허분류

*H03M 3/47* (2013.01)

*H03M 3/50* (2013.01)

*H03F 2200/331* (2013.01)

(72) 발명자

**로버트, 텐**

영국 캠브리지셔 씨비40디더블유 캠브리지 밀턴 로드 사이언스 파크 캠브리지 컨설턴트 리미티드 내

---

**허브, 피터-콘테스**

영국 캠브리지셔 씨비40디더블유 캠브리지 밀턴 로드 사이언스 파크 캠브리지 컨설턴트 리미티드 내

## 명세서

### 청구범위

#### 청구항 1

변조기 회로에 있어서,

입력 데이터 스트림을 수신하는 수단;

상기 입력 데이터 스트림을 복수의 데이터 스트림 부분들로 분할하는 수단;

복수의 신호 처리 브랜치들, 각각의 신호 처리 브랜치는 변조된 신호를 생성하기 위하여 상기 복수의 데이터 스트림 부분들의 개별적인 데이터 스트림 부분에 대한 델타-시그마 변조를 수행하는 수단 및 그 브랜치의 상기 델타-시그마 변조기에 의한 변조를 위하여 입력 데이터를 업샘플링 및 주파수 시프팅하는 수단을 포함함; 및

출력 신호를 형성하기 위하여 상기 복수의 신호 처리 브랜치들 각각으로부터의 개별적인 변조된 신호를 결합하고, 상기 출력 신호를 출력하는 수단을 포함하는

변조기 회로.

#### 청구항 2

제1항에 있어서,

각각의 델타-시그마 변조기는 대역 통과 델타-시그마 변조기인

변조기 회로.

#### 청구항 3

제1항 또는 제2항에 있어서,

각각의 델타-시그마 변조기는 일반적으로 브랜치들의 수에 반비례하는 브랜치 변조 레이트로 동작하도록 구성되는

변조기 회로.

#### 청구항 4

제3항에 있어서,

상기 변조 레이트는 적어도 대략적으로 다음 수학식에 의해서 정의되고,

$$f_b = f_s/M$$

여기서 ' $f_b$ '는 브랜치 변조 레이트이고, ' $f_s$ '는 단일 델타-시그마 변조기를 사용하여 주어진 반송파 주파수를 갖는 신호를 처리하는데 필요한 기본적인 변조 레이트이고, ' $M$ '은 브랜치들의 수인

변조기 회로.

#### 청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 분할 수단은 상기 입력 데이터 스트림을 시간순으로 일반적으로 연속적인 블록들의 시퀀스로 분할하도록 동작하고, 각각의 블록은 상기 데이터 스트림 부분들 중 상이한 하나를 형성하는 변조기 회로.

#### 청구항 6

제5항에 있어서,  
상기 일반적으로 연속적인 블록들 각각은 상기 시퀀스의 적어도 하나의 이웃하는 블록에 공통인 부분을 갖는 변조기 회로.

#### 청구항 7

제5항 또는 제6항 중 어느 한 항에 있어서,  
상기 블록들은 바람직한 노이즈 플로어를 제공하도록 설정되는 길이를 갖는 변조기 회로.

#### 청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,  
상기 복수의 신호 처리 브랜치들 각각은 상기 입력 데이터를 업샘플링 및 주파수 시프팅하는 수단의 입력 측에서 관련된 데이터 스트림 부분들을 버퍼링하는 개별적인 입력 버퍼를 갖는 변조기 회로.

#### 청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,  
적어도 하나의 노이즈 웨이핑 필터를 더 포함하고, 상기 노이즈 웨이핑 필터는 다중 비트 곱셈을 사용하도록 동작 가능한 변조기 회로.

#### 청구항 10

제9항에 있어서,  
상기 노이즈 웨이핑 필터는 재프로그래밍 가능한 노이즈 웨이핑 필터를 포함하는 변조기 회로.

#### 청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,  
상기 변조기 회로는 각각의 데이터 스트림 부분 처리 및 후속 데이터 스트림 부분 처리 사이에, 각각의 상기 델타-시그마 변조기를 그것의 원래 내부 상태로 리셋시키도록 동작 가능한

변조기 회로.

## 청구항 12

제11항에 있어서,

각각의 상기 델타-시그마 변조기는 특정 길이를 넘는 데이터 스트림 부분을 처리할 때 상기 델타-시그마 변조기가 불안정하게 되는 차수이며, 각각의 데이터 스트림 부분의 크기는 상기 델타-시그마 변조기가 불안정하게 되는 상기 특정 길이보다 짧게 설정되는

변조기 회로.

## 청구항 13

델타-시그마 변조를 수행하는 델타-시그마 변조기를 갖는 복수의 신호 처리 브랜치들을 포함하는 변조기 회로에 의해 수행되는 방법에 있어서,

입력 데이터 스트림을 수신하는 단계;

상기 입력 데이터 스트림을 복수의 데이터 스트림 부분들로 분할하는 단계;

상기 복수의 신호 처리 브랜치들 각각에서, 상기 복수의 데이터 스트림 부분들의 개별적인 데이터 스트림 부분을 업샘플링 및 주파수 시프팅하고, 변조된 신호를 생성하기 위하여 주파수 시프팅된 데이터 스트림 부분에 대한 델타-시그마 변조를 수행하는 단계;

출력 신호를 형성하기 위하여 상기 복수의 신호 처리 브랜치들 각각으로부터의 개별적인 변조된 신호를 결합하는 단계; 및

상기 출력 신호를 출력하는 단계를 포함하는 방법.

## 청구항 14

변조기 회로에 있어서,

입력 데이터 스트림을 수신하는 수단;

상기 입력 데이터 스트림을 복수의 데이터 스트림 부분들로 분할하는 수단;

복수의 신호 처리 브랜치들, 각각의 신호 처리 브랜치는 변조된 신호를 생성하기 위하여 상기 복수의 데이터 스트림 부분들의 개별적인 데이터 스트림 부분에 대한 델타-시그마 변조를 수행하는 대역 통과 델타-시그마 변조기를 포함함; 및

출력 신호를 형성하기 위하여 상기 복수의 신호 처리 브랜치들 각각으로부터의 개별적인 변조된 신호를 결합하고, 상기 출력 신호를 출력하는 수단을 포함하는

변조기 회로.

## 청구항 15

델타-시그마 변조를 수행하는 델타-시그마 변조기를 갖는 복수의 신호 처리 브랜치들을 포함하는 변조기 회로에 의해 수행되는 방법에 있어서,

입력 데이터 스트림을 수신하는 단계;

상기 입력 데이터 스트림을 복수의 데이터 스트림 부분들로 분할하는 단계;

상기 복수의 신호 처리 브랜치들 각각에서, 변조된 신호를 생성하기 위하여 상기 복수의 데이터 스트림 부분들의 개별적인 데이터 스트림 부분에 대한 대역 통과 델타-시그마 변조를 수행하는 단계;

출력 신호를 형성하기 위하여 상기 복수의 신호 처리 브랜치들 각각으로부터의 개별적인 변조된 신호를 결합하는 단계; 및

상기 출력 신호를 출력하는 단계를 포함하는 방법.

#### 청구항 16

변조기 회로에 있어서,

입력 데이터 스트림을 수신하는 수단;

상기 입력 데이터 스트림을 시간순으로 일반적으로 연속적인 블록들의 시퀀스를 포함하는 복수의 데이터 스트림 부분들로 분할하는 수단, 각각의 블록은 상기 데이터 스트림 부분들 중 상이한 하나를 형성하고 상기 블록들은 바람직한 노이즈 플로어를 제공하도록 설정되는 길이를 가짐;

복수의 신호 처리 브랜치들, 각각의 신호 처리 브랜치는 변조된 신호를 생성하기 위하여 상기 복수의 데이터 스트림 부분들의 개별적인 데이터 스트림 부분에 대한 델타-시그마 변조를 수행하는 델타-시그마 변조기를 포함함; 및

출력 신호를 형성하기 위하여 상기 복수의 신호 처리 브랜치들 각각으로부터의 개별적인 변조된 신호를 결합하고, 상기 출력 신호를 출력하는 수단을 포함하는

변조기 회로.

#### 청구항 17

델타-시그마 변조를 수행하는 델타-시그마 변조기를 갖는 복수의 신호 처리 브랜치들을 포함하는 변조기 회로에 의해 수행되는 방법에 있어서,

입력 데이터 스트림을 수신하는 단계;

상기 입력 데이터 스트림을 시간순으로 일반적으로 연속적인 블록들의 시퀀스를 포함하는 복수의 데이터 스트림 부분들로 분할하는 단계, 각각의 블록은 상기 데이터 스트림 부분들 중 상이한 하나를 형성하고 상기 블록들은 바람직한 노이즈 플로어를 제공하도록 설정되는 길이를 가짐;

상기 복수의 신호 처리 브랜치들 각각에서, 변조된 신호를 생성하기 위하여 상기 복수의 데이터 스트림 부분들의 개별적인 데이터 스트림 부분에 대한 델타-시그마 변조를 수행하는 단계;

출력 신호를 형성하기 위하여 상기 복수의 신호 처리 브랜치들 각각으로부터의 개별적인 변조된 신호를 결합하는 단계; 및

상기 출력 신호를 출력하는 단계를 포함하는 방법.

#### 청구항 18

변조기 회로에 있어서,

제1 회로부 및 제2 회로부, 각각의 회로부는 개별적인 출력 신호를 생성함; 및

각각의 회로부의 상기 개별적인 출력 신호들로부터 결합된 출력 신호를 생성하는 수단;을 포함하고,

상기 생성은 상기 개별적인 출력 신호들 각각에 대한 개별적인 윈도우 함수를 적용하고 적용된 신호들을 서로

가산하여 상기 결합된 출력 신호를 형성하는 것을 포함하고,

각각의 회로부는

입력 데이터 스트림을 수신하는 수단;

상기 입력 데이터 스트림을 복수의 데이터 스트림 부분들로 분할하는 수단;

복수의 신호 처리 브랜치들, 각각의 신호 처리 브랜치는 변조된 신호를 생성하기 위하여 상기 복수의 데이터 스트림 부분들의 개별적인 데이터 스트림 부분에 대한 델타-시그마 변조를 수행하는 델타-시그마 변조기를 포함함; 및

상기 개별적인 출력 신호를 형성하기 위하여 상기 복수의 신호 처리 브랜치들 각각으로부터의 개별적인 변조된 신호를 결합하는 수단을 포함하는

변조기 회로.

#### 청구항 19

제18항에 있어서,

상기 개별적인 윈도우 함수의 적용은 개별적인 시간 의존성 가중치를 상기 제1 및 제2 출력 신호들 각각에 적용하는 것을 포함하는

변조기 회로.

#### 청구항 20

제19항에 있어서,

상기 제1 및 제2 출력 신호들에 적용되는 상기 개별적인 시간 의존성 가중치들은 함께 가산되어 상수(예를 들어, 1)를 제공하는

변조기 회로.

#### 청구항 21

제19항 내지 제20항 중 어느 한 항에 있어서,

상기 개별적인 시간 의존성 가중치들은 실질적으로 삼각 파형 방식으로 시간에 따라 변화하는

변조기 회로.

#### 청구항 22

제21항에 있어서,

상기 실질적인 삼각 파형은 삼각 파의 변들이 실질적으로 직선인, 실질적으로 연속적인 삼각 파형을 포함하는

변조기 회로.

#### 청구항 23

제19항 내지 제20항 중 어느 한 항에 있어서,

상기 개별적인 시간 의존성 가중치들은 계단 파형의 방식으로 시간에 따라 변화하는

변조기 회로.

#### 청구항 24

제23항에 있어서,

상기 개별적인 시간 의존성 가중치들은 계단형이지만 일반적으로 삼각 파형의 방식으로 시간에 따라 변화하는 변조기 회로.

#### 청구항 25

제19항 내지 제24항 중 어느 한 항에 있어서,

상기 제1 회로부의 복수의 데이터 스트림 부분들은 상기 제2 회로부의 추가적인 복수의 데이터 스트림 부분들과 비교하여 시간 상에서 오프셋되는

변조기 회로.

#### 청구항 26

제19항 내지 제25항 중 어느 한 항에 있어서,

상기 개별적인 출력 신호들 중 제1 신호에 적용되는 가중치는 상기 복수의 데이터 스트림 부분들의 각각의 데이터 스트림 부분의 시작 및 끝에서 실질적으로 0이고, 상기 개별적인 출력 신호들 중 제2 신호에 적용되는 가중치는 상기 추가적인 복수의 데이터 스트림 부분들의 각각의 데이터 스트림 부분의 시작 및 끝에서 실질적으로 0인

변조기 회로.

#### 청구항 27

제1 회로부 및 제2 회로부를 포함하는 변조기 회로에 의해 수행되는 방법에 있어서,

상기 제1 회로부 및 상기 제2 회로부 각각에서 개별적인 출력 신호를 생성하는 단계; 및

각각의 회로부의 상기 개별적인 출력 신호들로부터 결합된 출력 신호를 생성하는 단계;를 포함하고,

상기 결합된 출력 신호를 생성하는 단계는 상기 개별적인 출력 신호들 각각에 대한 개별적인 윈도우 함수를 적용하는 단계 및 적용된 신호들을 서로 가산하여 상기 결합된 출력 신호를 형성하는 단계를 포함하고,

상기 제1 회로부 및 상기 제2 회로부 각각에서 개별적인 출력 신호를 생성하는 단계는

입력 데이터 스트림을 수신하는 단계;

상기 입력 데이터 스트림을 복수의 데이터 스트림 부분들로 분할하는 단계;

복수의 신호 처리 브랜치들 각각에서, 변조된 신호를 생성하기 위하여 상기 복수의 데이터 스트림 부분들의 개별적인 데이터 스트림 부분에 대한 델타-시그마 변조를 수행하는 단계; 및

상기 개별적인 출력 신호를 형성하기 위하여 상기 복수의 신호 처리 브랜치들 각각으로부터의 개별적인 변조된 신호를 결합하는 단계를 포함하는

방법.

#### 청구항 28

변조기 회로에 있어서,

입력 데이터 스트림을 수신하는 수단;

상기 입력 데이터 스트림을 시간순으로 일반적으로 연속적인 블록들의 시퀀스를 포함하는 복수의 데이터 스트림 부분들로 분할하는 수단, 각각의 블록은 상기 데이터 스트림 부분들 중 상이한 하나를 형성하고, 상기 시간순으로 일반적으로 연속적인 블록들 각각은 상기 시퀀스의 적어도 하나의 이웃하는 블록들에 공통인 부분을 가짐;

복수의 신호 처리 브랜치들, 각각의 신호 처리 브랜치는 변조된 신호를 생성하기 위하여 상기 복수의 데이터 스트림 부분들의 개별적인 데이터 스트림 부분에 대한 델타-시그마 변조를 수행하는 델타-시그마 변조기를 포함함; 및

출력 신호를 형성하기 위하여 상기 복수의 신호 처리 브랜치들 각각으로부터의 개별적인 변조된 신호를 결합하고, 상기 출력 신호를 출력하는 수단을 포함하는

변조기 회로.

## 청구항 29

델타-시그마 변조를 수행하는 델타-시그마 변조기를 갖는 복수의 신호 처리 브랜치들을 포함하는 변조기 회로에 의해 수행되는 방법에 있어서,

입력 데이터 스트림을 수신하는 단계;

상기 입력 데이터 스트림을 시간순으로 일반적으로 연속적인 블록들의 시퀀스를 포함하는 복수의 데이터 스트림 부분들로 분할하는 단계, 각각의 블록은 상기 데이터 스트림 부분들 중 상이한 하나를 형성하고, 상기 시간순으로 일반적으로 연속적인 블록들 각각은 상기 시퀀스의 적어도 하나의 이웃하는 블록들에 공통인 부분을 가짐;

복수의 신호 처리 브랜치들 각각에서, 변조된 신호를 생성하기 위하여 상기 복수의 데이터 스트림 부분들의 개별적인 데이터 스트림 부분에 대한 델타-시그마 변조를 수행하는 단계;

출력 신호를 형성하기 위하여 상기 복수의 신호 처리 브랜치들 각각으로부터의 개별적인 변조된 신호를 결합하는 단계; 및

상기 출력 신호를 출력하는 단계를 포함하는

방법.

## 청구항 30

제1항 내지 제12항, 제14항, 제16항, 제18항 내지 제26항 및 제28항 중 어느 한 항에 따른 변조기 회로를 포함하는 증폭기 회로.

## 청구항 31

제30항에 있어서,

상기 증폭기는 상기 델타-시그마 변조의 비트 레이트의 최대 주파수의 절반으로 동작하도록 구성되는

증폭기 회로.

## 청구항 32

제30항 또는 제31항에 있어서,

상기 증폭기 회로는 클래스-D 출력 스테이지의 델타-시그마 변조를 사용하는

증폭기 회로.

### 청구항 33

제1항 내지 제12항, 제14항, 제16항, 제18항 내지 제26항 및 제28항 중 어느 한 항에 따른 변조기 회로를 사용하는 디지털-아날로그 컨버터;

제1항 내지 제12항, 제14항, 제16항, 제18항 내지 제26항 및 제28항 중 어느 한 항에 따른 변조기 회로를 사용하는 아날로그-디지털 컨버터; 및

제1항 내지 제12항, 제14항, 제16항, 제18항 내지 제26항 및 제28항 중 어느 한 항에 따른 변조기 회로를 사용하는 무선 수신기 중 적어도 하나를 포함하는

장치.

### 청구항 34

프로그램 가능한 컴퓨터 장치가 제13항, 제15항, 제17항, 제27항 및 제29항 중 어느 한 항에 따른 방법을 수행하게 하는 컴퓨터로 구현 가능한 명령어들을 포함하는 컴퓨터로 구현 가능한 명령어 제품.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 무선 주파수(radio frequency, RF) 신호를 증폭하는 증폭기에 관한 것이다. 본 발명은 3세대 파트너십 프로젝트(3rd Generation Partnership Project, 3GPP)에 의해 정의된 LTE(Long Term Evolution) 기술에 따라서 동작하는 무선 통신 시스템 및 그의 장치를 위한 델타-시그마 증폭기와 관련이 있지만 특별히 배타적이지 않다.

### 배경 기술

[0002] 3G 및 LTE와 같은 현대의 통신 표준들은 선형 RF 증폭기들을 필요로 하는 변조 방식들을 사용한다. '선형'이라는 용어는 (일반적으로) 증가된 전력 레벨들에서 입력 신호의 정확한 사본들인 출력 신호들을 생성하는 증폭기의 기능을 나타낸다. 선형 증폭은 원하지 않는 대역 내 간섭 신호들의 생성을 방지하기 위해 OFDM과 같은 비 일정한 엔벨로프 신호들에 필수적이다. 선형 증폭은 평균 신호 전력뿐만 아니라 피크 신호 전력에 대해서도 이루어져야 한다. OFDM 신호들에 대하여 피크 신호 전력은 평균 신호 전력보다 최대 10dB 높을 수 있다. 선형성은 대개 증폭기의 전력 레벨을 그것의 최대 (및 가장 효율적인) 영역 아래로 평균 및 예상 최대 신호 레벨 모두에 대해 보다 선형적인 증폭을 나타내는 영역으로 낮춤으로써 달성된다. 그러나, 이는 증폭기가 대부분의 시간동안 그것의 피크 전력 레벨 근처에서 동작할 때와 비교하여 증폭기의 전체적인 전력 효율을 효과적으로 감소시킨다. 결과적으로, 선형 RF 증폭기들은 전형적으로 10% 미만의 전력 효율을 갖는다.

[0003] 예컨대 전치 왜곡, 엔벨로프 제거 및 복원, 카테시안 피드백(cartesian feedback) 등을 포함하는 보다 전력 효율적인 선형 RF 증폭기를 달성하기 위해 다양한 기술이 이용되어 왔다. 효율적인 선형 RF 증폭을 위한 비교적 새로운 접근 방식은 델타-시그마 변조를 사용하여 증폭된 RF 신호를 직접 생성하는 소위 S 클래스 증폭기를 사용하는 것이다. S 클래스 증폭기는 변조된 신호를 생성하기 위해 전계 효과 트랜지스터(예를 들어, 금속 산화물 반도체, 'MOS' 트랜지스터들) (또는 다른 트랜지스터들)를 사용하는데, 트랜지스터들은 턴 온되거나 턴 오프되므로, S 클래스 증폭기의 효율은 이론적으로 100%에 근접할 수 있다. 그러나 S-클래스 증폭기의 핵심 문제는 증폭된 RF 신호를 생성할 만큼 충분히 빠른 델타-시그마 변조 신호를 어떻게 생성하는가에 있다. 이 문제는 델타-시그마 변조 신호 주파수(델타 시그마 비트스트림 레이트라고도 지칭됨)가 (나이퀴스트(Nyquist) 샘플링 이론으로 인해) 증폭될 신호의 반송파 주파수의 적어도 두 배(전형적으로 네 배)가 되어야 하기 때문에 발생한다. 델타-시그마 변조는 단일 사이클 피드백 루프를 가지기 때문에 델타-시그마 변조 신호를 고속으로 계산하는 것은 어려운데, 이 계산은 루프 필터링된 에러 신호와 입력 신호의 합산, 양자화(대개 고정 소수점 이진수의 절단), 및 루프 필터로의 에러 피드백과 같은 여러 단계들로 구성된다. 델타-시그마 변조기의 로직은 델타 시그마 비트스트림 레이트로 계산되어야 한다. 셀룰러 신호들은 약 1GHz (일반적으로 LTE와 같은 애플리케이션의 경

우 800-900MHz 범위) 또는 1GHz 이상에서 조차 전송될 수 있기 때문에, 델타-시그마 변조 신호는 수 GHz에서 생성되어야 한다. 이것은 델타-시그마 변조기 로직이 비실용적으로 높은 레이트로 동작해야 한다는 것을 의미하는데, 이는 LTE 시스템 및/또는 이와 유사한 것에 사용되는 무선 주파수 신호들에 대한 델타-시그마 증폭의 실현 가능하고/하거나 경제적인 구현을 방해한다.

## 발명의 내용

### 해결하려는 과제

[0004] 따라서, 본 발명의 바람직한 실시 예들은 상기 문제점들을 해결하거나 적어도 부분적으로 다루는 방법들 및 장치들을 제공하는 것을 목적으로 한다.

### 과제의 해결 수단

[0005] 단순화를 위해, 본 출원은 전송되는 신호(예를 들어, 데이터 버스트)의 증폭을 위한 델타-시그마 변조 기술을 사용하는 임의의 통신 장치를 지칭하기 위하여 델타-시그마( $\Delta\Sigma$ ) 증폭기라는 용어를 사용할 것이다. 여기에서 설명되는 기술은 다른 통신 장치 및/또는 통신 네트워크와 통신할 수 있는 임의의 (이동식 및/또는 일반적으로 고정식) 통신 장치 상에 구현될 수 있음이 또한 이해될 것이다.

[0006] 통상의 기술자의 이해를 돕기 위하여, 본 발명은 고주파 신호들을 처리하기 위한 델타-시그마 증폭기의 맥락에서 상세하게 설명될 것이지만, 본 발명의 원리는 델타-시그마 변조가 수행되는 다른 시스템들에 적용될 수 있다. 일 양태에서, 본 발명은 (0일 수 있는) 반송파 주파수를 갖는 입력 데이터 스트림을 수신하는 수단; 상기 입력 데이터 스트림을 복수의 데이터 스트림 부분들로 분할하는 수단; 복수의 신호 처리 브랜치들, 각각의 신호 처리 브랜치는 변조된 신호를 생성하기 위하여 상기 복수의 데이터 스트림 부분들의 개별적인 데이터 스트림 부분에 대한 델타-시그마 변조를 수행하는 수단을 포함함; 및 출력 신호를 형성하기 위하여 상기 복수의 신호 처리 브랜치들 각각으로부터의 개별적인 변조된 신호를 결합하고, 상기 반송파 주파수에서 상기 출력 신호를 출력하는 수단을 포함하는 변조기 회로를 제공한다. 상기 입력 데이터 스트림을 수신하는 수단, 상기 분할 수단, 상기 복수의 신호 처리 브랜치들, 및 상기 결합 및 출력 수단은 모두 제1 회로부의 일부를 형성할 수 있고, 상기 제1 회로부의 출력 신호는 제1 출력 신호를 포함할 수 있다. 이 경우에, 상기 변조기 회로는 제2 회로부를 더 포함할 수 있으며, 상기 제2 회로부는, 상기 입력 데이터 스트림을 수신하는 추가 수단; 상기 입력 데이터 스트림을 추가적인 복수의 데이터 스트림 부분들로 분할하는 추가 수단; 추가적인 복수의 신호 처리 브랜치들, 각각의 브랜치는 추가적인 변조 신호를 생성하기 위하여 상기 추가적인 복수의 데이터 스트림 부분들의 개별적인 추가적인 데이터 스트림 부분의 델타-시그마 변조를 수행하기 위한 개별적인 추가 수단을 포함함; 및 추가적인 출력 신호를 형성하기 위하여 상기 복수의 추가적인 신호 처리 브랜치들 각각으로부터의 개별적인 추가적인 변조된 신호를 결합하고 상기 추가적인 출력 신호를 상기 반송파 주파수에서 제2 출력 신호로서 출력하는 추가 수단; 및 상기 제1 출력 신호 및 상기 제2 출력 신호로부터 결합된 출력 신호를 생성하는 수단을 포함하고, 상기 생성은 상기 제1 및 상기 제2 출력 신호 각각에 개별적인 윈도우 함수를 적용하고 적용된 신호들을 서로 가산하여 상기 결합된 출력 신호를 형성하는 것을 포함한다.

[0007] 개별적인 윈도우 함수를 적용하는 것은 개별적인 시간 의존성 가중치를 상기 제1 및 제2 출력 신호들 각각에 적용하는 것을 포함할 수 있다. 상기 제1 및 제2 출력 신호들에 적용되는 개별적인 시간 의존성 가중치들은 함께 가산되어 상수(예를 들어, 1)를 제공할 수 있다. 개별적인 시간 의존성 가중치들은 실질적으로 삼각 파형 방식으로 시간에 따라 변할 수 있다. 이 경우, 실질적인 삼각 파형은 삼각 파의 변들이 실질적으로 직선인, 실질적으로 연속적인 삼각 파형으로 구성될 수 있다. 개별적인 시간 의존성 가중치들은 계단 파형의 방식으로 시간에 따라 변할 수 있다. 이 경우, 개별적인 시간 의존성 가중치들은 계단형이지만 일반적으로 삼각 파형의 방식으로 시간에 따라 변할 수 있다.

[0008] 제1 회로부의 복수의 데이터 스트림 부분들은 제2 회로부의 추가적인 복수의 데이터 스트림 부분들과 비교하여 시간 상에서 오프셋 될 수 있다.

[0009] 제1 출력 신호에 적용되는 가중치는 상기 복수의 데이터 스트림 부분들의 각각의 데이터 스트림 부분의 시작 및 끝에서 실질적으로 0일 수 있고, 제2 출력 신호에 적용되는 가중치는 상기 추가적인 복수의 데이터 스트림 부분들의 각각의 데이터 스트림 부분의 시작 및 끝에서 실질적으로 0이다.

[0010] 또 다른 양태에서, 본 발명은 상술한 변조기 회로를 포함하는 증폭기 회로를 제공한다.

[0011] 또 다른 양태에서, 본 발명은 델타 시그마 변조를 수행하는 수단을 갖는 복수의 신호 처리 브랜치들을 포함하는 변조기 회로에 의해 수행되는 방법을 제공하며, 상기 방법은, 반송파 주파수를 갖는 입력 데이터 스트림을 수신하는 단계; 상기 입력 데이터 스트림을 복수의 데이터 스트림 부분들로 분할하는 단계; 상기 복수의 신호 처리 브랜치들의 각각에서, 변조된 신호를 생성하기 위하여 상기 복수의 데이터 스트림 부분들의 각각의 데이터 스트림 부분의 델타-시그마 변조를 수행하는 단계; 출력 신호를 형성하기 위하여 상기 복수의 신호 처리 브랜치들의 각각으로부터의 개별적인 변조된 신호를 결합하는 단계; 및 상기 반송파 주파수에서 상기 출력 신호를 출력하는 단계를 포함한다.

[0012] 본 발명의 양태들은 앞서 설명된 양태들 및 가능성들에서 기술되거나 청구항들에 기재된 바와 같은 방법을 수행하기 위한 프로그램 가능 프로세서를 프로그램하고/하거나 청구항들 중 어느 하나에 기재된 장치를 제공하도록 적절하게 적응된 컴퓨터를 프로그램하도록 동작 가능한 명령들을 저장한 컴퓨터 판독 가능 저장 매체와 같은 대응하는 컴퓨터 프로그램 제품들로 확장된다.

[0013] 본 명세서(이 용어는 청구항들을 포함함)에 개시된 및/또는 도면들에 도시된 각각의 특징은 임의의 다른 개시된 및/또는 도시된 특징들과 독립적으로 (또는 조합하여) 본 발명에 통합될 수 있다. 특히, 그러나 제한 없이, 특정한 독립 청구항에 종속되는 임의의 청구항들의 특징들은 임의의 조합으로 또는 개별적으로 그 독립 청구항에 도입될 수 있다. 이제 본 발명의 실시 예들이 첨부 도면들을 참조하여 예시로서 기술될 것이다.

### 도면의 간단한 설명

[0014] 도 1은 연결 독립 블록들을 처리하기 위한 델타-시그마 변조기를 개략적으로 도시한다.

도 2는 도 1에 도시된 델타-시그마 변조기를 포함하는 예시적인 무선 주파수 델타-시그마 증폭기 회로의 개략도이다.

도 3은 도 1에 도시된 델타-시그마 변조기의 일부를 형성하는 예시적인 에러 피드백 델타-시그마 변조기를 나타내는 개략도이다.

도 4는 본 발명의 실시 예에 따른 대역 통과 델타-시그마 증폭기에 대한 예시적인 노이즈 전달 함수를 도시한다.

도 5는 연결 독립 블록들을 사용하는 델타-시그마 변조기의 브랜치(branch)의 동작을 도시하는 예시적인 타이밍 스냅샷이다.

도 6은 상이한 블록 길이에 대한 시뮬레이션 결과를 나타내는 예시적인 전력 스펙트럼 밀도 다이어그램이다.

도 7a 및 도 7b는 예시적인 윈도우 함수 및 그것의 가능한 구현을 도시한다.

도 8은 도 7a에 도시된 윈도우 함수를 사용할 때의 시뮬레이션 결과를 나타내는 예시적인 전력 스펙트럼 밀도 다이어그램이다.

도 9a 및 도 9b는 다른 예시적인 윈도우 함수 및 그것의 가능한 구현을 도시한다.

도 10은 도 9a에 도시된 윈도우 함수를 사용할 때의 시뮬레이션 결과를 나타내는 예시적인 전력 스펙트럼 밀도 다이어그램이다.

### 발명을 실시하기 위한 구체적인 내용

[0015] 개요

[0016] 도 1은 RF 신호들을 처리하기 위한 델타-시그마 변조기 회로(1)를 개략적으로 도시한다. 구체적으로, 델타-시그마 변조기 회로(1)는 예시적인 (S-클래스) RF 증폭기(2)의 일부를 형성하는 소위 Donoghue-Phillips-Tan 델타-시그마 변조기(이하, DPT 변조기(1)라고 함)를 포함한다. 도 2에 보다 상세히 도시된 바와 같이, RF 증폭기(2)는, 다른 것들 중에서도, DPT 변조기(1), 트랜지스터 스위칭 회로들 및 대역 통과 필터를 포함한다.

[0017] 이 예시에서, 송신 신호의 변조는 연결 독립 블록들(concatenated independent blocks, CIBs)을 사용하여 이루어진다. 구체적으로, (역다중화기(10)에서 수신되는) 각각의 송신 버스트는 다수의 출력 심볼들의 연속 블록들로 분할되고, 각각의 블록 업샘플링(upsampling)에 대하여, 주파수 시프트(frequency shift) 및 변조는 독립적으로 수행된다.

- [0018] 도 1에 일반적으로 도시된 바와 같이, 연속 블록들의 처리는 역다중화기(10)에서 다수의 브랜치들(branches)(11-1 내지 11-M)에 입력 기저 대역 샘플들의 블록들을 "라운드-로빈(round-robin)" 방식으로 역다중화함으로써 실현된다. 각각의 브랜치(11)는, 입력 버퍼(12-1 내지 12-M); 선택적으로 독립적인 업샘플러 및 주파수 시프트부(upsampler and frequency shift portion)(13-1 내지 13-M); 델타-시그마 변조기부(15-1 내지 15-M) (도 1에서 ' $\Delta\Sigma$ '으로 표시됨); 및 출력 버퍼(17-1 내지 17-M)를 포함한다.
- [0019] 개별적인 입력 버퍼(12) 및 각각의 출력 버퍼(17)는 적절한 'first-in-first-out' (FIFO) 입력 버퍼를 포함한다. 각각의 업샘플러 및 주파수 시프트부(13)는, 예를 들어, 유한 임펄스 응답(finite impulse response, FIR) 필터, 캐스케이드 적분기-덧(cascaded integrator-comb, CIC) 필터들, 오실레이터 및 주파수 믹서를 포함할 수 있지만, 다른 유형의 필터들 및/또는 다른 필터 조합들 및 주파수 시프트들 또한 사용될 수 있음이 이해될 것이다. 또한 업샘플러 및 주파수 시프트부(13-1 내지 13-M)는 선택적이며 생략될 수도 있음이 이해될 것이다.
- [0020] 역다중화기(10)로부터의 심볼들의 각 블록은 그 블록을 처리하기 위하여 각 브랜치(11)의 입력 버퍼(12)에 버퍼링된다. 심볼들은 FIFO 방식으로 입력 버퍼로부터 취해지고, 업샘플링되고 주파수 시프트된 출력을 제공하기 위해서 대응하는 업샘플러 및 주파수 시프트부(13)에 의해 (선택적으로) 업샘플링되고 주파수 시프트된다. 업샘플링되고 주파수 시프트된 출력은 대응하는 델타-시그마 변조기부(15)에 의해 변조된다. 각각의 델타-시그마 변조기부(15)로부터의 변조된 출력(즉, 그 브랜치(11)에 의해 처리된 블록에 대응하는 신호)은 대응하는 FIFO 출력 버퍼(17)에 버퍼링된다. 출력 버퍼(17)의 내용물들은 다중화기(20)에서 출력 신호로 다중화된다.
- [0021] 따라서, 효율적으로, 개별적인 브랜치들로부터의 신호들을 단일한 변조된 신호 스트림으로 재결합하기 위하여, 다중화된 신호의 각 부분은 DPT 변조기 회로(1)의 출력 다중화기(20)에서 재결합(다중화)되기 전에 다른 브랜치(11)를 통해 라운드-로빈 방식으로 오프라인으로 생성된다. 마지막으로, 재결합된 신호는 요구되는 전력 레벨에서의 송신을 위한 적절한 송신 회로(예를 들어, 도 2에 도시된 스위칭 증폭기 및 대역 통과 필터)로 보내진다.
- [0022] 유익하게는, 각각의 브랜치(11) (따라서 각각의 델타-시그마 변조기부(15))는  $f_s/M$ 의 비교적 낮은 레이트로 동작할 수 있는데, 여기서 ' $f_s$ '는 델타-시그마 비트 스트림 레이트(예를 들어, 반송파 주파수의 최소 2배)이고,  $M$ 은 브랜치들의 수이다. 따라서, 유익하게는, 적절한 수의 브랜치들(이 예시에서는 CIB들의 수에 효율적으로 대응함) 및 적절한 델타-시그마 비트 스트림 레이트(즉, 각 브랜치(11)의 델타-시그마 변조기부(15)의 내부 처리 주파수)를 사용함으로써, 그렇지 않으면 요구되는 것보다 상당히 낮고 더 실질적인 클럭 레이트(예를 들어, 대략 50-200MHz의 범위)에서 델타-시그마 변조기들을 사용하면서 효율적인 증폭을 달성하는 것이 가능하다.
- [0023] 결과적인 델타-시그마 증폭 회로(2)(DPT 변조기 (1)를 포함함)는 무선 주파수 신호들(예를 들어, OFDM)의 증폭과 같은 고주파 애플리케이션들에 필요한 병렬성 및 선형성을 달성할 수 있다.
- [0024] **동작**
- [0025] 이제 본 발명의 일 실시 예에 따라 구현된 예시적인 델타-시그마 변조 기술에 대한 보다 상세한 설명이 (도 1 내지 도 6을 참조하여) 주어질 것이다
- [0026] 도 2는 도 1에 도시된 DPT 변조기(1)를 포함하는 예시적인 S-클래스 RF 증폭기(2)를 도시한다.
- [0027] 알 수 있는 바와 같이, 증폭기(2)는 기저 대역, 중간 주파수 또는 반송파 주파수에서 존재할 수 있는 디지털(예를 들어, OFDM) 신호를 (그것의 입력에서) 수신할 수 있다. 선택적으로, 디지털 신호는 업샘플링되고 주파수 시프트된 다음, DPT 변조기(1)에 의해 변조된다. 변조된 입력 신호는 상보 형 금속 산화막 반도체(complementary metal-oxide-semiconductor, CMOS) 또는 다른 유형의 트랜지스터 회로를 통해 보내지며, 그에 따라서 트랜지스터 회로의 출력에서 증폭된 출력 신호(도 2에서 '증폭된 출력'으로 표시됨)가 생성된다. 마지막으로, 적절한 (전형적으로 대역 통과) 필터링을 적용함으로써, 도 2에 도시된 증폭기의 출력에 출력 신호(실질적으로 증가된 전력 레벨 및 시프트된 주파수에서 입력 신호의 사본에 실질적으로 대응함)가 제공된다.
- [0028] 도 3은 도 1에 도시된 델타-시그마 변조기부( $\Sigma\Delta$ )(15)의 동작을 이해하는데 도움이 될 수 있는 예시적인 델타-시그마 에러 피드백 모델을 도시한다.
- [0029] 델타-시그마 변조기( $\Sigma\Delta$ )는 사실상 무한 임펄스 응답(infinite impulse response, MR) 필터이므로, 그것의 현재 상태는 이전 상태들의 무한 히스토리에 따라 달라진다. (즉, 그것은 특정 지점을 지나 0이 되지 않는 임펄스 응답을 갖지만, 무기한으로 계속된다) 델타-시그마 변조기는 또한 그것의 피드백 루프에서 비선형성을 갖는데, 이는 델타-시그마 변조기에 대한 표준 선형 시간 불변(linear time-invariant, LTI) 분석이 실패함을 의미한다.
- [0030] 이 예시에서, 피드백 모델의 동작을 설명하기 위하여, 도 3에 도시된 양자화기는, 개념적으로, 양자화기의 입력

및 그것의 출력 간의 차( $T_{\text{output}} - T_{\text{input}}$ )와 동일한 양자화 에러의 가산,  $+E(z)$ 으로 대체되는 것이 고려될 수 있다. 따라서 다음과 같은 중첩이 이용될 수 있다.

$$V(z) = NTF(z) \cdot E(z) + U(z)$$

[0031]

[0032]

여기서,  $U(z)$ 는 입력 신호이고,  $V(z)$ 는 출력 신호이고,  $NTF(z)$ 는  $1-H(z)$ 와 동일한 노이즈 전달 함수이고( $H(z)$ 는 도 3에 도시된 바와 같은 피드백 함수이다.),  $E(z)$ 는 양자화 에러이다.

[0033]

따라서, 사실상, 신호  $U(z)$ 는 추가적으로 곧바로 출력으로 전달된다. 효과적으로,  $E(z)$ 는 스펙트럼 적으로 화이트 양자화 에러이지만, 피드백은 노이즈 전달 함수  $NTF(z)$ 에 의해 형태를 형성하여 상관 관계를 형성한다.

[0034]

노이즈 전달 함수( $NTF(z)$ )는 ' $U(z)$ ' 주변의 관심 대역 외부의 스펙트럼 영역들에 노이즈 에너지를 덤프하도록 설계된다. 그러한 외부 또는 "상관 없음(don't care)" 영역에 속하는 신호(노이즈)는 신호에 적절한 필터(예를 들어, 대역 통과 필터, 적절하게 구성된 한 쌍의 저역 통과 필터, 및/또는 기타 등등)를 적용하여 추가 처리로부터 제거될 수 있다. 그 결과 필터링된 신호는 따라서 노이즈보다 입력 신호  $U(z)$ 에 대응하는 정보를 포함하는 경향이 있다.

[0035]

도 4는 예시적인 4차 대역 통과 델타-시그마 증폭기에 대한 반송파 주파수 ' $f_c$ ' 주위에 예리한 노치(notch)를 가지며 다음과 같은 파라미터들로 구성되는 결과적인 노이즈 전달 함수를 도시한다.

[0036]

- 양자화기 출력은  $\pm 1$  이다.

[0037]

$$- NTF(z) = [1 \ 0 \ 2z^{-2} \ 0 \ z^{-4}]$$

[0038]

$$- H(z) = 1 - NTF(z) = [0 \ 0 \ -2z^{-2} \ 0 \ -z^{-4}]$$

[0039]

-  $f_c = 800\text{MHz}$  (반송파 주파수)

[0040]

-  $f_s = 4f_c = 3.2\text{GHz}$  (즉, 델타-시그마 비트 스트림 레이트는 캐리어 주파수의 4배임)

[0041]

- 잡음은  $f_s/4$  노치의 외부에 있으며, 트랜지스터 증폭기 이후의 채널 필터링에 의해 제거된다.

[0042]

- 두 개의 인터리브된 고역 델타-시그마 변조기들과 동일한 홀수/짝수 분해 기능을 가진다.

[0043]

#### 연결 독립 블록을 사용한 변조

[0044]

도 5는 도 1에 나타난 DPT 변조기 회로(1)의 컴포넌트들에 의해 수행되는 방법을 도시하는 예시적인 타이밍 다이어그램(타이밍 스냅샷)이다. 구체적으로, 도 5는 델타-시그마 증폭 회로(1)의 다른 브랜치들(11)의 동작과 관련하여 제1 브랜치(11-1)의 동작을 도시한다. 단순화를 위해, 이 경우의 브랜치들의 수는 4이지만, 실제로는 상이한(전형적으로 더 많은) 수의 브랜치들이 사용될 수 있다는 점이 이해될 것이다.

[0045]

단계(S101)에 일반적으로 도시된 바와 같이, (브랜치(11-1)에 대한) 처리 라운드는 입력 버퍼(12-1)를 대응하는 데이터 블록(즉, DPT 변조기 회로(1)의 입력(10)에서 수신되는 데이터 버스트의 제1 역다중화 부분)으로 채우는 것에 의해서 시작된다.

[0046]

다음으로, 단계(S102)에서, 입력 버퍼(12-1)의 내용의 처리가 시작된다. 구체적으로, 델타-시그마 변조기부(15-1)는 (예를 들어, 업샘플링 및 주파수 시프트부(13-1)에 의한 적절한 업샘플링 및 주파수 시프트에 후속하여) 입력 버퍼(12-1)로부터 데이터를 판독하고,  $f_s/M$ 의 레이트로 적절한 델타-시그마 변조를 수행한다. (여기서, ' $f_s$ '는 델타-시그마 비트 스트림 레이트이고,  $M$ 은 브랜치들의 수, 즉, 이 경우에는 4이다). 단계(S103)에 일반적으로 도시된 바와 같이, 이 데이터 블록에 대한 델타-시그마 변조가 완료되면, 변조된 데이터는 (예를 들어, 출력 버퍼(17-1)를 통해서) 출력(20)으로 송신 가능하게 된다.

[0047]

단계(S111)에서 알 수 있는 바와 같이, 단계(S103)에서 처리된(변조된) 신호를 출력하자마자 (단계 S112)에서 다음 블록의 처리가 즉시 시작될 수 있도록, 단계(S103)에서 변조된 신호를 출력하기 전에, 이미 비어 있는 입력 버퍼(12-1)는 이 브랜치(11-1)에 의해서 처리될 필요가 있는 다음 데이터 블록(즉, 제4 후속 블록)으로 채워진다.

[0048]

또한, S201에서 일반적으로 나타낸 바와 같이, 제2 브랜치(11-2)(및 유사하게 제3 브랜치 및 제4 브랜치)는, 비

록 각각의 후속 브랜치에 대한 처리가 바로 직전의 브랜치에 대한 블록 길이만큼 시간적으로 시프트되지만, 단계(S101) 내지 단계(S103)을 참조하여 설명된 것과 동일한 과정을 수행한다.

[0049] 델타-시그마 변조기부(15-1)의 클록 레이트가 전체 비트 스트림 레이트(즉,  $f_s/4$ )의 1/4이므로, 각 데이터 블록의 처리는 (그러한 높은 주파수에서 작동하지 않을 수 있는) 종래의 델타-시그마 변조 기술들에 비해 실질적으로 4배 더 길어질 것이라는 점은 주목할 만하다

[0050] 그러나, 각각의 브랜치(11)는 동일한 레이트로 그것의 할당된 데이터 블록을 처리하고, (이 예시에서) 각각 전송 버스트의 1/4을 처리하는 4개의 브랜치들이 존재하기 때문에, (출력(20)에서의) 결과적인 출력 신호는 (입력(10)에서의) 원본 신호와 동일한 레이트를 갖는다. 유리하게는, 도 5의 단계(S111)에 도시된 바와 같이, 그 브랜치(11)에 의해서 처리될 실제 데이터를 수신하기 이전에 각 브랜치(11)의 입력 버퍼들(12)을 채울 때 (미리 정해진 수의 중첩되는 샘플들을 포함하는) 선택적인 “리드-인(lead-in)” 이 제공될 수 있다. 그러한 리드-인은 각각의 브랜치(11)가 (선행 브랜치의 상태와) 비교 가능한 상태에 도달하게 할 수 있는데, 그것은 결과적으로 하나의 브랜치(11)(스트림)로부터 다른 브랜치로의 출력 블록들 간의 스위칭으로부터 야기되는 과도 현상들(transients)을 유리하게 제거/최소화할 수 있다.

[0051] 예를 들어, 처리된 데이터 블록의 길이의 적어도 1%(그러나 바람직하게는 5% 내지 20%)의 선택적인 중첩은 복수의 병렬 브랜치들(11)을 통한 일련의 (연결된) 데이터 블록들의 처리에 따른 전체적인 노이즈 플로어를 크게 개선할 수 있다. 그러나, 리드-인 중첩의 사용 및 길이는 구현예, 예를 들어 변조되는 신호의 타입, 달성되는 증폭 레벨, 사용되는 브랜치들/블록들의 수, 브랜치들간에 FIFO 버퍼들이 공유되는지 여부 등에 따라 달라질 수 있다.

#### [0052] 노이즈 플로어

[0053] 도 6은 상이한 블록 길이들(B)에 대한 시뮬레이션 결과들을 나타내는 예시적인 전력 스펙트럼 밀도 다이어그램이다. 구체적으로, 도 6은 간단한 테스트 신호 및 4차 델타-시그마 변조기( $f_s = 4f_c$ )에 대한 결과를 도시한다.

이 경우 하단 곡선은 이상적인 노이즈 플로어를 나타내며 다른 곡선들(상단으로부터 하단으로)은 원하는 신호 부근에서 점진적으로 우수한 노이즈 플로어를 나타낸다. 상단 곡선은  $B=16$  샘플들의 블록 길이에 대응하고, 이 상적인 곡선 바로 위의 곡선(즉, 하부로부터 두 번째 곡선)은  $B=65536$  샘플들에 대응한다. 이 예시에서 사용된 리드-인 시간(L)은 블록 길이와 동일한데(즉,  $L=B$ ), 이는 현실의 시나리오들에서 요구되는 리드-인 시간에 대해 비판적으로 높은 추정치를 나타낸다. 어느 경우에도, L 값을 변경하는 것(예를 들어, 낮은 L 값을 선택하는 것)은 블록 길이(B)의 효과와 비교하여 곡선들에 거의 영향을 미치지 않는다는 점이 경험적으로 밝혀졌다. 그러나, 업샘플러들 및 주파수 시프트부들(13) 및 델타-시그마 변조기부들(15)의 유한한 메모리를 정확한 상태로 플러시(flush)하기 위하여, 도 1에 도시된 아키텍처의 경우 적절한 리드-인 시간 (예를 들어,  $L < B$ )이 필요할 수 있다는 점이 이해될 것이다.

[0054] 그 결과들은 충분히 긴 블록 길이(B)에서, DPT 변조기 회로(1)의 노이즈 플로어가 종래의 델타-시그마 변조기의 노이즈 플로어에 근접한다는 것을 나타낸다. 따라서 결과적인 노이즈 플로어는 실제적인 RF 증폭기 애플리케이션들에 대하여 충분히 낮다.

#### [0055] 고차 변조기로의 확장

[0056] 델타-시그마 변조기의 차수는 노이즈 셰이핑(shaping) 필터(도 3의  $H(z)$ )의 차수에 따라서 결정된다.

[0057] 일반적으로, 고차(예를 들어, 6차 이상) 델타-시그마 변조기는 저차(예를 들어, 4차) 델타-시그마 변조기와 비교하여 다수의 성능 이점을 제공하는 것으로 알려져 있다. 예를 들어, 6차 델타-시그마 변조기는 원하는 신호 주변의 주파수들에서 현저하게 낮은 노이즈 플로어를 생성하며, 그 결과 더 높은 신호 대 잡음비를 갖는 원하는 신호가 생성된다.

[0058] 또한 델타-시그마 변조기에 대한 입력에서 가능한 최대 수치의 신호를 사용하는 것이 유리한데, 그렇게 하면 가능한 최대의 원하는 출력 신호가 생성되고 총 출력 전력에 대한 원하는 출력 신호 전력의 비율이 최대가 되기 때문이며, 그에 따라 전력 효율적인 증폭기를 만드는 작업이 단순해 진다.

[0059] 그러나 고차 델타-시그마 변조기는 오직 조건부로만 안정하다. 그 결과, 특정한 최대 입력 레벨 아래의 신호들만이 변조기를 불안정하게 만들지 않으면서 변환될 수 있다. 변조기가 불안정해지는 레벨은 낮은 입력 레벨들에서 고차 변조기들이 불안정해지는 변조기 차수의 함수이다. 델타-시그마 변조기는 불안정한 경우 유용하지 않은데, 이는 델타-시그마 변조기가 바람직한 노이즈 셰이핑 특성들을 갖지 않기 때문이다. 결과적으로, 변조기의

차수와 최대 입력 레벨 사이에는 트레이드-오프(trade-off)가 존재한다. 예를 들어, 6차 델타-시그마 변조기들은 전력 효율적인 증폭기를 만드는 작업을 단순화하는 데 바람직한 레벨의 입력 신호들에 대하여 불안정해지는 것으로 알려져 있다.

[0060] 유익하게는, 상기 예시들의 변형은 바람직하지 않은 레벨의 불안정성을 야기하지 않으면서 고차 델타-시그마 변조가 적용되는 것을 허용한다. 구체적으로, 이 예시에서, DPT 변조기(1)는 고차(이 예에서는 6차) 델타-시그마 변조기들(15)을 사용하여 유한한 길이의 연결 독립 블록들을 처리하는데, 여기서 델타-시그마 변조기(15)는 각각의 새로운 블록을 처리하기 이전에 그것의 초기 상태로 리셋된다. 유리하게는, 이것은 변조기 불안정성이 매우 많은 수의 입력 샘플들(일반적으로 수백만 개) 이후에만 명백해진다는 사실을 이용한다.

[0061] 각 블록 사이에서 델타-시그마 변조기(15)를 리셋함으로써, DPT 변조기(1)는 종래의 6차 델타-시그마 변조기에 대하여 가능했던 것보다 훨씬 더 큰 수치 입력 신호들에 대하여 안정하게 유지될 수 있음을 알 수 있다. 따라서, 이는 DPT 변조기가 가능했던 것보다 훨씬 더 큰 원하는 출력 신호를 생성 할 수 있게 하여, 전력 효율적인 증폭기를 만드는 작업을 단순화시킨다.

[0062] 또한, 전술한 바와 같이, 고정 블록 길이를 사용하면, DPT 변조기(1)에 대하여, 종래의 델타-시그마 변조기 내에서 사용될 때 불안정한 노이즈 셰이핑 필터들의 다른 복소수의 사용을 가능하게 하는 가능성을 갖게 한다.

### [0063] 장점들

[0064] 요약하면, DPT 변조기 회로(1)를 갖는 델타-시그마 증폭 회로(2)는 종래의 델타-시그마 증폭기에 비해 적어도 다음과 같은 장점들을 제공한다.

[0065] 각각의 병렬 경로가 보다 느린 클럭 레이트에서 독립적으로 계산될 수 있기 때문에 DPT 변조기 회로(1)는 (종래의 델타-시그마 변조기들보다) 더 높은 비트 스트림 레이트를 달성할 수 있다. DPT 변조기 회로(1)는 블록 길이들을 임의로 길게 함으로써 (RF 사용에 적합한) 낮은 노이즈 플로어를 달성할 수도 있다.

[0066] 또한, DPT 변조기 회로(1)는 유리하게는 넓은 범위의 노이즈 셰이핑 필터들, 예를 들어, (필터들의 낮은 클럭 레이트로 인해) 다중 비트 곱셈을 포함하는 필터들을 사용할 수 있다. 유사하게, DPT 변조기 회로(1)는 (필터들의 더 낮은 클럭 레이트로 인해) 다중 비트 곱셈을 포함하는 재프로그래밍 가능한 노이즈 셰이핑 필터들을 사용할 수도 있다.

[0067] DPT 변조기 회로(1)는 특히 효율적인 선형 RF 증폭기 회로(2)의 일부로서 사용될 수 있다. 이 경우에, 다음의 이점들이 또한 달성될 수 있다:

[0068] - DPT 변조기의 1개의 전체적인 높은 델타-시그마 비트 스트림 레이트(그것의 출력(20)에서 측정됨)로 인한 높은 주파수에서의 동작;

[0069] - (높은 델타-시그마 비트 스트림 레이트로 인한) 높은 선형성;

[0070] - 전력 효율; 및

[0071] - 증폭 레벨에 대한 높은 유연성 및/또는 임의의 주파수에서의 동작(일반적으로 최대 델타-시그마 비트 스트림 레이트의 절반).

### [0072] 다른 변형들 및 대안들

[0073] 앞서 상세한 실시 예들이 기술되었다. 통상의 기술자가 이해할 수 있는 바와 같이, 전술한 실시 예들에 포함된 발명들로부터 여전히 장점을 얻으면서 많은 변형들 및 대안들이 전술한 실시 예들에 만들어 질 수 있다. 이제 이러한 다수의 대안들 및 수정들이 오직 예시로서 기술될 것이다.

[0074] 위 예시들에서, M개의 병렬 스트림들(브랜치들(11-1 내지 11-M))이 도시되었지만, 사용되는 병렬 스트림들의 실제 수는 델타-시그마 증폭기에 의해서 처리되는 RF 신호의 주파수에 의존할 수 있다. 예를 들어, RF 신호의 주파수가 높을수록 더 많은 스트림이 사용될 수 있다. (사용되지 않는 스트림들은 스위치 오프될 수 있음)

[0075] 사용될 수 있는 병렬 브랜치들의 수(M)에는 제한이 없으며, 이것이 각각의 병렬 경로가 임의의 낮은 클럭 주파수에서 동작할 수 있게 한다는 점이 이해될 것이다.

[0076] 도 2의 CIB 델타-시그마 증폭기와 관련된 추가 비용(기존 델타-시그마 증폭기 대비)은 병렬 분기들을 구현하기 위한 추가 실리콘 영역이 필요하기 때문에 발생한다. 그러나, 이 비용은 실제로는 매우 적으며 US\$1 미만으로

줄어들 수 있다.

- [0077] 실리콘 영역에 대한 가장 큰 잠재적 영향은 델타-시그마 변조기들 이전에 입력 FIFO 버퍼가 필요하다는 것이다. 입력 버퍼들이 그들과 관련된 델타-시그마 변조기의 입력에 직접 배치된다면 그것들은 B 샘플들보다 더 깊어야 한다. 그러나, 입력 버퍼들이 그들과 관련된 업샘플러 및 주파수 시프트부(도 1 참조)의 입력에 배치되면 업샘플링 비율(일반적으로 200)에 따라 크기가 줄어들 수 있다. 따라서, 도 1에 도시된 구성은 입력 버퍼들에 대한 관련 실리콘 크기(및 그에 따른 비용)를 무시할 수준으로 유리하게 감소시킨다.
- [0078] 그렇지만, FIFO 버퍼의 전반적인 크기 증가 및 그에 따른 실리콘 영역 또는 델타-시그마 증폭기를 구현하는데 필요한 회로 기관의 증가로 인한 잠재적인 비용에도 불구하고 입력 FIFO 버퍼들(12)과 업샘플러 및 주파수 시프트부(13)의 순서는 역전될 수 있다.
- [0079] 업샘플러 및 주파수 시프트부들에 의해 제공되는 기능은 선택적이며 도 1에 도시된 DPT 변조기를 실현하는데 그것이 필요하지 않다는 점이 이해될 것이다.
- [0080] 도 6을 참조하여 전술한 바와 같이, RF 증폭기에 의해 사용되는 연결 독립 블록(CIB) 기반 접근법은 관심 대역에서 노이즈 플로어를 유도할 수 있다. 노이즈 플로어는 병렬 델타-시그마 경로들 간을 스위칭하는데 필요한 횃수에 크게 영향을 받는다. 즉, 블록들이 작을수록 병렬 델타-시그마 경로들 간을 스위칭해야 할 필요가 커지므로 노이즈가 증가한다. 다시 말해서, 대기 시간(latency) 및 메모리 크기가 증가하더라도 블록 길이를 늘림으로써 노이즈 플로어가 줄어들 수 있다.
- [0081] 델타-시그마 스트림들이 중첩되는 윈도우 기간을 가지며 2개의 비트스트림들의 출력들 사이에 통계적 페이딩(fading)을 적용함으로써 병렬 델타-시그마 경로들 사이(즉, 브랜치로부터 브랜치로의)를 스위칭하는 것과 관련된 노이즈 과도 현상을 감소시키는 것이 가능할 수 있음이 이해될 것이다. 2개의 비트 스트림들 사이의 통계적 페이딩은, 예를 들어, 가중 무작위(weighted random) 기초상에서 제1 또는 제2 비트 스트림으로부터 비트들을 선택함으로써 달성될 수 있다. 이 경우, 페이딩 윈도우의 시작에서, 비트들은 제1 비트 스트림으로부터 선택될 가능성이 더 높다. 페이딩 윈도우의 중간에서 비트들은 두 비트 스트림으로부터 동일하게 선택될 수 있다. 페이딩 윈도우의 끝에서, 비트들은 제2 비트 스트림으로부터 선택될 가능성이 더 높다.
- [0082] 중첩 윈도우 기간을 제공함으로써 병렬 델타-시그마 경로들 간의 스위칭과 관련된 노이즈 과도 현상 및 노이즈 플로어를 감소시키는 것이 또한 가능할 수 있다. 이 경우, 이 윈도우 기간 동안 두 델타-시그마 변조기 경로들 사이의 최소/최적 상태 차이의 사이클에서 스위치 오버가 발생할 수 있다.
- [0083] 하나의 특히 유리한 예시에서, 동일한 데이터에 대하여 상이한 각각의 델타-시그마 경로를 나타내지만 상이한 부분들에서 CIB들의 경계를 갖는 2개의 병렬 비트 스트림들로부터의 데이터는, 각각의 경로 버전으로부터 결합된 합계로의 기여도를 가중시키기 위하여 미리 정해진 윈도우 함수를 사용하여 결합될 수 있다. 그러한 윈도우 함수(또는 '가중 함수')는 두 경로 버전들의 출력들을 점진적으로 전환한 다음 다시 역으로 적용함으로써 각 경로의 CIB들의 가장자리에서 데이터의 기여도가 최소화되도록 할 수 있다. 그러한 점진적인 스위칭은 (주어진 블록 길이에 대하여) 단일 비트 스트림의 출력만을 사용할 때와 비교하여 노이즈 플로어를 상당히 감소시킬 수 있다. 다시 말해서, 윈도우 함수를 사용하여 두 버전의 델타-시그마 경로들의 출력들을 점진적으로 교번함으로써, 큰 블록 길이를 사용하는 (그러나 가중 윈도우는 사용하지 않는) DPT 회로에 비해서 RF 증폭기는 상대적으로 작은 블록 길이들에서도 동일한 (또는 경우에 따라 더 낮은) 노이즈 플로어를 얻을 수 있다. 따라서, (상대적으로 작은 블록 길이들에 대해서조차도) 2개의 비트 스트림들의 출력들 사이에서 윈도우 함수에 기초한 점진적인 스위칭을 사용함으로써 증가된 블록 길이와 관련된 결점들(예를 들어, 대기 시간)이 완화될 수 있다.
- [0084] 블록 길이를 바람직하지 않은 레벨로 증가시키지 않으면서 감소된 노이즈 플로어를 달성하기 위하여 다수의 적절한 윈도우 함수가 사용될 수 있다는 점이 이해될 것이다. 그러한 윈도우 함수는 (예를 들어, 도 1에 도시된 회로의 두 버전의 개별적인 다중화기 회로 출력들 이후에) 적절한 지점에서 비트 스트림들(그들의 출력들이 결합됨)에 적용될 수 있다는 점이 이해될 것이다. 그러한 예시적인 윈도우 함수들 중 2개는 도 7a 내지 도 10을 참조하여 아래에서 기술된다.
- [0085] 제1 예시에서, 2개의 DPT 변조기 유닛들의 출력들은 도 7a 및 도 7b에 도시된 삼각 윈도우 함수에 따라서 가중된 방식으로 결합된다. 도 8은 결과적인 스펙트럼을 나타낸다. (6차 40MHz 대역폭, 3GHz 샘플 레이트 사용)
- [0086] 삼각 윈도우 함수를 사용하면 (삼각 윈도우 함수를 사용하지 않을 때 3dB의 하락과 비교하여) 블록 길이가 두 배가 될 때마다 노이즈 플로어가 6dB씩 하락하는 것이 나타났다. 블록 길이 'N'을 갖는 일반적인 CIB(윈도우 함수를 사용하지 않는 RF 증폭기)의 성능은 (예를 들어, 도 7a 및 7b에 도시된 바와 같이) 윈도우 함수를 사용할

때 블록 길이  $\sqrt{N}$ 로 달성할 수 있다.

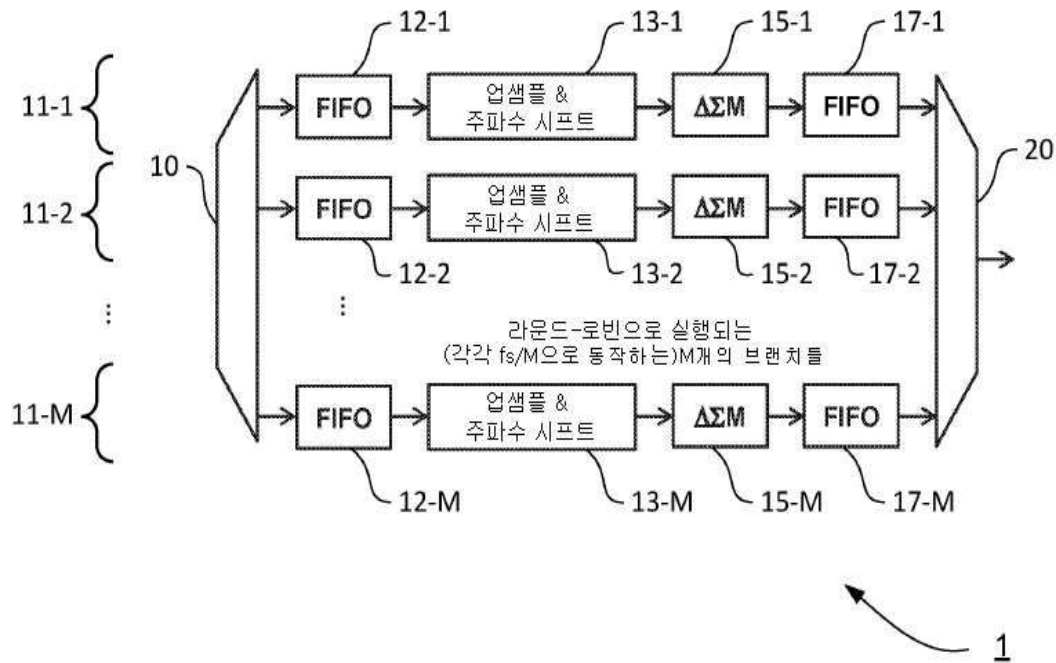
- [0087] 유리하게, 이 윈도우 접근법은 지연 및 필요한 메모리 자원을 대폭 감소시킨다. 이는 (대략)  $N=256$ 에서  $N=1000$  범위의 블록 길이들을 사용하여 기존의 델타-시그마 컨버터들(여기서, 효율적으로, 'N'= 무한대)와 동일한 성능을 달성할 수 있게 한다.
- [0088] 도 9a 및 9b는 (계단들에서 4비트 분해능, 즉 16개의 개별 계단들을 갖는) 계단형 삼각 윈도우 함수를 도시하고, 도 10은 (6차 40MHz 대역폭, 3GHz 샘플 속도를 사용한) 결과적인 스펙트럼을 도시한다. 비록 그러한 계단형 삼각 윈도우가 노이즈 플로어에 미치는 영향은 도 7a의 삼각 윈도우만큼 좋지는 않지만, (윈도우 함수를 사용하지 않는) 일반적인 CIB를 사용하는 것보다 약 10~12dB 더 우수하다. 이것은 계단형 삼각 윈도우에서 분해능의 각 비트에 대한 노이즈 플로어가 약 3dB 감소한다는 것을 암시한다. 이것은 또한  $N=256$ 의 블록 길이를 갖는 계단형 삼각 윈도우 함수를 사용할 때 최적의 성능을 얻기 위해 약 10비트의 분해능이 필요함을 암시한다.
- [0089] 윈도우 함수를 사용할 때, 2개의 경로 버전들로부터의 기여도들의 결합된 가중치(즉, 도 7b 및 도 9b의 '가중치 1'과 '가중치 2'의 합)는 일정하다는 점이 이해될 것이다.
- [0090] DPT 변조기는 전형적으로 주문형 집적 회로(ASIC) 또는 필드 프로그래머블 게이트 어레이(FPGA) 상에 구현될 것이라는 점이 이해될 것이다. 델타-시그마 비트 스트림은 여러 개의 직렬화된 디시리얼라이저(SerDes) 출력들로 라우팅될 수 있으며, 이는 서로 다른 대역 통과 특성을 갖는 여러 RF 드라이버 스테이지들에 대한 용이한 연결을 허용할 수 있다.
- [0091] 28GHz에서 스위칭할 수 있는 SerDes와 함께 FPGA를 이용할 수 있음이 이해될 것이다. 따라서 극초단파 애플리케이션(예: 최대 14GHz)을 위한 델타-시그마 RF 증폭기들을 지원하는 것이 가능하다.
- [0092] 델타-시그마 증폭기는 넓은 대역에 걸쳐 이격된 다수의 반송파들에 대한 신호들을 생성할 수 있음이 이해될 것이다. (즉, 동일한 델타-시그마 증폭기는 그 대역폭 내에서 이격된 여러 반송파들로 넓은 대역폭에서 동작하도록 구성될 수 있다. 대안적으로, 동일한 델타-시그마 증폭기는 넓은 대역폭에 걸쳐 이격된 몇몇 좁은 대역들을 통해 좁은 대역들 각각에서 반송파로 동작하도록 구성될 수 있다.)
- [0093] RF 구동 트랜지스터들 및/또는 아날로그 대역 통과 필터에 의해 야기되는 임의의 비선형성은 변조된 신호의 사전 왜곡을 통해 보상될 수 있음이 이해될 것이다.
- [0094] 특정한 고전력 RF 트랜지스터들은 일부 애플리케이션들에 대하여 충분히 빠르지 않을 수 있음이 이해될 것이다. 이러한 한계를 완화하기 위하여, 다수의 RF 트랜지스터들을 동시에 구동하기 위해서 델타-시그마 비트 스트림이 바이너리에서 멀티 비트로 확장될 수 있다. 이 경우, RF 트랜지스터들은 동일하거나 가중된 구동 강도를 가질 수 있다.
- [0095] 다수의 브랜치들을 사용하는 DPT 변조기는 디지털-아날로그 컨버터의 일부 및/또는 아날로그-디지털 컨버터의 일부로서 구현될 수 있음이 이해될 것이다.
- [0096] 다수의 브랜치들을 사용하는 DPT 변조기는 무선 송신기 및/또는 무선 수신기의 일부로서 구현될 수 있음이 이해될 것이다.
- [0097] 위 설명에서, 예시적인 구현은 LTE 통신 기술을 위한 델타-시그마 증폭기에 대해 주어진다. 그러나, 위 솔루션은 Wi-Fi, 블루투스 등과 같은 다른 통신 기술을 이용하여 구현될 수 있음이 이해될 것이다. 위 실시 예들은 사용자 장비 및/또는 기지국 장치와 같은 '비 모바일(non-mobile)' 및 일반적으로 고정된 통신 장치들 모두에 적용 가능하다.
- [0098] 상기 분할 수단은 역다중화를 포함 할 수 있고 상기 결합 수단은 다중화를 포함할 수 있다.
- [0099] 각각의 델타-시그마 변조 수단은 일반적으로 브랜치들의 수에 반비례하는 브랜치 변조 레이트로 동작하도록 구성될 수 있다. 예를 들어, 변조 레이트는 적어도 대략적으로  $f_b = f_s/M$ 의 수학적식으로 정의될 수 있으며, 여기서 ' $f_b$ '는 브랜치 변조 레이트이고, ' $f_s$ '는 단일 델타-시그마 변조기를 사용하여 상기 반송파 주파수를 갖는 신호를 처리하는데 필요한 기본적인 변조 레이트이고, 'M'은 브랜치들의 수이다.
- [0100] 반송파 주파수는 800MHz 내지 14GHz (바람직하게는 LTE 네트워크에서 사용되는 800MHz 내지 2600MHz)일 수 있으며, 각각의 델타-시그마 변조 수단은 50MHz 내지 200MHz의 브랜치 변조 레이트로 동작하도록 구성될 수 있다.
- [0101] 상기 복수의 신호 처리 브랜치들은 실질적으로 병렬 방식으로 상기 복수의 데이터 스트림 부분들 각각의 델타-

시그마 변조를 수행하도록 구성될 수 있다.

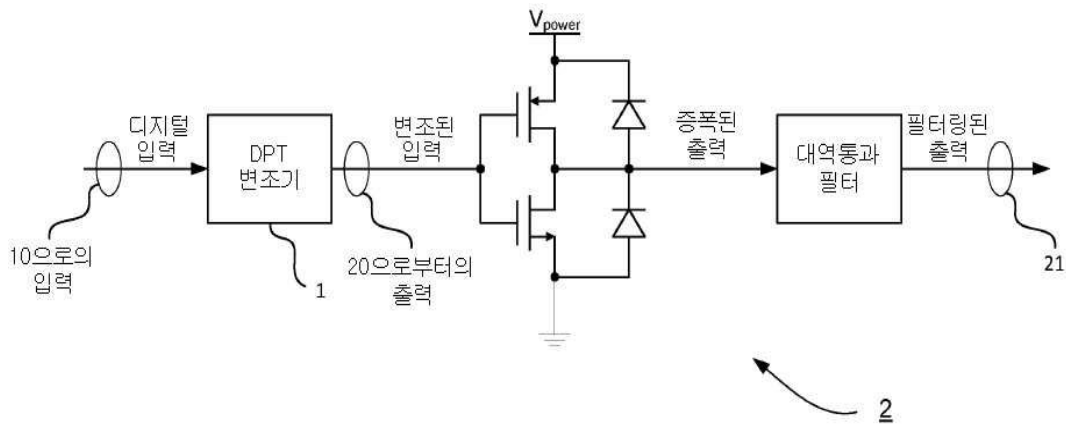
- [0102] 상기 분할 수단은 상기 입력 데이터 스트림을 시간순으로 일반적으로 연속적인 블록들의 시퀀스로 분할하도록 동작할 수 있으며, 각각의 블록은 상기 데이터 스트림 부분들 중 상이한 하나를 형성한다. 이 경우, 상기 일반적으로 연속적인 블록들 각각은 상기 시퀀스의 적어도 하나의 (바람직하게는 2개의) 이웃하는 블록들에 공통인 부분을 가질 수 있다.
- [0103] 상기 복수의 신호 처리 브랜치들 각각은 연관된 데이터 스트림 부분들을 버퍼링하기 위한 개별적인 입력 버퍼를 가질 수 있다. 개별적인 입력 버퍼는 FIFO(first-in/first-out) 버퍼를 포함할 수 있다.
- [0104] 상기 복수의 신호 처리 브랜치들 각각은 상기 브랜치의 상기 델타-시그마 변조 수단에 의한 변조를 위하여 입력 데이터를 업샘플링 및 주파수 시프팅하기 위한 각각의 수단을 포함할 수 있다.
- [0105] 델타-시그마 변조는 바람직하게는 클래스-D 출력 스테이지를 사용하는 증폭기에 적용될 수 있다. 이는 특히 전력 효율성면에서 이점을 제공한다.
- [0106] 다양한 다른 변형이 통상의 기술자에게 명백할 것이므로 여기서는 더 상세히 기술되지 않을 것이다.

## 도면

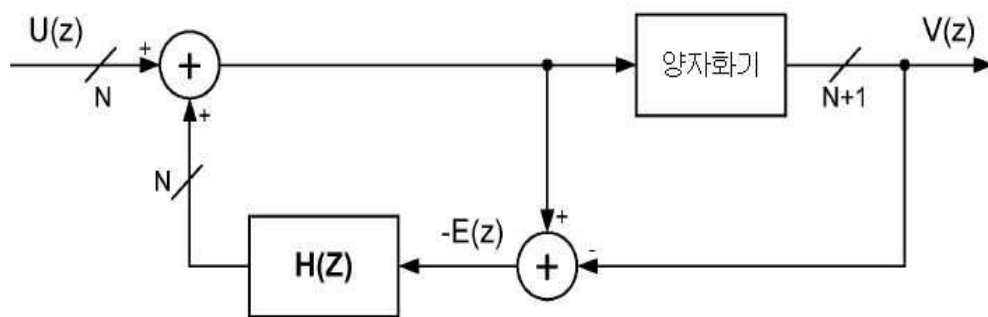
### 도면1



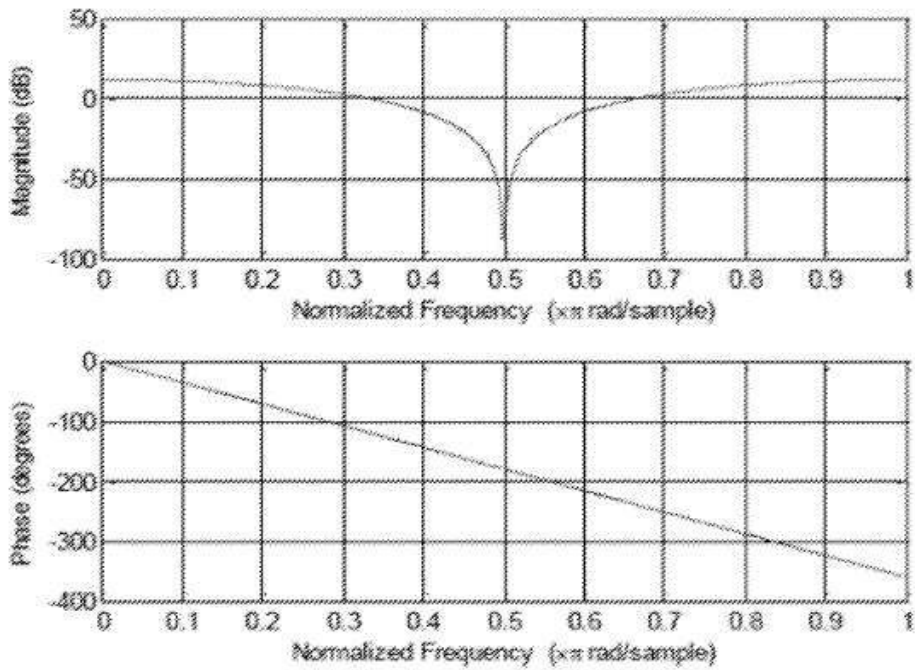
도면2



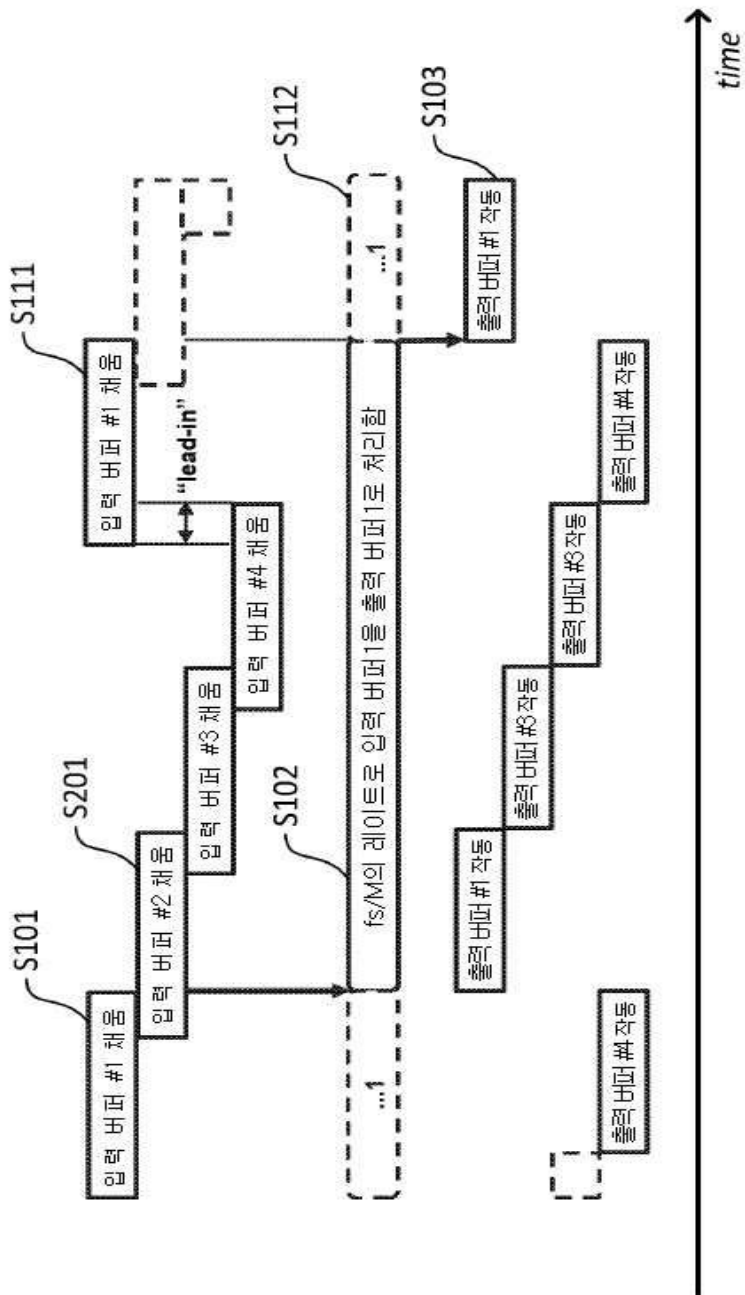
도면3



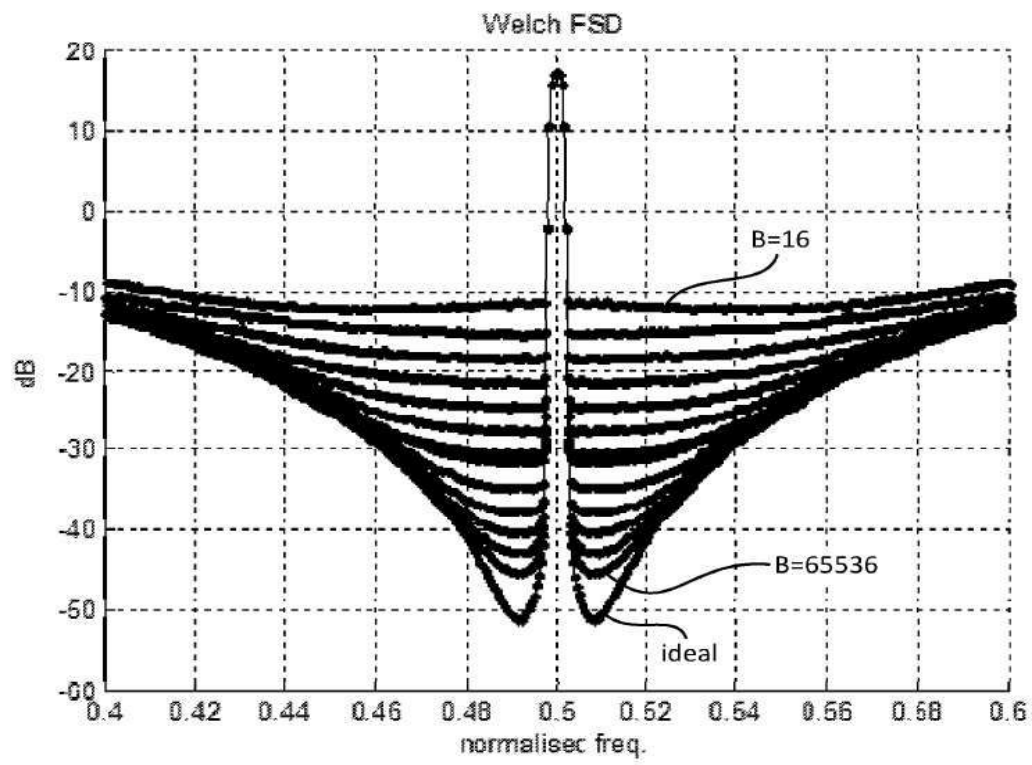
도면4



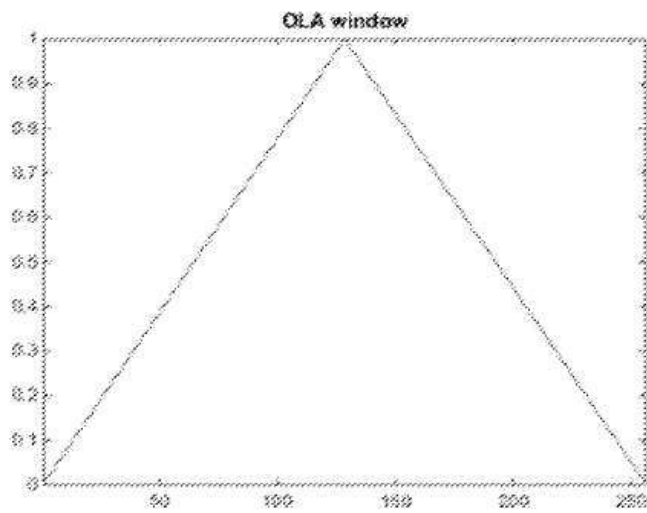
도면5



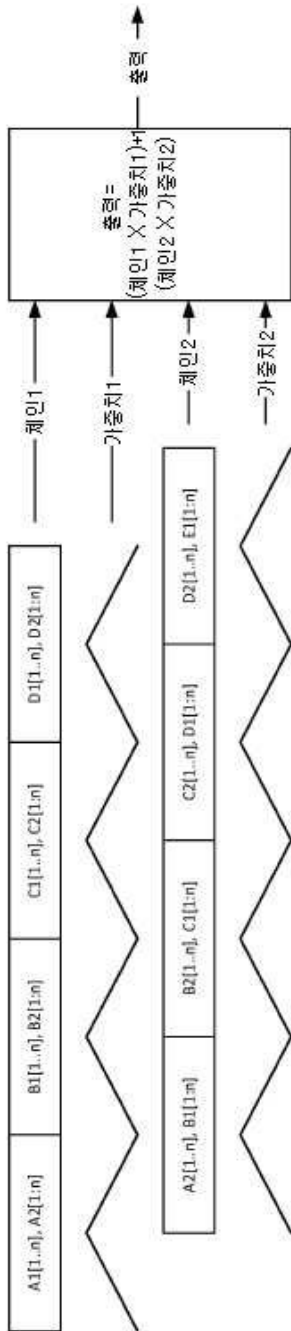
도면6



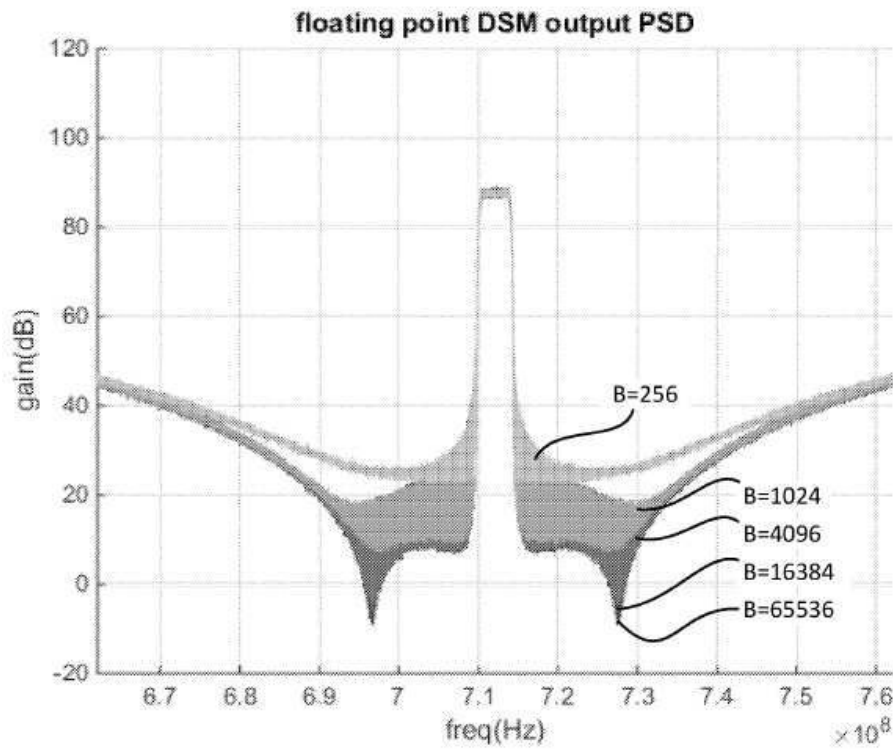
도면7a



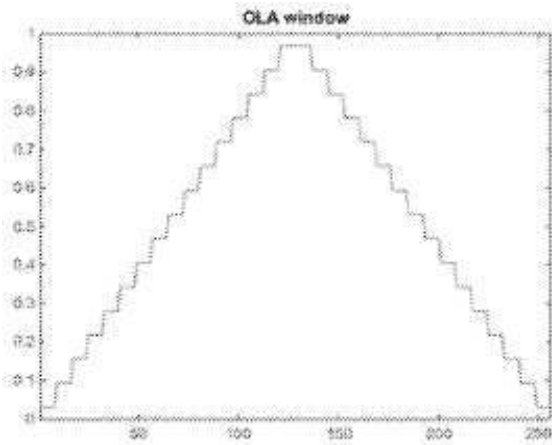
도면7b



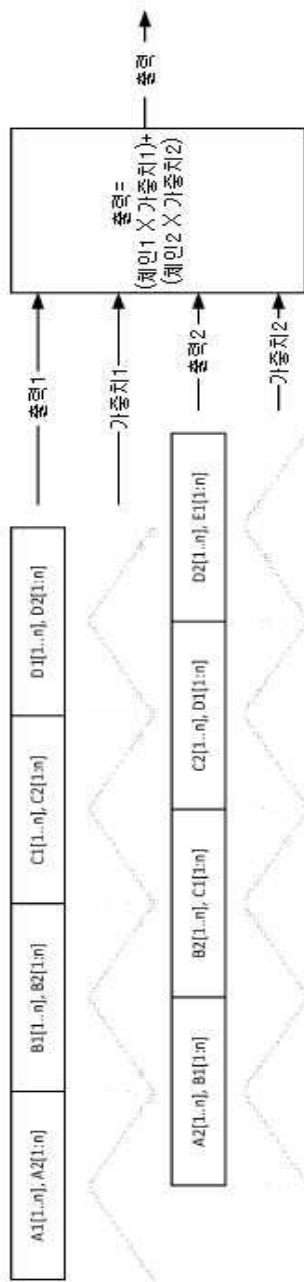
도면8



도면9a



도면9b



도면10

