



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I858366 B

(45)公告日：中華民國 113 (2024) 年 10 月 11 日

(21)申請案號：111128260

(22)申請日：中華民國 111 (2022) 年 07 月 28 日

(51)Int. Cl. : H01L31/04 (2014.01)

H01L31/14 (2006.01)

H04N5/30 (2006.01)

(30)優先權：2022/01/05 美國

17/568,909

(71)申請人：美商豪威科技股份有限公司 (美國) OMNIVISION TECHNOLOGIES, INC. (US)
美國

(72)發明人：王 勤 WANG, QIN (SG) ; 臧 輝 ZANG, HUI (SG)

(74)代理人：陳長文

(56)參考文獻：

CN 105405854A

US 11183523B2

US 2019/0252428A1

審查人員：林君濤

申請專利範圍項數：16 項 圖式數：3 共 38 頁

(54)名稱

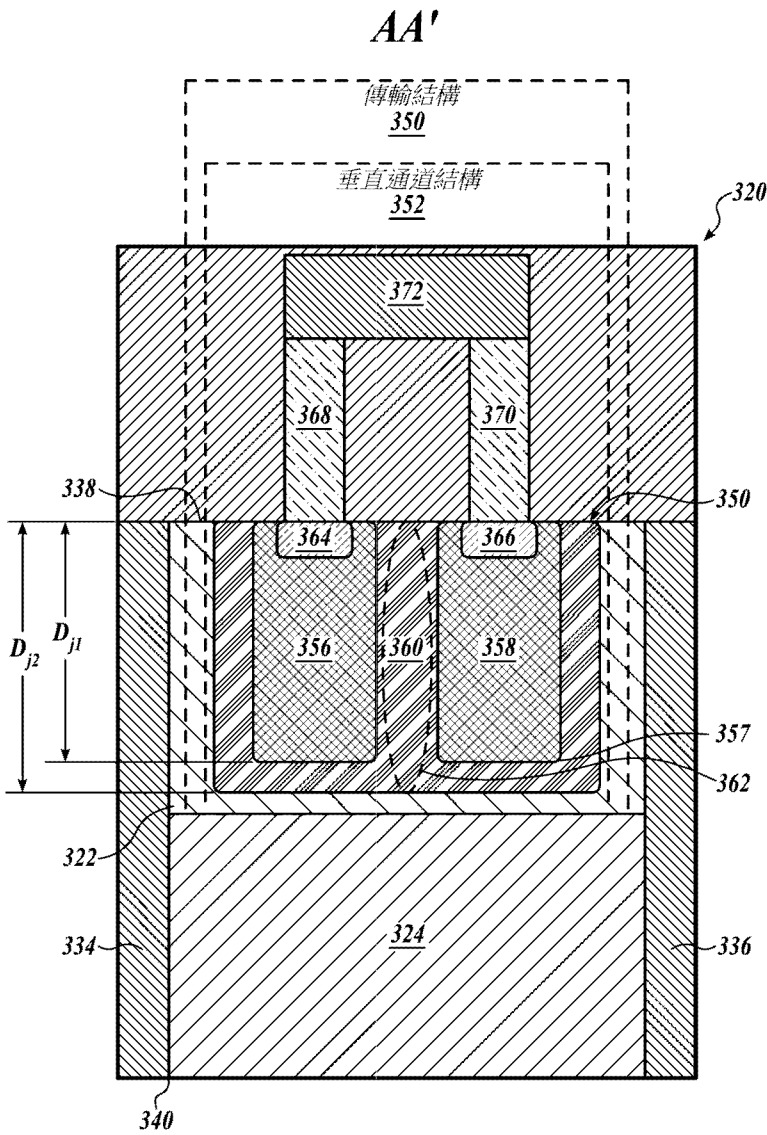
垂直傳輸結構

(57)摘要

諸如用於影像感測器及電子裝置之像素包含形成於一半導體基板中之一光電二極體、一浮動擴散區及選擇性地將該光電二極體耦合至該浮動擴散區之一傳輸結構。該傳輸結構包含：一傳輸閘，其形成於該半導體基板上；及一垂直通道結構，其包含形成於該傳輸閘與該光電二極體之間的該半導體基板中之間隔開的第一摻雜區。各間隔開的第一摻雜區以一第一摻雜劑濃度摻雜有一第一型摻雜劑。該等間隔開的第一摻雜區形成於以一第二摻雜劑濃度摻雜有一不同導電類型之一第二型摻雜劑之一第二摻雜區中。

Pixels, such as for image sensors and electronic devices, include a photodiode formed in a semiconductor substrate, a floating diffusion, and a transfer structure selectively coupling the photodiode to the floating diffusion. The transfer structure includes a transfer gate formed on the semiconductor substrate, and a vertical channel structure including spaced apart first doped regions formed in the semiconductor substrate between the transfer gate and the photodiode. Each spaced apart first doped region is doped at a first dopant concentration with a first-type dopant. The spaced apart first doped regions are formed in a second doped region doped at a second dopant concentration with a second-type dopant of a different conductive type.

指定代表圖：



【圖3A】

符號簡單說明：

- 320:像素
- 322:半導體基板
- 324:光電二極體
- 334:隔離結構
- 336:隔離結構
- 338:前側/前側表面/前表面
- 340:背側
- 350:傳輸結構
- 352:垂直通道結構
- 356:P 型摻雜區/第一摻雜區
- 357:遠端
- 358:P 型摻雜區/第一摻雜區
- 360:N 型摻雜區
- 362:電荷載子通道區或通道區/電荷載子通道
- 364:接觸區域
- 366:接觸區域
- 368:接觸件/導電跡線
- 370:接觸件/導電跡線
- 372:金屬互連件
- D_{j1} :接面深度
- D_{j2} :接面深度



I858366

【發明摘要】

【中文發明名稱】

垂直傳輸結構

【英文發明名稱】

VERTICAL TRANSFER STRUCTURES

【中文】

諸如用於影像感測器及電子裝置之像素包含形成於一半導體基板中之一光電二極體、一浮動擴散區及選擇性地將該光電二極體耦合至該浮動擴散區之一傳輸結構。該傳輸結構包含：一傳輸閘，其形成於該半導體基板上；及一垂直通道結構，其包含形成於該傳輸閘與該光電二極體之間的該半導體基板中之間隔開的第一摻雜區。各間隔開的第一摻雜區以一第一摻雜劑濃度摻雜有一第一型摻雜劑。該等間隔開的第一摻雜區形成於以一第二摻雜劑濃度摻雜有一不同導電類型之一第二型摻雜劑之一第二摻雜區中。

【英文】

Pixels, such as for image sensors and electronic devices, include a photodiode formed in a semiconductor substrate, a floating diffusion, and a transfer structure selectively coupling the photodiode to the floating diffusion. The transfer structure includes a transfer gate formed on the semiconductor substrate, and a vertical channel structure including spaced apart first doped regions formed in the semiconductor substrate between the transfer gate and the photodiode. Each spaced apart first doped region is doped at a first dopant concentration with a first-type dopant. The

spaced apart first doped regions are formed in a second doped region doped at a second dopant concentration with a second-type dopant of a different conductive type.

【指定代表圖】

圖3A

【代表圖之符號簡單說明】

320: 像素

322: 半導體基板

324: 光電二極體

334: 隔離結構

336: 隔離結構

338: 前側/前側表面/前表面

340: 背側

350: 傳輸結構

352: 垂直通道結構

356: P型摻雜區/第一摻雜區

357: 遠端

358: P型摻雜區/第一摻雜區

360: N型摻雜區

362: 電荷載子通道區或通道區/電荷載子通道

364: 接觸區域

366: 接觸區域

368: 接觸件/導電跡線

370: 接觸件/導電跡線

372: 金屬互連件

D_{j1} : 接面深度

D_{j2} : 接面深度

【發明說明書】

【中文發明名稱】

垂直傳輸結構

【英文發明名稱】

VERTICAL TRANSFER STRUCTURES

【技術領域】

【先前技術】

【0001】 本發明大體上係關於影像感測器，且特定而言但不排他性地，係關於用於影像感測器之垂直傳輸結構。

【0002】 影像感測器無處不在。其等廣泛用於數位相機、蜂巢式電話、保全相機以及醫療、汽車及其他應用中。用以製造影像感測器之技術持續高速進步。例如，對更高解析度及更低功率消耗之需求促成此等裝置之進一步小型化及積體化。此等趨勢亦有助於增加像素計數。

【0003】 在像素架構中，在像素深處形成一光電二極體可改良全井容量，減少白色像素(WP)，且實現一更小佈局。在此等實施例中，通常利用一垂直傳輸閘以將電荷載子自光電二極體傳輸至其他像素元件(例如，一浮動擴散區)。垂直傳輸閘通常藉由在半導體基板中蝕刻一柱形或單片形凹口、在該凹口中沈積氧化物層且接著在氧化物層上之該凹口中沈積一導電閘極材料來形成。然而，與平面傳輸閘相比，此等垂直傳輸閘具有更大數目個表面，藉由蝕刻，諸如電漿蝕刻產生該表面會將表面缺陷引入至半導體基板中，此繼而致使白色像素及其他有害效應。此外，在一積分週期期間選擇垂直傳輸閘之閘極控制電壓通常需要光暈與白色像素之間的一折衷。

【0004】 本發明提供解決此等缺點之結構。

【0005】 以上資訊僅作為背景資訊來呈現以輔助理解本發明。關於任何以上內容是否可能適用於關於本發明之先前技術，未做出決定，且未做出斷言。

【發明內容】

【圖式簡單說明】

【0006】 參考下圖描述本發明之非限制性及非窮舉性實施例，其中貫穿各個視圖類似元件符號指代類似部件，除非另有指定。

【0007】 圖1係繪示根據本發明之教示之一影像感測器之一實施例之一方塊圖。

【0008】 圖2係根據本發明之教示之體現一傳輸結構之一代表性像素之一圖佈局。

【0009】 圖3A係體現根據本發明之教示之一傳輸結構之沿著等效於圖2中所展示之線AA'之一截面線截取之一像素之一部分之一第一截面視圖。

【0010】 圖3B係沿著等效於圖2中所展示之線BB'之一截面線截取之圖3A之像素之一第二截面視圖。

【0011】 圖3C係沿著等效於圖2中所展示之線CC'之一截面線截取之圖3A之像素之一第三截面視圖。

【0012】 貫穿圖式之若干視圖，對應參考字元指示對應組件。熟習此項技術者將明白，圖中之元件係為簡單及清楚起見而繪示且不一定按比例繪製。例如，圖中之一些元件之尺寸可能相對於其他元件被誇大以幫助改良對本發明之各項實施例之理解。另外，通常未描繪在一商業上可行的

實施例中有用或必需之常見但易於理解的元件以便促進對本發明之此等各項實施例之一更清楚觀察。

【實施方式】

【0013】 本發明係關於影像感測器，且特定而言，係關於用於影像感測器之垂直傳輸結構。為了促進理解，本發明在互補金屬氧化物半導體(「CMOS」)影像感測器之背景下描述垂直傳輸結構。然而，應明白，本發明不應限於用於CMOS影像感測器之垂直傳輸結構，而是可應用於非CMOS影像感測器。在以下描述中，闡述眾多特定細節以提供對該等實例之一透徹理解。然而，相關技術者將認知，本文中所描述之技術可在沒有該等特定細節之一或多者之情況下，或使用其他方法、組件、材料等來實踐。在其他例項中，未詳細地展示或描述熟知結構、材料、或操作以避免模糊特定態樣。

【0014】 貫穿本說明書對「一實施例」或「一些實施例」之引用意謂著結合該實施例所描述之一特定特徵、結構或特性包含於本發明之至少一項實施例中。因此，本說明書通篇出現之片語「在一些實施例中」或「在一實施例中」不一定全部指代同一實例。此外，任何實施例之特定特徵、結構或特性可與任何其他實施例之任何特徵組合以達成在本發明之範疇內之又其他實施例。

【0015】 本發明提及關於不同實施例(包含設備及方法)之數個術語。具有類似名稱之術語具有關於不同實施例之類似含義，除非明確地指出。類似地，本發明利用數個技術術語。此等術語具有其等在其等所源自之領域中之普通含義，除非本文中具體地定義或其等使用上下文將清楚地另有建議。應注意，貫穿本文獻可互換地使用元素名稱及符號(例如，Si

與矽)；然而，兩者具有相同含義。具有類似名稱之術語關於不同實施例具有類似含義，除非明確地指出。

【0016】 為便於描述，在本文中可使用空間相對術語，諸如「在...下面」、「在...下方」、「下」、「在...下」、「在...上方」、「上」及類似者以描述一個元件或特徵與另一(些)元件或特徵之關係，如圖中所繪示。將理解，除圖中所描繪之定向以外，空間相對術語亦意欲於涵蓋裝置在使用或操作中之不同定向。例如，若圖中之裝置被翻轉，則被描述為「在其他元件或特徵下方」、「在其他元件或特徵下面」或「在其他元件或特徵下」之元件將被定向為「在其他元件或特徵上方」。因此，實例性術語「在...下方」及「在...下」可涵蓋在...上方及在...下方兩個定向。裝置可以其他方式定向(旋轉九十度或按其他定向)且可據此解釋本文中所使用之空間相對描述詞。另外，亦將理解，當一層被稱為「在兩個層之間」時，其可為該兩個層之間的唯一層，或亦可存在一或多個中介層。

【0017】 在本發明中，術語「半導體基板」或「基板」指代用於在其上形成半導體裝置之任何類型之基板，包含單晶基板、絕緣體上半導體(SOI)基板、摻雜矽體基板及半導體上磊晶膜(EPI)基板及類似者。術語半導體基板亦可指代由一或多種半導體形成之一基板，該等半導體經受在該基板中形成區及/或接面之預處理步驟，包含蝕刻、材料沈積及離子植入。此外，儘管將主要關於與矽基半導體材料(例如，矽及矽與鍺及/或碳之合金)相容之材料及製程來描述各項實施例，但本技術在此方面不受限制。相反，可使用任何類型之半導體材料，諸如砷化鎵、砷化鎢鎵及熟習此項技術者已知之其他半導體材料來實施各項實施例。

【0018】 應明白，術語「光電二極體摻雜區」可對應於半導體基板

內之一區，該區已例如藉由離子植入而被摻雜以具有相對於半導體基板之多數電荷載子類型相反之一電荷載子類型(即，導電類型)，使得摻雜區(例如，本文中被稱為光電二極體摻雜區)之一外周形成一光電二極體之一PN接面或PIN接面。例如，形成於一P型半導體基板中之一N摻雜區形成一對應光電二極體區。在一些實施例中，一光電二極體可進一步包含一釘紮區(例如，安置於半導體基板之一側與具有和光電二極體區導電類型相反之一導電類型之光電二極體摻雜區之間的一摻雜區)以形成一釘紮光電二極體。例如，當光電二極體摻雜區係一N型導電性且半導體基板亦係一P型導電性時，釘紮區可具有一P型導電性。

【0019】 本申請案亦可引用數量及數目。除非具體地陳述，否則此等數量及數目不應被認為係限制性的，而是代表與本申請案相關聯之可能數量或數目。再者，在此方面，本申請案可使用術語「複數」來指代一數量或數目。在此方面，術語「複數」意指多於一之任何數目，例如二、三、四、五等。術語「約」、「近似」、「接近」等意謂所陳述值之正或負5%。出於本發明之目的，片語「A、B及C之至少一者」例如意謂(A)、(B)、(C)、(A及B)、(A及C)、(B及C)或(A、B及C)，包含列出大於三個元件時之所有進一步可能排列。片語「A、B或C之至少一者」具有相同含義。

【0020】 圖1係繪示具有像素120之一像素陣列102之一代表性影像感測器100之一項實例之一圖。如所展示，像素陣列102耦合至一讀出電路系統104 (其耦合至一功能邏輯106)及一控制電路108。

【0021】 像素陣列102係像素120 (例如，像素P1、P2...、Pn)之一二維(「2D」)陣列。在一項實施例中，各像素120係一互補金屬氧化物半

導體(「CMOS」)成像像素。像素陣列102可被實施為一背照式影像感測器陣列。在一些實施例中，像素120之一或多者包含如下文所描述之一或多個像素元件，其包含本文中所描述之具有垂直傳輸結構之一或多者之一傳輸結構、浮動擴散區、源極隨耦器電晶體、列選擇電晶體及重設電晶體。如所繪示，像素120配置成列(例如，列R1至Ry)及行(例如，行C1至Cx)以獲取一人、地點或物件之影像資料，接著可使用該影像資料來再現人、地點或物件之一2D影像。

【0022】 在像素120已獲取其影像資料或影像電荷之後，由讀出電路系統104讀出影像資料且將其傳輸至功能邏輯106。讀出電路系統104可包含放大電路系統，例如，一差分放大器電路系統、類比至數位(「ADC」)轉換電路系統或其他電路系統。在一些實施例中，讀出電路系統104可沿著讀出行線一次讀出一列影像資料(如所繪示)或可使用多種其他技術(未繪示)來讀出影像資料，諸如串列讀出或同時完全並列讀出所有像素。

【0023】 功能邏輯106包含用於儲存影像資料或甚至藉由應用影像後效應(例如，裁剪、旋轉、移除紅眼、調整亮度、調整對比度或其他方式)來操縱影像資料之邏輯及記憶體。

【0024】 控制電路108耦合至像素120且包含用於控制像素120之操作特性之邏輯及記憶體。例如，控制電路108可產生控制與各像素120相關聯之傳輸結構之操作之電壓控制信號(例如，傳輸信號及切斷信號)。例如，控制電路108可產生用於控制影像獲取之一快門信號。在一些實施例中，快門信號係用於同時使所有像素120能夠在單個獲取視窗期間同時捕獲其等各自影像資料之一全域快門信號。在一些實施例中，快門信號係一

捲動快門信號，藉此在連續獲取視窗期間循序地啟用像素120之各列、各行或各群組。

【0025】圖2展示一代表性像素220之一佈局，該像素形成諸如圖1之影像感測器100之一影像感測器之部分，該影像感測器自身可積體至一諸如智慧型電話、一數位相機、一內窺鏡或類似者之一電子裝置中。圖2中所展示之像素佈局係代表性的，且本發明之教示一特別是下文所描述之傳輸結構一可體現於許多其他像素佈局中。

【0026】像素220至少部分地由具有一作用像素區域及一裝置電晶體區域之一半導體基板222形成。作用像素區域包含至少一個光電二極體224、一浮動擴散區226及經組態以選擇性地在光電二極體224與浮動擴散區226之間形成一電荷載子通道之一傳輸結構250。傳輸結構250包含如下文詳細地描述之一垂直通道結構252及傳輸閘254。光電二極體224形成於浮動擴散區226、傳輸結構250下面之半導體基板222中。在任何實施例中，為了增加光電二極體224之全井容量，光電二極體224之部分可在裝置電晶體區域中之電晶體元件下面延伸且形成於其等下面，例如到達邊界227a之範圍，其中裝置電晶體區域至少包含一重設電晶體228、一源極隨耦器電晶體230及一系列選擇電晶體232。在一些實施例中，光電二極體224可不在裝置電晶體區域下面延伸，例如，電二極體224可到達邊界227b之範圍。在實施例中，光電二極體224之部分可配置且延伸至邊界227a與邊界227b之間的一位置。

【0027】光電二極體224經組態以回應於在影像感測器之一積分週期期間接收之傳入光而光生及累積電荷載子(例如，電子、電洞)。例如在一影像感測器之積分週期期間，經光生電荷載子累積於光電二極體224之

一電荷累積區(例如，傳輸閘254之源極)中，可取決於施加至傳輸結構250(例如，傳輸結構250之垂直通道結構252及傳輸閘254)之電壓而選擇性地傳輸至浮動擴散區226(例如，傳輸閘254之汲極)。

【0028】 光電二極體224可呈各種組態，包含但不限於，一釘紫光電二極體組態及一部分釘紫光電二極體組態。在一些實施例中，具有與光電二極體224相反之一導電性之一釘紫層(例如，當光電二極體224係N型時釘紫層係一P型摻雜層)安置於半導體基板222之一前表面與光電二極體224之一N型光電二極體區之間，其中釘紫層耦合至接地。

【0029】 浮動擴散區226耦合至傳輸結構250及源極隨耦器電晶體230之一閘極SF。浮動擴散區226聚集來自光電二極體224及視情況額外光電二極體之電荷載子且將一對應電壓輸出至源極隨耦器電晶體230之閘極SF以用於信號讀出。

【0030】 傳輸結構250包含垂直通道結構252及傳輸閘254。傳輸閘254電耦合至垂直通道結構252。在實施例中，傳輸閘254係形成於半導體基板222之一表面(例如，前表面或非照明表面)上之一平面閘電極，且垂直通道結構252形成於傳輸閘254下面之半導體基板222中。傳輸閘254安置於垂直通道結構252與浮動擴散區226之間，且將垂直通道結構252耦合至浮動擴散區226。傳輸閘254及垂直通道結構252協作以形成一傳導通道，該傳導通道選擇性地將電荷載子自光電二極體224傳輸至浮動擴散區226(在諸如圖1之控制電路108之一控制電路之操作下)。浮動擴散區226繼而基於累積於浮動擴散區226中之電荷量來將一電壓輸出至源極隨耦器電晶體230之閘極SF。源極隨耦器電晶體230回應於在其閘極SF處接收之電壓而輸出一經放大影像信號。傳輸結構250(特定而言，其垂直通道結

構252)延伸至半導體基板222中靠近光電二極體224之一深度，且因此使光電二極體224能夠遠離半導體基板222之前表面埋入半導體基板222中，此可減少或消除由表面缺陷引發之暗電流。在任何實施例中，光電二極體224可進一步形成於裝置電晶體區域之部分下方及作用像素區域之部分下方。同時，傳輸結構250避免傳統垂直傳輸閘之缺點，即，由將垂直柱乾式蝕刻至半導體基板222中所致使之表面缺陷。下文詳細地描述類似於傳輸結構250之代表性傳輸結構。

【0031】 重設電晶體228耦合於一電源線與浮動擴散區226之間，以在影像感測器之一重設週期期間在例如來自重設電晶體228之一閘極RST處之一控制電路(例如，控制電路108)之一重設信號之控制下對浮動擴散區226中之殘餘電荷進行重設(例如，放電)且將浮動擴散區226充電至一預設電壓，例如一供應電壓 V_{DD} 。在重設週期期間在重設電晶體228之閘極RST處接收之重設信號之控制下，重設電晶體228可經由傳輸結構250將光電二極體224進一步耦合至一預設電壓，例如供應電壓 V_{DD} 。

【0032】 源極隨耦器電晶體230耦合於電源線與列選擇電晶體232之間，且基於其閘極SF處之浮動擴散區226處之電壓來調變影像信號輸出，其中影像信號對應於回應於在影像感測器之積分週期期間吸收之入射光量而累積於像素220之光電二極體224中之光電子量。

【0033】 列選擇電晶體232在影像感測器之一讀出操作期間在自列選擇電晶體232之一閘極RS處之控制電路(例如，控制電路108)接收之一列選擇信號之控制下，選擇性地將源極隨耦器電晶體230之輸出(例如，影像信號)耦合至讀出行線。

【0034】 通道隔離結構234、236將裝置電晶體區域中之電晶體元件

與作用像素區域中之光電二極體224、傳輸結構250及浮動擴散區226電隔離。在一些實施例中，通道隔離結構234、236可為介電質填充溝渠隔離結構，諸如淺溝渠隔離結構或深溝渠隔離結構。在一些實施例中，通道隔離結構234、236可為具有與光電二極體224相反之一導電類型之摻雜井隔離結構。在一些實施例中，通道隔離結構234、236可為介電質填充溝渠隔離結構及摻雜井隔離結構之一組合。在一項實例中，一介電質填充溝渠隔離結構可形成於一各自摻雜井隔離區中。

【0035】 在一些實施例中，像素220可包含本文中未詳細地描述之額外元件，諸如一或多個額外隔離結構、電晶體、電容器、浮動擴散區或類似者。在所繪示實例中，像素220包含單個光電二極體224；然而，一些實施例包含例如透過各自的經耦合傳輸結構250共用一共同浮動擴散區之複數個光電二極體、一共同源極隨耦器電晶體、一共同重設電晶體及一共同列選擇電晶體。

【0036】 在操作中，在影像感測器之積分週期(亦被稱為曝光或累積週期)期間，光電二極體224吸收指向像素220之入射光且在其電荷累積區中光生一或多個電荷。累積於光電二極體224之電荷累積區中之經光生電荷指示入射至光電二極體224上之入射光量。在積分週期期間，傳輸結構250被偏壓為關斷。在一些實施例中，控制(例如，經由一偏壓電壓)傳輸結構250以實現自光電二極體224至浮動擴散區226之一光暈路徑，從而允許過量經光生電荷自光電二極體224流動至浮動擴散區226，由此防止光電二極體224中之過量經光生電荷在積分週期期間流動至鄰近光電二極體。在積分週期之後，一或多個傳輸信號例如自圖1之控制電路108施加至傳輸結構250 (例如，單獨控制信號可施加至垂直通道結構252及傳輸閘

254)，其在靠近傳輸閘254及垂直通道結構252之半導體基板222中形成電荷載子通道且在影像感測器之電荷傳輸週期期間透過電荷載子通道將(若干)經光生電荷自光電二極體224傳輸至浮動擴散區226。源極隨耦器電晶體230基於由經耦合浮動擴散區226輸出之電壓來可操作地產生影像信號。耦合至源極隨耦器電晶體230之列選擇電晶體232接著在一讀出週期期間接收到一系列選擇信號時選擇性地將影像信號耦合至一各自讀出行線或一行位元線以用於後續影像處理。

【0037】 圖3A至圖3C展示形成於具有一光電二極體324及一浮動擴散區326之一像素320中之一代表性傳輸結構350之截面視圖。傳輸結構350經組態以在光電二極體324與浮動擴散區326之間形成一電荷載子通道，且具有相同於圖2之傳輸結構250之結構。特定而言，圖3A展示沿著等效於圖2中所展示之線AA'之一截面線截取之像素320及傳輸結構350之一截面視圖。圖3B展示沿著等效於圖2中所展示之線BB'之一截面線截取之像素320及傳輸結構350之一第二截面視圖。圖3C展示沿著等效於圖2中所展示之線CC'之一截面線截取之像素320及傳輸結構350之一截面視圖。

【0038】 轉向圖3A，像素320包含其中形成有一光電二極體324之一半導體基板322，該光電二極體包括具有與周圍半導體基板322之導電類型(例如，P型)相反之導電類型(例如，N型)之一光電二極體摻雜區。在一實施例中，光電二極體摻雜區可鄰近於半導體基板322之一背側340更深地延伸至半導體基板322中。應明白，光電二極體可包含在光電二極體摻雜區與半導體基板322之(若干)以不同方式摻雜之區之間的一接面。光電二極體摻雜區及半導體基板322之(若干)摻雜區可形成光電二極體324之累積經光生電荷之一電荷累積區。應明白，光電二極體324之極性可顛

倒；例如，在一些實施例中，光電二極體摻雜區可在一N型半導體基板322中經P型摻雜。光電二極體324之光電二極體摻雜區具有通常小於傳輸結構350之垂直通道結構之摻雜劑濃度之PD摻雜劑濃度，如下文所描述。本申請案涉及「摻雜劑濃度」(每單位體積之電荷載子)及「摻雜劑劑量」(每單位面積之電荷載子)。在本文中針對像素之不同元件之間的摻雜劑濃度所描述之關係亦適用於用以摻雜彼等元件之摻雜劑劑量之間的關係。儘管PD摻雜劑濃度/劑量在實施例之間可能不同，但在一些實施例中，光電二極體摻雜區以約 $E11/cm^2$ 至約 $E12/cm^2$ 之一PD摻雜劑劑量摻雜有摻雜劑。

【0039】 在一些實施例中，光電二極體摻雜區之PD摻雜劑濃度大於半導體基板322之摻雜劑濃度。在一些實施例中，光電二極體摻雜區之摻雜劑濃度沿著半導體基板322之深度變動。例如，在一些實施例中，光電二極體摻雜區之濃度隨著其進入半導體基板322之深度增加(即，朝向背側340)而減小。

【0040】 可選隔離結構334、336對光電二極體324之至少部分及傳輸結構350定界以便將彼等元件與其他像素元件(例如，鄰近光電二極體)電/光隔離。在一些實施例中，隔離結構334、336由具有與光電二極體324相反且相同於半導體基板322之一導電類型之隔離井區形成。在一些實施例中，隔離結構334、336係形成於半導體基板322中之一共同摻雜井之部分，該共同摻雜井耦合至一接地參考電壓且具有至少與半導體基板322一樣高之一摻雜劑濃度/劑量，例如摻雜有具有約 $E12/cm^2$ 數量級之一劑量之一摻雜劑。

【0041】 在一些實施例中，隔離結構334、336形成於一網格狀互連

溝渠結構中。在一些實施例中，隔離結構334、336由自半導體基板322之背側340朝向與背側340相對之一前側338延伸之背側深溝渠隔離結構形成，由此在光電二極體324與鄰近光電二極體之間提供電及光學隔離。在所繪示實施例中，隔離結構334、336完全自半導體基板322之背側340朝向前側338延伸，由此提供光電二極體324與半導體基板322內之鄰近光電二極體之間的完全電隔離。然而，應明白，在一些實施例中，隔離結構334、336之各者部分地自半導體基板322之背側340朝向前側338延伸，使得一基板區保持於隔離結構334、336之各者與半導體基板322之前側338之間。在一些實施例中，隔離結構334、336之各者包括至少部分地形成於植入摻雜井區中之一背側深溝渠隔離結構。

【0042】 傳輸結構350包含一垂直通道結構352及一傳輸閘354。在一些實施例中，傳輸閘354類似於傳輸閘254之處在於其係形成於半導體基板322上之一平面閘電極。傳輸閘354亦可被稱為平面傳輸閘354且可互換地使用。在一些實施例中，傳輸結構350包含垂直通道結構352但不包含傳輸閘354。垂直通道結構352係垂直地延伸至半導體基板322中之一系列PN接面，其等可經偏壓以選擇性地形成將電荷載子自光電二極體324載送至浮動擴散區326之通道。平面傳輸閘354形成於半導體基板322之前側338上(參見圖3B)，可操作地耦合至垂直通道結構352，且可經偏壓(單獨地或結合垂直通道結構352)以便選擇性地將電荷載子自光電二極體324傳輸至浮動擴散區326 (參見圖3B)。下文描述各特徵。

【0043】 仍參考圖3A，垂直通道結構352包含形成於半導體基板322中及一N型摻雜區360內之複數個間隔開的P型摻雜區356、358，該N型摻雜區自身形成於半導體基板322中。如圖3B及圖3C中所展示，P型摻

雜區356、358安置於光電二極體324與傳輸閘354之間且在光電二極體324與浮動擴散區326之間。在一些實施例中，複數個間隔開的P型摻雜區356、358包含兩個此等區或由兩個此等區組成以在一積分週期期間完全空乏化N型摻雜區360；然而，其他實施例包含更大數目個間隔開的區，例如三個、四個或五個。在一些實施例中，P型摻雜區356、358彼此平行，例如，至少在平行於半導體基板322之前側338之一水平方向及一垂直方向上，例如在法向於半導體基板322之前側338之一垂直平面中。

【0044】 與包括具有垂直地延伸至半導體基板中(例如，延伸至一經蝕刻溝渠、柱或其他空隙中)之導電閘極材料之一柱或單片閘極之一習知垂直傳輸閘不同，垂直通道結構352不包含延伸至半導體基板322中之任何導電閘極材料(儘管有接觸件368、370，其等可僅僅稍微延伸至半導體基板322中)。此亦適用於可操作地耦合於垂直通道結構352與浮動擴散區326之間的平面傳輸閘354 (參見圖3B)。

【0045】 不同於延伸至半導體基板322中之垂直導電閘極材料，本發明之垂直通道結構352利用植入及摻雜的PN接面來調節光電二極體324與浮動擴散區326之間的電荷載子移動。即，垂直通道結構352包含垂直地延伸至半導體基板322中且形成於一N型摻雜區360內之複數個間隔開的P型摻雜區356、358。重申一下，垂直通道結構352包含由N型摻雜區360在P型摻雜區356、358與半導體基板322之間形成之複數個PN接面。此等接面形成一選擇性的電荷載子通道且消除對一習知垂直傳輸閘之需要。有利地，不必在半導體基板322中蝕刻將對半導體基板322之晶格結構造成蝕刻損壞從而產生形成暗電流源之缺陷及陷阱位點之任何柱、支柱或單片溝渠。因而，可避免通常與垂直傳輸閘相關聯之蝕刻損壞且減少由此等結

構致使之白色像素效應，同時使光電二極體324能夠遠離前側表面338形成於半導體基板322深處，由此抑制表面缺陷引發之白色像素問題且同時在像素320之可用區域內最大化光電二極體324之全井容量。

【0046】 各P型摻雜區356、358可藉由在N型摻雜區360內之兩個或更多個位置處將一P型植入物(例如，硼)植入至半導體基板322中來形成。P型摻雜區356、358可橫向地間隔開達約0.1 μm 至約0.5 μm ，例如約0.2 μm 、約0.3 μm 或約0.4 μm 。應明白，在任何實施例中，P型摻雜區356、358之間間距可小於或等於0.5 μm ，例如以便完全空乏化N型摻雜區360之安置於該等P型摻雜區之間的部分。此外，各P型摻雜區356、358具有高於光電二極體324之光電二極體摻雜區之PD摻雜劑濃度且高於N型摻雜區360之摻雜劑濃度之一P型摻雜劑濃度，使得可例如在影像感測器之積分週期期間完全空乏化N型摻雜區360。各P型摻雜區356、358之P型摻雜劑濃度低於浮動擴散區326之濃度。儘管P型摻雜劑濃度/劑量在實施例之間可能不同，但在一些實施例中，P型摻雜有具有約 $E13/\text{cm}^2$ 至約 $E14/\text{cm}^2$ 之一劑量之一摻雜劑。

【0047】 各P型摻雜區356、358自半導體基板322之前側338延伸至半導體基板322內之約250 nm至約800 nm之一接面深度 D_{j1} ，且具有約0.1 μm 至約0.5 μm 之一寬度。據此，P型摻雜區356、358形成於光電二極體324與浮動擴散區326之間且朝向光電二極體324垂直地延伸至半導體基板322中。然而，P型摻雜區356、358終止於光電二極體324上方使得在光電二極體324與P型摻雜區356、358之間不存在直接接觸。重申一下，在一些實施例中，各間隔開的P型摻雜區356、358之一遠端357與光電二極體324間隔開。複數個P型摻雜區356、358相對於彼此間隔開達約0.1 μm 至

約0.5 μm 。

【0048】 N型摻雜區360環繞各P型摻雜區356、358且在P型摻雜區356、358之間以便在P型半導體基板322與P型摻雜區356、358之間產生一PN接面。重申一下，N型摻雜區360具有完全形成於內部之P型摻雜區356、358，此防止P型摻雜區356、358與半導體基板322之間的接觸，由此避免一短路。據此，N型摻雜區360植入及形成於半導體基板322之前側338表面下面且在光電二極體324與浮動擴散區326之間。N型摻雜區360進一步形成於光電二極體324與傳輸閘354之間。N型摻雜區360自半導體基板322之前側338垂直地延伸至一接面深度 D_{j2} ，該接面深度 D_{j2} 大於P型摻雜區356、358相對於前側338延伸至之接面深度 D_{j1} 。在一些實施例中，N型摻雜區360跨越光電二極體324與傳輸閘354之間間距。在一些實施例中，N型摻雜區360之接面深度 D_{j2} 相對於前側表面338在約300 nm至約1000 nm之範圍內。在一些實施例中，自N型摻雜區360之一接面邊緣至P型摻雜區356、358之各者之一距離(即， D_{j1} 與 D_{j2} 之間的差)係約0.1 μm 至約0.5 μm 。N型摻雜區360可與傳輸閘354之靠近N型摻雜區360之一邊緣對準。在一項實施例中，傳輸閘354與N型摻雜區360之一部分重疊。

【0049】 N型摻雜區360可藉由以低於P型摻雜區356、358之P型摻雜劑濃度但高於光電二極體324之PD摻雜劑濃度之一N型摻雜劑濃度植入一N型植入物(例如，磷或砷)來形成。因而，N型摻雜區360可在積分週期期間負偏壓P型摻雜區356、358時被完全空乏化，且具有低於光電二極體324但高於浮動擴散區326之電位之一電位，由此形成一電荷載子通道，在電荷傳輸週期期間當傳輸閘354被偏壓為接通而P型摻雜區356、358以一零偏壓電壓或若干電壓偏壓時，該電荷載子通道允許經光生電荷流動。

儘管N型摻雜劑濃度/劑量可在實施例之間變動，但在一些實施例中，用以摻雜P型摻雜區356、358之N型摻雜劑劑量係約 $E12/cm^2$ 至約 $E13/cm^2$ 。應明白，偏壓電壓，P型摻雜區356、358及N型摻雜區360之摻雜劑濃度以及N型摻雜區360之寬度可基於所需的光量效能及傳輸效率來組態。

【0050】 短暫地轉向圖3B及圖3C，與P型摻雜區356、358（其等未延伸得太深以便與光電二極體324進行接觸）不同，N型摻雜區360自半導體基板322之前側338垂直地延伸至足以與光電二極體324進行接觸之一深度。在下文所描述之特定操作模式中，此使電荷載子能夠自光電二極體324傳輸至N型摻雜區360。

【0051】 返回至圖3A，N型摻雜區360之一電荷載子通道區或通道區362安置於P型摻雜區356、358之間。在特定操作狀態（例如，積分週期）期間，當傳輸閘354被關斷時（例如，藉由一切斷信號），P型摻雜區356、358經偏壓（例如，用負電壓）以空乏化來自N型摻雜區360之通道區362之自由電荷載子，從而防止自光電二極體324之電荷載子傳輸。在一些實施例中，在傳輸閘354被關斷之後同時偏壓P型摻雜區356、358。然而，當傳輸閘354被接通時（例如，在電荷傳輸週期期間），使P型摻雜區356、358零偏壓或接地使得通道區362不再空乏化自由電荷載子，且電荷載子可自光電二極體324，例如沿著一傳輸路徑363經過N型摻雜區360之通道區362、傳輸閘354之一通道區，且至浮動擴散區326，其中傳輸閘354之通道區耦合至通道區362且靠近半導體基板322中之傳輸閘354。在一些實施例中，傳輸閘354之通道區與光電二極體324和浮動擴散區326之間的通道區362串聯連接。在一些實施例中，N型摻雜區360之通道區362自P型摻雜區356之一者橫向地延伸至另一P型摻雜區358。在一些實施例

中，通道區362在P型摻雜區356、358之間具有約0.1 μm 至約1.0 μm ，例如約0.2 μm 、約0.3 μm 、約0.4 μm 、約0.5 μm 、約0.6 μm 、約0.7 μm 、約0.8 μm 或約0.9 μm 之一寬度。

【0052】接觸區域364、366形成於P型摻雜區356、358之各者內。P型摻雜區356、358之接觸區域364、366（分別）與導電跡線（或接觸件）368、370連接，該等導電跡線鄰近於前側338，該等導電跡線繼而與一共同金屬互連件372電連通。金屬互連件372可為一第一金屬層之部分且透過一或多個金屬互連件可操作地與影像感測器之一控制電路（例如，控制電路108）耦合。導電跡線368、370及金屬互連件372可嵌入介電材料層中使得金屬互連件372與將傳輸閘354連接至影像感測器之控制電路之接觸件及金屬互連結構電隔離。接觸區域364、366係具有高於P型摻雜區356、358之剩餘部分之一P型摻雜劑濃度\劑量之P型摻雜區。例如，在其中P型摻雜區356、358可摻雜有約 $E13$ 至約 $E14/\text{cm}^2$ 之一P型摻雜劑劑量之一些實施例中，接觸區域364、366可摻雜有一更大的P型摻雜劑劑量，諸如大於約 $E14/\text{cm}^2$ 之一摻雜劑劑量。

【0053】金屬互連件372可由影像感測器或像素之控制電路電偏壓以便空乏化N型摻雜區360之自由電荷載子。偏壓電壓可取決於P型摻雜劑濃度、N型摻雜劑濃度及其他感測器操作參數（諸如所期望之光量位準）而變動。然而，P型摻雜區356、358之代表性偏壓電壓可在自約-2.0 V至約-0.5 V、約-1.9 V至約-0.6 V、約-1.8 V至約-0.7 V、約-1.7 V至約-0.8 V、約-1.6 V至約-0.9 V、約-1.5 V至約-1.0 V、約-2.0 V至約-1.0 V、約-2.0 V至約-1.5 V、約-1.5 V至約-0.5 V或約-1.5 V至約-1.0 V之範圍內。

【0054】轉向圖3B，形成於半導體基板322之前側338上之一平面

傳輸閘354可經偏壓以在半導體基板322中靠近前側338表面在通道區362與浮動擴散區326之間形成一通道，使得平面傳輸閘354之通道串聯地耦合至通道區362且透過平面傳輸閘354之通道將電荷載子自垂直通道結構352之通道區362傳輸至浮動擴散區326。

【0055】 傳輸閘354包括一金屬或多晶矽閘極部分，該金屬或多晶矽閘極部分形成於半導體基板322之前側338上沈積之一隔離層374上。隔離層374由一介電材料形成，諸如氧化矽或高k材料，例如具有大於約3.9之一介電常數之一材料(例如， Al_2O_3 或 HfO_2)。在一些實施例中，隔離層374具有約30 Å至約100 Å之一厚度。

【0056】 在一些實施例中，傳輸閘354包含安置於閘極部分周圍之可選間隔件376。在一些實施例中，間隔件376實質上環繞閘極部分。在一些實施例中，間隔件376由類似於隔離層374之一介電材料形成。間隔件376可為由氧化物、氮化物或其組合形成之單層或多層堆疊結構。

【0057】 在一些實施例中，光電二極體324之光電二極體摻雜區具有相同於N型摻雜區360之導電類型，當在垂直於半導體基板之前表面338且垂直於平分複數個間隔開的第一摻雜區356、358之一平面(諸如圖3B之平面)之一橫截面中觀察時，該光電二極體摻雜區包含一上部分325a及鄰接該上部分且自該上部分延伸之一下部分325b。下部分325b相對於前側338具有深於上部分325a之一第一植入深度。在一些實施例中，鄰近於傳輸結構350之光電二極體324之光電二極體摻雜區之上部分325a之一摻雜劑濃度高於鄰近於半導體基板322之背側340之光電二極體324之光電二極體摻雜區之下部分325b之濃度。在一些實施例中，光電二極體324之光電二極體摻雜區具有沿著半導體基板322中之深度變動之一梯度摻雜輪廓。

上部分325a鄰近於N型摻雜區360且與N型摻雜區360接觸。下部分325b形成於垂直通道結構352下方且與N型摻雜區360垂直地分開。在一些實施例中，光電二極體摻雜區之上部分325a在一垂直方向上與N型摻雜區360之一部分重疊，使得在電荷傳輸週期期間電荷可自光電二極體摻雜區之上部分325a進入傳輸結構350之電荷載子通道362至浮動擴散區326。在一些實施例中，光電二極體324之任何部分皆不與P型摻雜區356或358接觸。在一些實施例中，光電二極體324之下部分在傳輸閘354下延伸。

【0058】 短暫地轉向圖3C，傳輸閘354藉由一接觸件378電連接至一金屬互連件380。金屬互連件380可為第一金屬層之部分且與金屬互連件372電隔離。金屬互連件380及金屬互連件372可取決於佈線佈局而位於同一或不同金屬層中。金屬互連件380透過一或多個金屬互連結構與影像感測器之控制電路可操作地耦合以取決於經接收傳輸信號或切斷信號而選擇性地將傳輸閘354偏壓為接通或關斷。據此，傳輸閘354可與傳輸結構350分開地偏壓。

【0059】 返回至圖3B，浮動擴散區326形成為鄰近傳輸閘354之一N型摻雜區。浮動擴散區326摻雜有一FD摻雜劑濃度\劑量大於N型摻雜區360之N型摻雜劑濃度\劑量之一N型摻雜劑。儘管FD摻雜劑濃度/劑量可在實施例之間變動，但在一些實施例中，FD摻雜劑劑量係約 $E15/cm^2$ 。浮動擴散區326與一金屬互連件344電連通(經由一接觸件342)。金屬互連件344可為第一金屬層之部分且與金屬互連件372及金屬互連件380電隔離。金屬互連件344耦合至一源極隨耦器電晶體之一閘極(例如，源極隨耦器電晶體230之閘極SF)，該源極隨耦器電晶體基於自浮動擴散區326接收之電壓來調變影像信號讀出。

【0060】 如上文所指出，光電二極體324之光電二極體摻雜區，P型摻雜區356、358及N型摻雜區360之相對摻雜劑濃度\劑量使能夠成功地操作傳輸結構350。在一些實施例中，光電二極體324之光電二極體摻雜區之PD摻雜劑濃度\劑量小於N型摻雜區360之N型摻雜劑濃度\劑量及P型摻雜區356、358之P型摻雜劑濃度\劑量兩者，而N型摻雜區360之N型摻雜劑濃度\劑量小於P型摻雜區356、358之P型摻雜劑濃度\劑量且小於浮動擴散區326之FD摻雜劑濃度\劑量。在一項此代表性實施例中，PD摻雜劑劑量係約 $E11/cm^2$ - $E12/cm^2$ (例如， $E12/cm^2$)，N型摻雜區360之N型摻雜劑劑量係約 $E12/cm^2$ 至約 $E13/cm^2$ (例如，約 $E13/cm^2$)，P型摻雜區356、358之P型摻雜劑劑量係約 $E13/cm^2$ 至約 $E14/cm^2$ (例如，約 $E14/cm^2$)，且浮動擴散區326之FD摻雜劑劑量係至少約 $E14/cm^2$ (例如，約 $E15/cm^2$)。

【0061】 一起轉向圖3B及圖3C，現在將描述傳輸結構350之操作。

【0062】 在像素320之一積分週期期間，光電二極體324回應於所吸收入射光之量而在其電荷累積區中累積電荷載子，且垂直通道結構352及傳輸閘354係由控制電路(例如，圖1之控制電路108)偏壓控制使得近似所有電荷載子無法自光電二極體324移動通過傳輸結構350之通道區。在實施例中，控制電路經由金屬互連件372及接觸件368、370將P型摻雜區356、358偏壓至足以完全空乏化N型摻雜區360 (即，安置於P型摻雜區356、358之間的區)之通道區362中之自由電荷載子之一偏壓電壓。例如，在一些實施例中，控制電路(例如，圖1之控制電路108)將約-2.0 V至約-1 V之偏壓電壓輸出至P型摻雜區356、358。空乏N型摻雜區360係由相對高於N型摻雜區360之P型摻雜區356、358之P型摻雜劑濃度\劑量促進。歸因於相對於光電二極體324之N型摻雜區360之較高N型摻雜劑濃度\劑

量，N型摻雜區360之電位將減小至低於光電二極體324之一電位之一位準且防止電荷載子自光電二極體324經過垂直通道結構352。同樣在積分週期期間，控制電路亦可經由金屬互連件380及接觸件378負偏壓(例如，約-0.5 V至約-2 V)傳輸閘354，以將與傳輸閘354相關聯之通道區之電位降低至低於N型摻雜區360之電位之位準，由此防止電荷載子自垂直通道結構352移動至浮動擴散區326之傳輸，且進一步引發一富洞區以鈍化傳輸閘354下之表面區，由此減少暗電流。在一些實施例中，在一積分週期期間，控制電路可進一步調整施加至P型摻雜區356、358之偏壓電壓，從而調諧與N型摻雜區360相關聯之通道區362之電位以實現光電二極體324與浮動擴散區326之間的一光暈路徑，使得：(i)一或多個過量經光生電子可透過N型摻雜區360洩漏至浮動擴散區326從而防止光電二極體324飽和；以及(ii)防止過量經光生電子洩漏至鄰近光電二極體324從而致使串擾。應明白，施加至P型摻雜區356、358之偏壓電壓可經組態以平衡光暈效能與光電二極體324之全井容量，此係因為若施加至P型摻雜區356、358之偏壓電壓足夠不偏負，則更多經累積的經光生電荷將自光電二極體324洩漏至浮動擴散區326從而影響光電二極體324之全井容量。

【0063】 在像素320之一傳輸週期期間，由控制電路接通傳輸結構350及傳輸閘354兩者，即，由控制電路控制傳輸結構350以在P型摻雜區356、358之間形成一電荷載子通道。特定而言，控制電路將一零偏壓電壓輸出至金屬互連件372至P型摻雜區356、358使得N型摻雜區360允許電荷流過通道區362。零偏壓型摻雜區356、358繼而將N型摻雜區360之電位增加至高於光電二極體324之電位之一位準。隨後或實質上同時，由控制電路正偏壓傳輸閘354以產生一電荷載子通道，該電荷載子通道具有等

於或高於半導體基板322中位於傳輸閘354下方之N型摻雜區360之電位之電位，傳輸閘354電耦合至N型摻雜區360。此使電荷載子能夠自光電二極體324經過由垂直通道結構352形成之電荷載子通道區362（該電荷載子通道區形成於傳輸閘354下面），且至浮動擴散區326。

【0064】 在不同實施例中，可取決於應用而調整不同的摻雜劑濃度及偏壓電壓以調變光量及電荷傳輸效率。然而，像素之不同元件之間的相對摻雜劑濃度在如上文所論述之實施例之間係恆定的。據此，本文中所提供之摻雜劑濃度及偏壓電壓係代表性的，而非限制性的。

【0065】 因此，傳輸結構350使能夠選擇性地將電荷載子自光電二極體324傳輸至浮動擴散區326。有利地，因為傳輸結構350在半導體基板322中缺乏任何經蝕刻溝渠結構，所以其不會在半導體基板322上產生表面缺陷。此避免與已知垂直傳輸閘相關聯之白色像素及其他有害效應。為了澄清，在本文中所描述之實施例之任一者中，傳輸閘及垂直通道結構皆不包含延伸至半導體基板322中之任何導電閘極材料，儘管有跡線及/或接觸件。

【0066】 對本發明之所繪示實例之以上描述，包含摘要中所描述之內容，並不意欲於窮舉性或將本發明限於所揭示之精確形式。儘管本文中出於繪示性目的而描述本發明之特定實例，但相關技術者將認知，在本發明之範疇內可進行各種修改。

【0067】 可鑑於以上詳細描述對本發明進行此等修改。以下發明申請專利範圍中所使用之術語不應被解釋為將本發明限於本說明書中所揭示之特定實例。相反，本發明之範疇將完全由以下發明申請專利範圍判定，發明申請專利範圍將根據請求項解釋之既定原則來解釋。

【符號說明】

【0068】

- 100: 影像感測器
- 102: 像素陣列
- 104: 讀出電路系統
- 106: 功能邏輯
- 108: 控制電路
- 120: 像素
- 220: 像素
- 222: 半導體基板
- 224: 光電二極體
- 226: 浮動擴散區
- 227a: 邊界
- 227b: 邊界
- 228: 重設電晶體
- 230: 源極隨耦器電晶體
- 232: 列選擇電晶體
- 234: 通道隔離結構
- 236: 通道隔離結構
- 250: 傳輸結構
- 252: 垂直通道結構
- 254: 傳輸閘
- 320: 像素

- 322: 半導體基板
- 324: 光電二極體
- 325a: 上部分
- 325b: 下部分
- 326: 浮動擴散區
- 334: 隔離結構
- 336: 隔離結構
- 338: 前側/前側表面/前表面
- 340: 背側
- 342: 接觸件
- 344: 金屬互連件
- 350: 傳輸結構
- 352: 垂直通道結構
- 354: 傳輸閘
- 356: P型摻雜區/第一摻雜區
- 357: 遠端
- 358: P型摻雜區/第一摻雜區
- 360: N型摻雜區
- 362: 電荷載子通道區或通道區/電荷載子通道
- 363: 傳輸路徑
- 364: 接觸區域
- 366: 接觸區域
- 368: 接觸件/導電跡線

370: 接觸件/導電跡線

372: 金屬互連件

374: 隔離層

376: 間隔件

378: 接觸件

380: 金屬互連件

D_{j1} : 接面深度

D_{j2} : 接面深度

【發明申請專利範圍】

【請求項1】

一種像素，其包括：

一光電二極體，其形成於一半導體基板中且具有帶有一PD摻雜劑濃度之一光電二極體摻雜區，其中該光電二極體具有一第一導電類型，其中該半導體基板具有與該第一導電類型相反之一第二導電類型；

一浮動擴散區，其形成於該半導體基板中且具有該第一導電類型之一FD摻雜劑濃度，其中該FD摻雜劑濃度高於該PD摻雜劑濃度；及

一傳輸結構，其選擇性地將該光電二極體耦合至該浮動擴散區，其中該傳輸結構包括：

一傳輸閘，其形成於該半導體基板上；及

一垂直通道結構，其包括形成於該傳輸閘與該光電二極體之間的該半導體基板中之間隔開的第一摻雜區，其中各間隔開的第一摻雜區以一第一摻雜劑濃度摻雜有該第二導電類型之一第一型摻雜劑，其中該等間隔開的第一摻雜區形成於以一第二摻雜劑濃度摻雜有該第一導電類型之一第二型摻雜劑之一第二摻雜區中，其中該第二摻雜劑濃度大於該PD摻雜劑濃度，小於該第一摻雜劑濃度，且小於該FD摻雜劑濃度。

【請求項2】

如請求項1之像素，其中該第二摻雜區環繞該等間隔開的第一摻雜區。

【請求項3】

如請求項1之像素，其中該等間隔開的第一摻雜區之各者自該半導體

基板之一前表面垂直地延伸至該半導體基板中，其中各間隔開的第一摻雜區之一遠端與該光電二極體間隔開。

【請求項4】

如請求項3之像素，其中該第二摻雜區自該半導體基板之該前表面垂直地延伸至該半導體基板中且與該光電二極體重疊。

【請求項5】

如請求項1之像素，其中在垂直於該半導體基板之一前表面且垂直於平分該等間隔開的第一摻雜區之一平面之一橫截面中，其中該光電二極體之該光電二極體摻雜區包括：

一上部分，其鄰近於該第二摻雜區之一遠端；及

一下部分，其鄰接該上部分且自該上部分延伸；

其中該上部分接觸該第二摻雜區。

【請求項6】

如請求項1之像素，其中該等間隔開的第一摻雜區彼此平行。

【請求項7】

如請求項6之像素，其中該等間隔開的第一摻雜區間隔開達約0.1 μm 至約0.5 μm 。

【請求項8】

如請求項1之像素，其中該傳輸結構進一步包括在該半導體基板之一表面處與該等間隔開的第一摻雜區之各者電連通之一導電接觸件。

【請求項9】

如請求項8之像素，其中該等間隔開的第一摻雜區之各者具有鄰近該半導體基板之該表面安置且具有一接觸摻雜劑濃度之一接觸區，其中該接

觸摻雜劑濃度大於該等間隔開的第一摻雜區之該第一摻雜劑濃度。

【請求項10】

如請求項8之像素，其中該接觸件經由複數個導電接觸件與該等間隔開的第一摻雜區之各者電連通。

【請求項11】

如請求項8之像素，其中該傳輸結構進一步包括與該傳輸閘電連通之一第二接觸件。

【請求項12】

如請求項1之像素，其中該傳輸閘係安置於該半導體基板之一表面上之一平面傳輸閘，其中該傳輸閘選擇性地透過該第二摻雜區耦合至該光電二極體且耦合至該浮動擴散區。

【請求項13】

如請求項1之像素，其中該傳輸閘及該垂直通道結構皆不包含延伸至該半導體基板中之任何導電閘極材料。

【請求項14】

一種影像感測器，其包括：

如請求項1之複數個像素，其中各像素藉由形成於該半導體基板中之一隔離結構與該複數個像素之鄰近像素分開；及

一控制電路，其可操作地耦合至該複數個像素之各像素，該控制電路經組態以控制該複數個像素。

【請求項15】

如請求項14之影像感測器，其中該控制電路包括經組態以針對各像素進行以下操作之邏輯：

在一積分週期期間施加一切斷信號以關斷該傳輸閘；及

當該傳輸閘關斷時負偏壓該等間隔開的第一摻雜區，由此在該積分週期期間完全空乏化安置於該等間隔開的第一摻雜區之間的該第二摻雜區之一通道區之自由電荷載子。

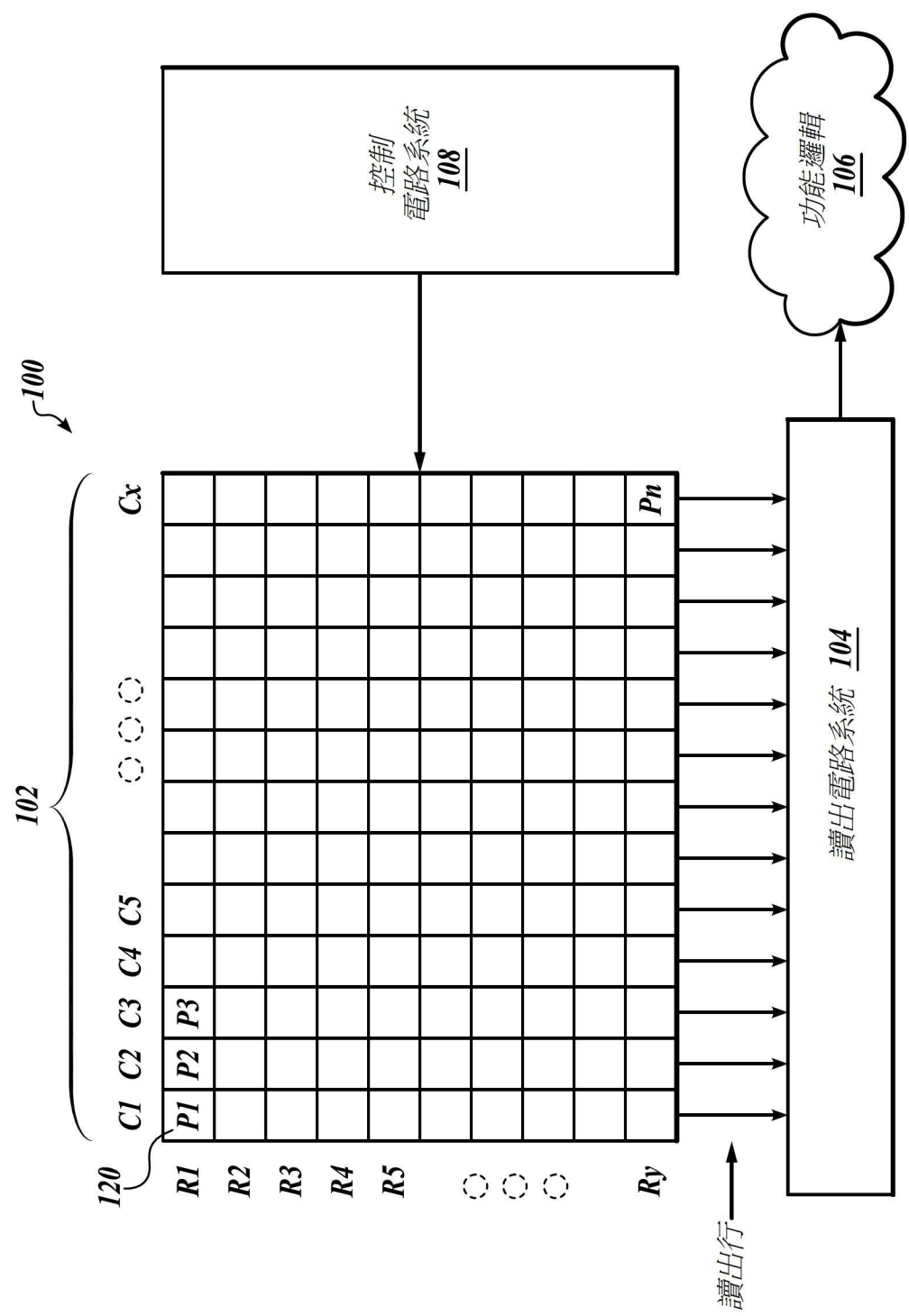
【請求項16】

如請求項15之影像感測器，其中該控制電路進一步包括經組態以針對各像素進行以下操作之邏輯：

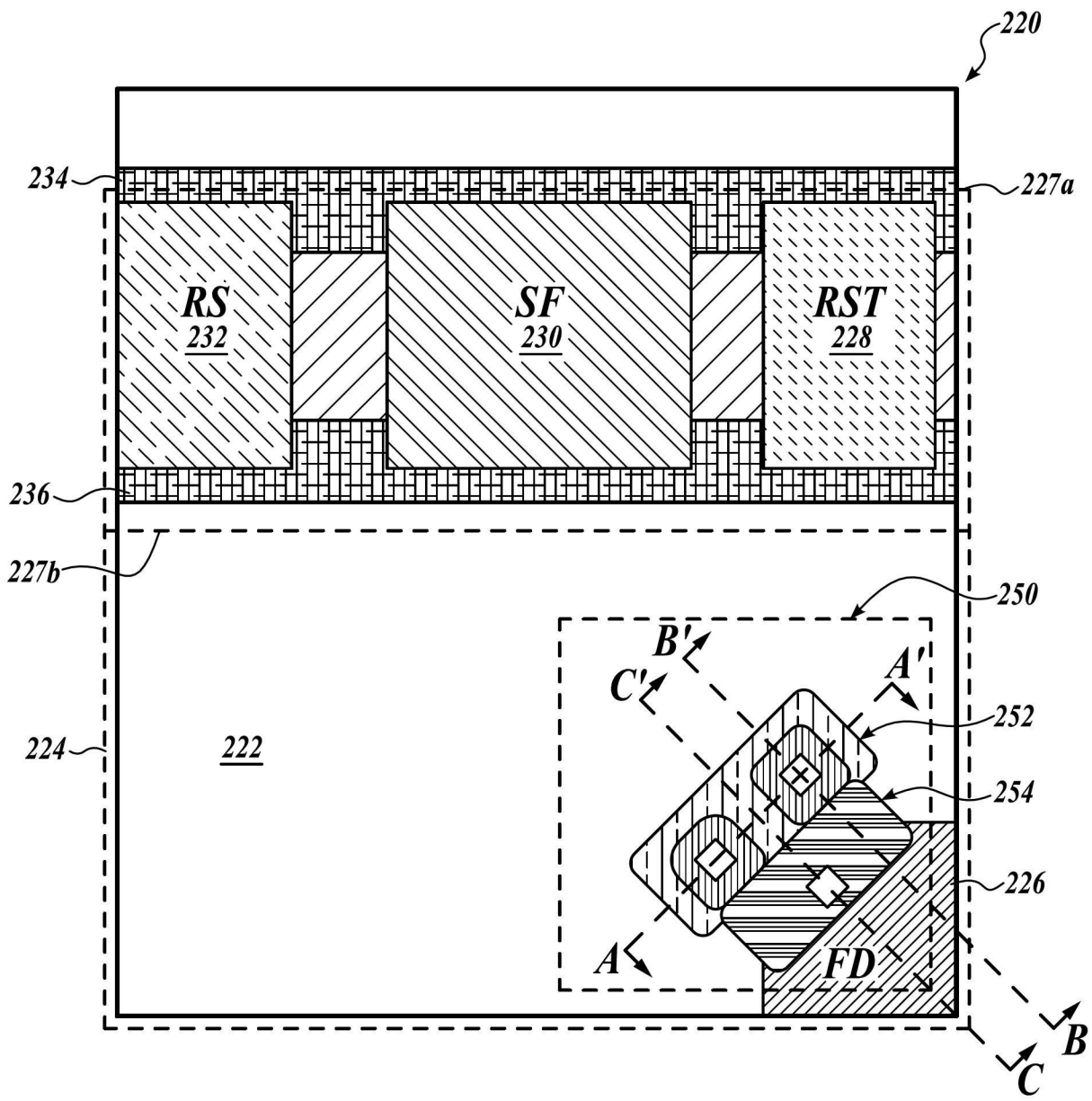
在一曝光週期期間施加一傳輸信號以接通該傳輸閘；及

當該傳輸閘接通時將該複數個間隔開的第一摻雜區接地，由此在該曝光週期期間透過該傳輸閘將電荷載子自該光電二極體傳輸至該浮動擴散區。

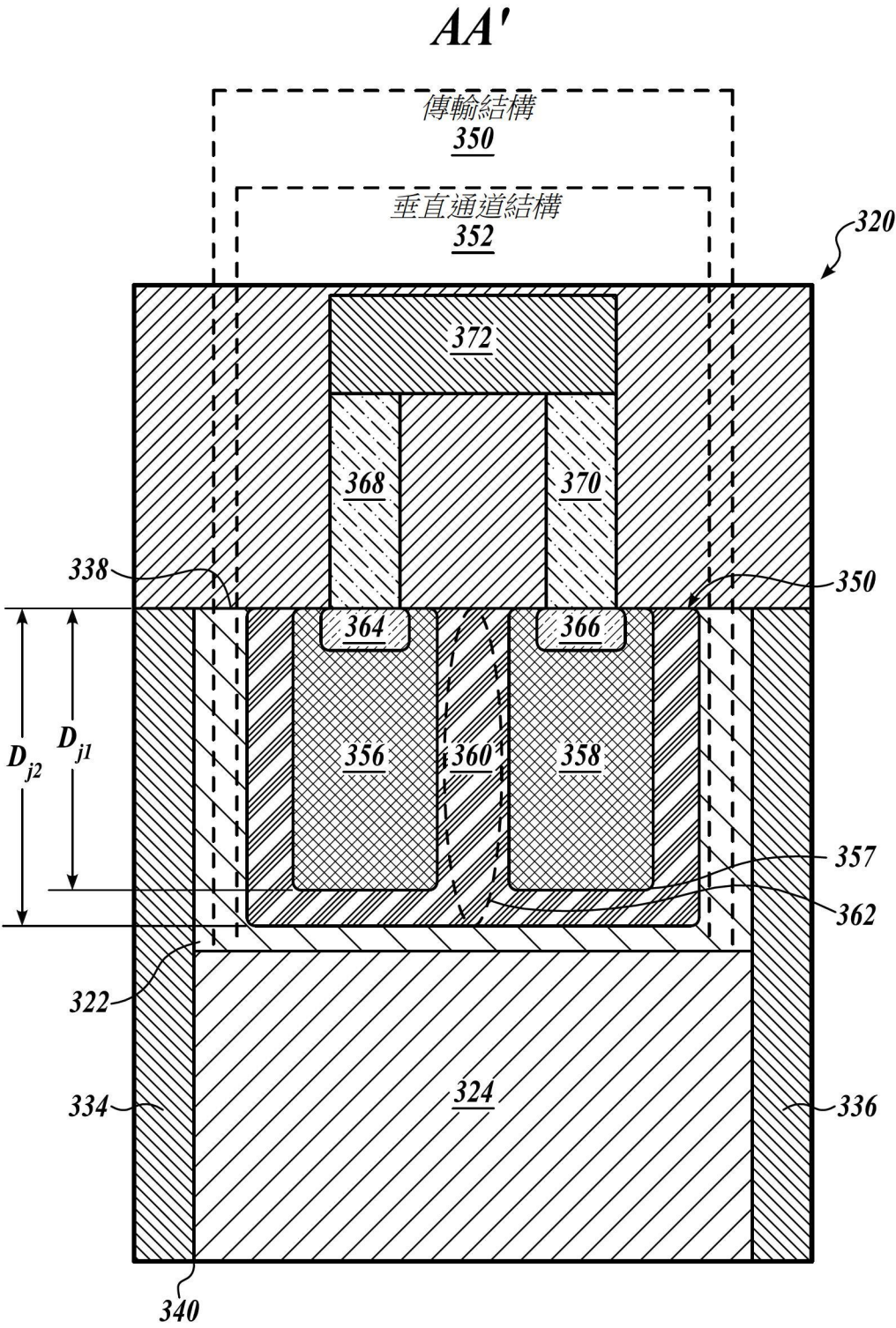
【發明圖式】



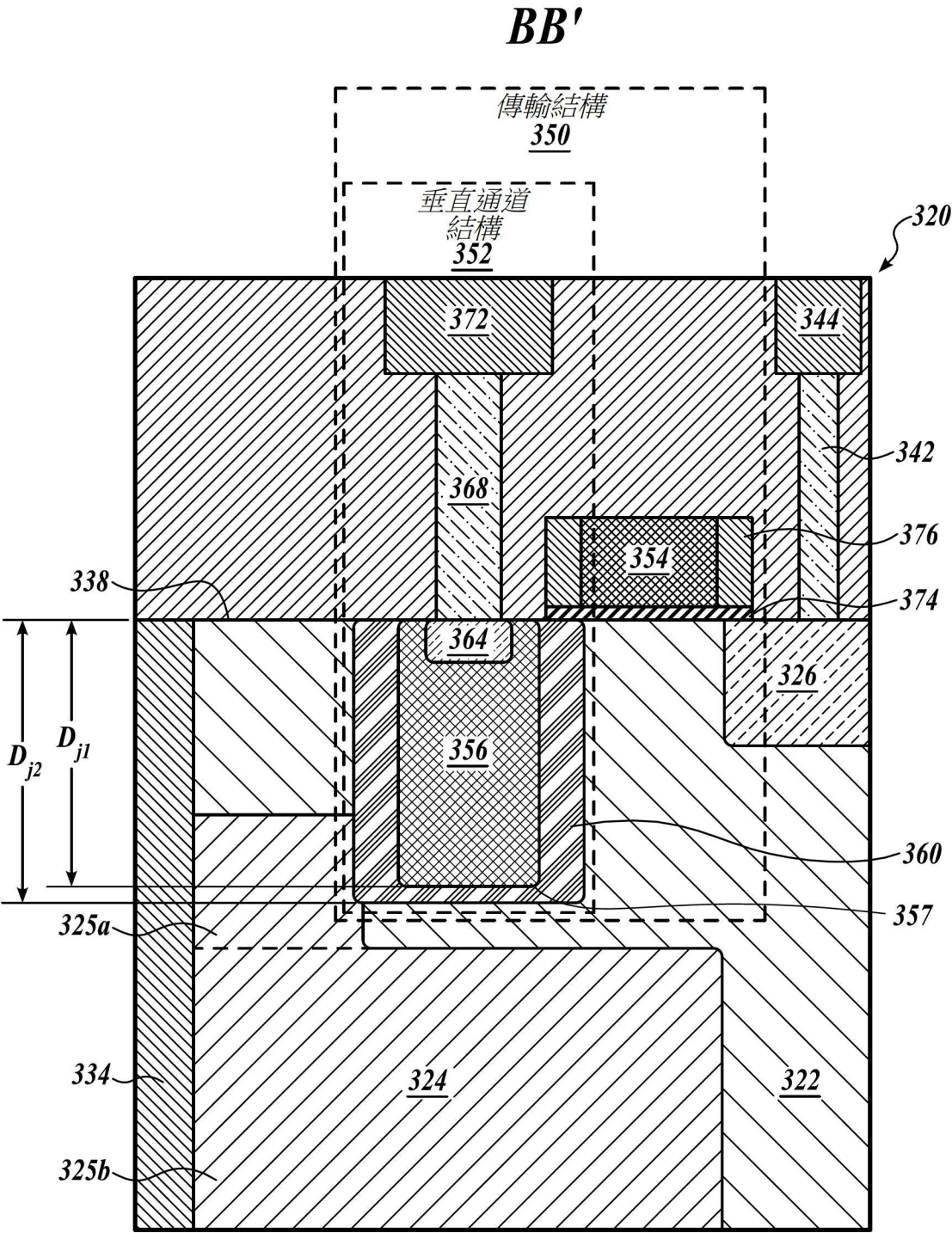
【圖1】



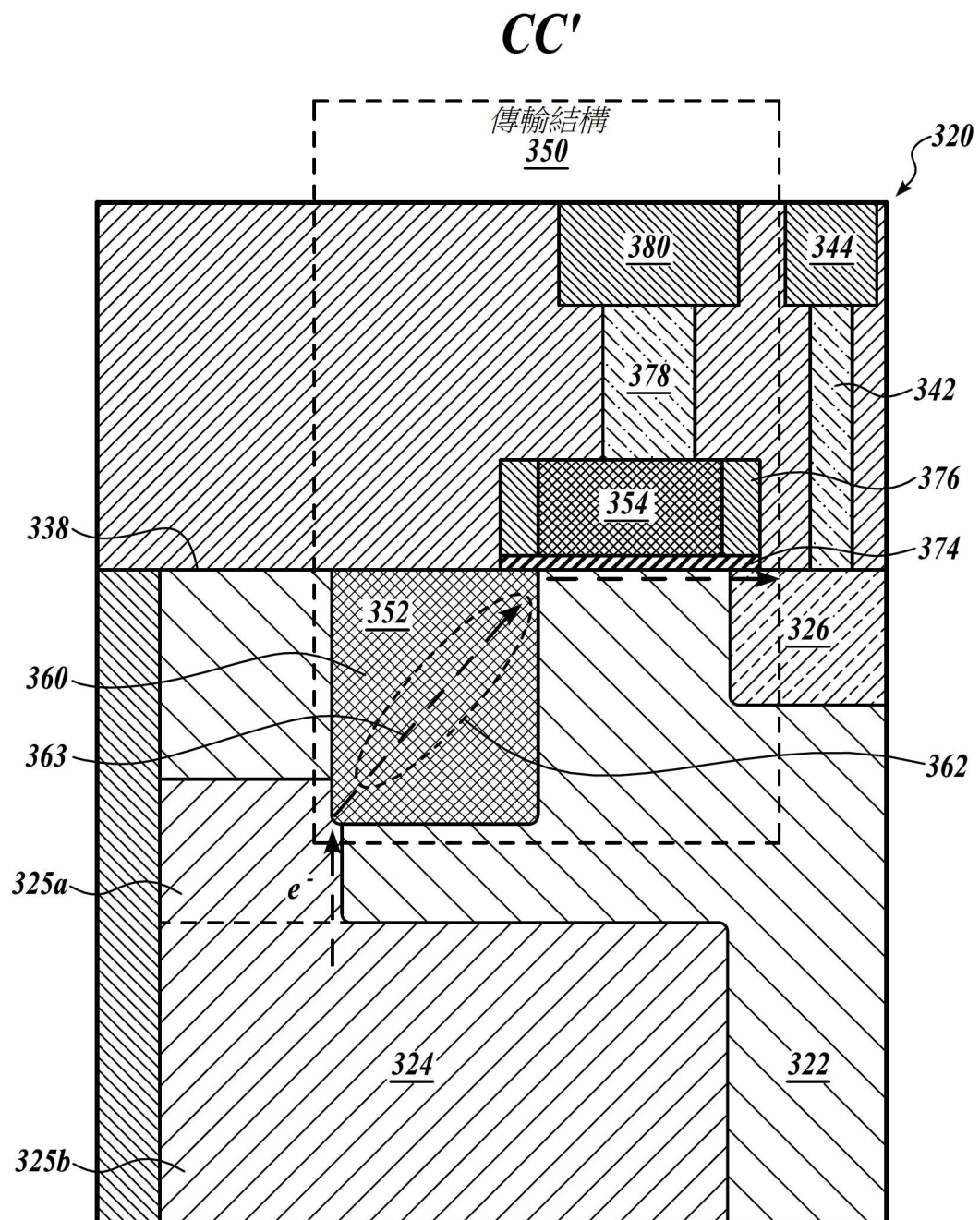
【圖2】



【圖3A】



【圖3B】



【圖3C】