

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2010-141576  
(P2010-141576A)

(43) 公開日 平成22年6月24日 (2010.6.24)

|                          |                 |             |
|--------------------------|-----------------|-------------|
| (51) Int.Cl.             | F I             | テーマコード (参考) |
| H O 3 K 5/15 (2006.01)   | H O 3 K 5/15 P  | 5 F 0 3 8   |
| H O 1 L 21/822 (2006.01) | H O 1 L 27/04 H | 5 J 0 3 9   |
| H O 1 L 27/04 (2006.01)  |                 |             |

審査請求 未請求 請求項の数 5 O L (全 8 頁)

|           |                              |          |                                |
|-----------|------------------------------|----------|--------------------------------|
| (21) 出願番号 | 特願2008-315717 (P2008-315717) | (71) 出願人 | 000116024                      |
| (22) 出願日  | 平成20年12月11日 (2008.12.11)     |          | ローム株式会社                        |
|           |                              |          | 京都府京都市右京区西院溝崎町2番地              |
|           |                              | (74) 代理人 | 100105924                      |
|           |                              |          | 弁理士 森下 賢樹                      |
|           |                              | (74) 代理人 | 100133215                      |
|           |                              |          | 弁理士 真家 大樹                      |
|           |                              | (72) 発明者 | ▲徳▼増 星児                        |
|           |                              |          | 京都府京都市右京区西院溝崎町2番地              |
|           |                              |          | ローム株式会社内                       |
|           |                              | Fターム(参考) | 5F038 BB01 BH19 CD06 CD09 EZ20 |
|           |                              |          | 5J039 EE14 EE19 KK10 MM16      |

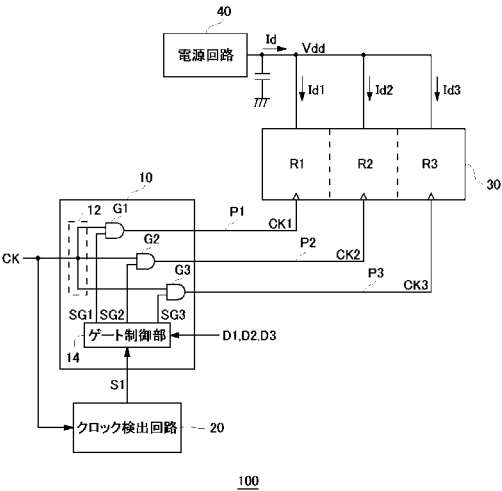
(54) 【発明の名称】 半導体デバイスおよびディスプレイ装置

(57) 【要約】

【課題】クロック信号の復帰時に発生する誤動作を防止する。

【解決手段】クロック分配回路10は、クロック信号CKを受け、複数の経路P1～P3に分配する。デジタル回路30は、複数の経路P1～P3に対応づけられた複数の領域R1～R3に分割されている。各領域R1～R3が共通の電源電圧Vddを受ける。また各領域R1～R3はクロック分配回路10により分配されたクロック信号CK1～CK3と同期動作する。クロック分配回路10は、クロック信号CKが非入力状態から入力状態に遷移するとき、複数の経路P1～P3それぞれに対して、時間差を付けてクロック信号を分配する。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

クロック信号を受け、複数の経路に分配するクロック分配回路と、

前記複数の経路に対応づけられた複数の領域に分割されており、各領域が共通の電源電圧を受けるとともに、各領域が前記クロック分配回路により分配された前記クロック信号と同期動作する、デジタル回路と、

を備え、

前記クロック分配回路は、前記クロック信号が非入力状態から入力状態に遷移するとき、前記複数の経路それぞれに対して、時間差を付けてクロック信号を分配することを特徴とする半導体デバイス。

10

**【請求項 2】**

前記クロック信号の入力の有無を検出するクロック検出部をさらに備え、

前記クロック分配回路は、前記クロック検出部により前記クロック信号の入力が検出されたことを契機として、前記複数の経路に対するクロック信号の分配を開始することを特徴とする請求項 1 に記載の半導体デバイス。

**【請求項 3】**

前記クロック分配回路は、

前記クロック信号を複数の経路に分配する分配部と、

前記複数の経路ごとに設けられた複数のゲートと、

前記複数のゲートのオン、オフを制御するゲート制御部と、

20

を含み、前記ゲート制御部は、前記クロック検出部により前記クロック信号の入力が検出されたことを契機として、前記複数のゲートを、所定のシーケンスで順に導通させることを特徴とする請求項 2 に記載の半導体デバイス。

**【請求項 4】**

前記半導体デバイスは、グラフィックスプロセッサから、画像データおよび前記クロック信号を受け、ゲートドライバおよびソースドライバへと転送するタイミングコントローラであることを特徴とする請求項 1 から 3 のいずれかに記載の半導体デバイス。

**【請求項 5】**

ディスプレイパネルと、

前記ディスプレイパネルの走査線を駆動するゲートドライバと、

30

前記ディスプレイパネルのデータ線を駆動するソースドライバと、

画像データおよびクロック信号を受け、前記ゲートドライバおよび前記ソースドライバへと転送する請求項 4 に記載の半導体デバイスであるタイミングコントローラと、

を備えることを特徴とするディスプレイ装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、クロック信号と同期動作する半導体デバイスに関する。

**【背景技術】****【0002】**

40

液晶ディスプレイなどの FPD（フラットパネルディスプレイ）には、グラフィックチップから送信される画像データを受信し、適切なタイミングにてゲートドライバおよびソースドライバへと転送するタイミングコントローラと呼ばれる回路が設けられる。

**【0003】**

近年の FPD には、消費電力を抑えるために、表示する画像の特性（解像度や色数）に応じて、グラフィックチップからタイミングコントローラに対する画像データの伝送周波数を切りかえるものが存在する。

【特許文献 1】特開 2006 - 189996 号公報

【特許文献 2】特開 2007 - 323114 号公報

**【発明の開示】**

50

**【発明が解決しようとする課題】****【0004】**

タイミングコントローラには、画像データとともに、基準となるクロック信号が入力されているが、伝送周波数を切りかえる際に、このクロック信号が一瞬停止し、次の周波数に切りかわる場合がある。

**【0005】**

このとき、停止状態から急にクロック信号が入力されると、タイミングコントローラ内の非動作状態の論理回路（論理ゲートおよびメモリ）が突然動作し始め、回路には急激に電流が流れることになる。タイミングコントローラには、LDO（Low Drop Output）やスイッチングレギュレータなどの電源回路から安定化された電源電圧が供給されている。ところが、タイミングコントローラに急激に電流が流れると、電源回路のフィードバックがそれに追従できずに、電源電圧がドロップする。このときタイミングコントローラは、電源電圧が所定の値に復帰するまでの期間、動作不能となり、誤動作の原因となっていた。

10

**【0006】**

かかる問題は、タイミングコントローラに限らず、さまざまな半導体デバイスで発生しうる。

**【0007】**

本発明に係る課題に鑑みてなされたものであり、その目的のひとつは、クロック信号の切りかえに対応した半導体デバイスの提供にある。

20

**【課題を解決するための手段】****【0008】**

本発明のある態様は、半導体デバイスに関する。この半導体デバイスは、クロック信号を受け、複数の経路に分配するクロック分配回路と、複数の経路に対応づけられた複数の領域に分割されたデジタル回路と、を備える。デジタル回路の各領域は、共通の電源電圧を受け、それぞれがクロック分配回路により分配されたクロック信号と同期動作する。クロック分配回路は、クロック信号が非入力状態から入力状態に遷移するとき、複数の経路それぞれに対して、時間差を付けてクロック信号を分配する。

**【0009】**

この態様によると、デジタル回路の各領域が順々に動作状態となるため、デジタル回路全体の電流は段階的に増加する。その結果、電源回路が電流の変化に追従することができ、電源電圧の変動（ドロップ）を抑制し、デジタル回路を安定動作させることが可能となる。

30

**【0010】**

ある態様の半導体デバイスは、クロック信号の入力の有無を検出するクロック検出部をさらに備えてもよい。クロック分配回路は、クロック検出部によりクロック信号の入力が検出されたことを契機として、複数の経路に対するクロック信号の分配を開始してもよい。

**【0011】**

クロック分配回路は、クロック信号を複数の経路に分配する分配部と、複数の経路ごとに設けられた複数のゲートと、複数のゲートのオン、オフを制御するゲート制御部と、を含んでもよい。ゲート制御部は、クロック検出部によりクロック信号の入力が検出されたことを契機として、複数のゲートを、所定のシーケンスで順に導通させてもよい。

40

**【0012】**

半導体デバイスは、グラフィックスプロセッサから、画像データおよびクロック信号を受け、ゲートドライバおよびソースドライバへと転送するタイミングコントローラであってもよい。

このタイミングコントローラは、画像データの解像度や色数によって画像データの伝送レートが変化するディスプレイ装置に好適に利用できる。つまりクロック信号の周波数切りかえにともない、クロック信号が瞬断しその後復帰する場合であっても、タイミングコ

50

ントローラを安定動作させることができる。

【 0 0 1 3 】

本発明の別の態様は、ディスプレイ装置である。このディスプレイ装置は、ディスプレイパネルと、ディスプレイパネルの走査線を駆動するゲートドライバと、ディスプレイパネルのデータ線を駆動するソースドライバと、画像データおよびクロック信号を受け、ゲートドライバおよびソースドライバへと転送する上述のタイミングコントローラと、を備える。

【 0 0 1 4 】

この態様によると、クロック信号が瞬断しても、タイミングコントローラが安定動作するため、ディスプレイパネルに表示される画像の乱れを抑制することができる。

10

【 0 0 1 5 】

なお、以上の構成要素の任意の組み合わせや、本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【 0 0 1 6 】

本発明に係る半導体デバイスによれば、クロック信号の急激に変化に対応できる。

【発明を実施するための最良の形態】

【 0 0 1 7 】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

20

【 0 0 1 8 】

図 1 は、実施の形態に係る半導体デバイスの構成を示すブロック図である。半導体デバイス 100 は、クロック分配回路 10、クロック検出回路 20、デジタル回路 30、電源回路 40 を備える。

【 0 0 1 9 】

電源回路 40 は、半導体デバイス 100 の各ブロックに対して、安定した電源電圧  $V_{dd}$  を供給する。電源回路 40 は LDO あるいはスイッチングレギュレータなどを含んで構成される。

30

【 0 0 2 0 】

クロック分配回路 10 は、クロック信号  $CK$  を受け、これを複数  $n$  (以下では  $n = 3$  の場合を説明する) の経路  $P1 \sim P3$  に分配する。

【 0 0 2 1 】

デジタル回路 30 は、複数の経路  $P1 \sim P3$  それぞれに対応づけられた複数の領域  $R1 \sim R3$  に分割されている。各領域  $R1 \sim R3$  は、電源回路 40 により安定化された共通の電源電圧  $V_{dd}$  を受けて動作する。また、各領域  $R1 \sim R3$  はそれぞれ、対応する経路  $P1 \sim P3$  を介して入力されたクロック信号  $CK1 \sim CK3$  と同期して、所定の信号処理を実行する。信号処理の内容は特に限定されず、任意で構わない。

40

【 0 0 2 2 】

クロック分配回路 10 は、クロック信号  $CK$  が非入力状態から入力状態に遷移するとき、複数の経路  $P1 \sim P3$  それぞれに対して、時間差を付けてクロック信号  $CK1 \sim CK3$  を分配する。

【 0 0 2 3 】

クロック検出回路 20 は、外部からのクロック信号  $CK$  の入力の有無を検出し、入力時にアサートされるクロック検出信号  $S1$  を生成し、クロック分配回路 10 へと供給する。クロック分配回路 10 は、クロック検出信号  $S1$  がアサートされると、つまり、クロック信号  $CK$  の入力が入検出されたことを契機として、複数の経路  $P1 \sim P3$  に対するクロック信号  $CK1 \sim CK3$  の分配を開始する。

50

## 【 0 0 2 4 】

上述の機能を実現するために、クロック分配回路 1 0 は、分配部 1 2、ゲート G 1 ~ G 3、ゲート制御部 1 4 を含んで構成されてもよい。

## 【 0 0 2 5 】

分配部 1 2 は、クロック信号 C K を複数の経路 P 1 ~ P 3 に分配する。分配部 1 2 は、ツリー型の配線であってもよいし、ツリー型に配線された複数のバッファを含んでもよい。

## 【 0 0 2 6 】

複数のゲート G 1 ~ G 3 は、複数の経路 P 1 ~ P 3 ごとに設けられ、対応する制御信号 S G 1 ~ S G 3 に応じてオン・オフ（開閉）が制御される。たとえば、ゲート G 1 ~ G 3 は A N D ゲートであってもよい。ゲート G 1 ~ G 3 はそれぞれ、対応するゲート制御信号 S G 1 ~ S G 3 がアサートされると、導通状態（オン）となる。

## 【 0 0 2 7 】

ゲート制御部 1 4 は、クロック検出信号 S 1 がアサートされると、すなわちクロック信号 C K の入力検出されたことを契機として、複数のゲート G 1 ~ G 3 を、所定のシーケンスで順に開く。たとえばゲート制御部 1 4 には、各ゲート制御信号 S G 1 ~ S G 3 をアサートするタイミングを示すデータ D 1 ~ D 3 が入力されてもよい。一例では、データ D 1 ~ D 3 は、クロック検出信号 S 1 がアサートされてから、クロック信号 C K 1 ~ C K 3 をそれぞれアクティブとするタイミングまでの時間差  $\tau 1 \sim \tau 3$  を指定するデータである。ゲート制御部 1 4 は、C R 時定数を利用したタイマや、デジタル的なカウンタ回路を利用して構成することができる。データ D 1、D 2、D 3 は、メモリに格納されており、ユーザが自由に書き換え可能とすることが望ましい。この場合、電源回路 4 0 の性能などに応じて、クロック信号 C K 1、C K 2、C K 3 をアクティブとする順番とタイミングを最適化することができる。また半導体デバイス 1 0 0 の設計変更にも柔軟に対応できる。

## 【 0 0 2 8 】

以上が半導体デバイス 1 0 0 の構成である。続いてその動作を説明する。図 2 は、図 1 の半導体デバイス 1 0 0 の動作を示すタイムチャートである。なお、本明細書中のタイムチャートの縦軸および横軸は、理解を容易とするために適宜拡大、縮小したものであり、また示される各波形も、理解の容易のために簡略化されている。

## 【 0 0 2 9 】

時刻  $t 1$  以前に、クロック信号 C K は停止状態（非入力状態）であり、デジタル回路 3 0 の領域 R 1 ~ R 3 の動作は停止している。時刻  $t 1$  に、クロック信号 C K が入力されると、クロック検出信号 S 1 がアサートされる。これを契機に、クロック分配回路 1 0 は、予め設定された時間差  $\tau 1$ 、 $\tau 2$ 、 $\tau 3$  ごとに、クロック信号 C K 1、C K 2、C K 3 を、領域 R 1、R 2、R 3 に対して順に分配する。

## 【 0 0 3 0 】

時刻  $t 2$  にクロック信号 C K 1 がアクティブとなると、領域 R 1 が動作を開始するため、電源回路 4 0 から領域 R 1 に対して電流  $I d 1$  が引きこまれ、これにตอบสนองして電源回路 4 0 からの電源電圧 V d d がわずかに低下し、電源回路 4 0 のフィードバック作用によって再びもとの目標値に戻る。電源電圧 V d d のレベルが目標値に復帰するには、ゼロでないある程度の時間を要し、この時間は、電源回路 4 0 のフィードバックループの帯域（応答速度）に依存する。時刻  $t 3$ 、 $t 4$  においても同様のことが起こり、電源回路 4 0 からデジタル回路 3 0 に供給される総電流  $I d$  は、電流  $I d 2$ 、 $I d 3$  ずつ増加する。

## 【 0 0 3 1 】

以上が半導体デバイス 1 0 0 の動作である。半導体デバイス 1 0 0 の利点は、従来の半導体デバイスの動作との比較によって明確となる。図 2 には、従来の、いいかえればクロック分配回路 1 0 が設けられない半導体デバイスの動作における電源電圧 V d d ' および電源電流  $I d$  ' の波形が一点鎖線で示されている。従来の回路において、デジタル回路 3 0 は全体が共通のクロック信号 C K にもとづいて動作する。

## 【 0 0 3 2 】

時刻  $t_1$  以前に、クロック信号  $CK$  は停止状態（非入力状態）であり、デジタル回路 30 の動作は停止している。時刻  $t_1$  に、クロック信号  $CK$  が入力されると、デジタル回路 30 全体が一斉に動作を開始する。このとき、電源回路 40 から大きな電流がデジタル回路 30 に引きこまれ、電源回路 40 からの電源電圧  $V_{dd}$  が大きくドロップする。その後、電源回路 40 のフィードバック作用によって再びもとの目標値に戻って安定化されるが、電源電圧  $V_{dd}$  のドロップ量が大きい場合、元の目標値に戻るまでの時間が長くなる。デジタル回路 30 は、電源電圧  $V_{dd}$  があるしきい値電圧を下回ると、動作不能となる。したがって、電源電圧  $V_{dd}$  のドロップ量が大きい場合、しきい値電圧以上に復帰するまでの期間、デジタル回路 30 は誤動作するおそれがある。

#### 【0033】

10

翻って図 1 の半導体デバイス 100 の動作に着目すると、時刻  $t_2$ 、 $t_3$ 、 $t_4$  において生じる電源電圧  $V_{dd}$ （実線）のドロップ量は、従来の電源電圧  $V_{dd}'$  のドロップ量（一点鎖線）に比べて小さい。なぜなら、電源電圧  $V_{dd}$  のドロップ量は、デジタル回路 30 に引き込まれる電流（さらにいえば、電流の変化量）に依存するところ、図 1 のデジタル回路 30 は、複数の領域  $R_1 \sim R_3$  に分割されているため、電流量の変化は、従来の回路に比べて各段に小さいからである。

#### 【0034】

その結果、図 1 の半導体デバイス 100 によれば、各領域  $R_1$ 、 $R_2$ 、 $R_3$  が動作を開始する時刻  $t_2$ 、 $t_3$ 、 $t_4$  における電源電圧  $V_{dd}$  のドロップ量を小さくし、しきい値電圧を下回らないようにすることができ、あるいは下回ったとしても、極めて短時間で目標値に復帰させることができ、半導体デバイス 100 が誤動作するのを防止し、あるいは半導体デバイス 100 が信号処理を行えない無効期間を従来に比べて大幅に短縮することができる。

20

#### 【0035】

続いて、図 1 の半導体デバイス 100 の好適なアプリケーションを説明する。半導体デバイス 100 は、FPD のタイミングコントローラに好適に利用できる。

図 3 は、図 1 の半導体デバイス（以下、タイミングコントローラ  $TC$  と称する）100 を備える FPD 300 の構成を示すブロック図である。

#### 【0036】

FPD 300 は、液晶ディスプレイであり、LCD パネル 302、複数のゲートドライバ  $GD_1 \sim GD_n$ 、複数のソースドライバ  $SD_1 \sim SD_m$ 、タイミングコントローラ  $TC$  を備える。

30

#### 【0037】

LCD パネル 302 は、複数のデータ線と複数の走査線、データ線と走査線の交点に設けられた画素を含む。なおパネルは、LCD に限定されず、有機 EL パネルやプラズマディスプレイパネルであってもよい。複数のゲートドライバ  $GD_1 \sim GD_n$  は、LCD パネル 302 の走査線を順次選択して駆動する。またソースドライバ  $SD_1 \sim SD_m$  は、LCD パネル 302 のデータ線に、輝度に応じた電気信号（電流もしくは電圧）を印加して駆動する。

タイミングコントローラ  $TC$  は、図示しないグラフィックスプロセッサから、バスを介して画像データ  $D_{grp}$  およびクロック信号  $CK$  を受ける。タイミングコントローラ  $TC$  は、クロック信号  $CK$  と同期して、水平同期信号および垂直同期信号を発生し、ソースドライバ  $SD_1 \sim SD_m$  に対し、画像データ  $D_{grp}$  に応じた輝度データを送出するとともに、ゲートドライバ  $GD_1 \sim GD_n$  に適切な走査線を選択させる。

40

#### 【0038】

ここで、グラフィックスプロセッサから入力される画像データ  $D_{grp}$  の解像度やフレームレート、色数などは、映像の種類等によって変化する可能性がある。この場合に、グラフィックスプロセッサは、映像データ  $D_{grp}$  の伝送レートを変化させ、あわせてクロック信号  $CK$  の周波数も変化させる。グラフィックスプロセッサ側において、クロック信号を PLL 回路などによって生成する場合、その周波数の切りかえにはある期間が必要であ

50

る。したがって、クロック信号  $CK$  の周波数の切りかえに際して、クロック信号  $CK$  が一旦とぎれ、その後、次の周波数のクロック信号  $CK$  が入力される。

【 0 0 3 9 】

かかる状況において、図 1 で示した半導体デバイス 100 を利用すれば、クロック信号がとぎれてから、入力される際に、誤動作を防止することができ、FPD 300 は安定した画像を表示することができる。

【 0 0 4 0 】

実施の形態にもとづき本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎないことはいうまでもなく、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が可能であることはいうまでもない。

【 図面の簡単な説明 】

【 0 0 4 1 】

【 図 1 】 実施の形態に係る半導体デバイスの構成を示すブロック図である。

【 図 2 】 図 1 の半導体デバイスの動作を示すタイムチャートである。

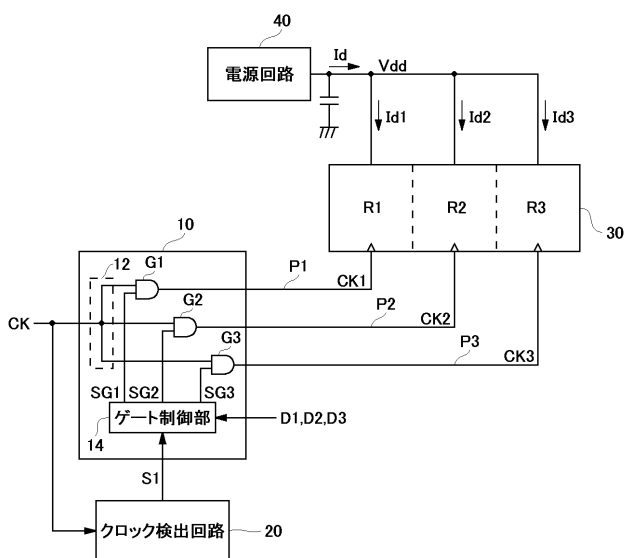
【 図 3 】 図 1 の半導体デバイスであるタイミングコントローラを備える FPD の構成を示すブロック図である。

【 符号の説明 】

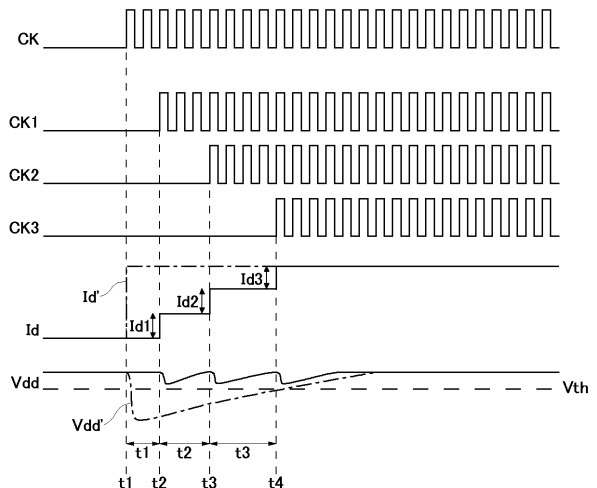
【 0 0 4 2 】

100 ... 半導体デバイス、10 ... クロック分配回路、12 ... 分配部、G1, G2, G3 ... ゲート、14 ... ゲート制御部、20 ... クロック検出回路、30 ... デジタル回路、40 ... 電源回路、S1 ... クロック検出信号、300 ... FPD、302 ... LCD パネル、GD ... ゲートドライバ、SD ... ソースドライバ、TC ... タイミングコントローラ。

【 図 1 】



【 図 2 】



【 図 3 】

