(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3683620号
(P3683620)
(45)発行日　平成17年8月17日(2005.8.17)　(24)登録日　平成17年6月3日(2005.6.3)

(51)Int.Cl.[7]	F I		
H03K 19/0185	H03K	19/00	101D
H01L 21/822	H01L	27/04	E
H01L 27/04	H03K	19/00	101F
H03K 19/0175			

請求項の数 7　(全 14 頁)

(21)出願番号　特願平7-186894
(22)出願日　平成7年7月24日(1995.7.24)
(65)公開番号　特開平8-148987
(43)公開日　平成8年6月7日(1996.6.7)
審査請求日　平成14年7月22日(2002.7.22)
(31)優先権主張番号　281897
(32)優先日　平成6年7月28日(1994.7.28)
(33)優先権主張国　米国(US)

(73)特許権者　399117121
アジレント・テクノロジーズ・インク
AGILENT TECHNOLOGIES, INC.
アメリカ合衆国カリフォルニア州パロアルト　ページ・ミル・ロード　３９５
３９５ Page Mill Road
Palo Alto, California U. S. A.
(74)代理人　100063897
弁理士　古谷　馨
(74)代理人　100076680
弁理士　溝部　孝彦
(74)代理人　100087642
弁理士　古谷　聡

最終頁に続く

(54)【発明の名称】ＣＭＯＳ入出力レベルシフティングパッド

(57)【特許請求の範囲】
【請求項１】
集積回路コアにアクセスするための入出力回路であって、コア出力信号を生成するコアと、ディスクリート入力信号を生成するディスクリート環境との間で双方向の電圧変換能力を有し、
コア電圧源と接地との間に接続され、前記コア出力信号を受け取る、コアバッファと、
前記コアバッファに接続され、前記コア出力信号を受け取り、そのコア出力信号に従って「ロー」及び「ハイ」の値を有する第１及び第２のコア値信号を生成する、シフトアップ回路と、
第１及び第２の基準信号を生成する電圧基準回路と、
出力端子を有し、前記第１及び第２の基準信号を受け取り、前記コア出力信号に従ってディスクリート出力信号を生成し、前記ディスクリート入力信号を受け取り、そのディスクリート入力信号に従って「ロー」及び「ハイ」の値を有する第１のディスクリート値信号を生成する、ディスクリートバッファであって、
ディスクリート電圧源と前記出力端子との間に接続される、第１の複数のCMOS素子であって、前記コア出力信号が「ハイ」の値を有する場合、前記第１の複数のCMOS素子にかかる前記第１の基準信号に従ってディスクリート電圧を分配し、「ロー」の値を有するディスクリート出力信号を生成する第１の複数のCMOS素子と、及び
前記出力端子と接地との間に接続される、第２の複数のCMOS素子であって、前記コア出力信号が「ロー」の値を有する場合、前記第２の複数のCMOS素子にかかる前記第２の基準信

号に従って前記ディスクリート電圧を分配し、「ハイ」の値を有するディスクリート出力信号を生成する第２の複数のCMOS素子とからなる、ディスクリートバッファと、
前記ディスクリートバッファに接続され、前記第１のディスクリート値信号に従って、「ロー」の値と「ハイ」の値を有する第２のディスクリート値信号を生成する、シフトダウン回路とからなり、
前記コアバッファが、前記シフトダウン回路に接続され、前記第１及び第２のディスクリート値信号を受け取り、IC電圧範囲内のコア入力信号を生成する、入出力回路。
【請求項２】
前記入出力回路とコアが、同じプロセス特性を有する、請求項１の入出力回路。
【請求項３】
前記第１の複数のCMOS素子が、
前記ディスクリート電圧源に接続されたソース、前記第１のコア値信号を受け取るゲート、及びドレインを有する、第１のPチャンネル電界効果トランジスタと、及び
前記第１のPチャンネル電界効果トランジスタのドレインに接続されたソース、前記第１の基準信号を受け取るゲート、及び前記出力端子に接続されたドレインを有する、第２のPチャンネル電界効果トランジスタとを更に含み、
前記ディスクリート電圧は、前記第１及び第２のPチャンネル電界効果トランジスタのそれぞれの両端の電圧降下がIC電圧範囲内になるように、前記第１及び第２のPチャンネル電界効果トランジスタ間に分配される、請求項１の入出力回路。
【請求項４】
前記第２の複数のCMOS素子が、
前記出力端子に接続されたドレイン、前記第２の基準信号に接続されたゲート、及びソースを有する、第１のNチャンネル電界効果トランジスタと、及び
前記第１のNチャンネル電界効果トランジスタのソースに接続されたドレイン、前記第２のコア値信号を受け取るゲート、及び接地に接続されたソースを有する、第２のNチャンネル電界効果トランジスタとを更に含み、
ディスクリート電圧は、前記第１及び第２のNチャンネル電界効果トランジスタのそれぞれの両端の電圧降下がIC電圧範囲内になるように、前記第１及び第２のNチャンネル電界効果トランジスタ間に分配される、請求項１の入出力回路。
【請求項５】
CMOS集積回路コアとディスクリート環境との間で双方向の電圧変換能力を有する、前記CMOS集積回路コアにアクセスするための入出力回路パッドであって、
CMOS素子配置であって、CMOS素子と前記CMOS集積回路コアが、同じプロセス特性と、プロセス規定の電圧制約とを有し、前記CMOS素子のそれぞれの両端の最大電圧が、前記プロセス規定の電圧制約内である、CMOS素子配置からなり、そのCMOS素子配置が、
コア電圧源と接地との間に接続され、前記コアからのコア出力信号を受け取る、コアバッファと、
前記コアバッファに接続され、前記コア出力信号を受け取り、「ロー」及び「ハイ」の値を有する第１及び第２のコア値信号を出力する、シフトアップ回路と、
出力端子を有し、前記第１及び第２のコア値信号を受け取り、第１のディスクリート値信号を生成するディスクリートバッファであって、前記出力端子が、前記ディスクリート環境からディスクリート入力信号を受け取り、ディスクリート出力信号を生じさせ、
ディスクリート電圧源と前記出力端子との間に接続され、前記コア出力信号が「ハイ」の値を有する場合、第１の基準信号に従ってディスクリート電圧を分配し、「ロー」の値を有するディスクリート出力信号を生成する、第１の電圧分配回路と、及び
前記出力端子と接地との間に接続され、前記コア出力信号が「ロー」の値を有する場合、第２の基準信号に従ってディスクリート電圧を分配し、「ハイ」の値を有するディスクリート出力信号を生成する、第２の電圧分配回路とを更に含む、ディスクリートバッファと、
前記ディスクリートバッファに接続され、前記第１のディスクリート値信号を受け取り、

第２のディスクリート値信号を生成するシフトダウン回路であって、それぞれのディスクリート値信号が「ロー」の値と「ハイ」の値を有する、シフトダウン回路とを含み、
前記コアバッファが、前記シフトダウン回路に接続され、前記第１及び第２のディスクリート値信号を受け取り、コア入力信号を生成し、
前記入出力回路パッドが、前記ディスクリート入力信号を受け取り、CMOS電圧範囲内にある前記コア入力信号を生成し、また前記コア出力信号を受け取り、ディスクリート電圧範囲内にあるディスクリート出力信号を生成する、入出力回路パッド。
【請求項６】
前記第１の電圧分配回路が、
前記ディスクリート電圧源に接続されたソース、前記第１のコア値信号を受け取るゲート、及びドレインを有する、第１のPチャンネル電界効果トランジスタと、及び
前記第１のPチャンネル電界効果トランジスタのドレインに接続されたソース、前記第１の基準信号を受け取るゲート、及び前記出力端子に接続されたドレインを有する、第２のPチャンネル電界効果トランジスタとを更に含み、
ディスクリート電圧範囲は、前記第１及び第２のPチャンネル電界効果トランジスタのそれぞれの両端の電圧降下が、CMOS電圧範囲内になるように、前記第１及び第２のPチャンネル電界効果トランジスタ間に分配される、請求項５の入出力回路パッド。
【請求項７】
前記第２の電圧分配回路が、
前記出力端子に接続されたドレイン、前記第２の基準信号に接続されたゲート、及びソースを有する、第１のNチャンネル電界効果トランジスタと、及び
前記第１のNチャンネル電界効果トランジスタのソースに接続されたドレイン、前記第２のコア値信号を受け取るゲート、及び接地に接続されたソースを有する、第２のNチャンネル電界効果トランジスタとを更に含み、
ディスクリート電圧範囲は、前記第１及び第２のNチャンネル電界効果トランジスタのそれぞれの両端の電圧降下が、CMOS電圧範囲内になるように、前記第１及び第２のNチャンネル電界効果トランジスタ間に分配される、請求項５の入出力回路パッド。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、集積回路に関し、より特定としては、集積回路用の双方向の信号アクセスを提供するための入出力回路に用いるのに適した、ＣＭＯＳ入出力レベルシフティングパッドである。本発明は、集積回路コアと同じ電圧要求内で動作しながら、集積回路コアと、ディスクリート環境との間の電圧要求の不整合に対処する入出力回路パッドを提供する。
【０００２】
【従来の技術】
CMOSに基づくプロセス技術の分野において、従来のものよりトランジスタの密度が高く、クロックレートの高い集積回路（IC）コアを製作しようとする傾向がある。ICコアを、ディスクリート環境における外部構成部品に電気的に接続する入出力信号は、ICコアを取り囲む入出力回路パッドを介してアクセスされる。ICコアと入出力回路パッドは、一般に同じ処理技術を用いて製造される。ICコアの性能は、電界効果トランジスタ（FET）等の、素子の機構サイズを縮小することによって改善される。残念ながら、機構サイズを縮小することによって、比例的にFETが耐えることのできる最大動作電圧が小さくなる。例えば、0.5ミクロンの機構を有するCMOSプロセスで製造された入出力回路パッドは、～3.6ボルトの最大動作電圧に耐えうる。入出力回路パッドの最大動作電圧は、通常５ボルトである、より高い電圧要求を有する外部構成部品を駆動するには不十分である。さらに、ICが最大動作電圧より高い電圧で駆動されると、故障が発生する。
【０００３】
【発明が解決しようとする課題】
電圧要求の不整合を解決する試みの１つは、ゲート酸化膜層の厚みを大きくすることによ

って、製造プロセスの耐性を増大させることである。厚いゲート酸化膜層は、各々の、及びあらゆるFETに、より高い電圧要求を支援する能力をもたらす。しかし、この耐性は、ICの全体利得を小さくするため、ICの性能を低下させる。利得が小さくなるために、機構サイズの縮小によって得られる利点が最小限になってしまう。

【０００４】

その他の試みは、それぞれが異なる電圧要求に合致する、２つの素子群ができるように、CMOS製造プロセスの複雑性を増大させることを含んでいる。各素子群は、異なるゲート酸化膜、及び異なる多結晶シリコン堆積を必要とする。追加の堆積には、それぞれ別個のマスクを必要とする。結果としての複合処理によってICの生産コストが増大する。

【０００５】

上述のプロセスに基づく解決策を回避する１つの方法は、外部構成部品として“レベルシフト”チップを用いることである。ICコアと入出力回路パッドは同じプロセスで製造される。“レベルシフトチップ”は、個別の電圧範囲を支援するために、コアの出力信号をステップアップし、ICコアの電圧範囲を支援するために、外部駆動信号をステップダウンすることによって、個別の電圧要求を支援するプロセスで製造される。このチップは、プリント回路基板上に大きく必要とされるスペースのむだであり、また性能を低下させる。

【０００６】

集積回路の全体的性能を低下させることなく、またプリント回路基板、あるいはマルチチップ基板上のスペースの使用を最大にすることなく、異なる電圧要求間で電圧を変換する入出力回路は、有益でありえる。この入出力回路とICコアを同じ処理で製造して、生産コストを最小限に押さえることは更に有益である。

【０００７】

【課題を解決するための手段】

集積回路（IC）コアにアクセスし、信号を提供する入出力回路は、ICコアと、プリント回路基板あるいはマルチチップモジュール等のディスクリート環境との間の、異なる電圧要求に対処する双方向の電圧変換能力を有する。入出力回路とICコアは、同じプロセスステップで製造されるが、入出力回路は、処理上の制約を受けない電圧で信号を受け取り、駆動することができる。

【０００８】

入出力回路は、コアバッファ、シフトアップ、シフトダウン、ディスクリートバッファの４つのブロックで実施される。コアバッファは、第１の電源と接地の間に接続される。第１の電源は、処理上の制約された電圧範囲、すなわちコアの最大動作電圧に適合する。ディスクリートバッファブロックは、ディスクリート電圧要求に適合する第２の電源と接地との間に接続される。

【０００９】

コアバッファは、ICコアからのコア出力信号を受け取り、この信号はシフトアップブロックに送られる。コア出力信号の電圧がシフトされ、コア出力信号に対応するコア値信号が生成される。このコア値信号は、“ハイ”あるいは“ロー”の値のいずれかを有し、これがディスクリートバッファによって受信される。ディスクリートバッファブロックは、出力端子にディスクリート電圧範囲に適合する“ハイ”あるいは“ロー”の値を生成する。

【００１０】

ICコアを駆動する信号についていえば、ディスクリートバッファブロックは、ディスクリート環境内の構成部品からのディスクリート入力信号を受け取り、これがシフトダウンブロックに送られる。シフトダウンブロックは、このディスクリート入力信号をIC電圧範囲内に入るようにスケーリングし、ディスクリート値信号を生成する。このディスクリート値信号はコアバッファによって受信され、コアバッファが、ディスクリート入力信号に対応するが、IC電圧範囲にも適合したコア入力信号を生成する。

【００１１】

各、及びあらゆる電界効果トランジスタに対する、単一の最大動作電圧を支援するCMOS製造プロセスは、プロセスに関係する２つの設計上の問題点がある。すなわち、ゲート酸化

膜に対する最大動作電圧、及びドレイン／ソース接合部の最大動作電圧である。各FETに対する最大動作電圧は、ディスクリート電圧要求より低いが、IC電圧は、ディスクリート電圧範囲に適合するように上昇させることができる。従って、ディスクリート電圧範囲内の電圧レベルは、IC電圧範囲に適合するように降下させることができる。入出力回路とICコアを同じプロセスステップで製造することによって、CMOSプロセスの機構サイズの縮小によって得られる性能を維持しながら、生産コストを最小限にすることができる。従来の設計と異なり、シフトアップブロックとシフトダウンブロックは、ICコアと同じ性能特性を有する。従って、ICコアとディスクリート環境との間の全体的な性能特性が向上する。

【００１２】

【発明の実施形態】

集積回路（IC）コアへの双方向信号アクセスを提供する入出力回路は、異なる電圧要求に対処するための電圧変換能力を有する。入出力回路とコアは同じICプロセスを用いて製造されるが、入出力回路は、プロセスに制約されない電圧で動作することができる。入出力回路は、ICコアに印加される電圧を、選択されたプロセスによって決まる最大素子電圧に制限しながら、ディスクリート環境内の構成部品を駆動するのに必要な電圧レベルの出力信号を提供する。

【００１３】

図１に、入出力回路10の機能ブロック図を示す。コアバッファブロック12が、第１の電源VDD1と接地との間に接続されている。第１の電源VDD1は、ICコアの所望の性能を維持するために、ICコア（図示せず）に用いられる電界効果トランジスタ（FET）に対する最大素子電圧に対応する。コアバッファブロック12は、シフトアップブロック14と、シフトダウンブロック16に接続されている。シフトアップブロック14と、シフトダウンブロック16はいずれも、ディスクリートバッファブロック18に接続されている。ディスクリートバッファブロック18は、さらに電圧基準ブロック20に接続されている。ディスクリートバッファブロック18は、第２の電源VDD2と接地との間に接続されている。通常５ボルトのこの第２の電源VDD2は、ディスクリート環境内の構成部品（図示せず）を駆動するのに必要な電圧に対応する。

【００１４】

ICコアは、コアバッファブロック12にコア出力信号C_{OUT}を送る。コア出力信号C_{OUT}は、それぞれがコア出力信号C_{OUT}を表わす２つの値“ロー”、“ハイ”のうちの１つを有する、２つのコア値信号C_{V1}、C_{V2}を生成するシフトアップブロック14に送られる。ディスクリートバッファブロック18は、出力端子22にディスクリート出力信号D_{OUT}を生成し、この信号は、駆動電圧にスケーリングされ、コア値信号C_{V1}、C_{V2}に従っている。

【００１５】

２つのブロックDIN 24、DOUT 26を含むディスクリートバッファブロック18は、入力端子28で構成部品からのディスクリート入力信号D_{IN}を受信する。シフトダウンブロック16は、ディスクリート入力信号D_{IN}に対応する、２つのディスクリート値信号D_{V1}、D_{V2}を生成する。コアバッファブロック12は、最大素子電圧にスケーリングされ、ディスクリート値信号D_Vに従った、コア入力信号C_{IN}を生成する。

【００１６】

図２に、図１のコアバッファブロック12を示す。コアバッファブロック12は、２つのブロックICIN 30、ICOUT 32を含む。ICIN 30は、ICコアからのコア出力信号C_{OUT}を受け取り、シフトアップブロック14にコア出力信号C_{OUT}を送る。ICOUT 32は、シフトダウンブロック16からのディスクリート値信号D_Vを受け取り、ディスクリート入力信号D_{IN}に対応するが、IC電圧範囲内にある電圧でコア入力信号C_{IN}を出力する。

【００１７】

図３は、図２に示す機能ブロックICOUT 32の概略回路図である。

【００１８】

図４は、図１に示すディスクリートバッファブロック18のDINブロック26を示す。DINブロック26は、直列に接続されたP-チャンネル素子M2とN-チャンネル素子M1を含む。P-チャン

ネル素子M2のドレインは、入力ノード28においてN-チャンネル素子M1のドレインに接続されている。ディスクリート入力信号D_{IN}は、入力ノード28でディスクリートバッファブロック18に入り、その後はN-チャンネル素子M1のソースで取り出すことができる。

【００１９】

図５には、図１のDOUTブロック24を示す。DOUTブロック24は、直列に接続された第１および第２の電圧分配回路34、36を含む。第１の電圧分配回路34は、第２の電源VDD2、シフトアップブロック14、および出力端子22に接続されている。第２の電圧分配回路36は、出力端子22、シフトアップブロック14、および接地に接続されている。

【００２０】

図６は、図５に示すDOUTブロック24の概略回路図である。第１の電圧分配回路34は、第２の電源VDD2に接続されたソース、シフトアップブロック14に接続されたゲート、およびドレインを有する、第１のP-チャンネル素子38を含む。第２のP-チャンネル素子40は、第１のP-チャンネル素子38のドレインに接続されたソース、電圧基準ブロック20に取り付けられたゲート、および出力端子22に接続されたドレインを有する。第１の基準信号VREF1が、第１の電圧分配回路34をバイアスする。

【００２１】

第２の電圧分配回路36は、出力端子22に接続されたドレイン、基準電圧ブロック20に接続されたゲート、およびソースを有する、第１のN-チャンネル素子42を含む。第２のN-チャンネル素子44は、第１のN-チャンネル素子42のソースに接続されたドレイン、シフトアップブロック14に接続されたゲート、および接地に接続されたソースを有する。第２の基準信号VREF2が、第２の電圧分配回路36をバイアスする。

【００２２】

コア出力信号C_{OUT}が低い値を有するとき、ディスクリート出力信号D_{OUT}は対応する低い値を有する。電圧基準信号VREF1およびVREF2によって、第２のP-チャンネル素子40はソースホロワとして、また第１のN-チャンネル素子42は伝送ゲートとして共に動作させられる。コア出力信号C_{OUT}が高い値を有するとき、ディスクリート出力信号D_{OUT}は対応する高い値を有する。電圧基準信号VREF1およびVREF2によって、第２のP-チャンネル素子40は伝送ゲートとして、また第１のN-チャンネル素子42はソースホロワとして共に動作させられる。

【００２３】

それぞれの電圧分配回路において、駆動電圧は２つの素子に分配される。最大動作電圧は素子の性能が高いほど小さくなるため、電圧を分配し性能を維持するためには追加の素子が必要になる。これは、電圧分配回路のそれぞれに追加の電圧基準信号を与えて、素子間で内部ノードをバイアスすることによって行なわれる。２つの別個のブロックDIN、DOUTを、トライステートバッファによって制御して、入出力回路に双方向のアクセスと、使用不可モードを与えることができる。

【００２４】

図７は、図１に示すシフトアップブロック14の概略回路図である。P-チャンネル素子M34およびM44のソースは、第２の電源VDD2に接続されている。M44のゲートがM34のドレインに接続され、M34のゲートがM44のドレインに接続され、これによって交差接続が形成されている。P-チャンネル素子M33およびM43のそれぞれのゲートは、電圧基準ブロック20からの第１の基準信号VREF1を受け取る。M33のソースは、ノードint33でM34のドレインに接続されており、M43のソースは、ノードint43でM44のドレインに接続されている。続いて、ノードint43で取り出し可能なコア値信号C_{V1}が、ディスクリートバッファブロック18によって用いられる。

【００２５】

N-チャンネル素子M32およびM42のそれぞれのゲートは、電圧基準ブロック20からの第２の基準信号VREF2を受け取る。M32のドレインは、ノードint32でM33のドレインに接続され、M42のドレインは、ノードint42でM43のドレインに接続される。N-チャンネル素子M31およびM41のソースはいずれも接地に接続されている。M31のゲートはコアバッファブロック12に接続され、M31のドレインはノードint31でM32のソースに接続されている。M41のゲート

は反転コア出力信号バーC_{OUT}を受け取り、M41のドレインはノードint41でM42のソースに接続されている。

【００２６】

図８は、図１に示すシフトダウンブロック16の概略回路図である。N-チャンネル素子M11およびM52のゲートは、電圧基準ブロック20から第２の基準信号VREF2を受け取り、これらの素子のドレインはノードint21で互いに接続されている。P-チャンネル素子M21のドレインは、ノードint21に接続されている。M21のゲートは、電圧基準ブロック20から第１の基準信号VREF1を受け取る。N-チャンネル素子M51のソースは接地に接続され、M51のドレインはM52のソースに接続されている。ディスクリート値信号D_{V2}はM11のソースで取り出し可能である。M51のゲートは、ディスクリートバッファからディスクリート入力信号D_{V1}を受け取る。

【００２７】

図９、及び図１０は、図１に示す電圧基準ブロック20の概略回路図である。電圧バイアス回路46、48は、電圧分配回路のそれぞれのバイアス網として用いられる。本実施例では、２つのバイアス回路46、48は、遅延性能を向上させながら、コアバッファブロック12とディスクリートバッファブロック18を、最大素子電圧要求と駆動電圧要求の両方に適合可能にする。第１のバイアス回路46と第２のバイアス回路48はいずれも、第２の電源VDD2を入力信号として受け取る。VDD2に対するそれぞれのバイアス回路の出力の比は、入力ブロックと出力ブロックのゲート／ソース接合部電圧、及びゲート／ドレイン接合部電圧が、IC電圧範囲内に入るように固定されている。第１のバイアス回路46は、第１の電圧分配回路34に接続されている。第２のバイアス回路48は、第２の電圧分配回路36に接続されている。本実施例では、いずれのバイアス回路の素子も、電界効果トランジスタのゲート／ドレイン接合部、又はゲート／ソース接合部、及びドレイン／ソース接合部の最大素子電圧を越えて動作しない。これらのバイアス回路へのVDD2入力は駆動電圧に適合する。

【００２８】

第１のバイアス回路46は、入力信号として第２の電源VDD2を有する。素子M109およびM110はソースホロワ・レベルシフトとして用いられ、ノードint110は約VDD2 - 2Vtp+ （P-チャンネル）である。素子M111およびM112は、R1およびR11とともにレベルシフタとして用いられ、M211およびM212へのバイアスレベルと基準電圧を設定する。ノードint111とノードint112の電圧は、M212およびM211に対するバイアスを設定する。出力電圧はノードint111の電圧から～（M212の）Vtnを引いたもの、あるいはノードint112の電圧に～（M211の）Vtpを加えたものである。素子M311、M312、M1311、M1312、M411、およびM412は、“ゲート酸化膜”コンデンサとして用いられる。これらの素子の寸法は、VDD2が０ボルトから～５ボルトに上昇するとき、第１のバイアス回路が、直流安定値に適合した、上昇する出力電圧VREF1を有するように決定される。

【００２９】

第２のバイアス回路48は、入力信号として第２の電源VDD2を有する。素子M109BおよびM110Bは、ソースホロワ・レベルシフトとして用いられ、ノードint112Bは約接地 + 2Vtn （N-チャンネル）である。素子M111BおよびM112Bは、R1BおよびR11Bとともにレベルシフタとして用いられ、M211BおよびM212Bへのバイアスレベルと基準電圧を設定する。ノードint111Bとノードint112Bの電圧は、M212BおよびM211Bに対するバイアスを設定する。出力電圧は、ノードint111Bの電圧から～（M212Bの）Vtnを引いたもの、あるいはノードint112Bの電圧に～（M211Bの）Vtpを加えたものである。素子M311B、M312B、M1311B、M1312B、M411B、およびM412Bは、“ゲート酸化膜”コンデンサとして用いられる。これらの素子の寸法は、VDD2が０ボルトから～５ボルトに上昇するとき、第２のバイアス回路が、直流安定値に適合した、上昇する出力電圧VREF2を有するように決定される。

【００３０】

以上の説明から、本発明によれば、集積回路を生成するための相補的なFETを含む同一製造プロセスを用いて、IC環境からディスクリート環境への電圧信号、及びディスクリート環境からIC環境への電圧信号を変換する方法と装置が提供されることがわかる。本発明の

原理を実施した、CMOSに基づいた双方向電圧変換パッドが、集積回路コアと同じ製造プロセスで製造されるが、それぞれの素子が、プロセス規定の電圧制約内で動作することができるように、ディスクリート電圧範囲を分配する。

【００３１】

【実施例】

以下に本発明の実施態様を列挙する。

【００３２】

１．集積回路コアをアクセスするための入出力回路であって、コア出力信号を生成するコアと、ディスクリート入力信号を生成するディスクリート環境との間で双方向の電圧変換能力を有し、

コア電圧源と接地との間に接続され、コア出力信号を受け取る、コアバッファと、

コアバッファに接続され、コア出力信号を受け取り、コア出力信号に従って“ロー”、及び“ハイ”の値を有するコア値信号を生成する、シフトアップ回路と、

少なくとも１つの基準信号を生成する電圧基準回路と、

出力端子を有し、基準信号を受け取り、コア値信号に従ってディスクリート出力信号を生成する、ディスクリートバッファであって、

ディスクリート電圧源と出力端子との間に接続される、第１の複数のCMOS素子であって、コア値信号が“ハイ”の値を有する場合、前記第１の複数のCMOS素子を横切る基準信号に従ってディスクリート電圧範囲を分配し、“ハイ”の値を有するディスクリート出力信号を生成する第１の複数のCMOS素子と、

出力端子と接地との間に接続される、第２の複数のCMOS素子であって、コア値信号が“ロー”の値を有する場合、前記第２の複数のCMOS素子を横切る基準信号に従ってディスクリート電圧範囲を分配し、“ロー”の値を有するディスクリート出力信号を生成する第２の複数のCMOS素子とからなる、ディスクリートバッファと、

ディスクリートバッファに接続され、ディスクリート入力信号を受け取り、コア出力信号に従って、“ロー”の値と“ハイ”の値を有するディスクリート値信号を生成する、シフトダウン回路と、

シフトダウン回路に接続され、ディスクリート値信号を受け取り、IC電圧範囲内のコア入力信号を生成する、入力回路と、

からなる入出力回路。

【００３３】

２．入出力回路とコアが、同じプロセス特性を有する、前項１に記載の入出力回路。

【００３４】

３．第１の複数のCMOS素子がさらに、

ディスクリート電圧源に接続されたソース、コア値信号を受け取るゲート、及びドレインを有する、第１のP-チャンネル電界効果トランジスタと、

第１のP-チャンネル電界効果トランジスタのドレインに接続されたソース、電圧基準信号を受け取るゲート、及び出力端子に接続されたドレインを有する、第２のP-チャンネル電界効果トランジスタとからなり、

ディスクリート電圧範囲は、第１、及び第２のP-チャンネル電界効果トランジスタのそれぞれを横切る電圧降下がIC電圧範囲内になるように、第１、及び第２のP-チャンネル電界効果トランジスタを横切って分配される、前項１に記載の入出力回路。

【００３５】

４．第２の複数のCMOS素子がさらに、

出力端子に接続されたドレイン、電圧基準信号に接続されたゲート、及びソースを有する、第１のN-チャンネル電界効果トランジスタと、

第１のN-チャンネル電界効果トランジスタのソースに接続されたドレイン、コア値信号を受け取るゲート、及び接地に接続されたソースを有する、第２のN-チャンネル電界効果トランジスタとからなり、

ディスクリート電圧範囲は、第１、及び第２のN-チャンネル電界効果トランジスタのそれ

ぞれを横切る電圧降下がIC電圧範囲内になるように、第１、及び第２のN-チャンネル電界効果トランジスタを横切って分配される、前項１に記載の入出力回路。

【００３６】

５．CMOS集積回路コアと、ディスクリート環境との間で双方向の電圧変換能力を有する、CMOS集積回路コアをアクセスするための入出力回路パッドにおいて、

CMOS素子とCMOS集積回路コアが、同じプロセス特性と、プロセス規定の電圧制約とを有するCMOS素子配置からなり、該配置が、

コア電圧源と接地との間に接続され、コアからのコア出力信号を受け取る、コアバッファと、

入力回路に接続され、コア出力信号を受け取り、“ロー”、及び“ハイ”の値を有するコア値信号を出力する、シフトアップ回路と、

ディスクリート電圧源と接地との間に接続され、ディスクリート環境からディスクリート入力信号を受け取り、及びコア値信号を受け取り、出力端子でディスクリート出力信号を出力する、ディスクリートバッファと、

ディスクリートバッファに接続され、ディスクリート入力信号を受け取り、“ロー”の値と“ハイ”の値を有するディスクリート値信号を生成する、シフトダウン回路と、を含み、

コアバッファは、シフトダウン回路に接続され、ディスクリート値信号を受け取り、コア入力信号を生成することと、

入出力回路パッドは、ディスクリート入力信号を受け取り、CMOS電圧範囲内にあるコア入力信号を生成し、またコア出力信号を受け取り、ディスクリート電圧範囲内にあるディスクリート出力信号を生成することと、

を特徴とする、入出力パッド。

【００３７】

６．CMOS素子のそれぞれを横切る最大電圧降下が、プロセス規定の電圧制約内で動作する、前項５に記載のCMOS入出力回路パッド。

【００３８】

７．ディスクリートバッファがさらに、

ディスクリート電圧源と出力端子との間に接続され、コア値信号が“ロー”の値を有する場合、電圧基準信号に従ってディスクリート電圧範囲を分配し、“ロー”の値を有するディスクリート出力信号を生成する、第１の電圧分配回路と、出力端子と接地との間に接続され、コア値信号が“ハイ”の値を有する場合、電圧基準信号に従ってディスクリート電圧範囲を分配し、“ハイ”の値を有するディスクリート出力信号を生成する、第２の電圧分配回路とからなる、前項６に記載のCMOS入出力回路パッド。

【００３９】

８．第１の電圧分配回路がさらに、

ディスクリート電圧源に接続されたソース、コア値信号を受け取るゲート、及びドレインを有する、第１のP-チャンネル電界効果トランジスタと、

第１のP-チャンネル電界効果トランジスタのドレインに接続されたソース、電圧基準信号を受け取るゲート、及び出力端子に接続されたドレインを有する、第２のP-チャンネル電界効果トランジスタとからなり、

ディスクリート電圧範囲は、第１、及び第２のP-チャンネル電界効果トランジスタのそれぞれを横切る電圧降下が、CMOS電圧範囲内になるように、第１、及び第２のP-チャンネル電界効果トランジスタを横切り分配される、前項７に記載のCMOS入出力回路パッド。

【００４０】

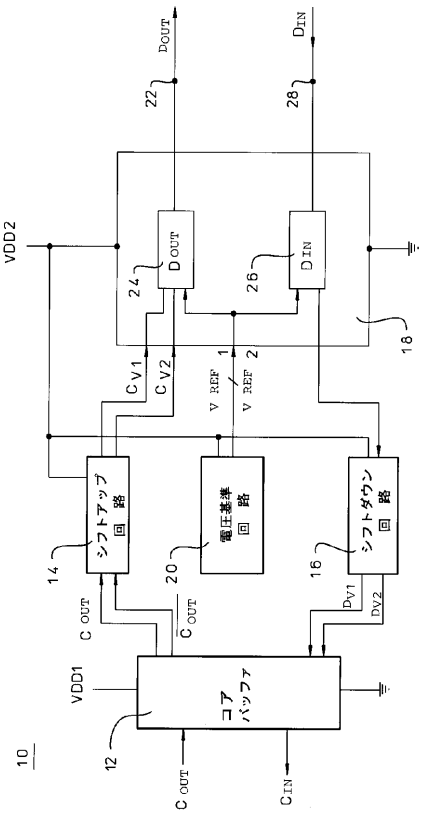
９．第２の電圧分配回路がさらに、

出力端子に接続されたドレイン、電圧基準信号に接続されたゲート、及びソースを有する、第１のN-チャンネル電界効果トランジスタと、

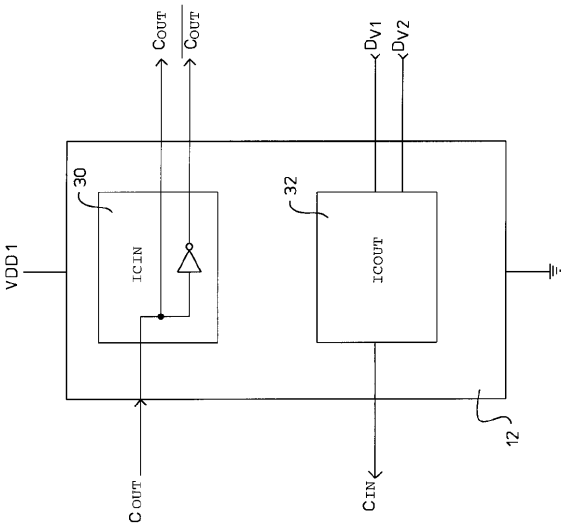
第１のN-チャンネル電界効果トランジスタのソースに接続されたドレイン、コア値信号を受け取るゲート、及び接地に接続されたソースを有する、第２のN-チャンネル電界効果ト

ランジスタとからなり、
ディスクリート電圧範囲は、第１、及び第２のN-チャンネル電界効果トランジスタのそれぞれを横切る電圧降下が、CMOS電圧範囲内になるように、第１、及び第２のN-チャンネル電界効果トランジスタを横切り分配される、前項７に記載のCMOS入出力回路パッド。
【００４１】
【発明の効果】
本発明は、以上のように構成したので、入出力回路とICコアを同じプロセスステップで製造することによって、CMOSプロセスの機構サイズの縮小によって得られる性能を維持しながら、生産コストを最小限にすることができる。従来の設計と異なり、シフトアップブロックとシフトダウンブロックは、ICコアと同じ性能特性を有する。従って、ICコアとディスクリート環境との間の全体的な性能特性が向上するという効果がある。
【図面の簡単な説明】
【図１】本発明による、入出力回路の機能ブロック図である。
【図２】図１に示すコアバッファを示す。
【図３】図２に示すICOUTブロックの概略回路図である。
【図４】図１に示すDINブロックの概略回路図である。
【図５】図１に示すDOUTブロックを示す。
【図６】図５に示すDOUTブロックの概略回路図である。
【図７】図１に示すシフトアップブロックの概略回路図である。
【図８】図１に示すシフトダウンブロックの概略回路図である。
【図９】図１に示す電圧基準ブロック20の概略回路図である。
【図１０】図１に示す電圧基準ブロック20の概略回路図である。
【符号の説明】
10：入出力回路
12：コアバッファブロック
14：シフトアップブロック
16：シフトダウンブロック
18：ディスクリートバッファブロック
20：電圧基準ブロック
22：出力端子
24：ブロックDIN
26：ブロックDOUT
34：第１の電圧分配回路
36：第２の電圧分配回路
38：第１のP-チャンネル素子
40：第２のP-チャンネル素子
42：第１のN-チャンネル素子
44：第２のN-チャンネル素子
C_{OUT}：コア出力信号
C_{V1}、C_{V2}：コア値信号
D_{IN}：ディスクリート入力信号
D_{V1}、D_{V2}：ディスクリート値信号
D_{OUT}：ディスクリート出力信号
VDD1：第１の電源
VDD2：第２の電源
VREF1：第１の基準信号
VREF2：第２の基準信号

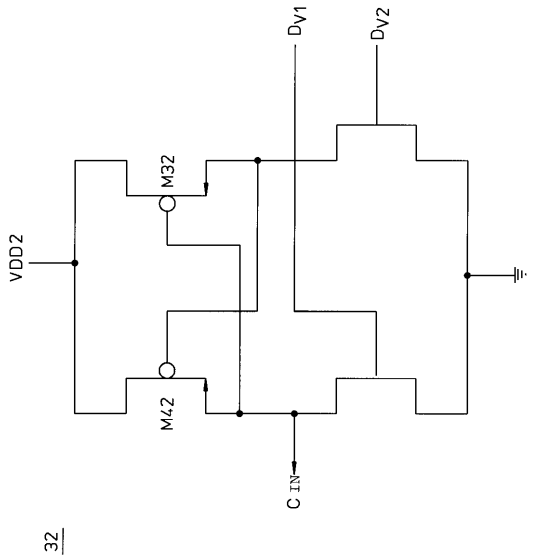
【図１】


DOUT
DIN
22
28
VDD2
24
26
18
CV1
CV2
V REF 1
V REF 2
シフトアップ回路
電圧基準回路
シフトダウン回路
14
20
16
C OUT
C OUT
DV1
DV2
VDD1
コアバッファ
12
C OUT
CIN
10

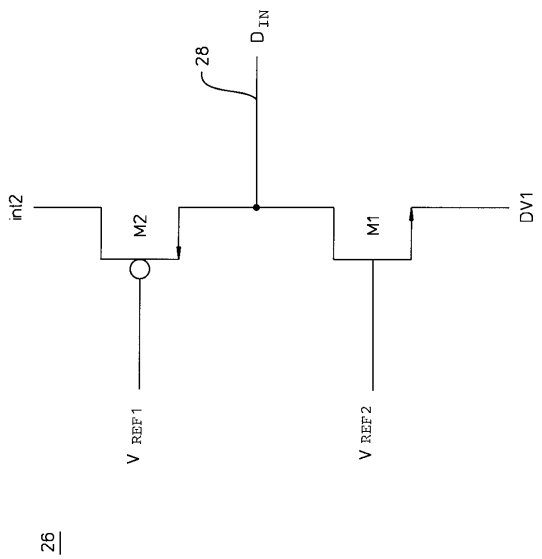
【図２】


COUT
COUT
DV1
DV2
30
32
VDD1
IC.IN
ICOUT
12
COUT
CIN

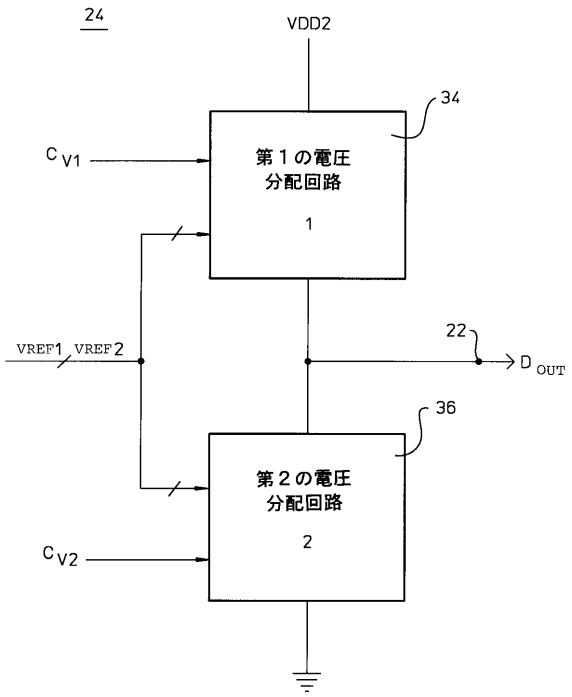
【図３】


DV1
DV2
M32
VDD2
M42
C IN
32

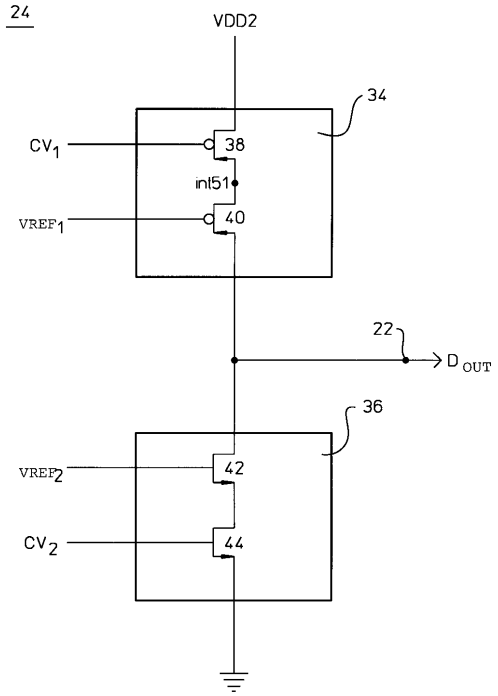
【図４】


DIN
28
ini2
M2
M1
DV1
V REF1
V REF2
26

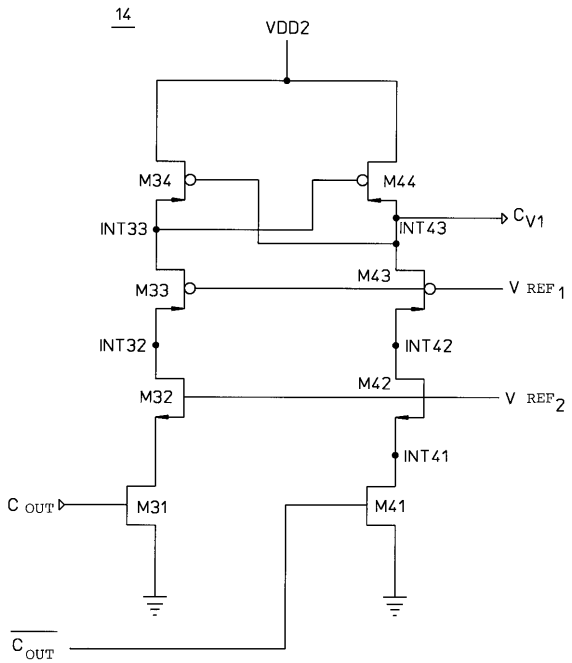
【図５】


24
VDD2
34
C V1
第１の電圧
分配回路
1
22
VREF1 VREF2
D OUT
36
第２の電圧
分配回路
2
C V2

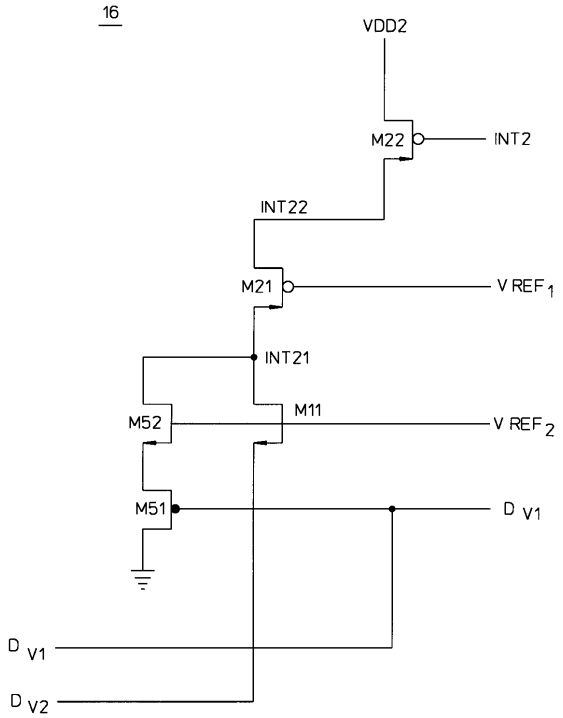
【図６】


24
VDD2
34
CV1
38
int51
VREF1
40
22
D OUT
36
VREF2
42
CV2
44

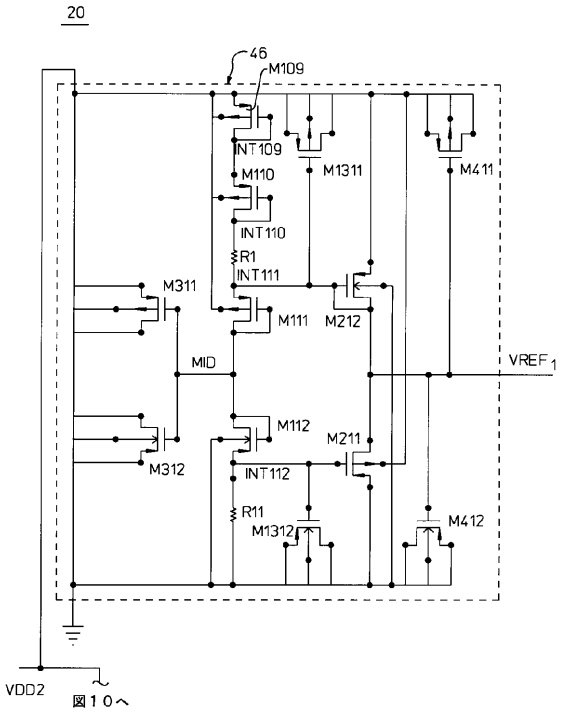
【図７】


14
VDD2
M34
M44
INT33
INT43
C V1
M43
M33
V REF 1
INT32
INT42
M42
M32
V REF 2
INT41
C OUT
M31
M41
C OUT

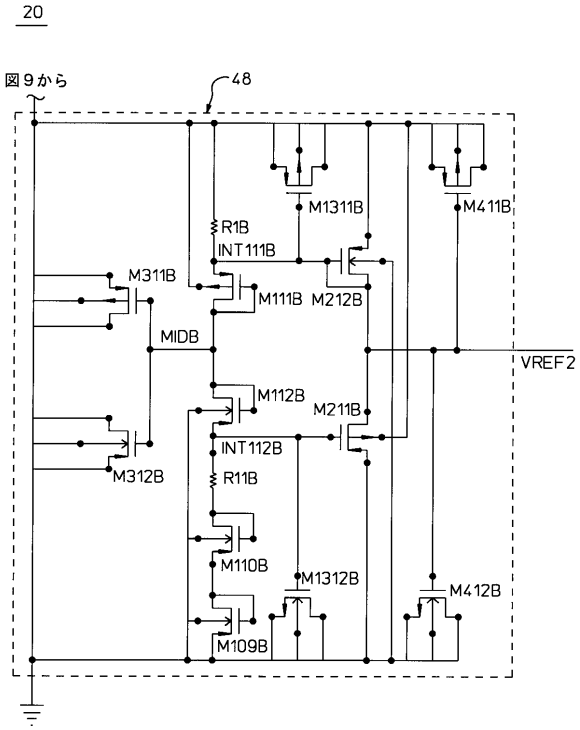
【図８】


16
VDD2
M22
INT2
INT22
M21
V REF 1
INT21
M52
M11
V REF 2
M51
D V1
D V1
D V2

【図９】


20
46
M109
INT109
M110
INT110
R1
INT111
M311
M111
M212
M1311
M411
MID
VREF1
M112
M211
M312
INT112
R11
M1312
M412
VDD2
図１０へ

【図１０】


20
図９から
48
M1311B
M411B
R1B
INT111B
M311B
M111B
M212B
MIDB
VREF2
M112B
M211B
INT112B
M312B
R11B
M110B
M1312B
M412B
M109B

フロントページの続き

(72)発明者　スティーヴン・ジェイ・ラットナー
アメリカ合衆国カリフォルニア州９５０５１サンタ・クララ，グロリエッタ・サークル・２７７９

審査官　石井　研一

(56)参考文献　特開平０６－１５２３８３（ＪＰ，Ａ）
特開平０７－００７４１３（ＪＰ，Ａ）
特開平０７－１４２９９０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K 19/0185
H01L 21/822
H03K 19/0175