



(12) 发明专利

(10) 授权公告号 CN 101093984 B

(45) 授权公告日 2011.05.11

(21) 申请号 200710128246.7

附图 5、说明书第 4 页第 58-63 行。

(22) 申请日 2007.01.08

CN 1501561 A, 2004.06.02, 全文。

(30) 优先权数据

附图 3。

1668/06 2006.01.06 KR

审查员 徐波

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 任敬植 金汉求 高在赫 孙日宪

金锡震

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邵亚丽

(51) Int. Cl.

H03K 5/08 (2006.01)

(56) 对比文件

US 6731488 B2, 2004.05.04, 附图 5、说明书第 3 栏第 5-67 行, 第 4 栏第 58-63 行, 第 5 栏 1-40 行。

US 5838146 A, 1998.11.17, 附图 3, 6, 7、说明书第 5 栏第 35 行-67 行, 第 6 栏 1-25 行, 第 7 栏 10-66 行。

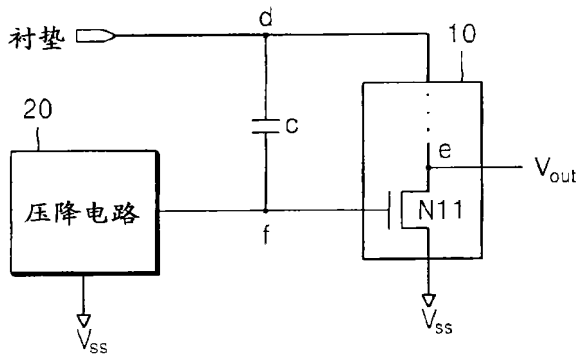
权利要求书 2 页 说明书 6 页 附图 3 页

(54) 发明名称

电压箝位电路、半导体芯片和电压箝位方法

(57) 摘要

提供一种箝位电路,其可以通过使用已包括在电路中的晶体管而将电路节点处的电压箝位到稳定电平。当发生静电放电 (ESD) 时,箝位电路可以将半导体芯片内部的电路的第一节点处的电压箝位到更稳定的电平。箝位电路可包括晶体管和电容性元件以存储用来响应于 ESD 而导通晶体管的控制电压。



1. 一种箝位在第一电路的第一节点处的电压的箝位电路,该第一电路通过第一衬垫发送和 / 或接收信号,该箝位电路包括:

第一电路的 MOS 晶体管,该 MOS 晶体管的第一电极连接到第一节点,并且该 MOS 晶体管的第二电极连接到接地电压;以及

在第一衬垫和 MOS 晶体管之间连接的电容性元件,该电容性元件存储用来响应于静电放电而导通 MOS 晶体管的控制电压,

其中所述第一电路是电平移动器,其包括形成锁存器结构的一对 PMOS 晶体管和连接到 PMOS 晶体管的一对 NMOS 晶体管,其中所述 MOS 晶体管是所述一对 NMOS 晶体管中的一个。

2. 如权利要求 1 所述的箝位电路,其中:

所述 MOS 晶体管是栅极耦合 NMOS 晶体管;以及

所述电容性元件被连接在第一衬垫和栅极耦合 NMOS 晶体管的栅电极之间。

3. 如权利要求 1 所述的箝位电路,其中所述电容性元件是电容器。

4. 如权利要求 1 所述的箝位电路,其中:

所述第一节点是电平移动器的输出节点。

5. 如权利要求 4 所述的箝位电路,其中所述电平移动器的输出节点输出第一节点处的电压。

6. 如权利要求 1 所述的箝位电路,其中:

在第二节点和接地电压之间连接压降电路;以及

所述第二节点是 MOS 晶体管和电容性元件被连接的位置。

7. 一种半导体芯片包括:

箝位在第一电路的第一节点处的电压的箝位电路,该第一电路通过第一衬垫发送和 / 或接收信号;以及

第二衬垫,其中,

该箝位电路包括:

第一电路的 MOS 晶体管,该 MOS 晶体管的第一电极连接到第一节点,并且该 MOS 晶体管的第二电极连接到接地电压;以及

在第一衬垫和 MOS 晶体管之间连接的电容性元件,该电容性元件存储用来响应于静电放电而导通 MOS 晶体管的控制电压,

其中所述第一电路是电平移动器,其包括形成锁存器结构的一对 PMOS 晶体管和连接到 PMOS 晶体管的一对 NMOS 晶体管,并且所述第一电路将第一节点处的电压作为电压信号而输出到第二电路,

其中所述 MOS 晶体管是所述一对 NMOS 晶体管中的一个。

8. 如权利要求 7 所述的半导体芯片,其中:

所述 MOS 晶体管是栅极耦合 NMOS 晶体管;以及

所述电容性元件被连接在第一衬垫和栅极耦合 NMOS 晶体管的栅电极之间。

9. 如权利要求 7 所述的半导体芯片,其中:

所述第一节点是电平移动器的输出节点。

10. 如权利要求 9 所述的半导体芯片,其中所述电平移动器输出第一节点处的电压。

11. 如权利要求 7 所述的半导体芯片,其中:

在第二节点和接地电压之间连接压降电路 ;以及  
所述第二节点是 MOS 晶体管和电容性元件被连接的位置。

12. 如权利要求 7 所述的半导体芯片,还包括 :  
连接在第二衬垫和第二电路之间的第一开关 ;  
连接在第一衬垫和箝位电路之间的第二开关 ;以及  
连接到箝位电路的输入的逻辑门。

13. 如权利要求 12 所述的半导体芯片,其中所述第一开关将控制信号传送到第二电路的输入。

14. 如权利要求 12 所述的半导体芯片,其中所述第二开关将控制信号传送到箝位电路。

15. 如权利要求 12 所述的半导体芯片,其中所述第二电路是电可擦除可编程只读存储器 EEPROM。

16. 如权利要求 15 所述的半导体芯片,其中所述逻辑门接收用于 EEPROM 的数据信号和写使能信号。

17. 如权利要求 12 所述的半导体芯片,其中所述逻辑门是或非门。

18. 一种响应于静电放电而箝位第一电路的第一节点的电压的方法,该方法包括 :  
响应于静电放电,在连接到电路的 MOS 晶体管的电容中存储电压 ;以及  
通过利用响应于静电放电而存储的电压来导通 MOS 晶体管,箝位第一节点的电压,  
其中所述第一电路是电平移动器,其包括形成锁存器结构的一对 PMOS 晶体管和连接到 PMOS 晶体管的一对 NMOS 晶体管,其中所述 MOS 晶体管是所述一对 NMOS 晶体管中的一个。

19. 如权利要求 18 所述的方法,还包括 :  
通过电容和压降电路中的至少一个,将来自静电放电的过量电荷传输到地。

20. 如权利要求 19 所述的方法,还包括 :  
截止 MOS 晶体管。

## 电压箝位电路、半导体芯片和电压箝位方法

### 技术领域

[0001] 示例实施例可涉及电路和 / 或半导体芯片。例如, 示例实施例可涉及电压箝位电路, 其可以在半导体芯片的电路内部的节点处箝位电压。示例实施例可以包括 MOS 晶体管和 / 或具有其的半导体芯片。

### 背景技术

[0002] 在现有技术中, 当集成半导体芯片时, 由于静电, 所以电流可能由配线通过衬垫引入。该电流可能导致错误和 / 或损坏半导体芯片。为了保护半导体芯片内部的电路免受静电放电 (ESD) 的影响或类似的情况, 半导体芯片可以包括 ESD 保护电路。ESD 保护电路可布置在半导体芯片中的衬垫附近和 / 或可位于衬垫和半导体芯片的电路之间。因此, 当通过衬垫引入由静电产生的电流时, ESD 保护电路可以对该电流放电, 由此抑制对半导体芯片中的电路的损坏。

[0003] 为了抑制在传统半导体芯片中的电路上的节点处的电压变化, 可以使用箝位元件。箝位元件可以箝位节点处的电压。可以由金属氧化物半导体 (MOS) 和 / 或硅可控整流器 (SCR) 构成的箝位元件可执行快反向 (snapback) 操作。

[0004] 当由于静电而在半导体芯片中的电路上的节点处发生电压变化时, 内部电路可能发生故障。例如, 电压变化可以损坏相对薄的栅极氧化物。

[0005] 图 1 是传统的电平移动器 (shifter) 的示例。参照图 1, 电平移动器可以改变输入信号的电压并输出改变后的电压。电平移动器可以由 PMOS 晶体管 P1 和 P2、NMOS 晶体管 N1 和 N2 和 / 或反相器 11 构成。

[0006] PMOS 晶体管 P1 和 P2 可具有锁存器结构, 并且可彼此连接。PMOS 晶体管 P1 的栅电极可以连接到 PMOS 晶体管 P2 的漏电极, 并且 PMOS 晶体管 P2 的栅电极可以连接到 PMOS 晶体管 P1 的漏电极。PMOS 晶体管 P1 和 P2 的源电极可以连接到升压电压  $V_p$ 。

[0007] NMOS 晶体管 N1 的栅电极可连接到输入信号  $V_{in}$ , NMOS 晶体管 N2 的栅电极可连接到反相信号  $V_{in}$ 。NMOS 晶体管 N1 和 N2 的漏电极可分别连接到 PMOS 晶体管 P1 和 P2, 并且 NMOS 晶体管 N1 和 N2 的源电极可连接到接地电压 GND。

[0008] 当输入信号  $V_{in}$  从低电平转变为高电平时, NMOS 晶体管 N1 可导通, 而 NMOS 晶体管 N2 可截止。在此例中, 节点 (a) 处的电压转变为低电平, 并且可施加到 PMOS 晶体管 P2 的栅电极, 由此导通 PMOS 晶体管 P2。另外, 节点 (b) 处的电压转变为高电平, 并且可施加到 PMOS 晶体管 P1 的栅电极, 由此截止 PMOS 晶体管 P1。结果, 可提供在节点 (b) 处的升压电压  $V_p$  作为输出信号  $V_{out}$ 。

[0009] 当输入信号  $V_{in}$  从高电平转变为低电平时, NMOS 晶体管 N2 可导通, 并且 NMOS 晶体管 N1 可截止。在这个示例中, 节点 (b) 处的电压转变为低电平, 且可施加到 PMOS 晶体管 P1 的栅电极, 由此导通 PMOS 晶体管 P1。另外, 节点 (a) 处的电压转变为高电平, 且可施加到 PMOS 晶体管 P2 的栅电极, 由此截止 PMOS 晶体管 P2。结果, 可提供节点 (b) 处的接地电压 GND 作为输出信号  $V_{out}$ 。

[0010] 可以是电平移动器的输出电压  $V_{out}$  的节点 (b) 处的电压可以作为升压电压  $V_p$  的高电平电压输出或以更稳定的方式作为接地电压 GND 的低电平电压输出。另外, 半导体芯片可以包括用于稳定图 1 中的节点 (b) 处的电压的电路。

[0011] 然而, 额外的箝位电路可能增加半导体芯片的尺寸。并且, 箝位由 ESD 产生的相对高的电压的箝位电路可能需要大的设计规则, 这可能限制半导体芯片的尺寸减小。

## 发明内容

[0012] 示例实施例从下列详细说明、附图和相关权利要求中更加完整清楚。

[0013] 示例实施例提供可箝位节点处的电压的电压箝位电路。电压箝位电路可包括在半导体芯片电路中包括的 MOS 晶体管、和具有其的半导体芯片。

[0014] 根据至少一个示例实施例, 箝位电路可包括第一电路的 MOS 晶体管和电容性元件。MOS 晶体管的第一电极可连接到第一节点, MOS 晶体管的第二电极可连接到接地电压。电容性元件可连接在第一衬垫和 MOS 晶体管之间, 电容性元件可存储控制电压以响应于静电放电而导通 MOS 晶体管。例如, 箝位电路可将第一电路的第一节点处的电压箝位到稳定电平, 并且第一电路可通过第一衬垫发送和 / 或接收信号。

[0015] 在至少一个示例实施例中, 响应于静电放电 (ESD) 箝位第一电路的第一节点处的电压的方法可包括: 响应于 ESD, 在连接到电路的 MOS 晶体管的电容中存储电压, 以及通过利用响应于 ESD 而存储的电压来导通 MOS 晶体管, 从而箝位第一节点处的电压。

[0016] 在示例实施例中, 可以提供用于将电路第一节点处的电压箝位到稳定电平的箝位电路。示例箝位电路可位于半导体芯片内, 并且可包括 MOS 晶体管和电容性元件。MOS 晶体管可被包括在通过衬垫发送 / 接收信号的电路中, 其可具有连接到需要箝位的第一节点的第一电极以及连接到接地电压的第二电极。电容性元件可连接在衬垫和 MOS 晶体管之间, 并且可存储响应于 ESD 的发生而导通 MOS 晶体管的控制电压。

[0017] 在示例实施例中, MOS 晶体管可以是栅极耦合 NMOS (GCNMOS)。根据此示例实施例, 电容性元件可连接在衬垫和 MOS 晶体管的栅电极之间。

[0018] 在示例实施例中, 电容性元件可以是电容器。

[0019] 在另一示例实施例中, 电路可以是包括一对 PMOS 晶体管和一对 NMOS 晶体管的电平移动器。PMOS 晶体管可形成锁存器结构。一对 NMOS 晶体管可分别连接到 PMOS 晶体管。另外, 示例箝位电路的 MOS 晶体管可以是 NMOS 晶体管中的一个, NMOS 晶体管的第一电极可连接到电平移动器的输出节点, 其第二电极可连接到接地电压。

[0020] 在示例实施例中, 电平移动器的输出节点可输出第一节点处的电压。

[0021] 在示例实施例中, 可在第二节点和接地电压之间连接压降电路。第二节点可连接到 MOS 晶体管的栅电极和 / 或电容性元件。

[0022] 根据另一示例实施例, 可提供包括一个或多个衬垫和通过衬垫发送 / 接收信号的第一内部电路的半导体芯片。第一电路可包括 MOS 晶体管, 其第一电极可连接到需要箝位的第一节点, 第二电极可连接到接地电压, 并且其可输出第一节点处的电压作为信号。另外, 电容性元件可连接在衬垫和 MOS 晶体管之间, 并且可存储控制电压。控制电压可在 ESD 发生期间导通 MOS 晶体管。

[0023] 根据另一示例实施例, 可提供响应于静电放电 (ESD) 而箝位第一电路的第一节点

的电压的方法,该方法包括响应于 ESD 在连接到电路的 MOS 晶体管的电容中存储电压,和通过利用响应于 ESD 而存储的电压来导通 MOS 晶体管,从而箝位第一节点处的电压。

#### 附图说明

- [0024] 通过参考附图的详细示例实施例的描述,本发明将变得更清楚,附图中:
- [0025] 图 1 是说明在半导体芯片中包括的传统电平移动器的电路图;
- [0026] 图 2 是说明根据示例实施例的箝位电路的电路图;
- [0027] 图 3 是说明根据示例实施例的电平移动器 / 箝位电路的电路图,其中图 1 的电路 1 可以是电平移动器;
- [0028] 图 4 是说明根据示例实施例的半导体芯片的框图;以及
- [0029] 图 5A 和图 5B 是说明与传统器件相比,根据示例实施例的箝位电路的操作结果的图。

#### 具体实施方式

[0030] 在此公开了具体的例证性实施例。然而,在此公开的具体结构和功能细节仅仅为了描述示例实施例的目的。然而,在此公开的示例可以以许多替代形式实现,且不应该被解释为限于在此阐述的实施例。

[0031] 因此,虽然示例实施例具有多种变体和替代形式,其实施例可通过示例方式在附图中示出,且将在此详细描述。然而应当理解,不意图将示例实施例限制到所公开的具体形式,而是相反地,示例实施例将覆盖落入在这些实施例范围内的所有修改、等价物和替代物。贯穿附图的描述中,相同的附图标记表示相同的元件。

[0032] 将会理解,虽然这里可以使用术语第一、第二等来描述多个元件,但这些元件不应该被这些术语所限制。这些术语仅仅用于把一个元件与另一元件区分开。例如,在不脱离本发明的示例实施例的情况下,第一元件可以被称作第二元件,类似地,第二元件可以被称作第一元件。如这里所用的,术语“和 / 或”包括相关列出术语的任何一个和所有组合。

[0033] 将理解的是,当元件被称作“连接”或“耦连”到另一元件时,其可以直接连接或耦连到另一元件或者可以存在中间元件。相反地,当元件被称作“直接连接”或“直接耦连”到另一元件时,不存在中间元件。应当以相同的方式解释用来描述元件之间关系的其它词(例如“之间”和“直接之间”,“邻接”和“直接邻接”等)。

[0034] 这里使用的术语仅仅是用于描述具体实施例的目的,并不意图成为示例实施例的限制。如这里所用的,单数形式“一个”和“这个”意图包括多种形式,除非上下文清楚地表示其它。还将理解,术语“由...构成”、“包含”、“包括”和 / 或“由...组成”,当在这里使用时,说明存在所述的特征、整数、步骤、操作、元件和 / 或部件,但是不排除存在或附加有一个或多个其它整数、步骤、操作、元件、部件和 / 或它们的组合。

[0035] 应该注意在某些替代实施方式中,功能 / 动作可以不按照附图所示的顺序来发生。例如,根据所涉及的功能 / 动作,以连续方式示出的两幅图实际上可以基本同时执行,或有时可以按相反顺序执行。

[0036] 在下文中,将通过参考附图解释示例实施例来详细地描述示例实施例。附图中相同的附图标记表示相同的元件。

[0037] 图 2 是说明根据示例实施例的箝位电路的电路图。箝位电路可响应于静电放电 (ESD) 或类似情况, 在半导体芯片的电路 10 的第一节点处箝位电压。箝位电路可以抑制在第一节点 (e) 处的电压的升高和 / 或错误地输出到外部电路。如图 2 中所示, 箝位电路可包括 MOS 晶体管 N11 和 / 或电容性元件 C。在至少一个实施例中, 电容性元件 C 可以是电容器; 然而, 可使用任何电容性元件。例如, 在某些情况下可以使用 P-N 结 (例如二极管) 和金属氧化物半导体结构 (例如 MOS 电容器) 作为电容性元件, 以及几乎任何晶体管。

[0038] 电路 10 可通过输入 / 输出衬垫 PAD 发送和接收信号。半导体芯片的电路 10 可包括 NMOS 晶体管 N11。NMOS 晶体管 N11 的第一电极可连接到第一节点 (e), 第二电极可连接到电压  $V_{ss}$ 。NMOS 晶体管 N11 的第二电极也可以连接到接地节点。电容性元件 C 可连接在输入 / 输出衬垫 PAD 和 NMOS 晶体管 N11 的栅电极之间。

[0039] 电路 10 可以把电压信号  $V_{out}$  通过第一节点 (e) 输出到外部电路。当 ESD 发生时, 正电荷可以被引入到第一节点 (e) 以升高第一节点处的电压。在此示例中, 由于相对高电压 (例如超过操作电压范围的电压) 的引入, 接收来自第一节点 (e) 的电压信号的电路可能发生故障。另外, 相对高的电压会损坏栅极氧化层。根据示例实施例, 在箝位电路中, 当发生 ESD 时, 可抑制第一节点处的电压上升。例如, 箝位电路可导通电路 10 的 NMOS 晶体管 N11。因此, NMOS 晶体管 N11 可用作下拉晶体管, 减小第一节点 (e) 处的电压。

[0040] NMOS 晶体管 N11 可响应于 ESD 而导通, 由此下拉第一节点 (e) 处的电压。电容性元件 C 可存储控制电压以导通 NMOS 晶体管 N11。电容性元件 C 可连接在输入 / 输出衬垫 PAD 和 NMOS 晶体管 N11 的栅电极之间。从输入 / 输出衬垫 PAD 引入的正电荷可通过节点 (d)、经由电容性元件 C 和压降电路 20 而传输到接地节点。压降电路 20 可连接在第二节点 (f) 和接地节点  $V_{ss}$  之间, 在第二节点 (f) 处连接 NMOS 晶体管 N11 的栅电极和电容性元件 C。例如, 压降电路 20 可以包括电阻元件, 以在电流流过时得到压降。

[0041] 通过输入 / 输出衬垫 PAD 传输的正电荷可经由压降电路 20 传输到接地节点  $V_{ss}$ , 并且对应于压降电路 20 处的压降的电压可被施加到第二节点 (f)。因为电容性元件 C 可连接在 NMOS 晶体管 N11 的栅电极及其第一电极 (连接到第一节点 (e) 的电极) 之间, 电容性元件 C 可以存储足够的电压以导通 NMOS 晶体管 N11。在这个示例中, 可认为电容性元件 C 的电容相对较小。

[0042] 根据上述图 2, 当 ESD 发生时, 响应于正电荷的引入, 可在电容性元件 C 中存储用来导通 NMOS 晶体管 N11 的控制电压。结果, 当 ESD 发生时, NMOS 晶体管 N11 可保持导通状态, 并且可减小存储电容性元件 C 中的控制电压。另外, 施加到 NMOS 晶体管 N11 的栅电极的电压可降低, 由此抑制对栅极氧化层的损坏。

[0043] NMOS 晶体管 N11 可响应于控制电压而导通。当发生 ESD 时, 由于 NMOS 晶体管 N11 可用作下拉晶体管, 所以可以以稳定方式来箝位第一节点 (e) 处的电压。因为在电路中包括的 NMOS 晶体管可以用作 NMOS 晶体管 N11, 不需要用于箝位第一节点 (e) 的额外电路元件。

[0044] 图 3 是说明根据示例实施例的电平移动器 / 箝位电路的电路图。如图 3 中所示, 电平移动器 10 是图 2 的电路 10 的示例。电平移动器 10 可以包括 PMOS 晶体管 P11 和 P12、NMOS 晶体管 N11 和 N12、和 / 或反相器 111。电平移动器 10 的操作可类似于图 1 中描述的电平移动器的操作, 由此为了简短, 这里将省略其详细说明。

[0045] 如图 3 中所示,节点 (g) 可连接到 PMOS 晶体管 P12 的栅极,第一节点 (e) 可连接到 PMOS 晶体管 P11 的栅极,并且 PMOS 晶体管 P11 和 P12 可以形成锁存器结构。第一节点 (e) 可连接到电平移动器 10 的输出节点,由此第一节点 (e) 处的电压可作为电压  $V_{out}$  输出。

[0046] NMOS 晶体管 N11 的第一电极可连接到电平移动器 10 的输出电压,第二电极可以连接到接地电压  $V_{ss}$ 。电容性元件 C 可连接在 NMOS 晶体管 N11 和输入 / 输出衬垫 PAD 之间。电容性元件 C 可连接在 NMOS 晶体管 N11 的栅电极和输入 / 输出衬垫 PAD 之间。在第二节点 (f) 和接地电压  $V_{ss}$  之间还可包括压降电路 20,在第二节点 (f) 处连接 NMOS 晶体管 N11 和电容性元件 C。压降电路 20 可以是在电流流过时降低电压的电阻电路。

[0047] 当施加输入电压  $V_{in}$  时,具有基于电平移动器的操作的电压可以作为电压  $V_{out}$  输出。然而,由 ESD 产生的电荷可以通过其中引入了升压电压  $V_p$  的输入 / 输出衬垫 PAD 经由节点 (d) 引入。在此示例中,由于引入电荷,第一节点 (e) 处的电压可以升高。根据示例实施例,在箝位电路中,NMOS 晶体管 N11 可用作下拉晶体管,由此降低在连接到 NMOS 晶体管 N11 的第一电极的第一节点 (e) 处电压。

[0048] 可由 ESD 产生且可通过节点 (d) 传输的电荷可以经由电容性元件 C 和压降电路 20 而传输到接地电压  $V_{ss}$ 。对应于压降电路 20 处的压降的电压可被施加到第二节点 (f)。电容性元件 C 可存储能够导通 NMOS 晶体管 N11 的控制电压。结果,在 ESD 发生期间,可在电容性元件 C 中存储控制电压,NMOS 晶体管 N11 可导通,并且可箝位在第一节点 (e) 处的电压。

[0049] 电容性元件 C 可存储足以导通 NMOS 晶体管 N11 的电荷,因此电容性元件 C 的电容可相对较小。另外,由于电平移动器 10 内部的 NMOS 晶体管 N11 可用作箝位电路,因此,示例实施例可减小芯片尺寸。此外,当电压上升时,例如当 ESD 发生时,NMOS 晶体管 N11 可导通,由此执行开关操作。否则,NMOS 晶体管 N11 可执行电平移动器 10 的一般操作。

[0050] 图 4 是说明根据示例实施例的半导体芯片的框图。参考图 4,半导体芯片包括: NOR(或非)门,其可接收数据信号 DATA 和 / 或写使能信号 W\_EN 以执行或非操作;以及电平移动器 / 箝位电路 100 可从 NOR 门接收输入信号  $V_{in}$ ,并输出信号  $V_{out}$ 。例如,电平移动器 / 箝位电路 100 可以与图 3 的电平移动器 / 箝位电路 100 相同。

[0051] 作为半导体芯片中包括的电路的示例,在图 4 中示出可写 / 可擦除存储器件,例如电可擦除可编程只读存储器 (EEPROM) 200。可通过第一衬垫 PAD1 和第二衬垫 PAD2 传输控制信号。可将控制信号分别通过第一开关 111 和第二开关 112 传输到控制门 CG 和电平移动器 / 箝位电路 100。例如,第一和第二开关可以是附加的 MOS 晶体管、传输门或任何合适的开关器件。

[0052] 当由 ESD 生成的电荷通过第二衬垫 PAD2 引入时,可以类似于参考图 3 所描述的方式进行箝位操作。因此,电平移动器 / 箝位电路 100 的输出电压  $V_{out}$  可以通过压降来输出。在电平移动器 / 箝位电路 100 中,作为箝位元件的 NMOS 晶体管可执行下拉操作,由此箝位输出信号  $V_{out}$  到接地电压。

[0053] 为了 EEPROM 200 的擦除和读取操作,可向 EEPROM 200 的控制门 CG 施加电源电压,还可以向 EEPROM 200 的擦除门 EG 施加 0V 的电压。当执行擦除和读取操作时,由于可能的 ESD,电平移动器 / 箝位电路 100 的输出电压  $V_{out}$  可能增加,EEPROM 200 可能发生故障,例如,EEPROM 200 可以以擦除或读取模式进行数据编程。然而,当使用在如上所述的电



平移动器中包括的 MOS 晶体管来配置箝位电路时,电平移动器 / 箝位电路 100 的输出电压  $V_{out}$  可以被以稳定方式箝位,由此抑制 EEPROM 200 的故障。

[0054] 图 5A 和图 5B 是根据示例实施例说明与传统器件相比的箝位电路的工作结果的图。

[0055] 在图 5A 和图 5B 的图中,可相对于时间轴示出在图 3 的节点 (d)、(e)、(f) 处的电压变化。

[0056] 图 5A 可描述当在电平移动器中不包括电容性元件 C 时,由于 ESD,在每个节点处的电压变化。参考图 5A,当由 ESD 生成的电荷通过衬垫引入时,节点 (d) 处的电压可上升。另外,因为节点 (f) 在正常操作中可具有相对低的电压,所以图 3 的 NMOS 晶体管 N11 可保持截止状态。另外,在这个示例中,节点 (e) 处的电压可上升约 20V。

[0057] 图 5B 可示出当电容性元件 C 连接到电平移动器中的 MOS 晶体管的栅电极时,由于 ESD 引起的节点处的电压变化。参考图 5B,可引入由 ESD 生成的电荷,从而增加节点 (d) 处的电压。响应于该电荷,可在电容性元件 C 中存储控制电压。

[0058] 节点 (f) 处的电压可施加到 MOS 晶体管的栅电极,由此 MOS 晶体管可导通。然后,节点 (e) 可通过 MOS 晶体管的下拉操作而被箝位,由此将节点 (e) 处的电压降低到大约 0V。结果,可输出被箝位到稳定电平后的电平移动器的输出电压  $V_{out}$ 。这可防止内部电路接收到不稳定的电压  $V_{out}$ 。

[0059] 在示例实施例中,通过使用在半导体芯片的内部电路中包括的 MOS 晶体管,可实现箝位电路。因此,可不需要额外的元件,由此减小了芯片尺寸。另外,可以以更稳定的方式进行箝位操作。

[0060] 在已经讨论了一些实施例的情况下,很显然这些实施例可以以多种方式变化。这些变化不被认为是脱离了示例实施例的精神和范围,并且意图将所有修改包括在示例实施例的范围内。

[0061] 优先权声明

[0062] 本申请在 35U. S. C. § 119 下面要求 2006 年 1 月 6 日申请的韩国专利申请 10-2006-0001668 的优先权,其全部内容以引用的形式并入本文。

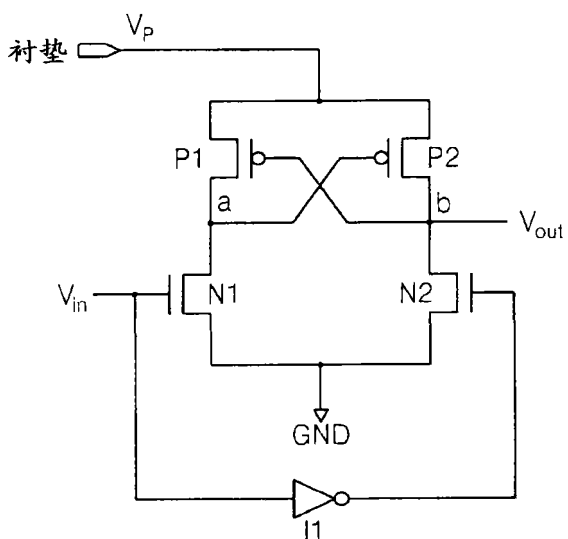


图 1

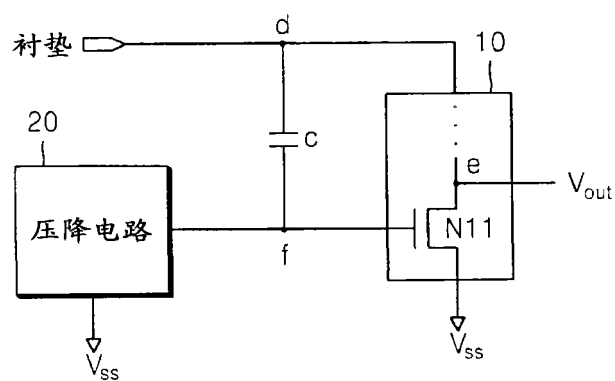


图 2

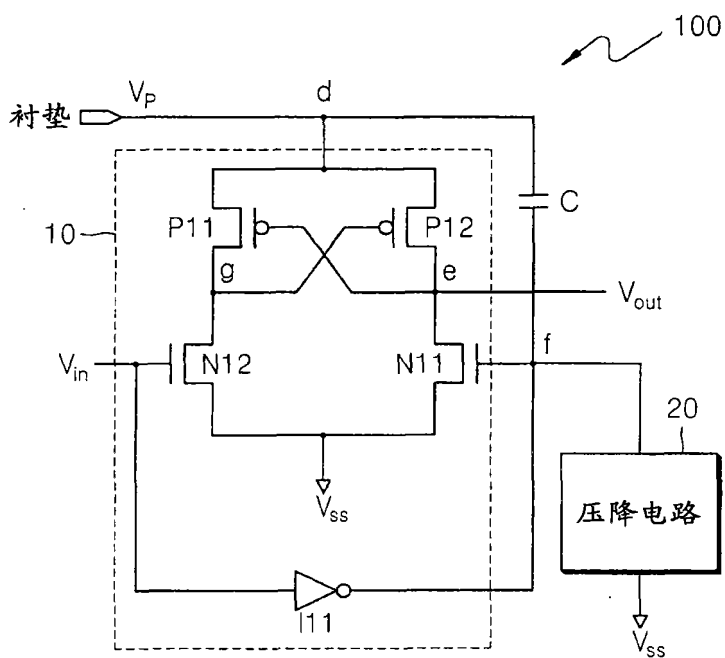


图 3

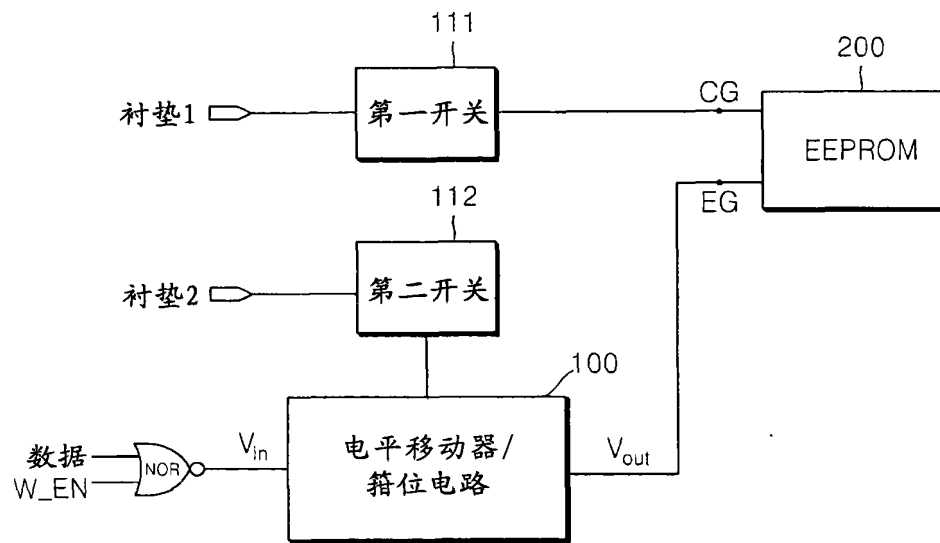


图 4

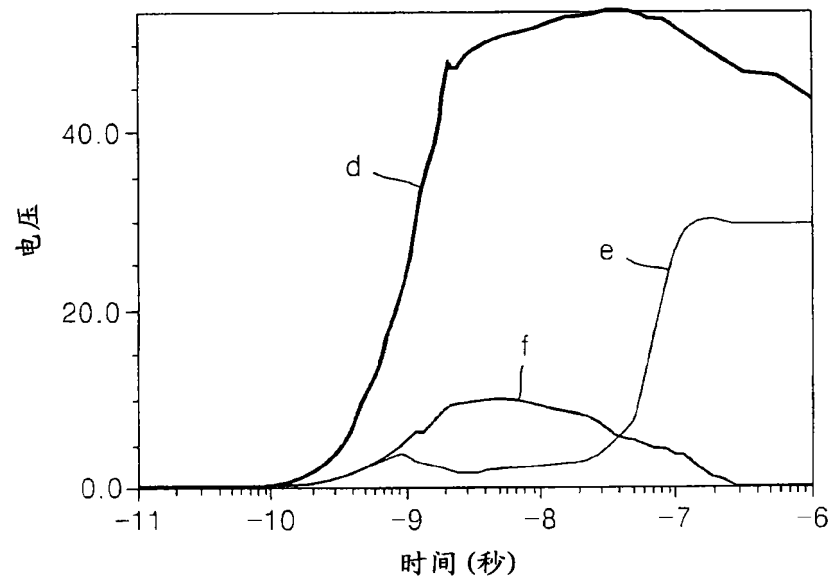


图 5A

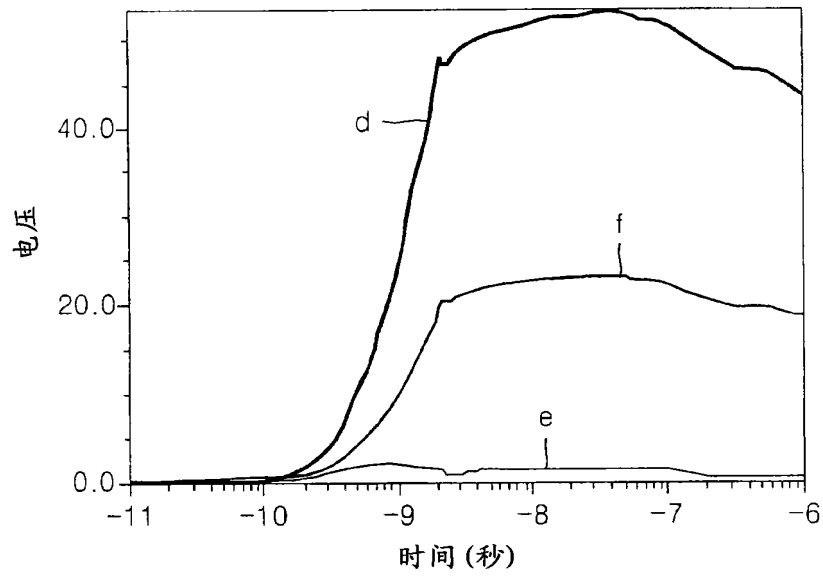


图 5B