I302346

公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：95123785

※ 申請日期：95.6.30　　※IPC 分類：H01L 21/283　G06K 19/077

一、發明名稱：（中文/英文）

製造無線射頻辨識標籤之方法及其形成結構/ METHODS FOR MANUFACTURING RFID TAGS AND STRUCTURES FORMED THEREFROM

二、申請人：（共 1 人）

姓名或名稱：（中文/英文）

高菲歐股份有限公司/ Kovio, Inc.

代表人：（中文/英文）喬格 洛肯貝爾格/ JOERG ROCKENBERGER

住居所或營業所地址：（中文/英文）

美國加州森尼維耳市索諾拉廣場 1145 號/

1145 Sonora Court, Sunnyvale, California, United States.

國　籍：（中文/英文）美國/US

三、發明人：（共 3 人）

姓　名：（中文/英文）

1. 詹姆斯 蒙太古 科倫拜恩/ JAMES MONTAGUE CLEEVES
2. J.戴文 麥肯斯/ J. DEVIN MACKENZIE
3. 阿爾溫德 卡馬斯/ ARVIND KAMATH

國　籍：（中文/英文）

1. 美國/US
2. 美國/US
3. 印度/IN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1.US、2005/7/8、60/697,599

2.US、2006/6/12、11/452,108

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於無線射頻識別(Radio frequency identification, RFID)標籤(Tag)及其製造程序之領域。

【先前技術】

一 RFID 標籤或電子條碼(Barcode)普遍地被使用來經由一無線連結至一讀取器系統以提供有關該標籤所附屬的產品的識別或其他資訊，該讀取系統擷取該資訊並且將該資訊，一般以數位形式，傳給不同的資料庫、決策決定或其他電子追蹤系統。該資訊被該讀取器裝置的 RF 傳送和接收元件以無線電的方式收集，該讀取裝置通常廣播一可提供 RF 功率、時脈訊號以及調變編碼的指令之載波頻率(Carrier frequency)。

在被動式標籤的案例中，對低成本標籤上令人非常感到興趣，因為它們避免了標籤隨附動力源的成本，該載頻訊號提供 RF 能量使晶片運作。時脈訊號回復和同步化也是重要的系統屬性/功能，通常由讀取器至標籤的 RF 訊號導得。時脈頻率(Clock frequency)可以定義操作頻率以及從標籤到讀取器和從讀取器到標籤的資料傳輸速率。

在高頻(High frequency, HF)中，由於被國家和國際的法規加諸的頻寬考量，時脈訊號一般由標籤電路藉由分割出載頻導得。在超高頻(Ultra-high frequency, UHF)和更高的頻率中，時脈訊號通常由載波頻率上的次戴波頻率調變導得。這歸因於許多原因。大約在 869 MHz 和 915 MHz 附近，頻寬規範比分別在歐洲和美國的 HF 頻率限制更少。這允許一足夠頻率的次載波調變的增加以容許在讀取器與標籤間高速資料傳輸。並且，分割出載波頻率直接需要 GHz 速度級的時脈電路以及和它們有關的能量損失。取

而代之，一 10^4 至 10^5 Hz 的次載波訊號能以簡單、較低損耗的次電路解調變或調變，該次電路能以薄膜電晶體(Thin film transistor, TFT)、二極體(Diode)、電容(Capacitor)、電感(Inductor)和電阻(Resistor)製成。

從標籤至讀取器的通訊全程通常透過阻抗調變(Impedance modulation)產生。在 HF 和更低的範圍，標籤通常在附近的場域、電感耦合的範圍內，顯著地小於 RF 戴波的自由空間(Free space)波長。在這個案例，在標籤和讀取器間，正如在一個簡單的以電感為基礎的交流變壓器(Inductor-based AC transformer)的主線圈和副線圈間，有一直接的電感性耦合。該標籤具有一調整在或接近戴波頻率的共振電感-電容迴圈電路(LC loop)。在標籤內的 LC 迴圈電路的共振特性(Resonance characteristics)的調變，通常經由一可變的電阻負載(可由電晶體提供)，產生在讀取器前級電路(Front end circuit)的可偵測的阻抗改變。標籤電路連續地由給讀取器的該調變訊號讀取資料。

在 UHF 頻率中，讀取器至標籤的距離通常較長，並且戴波波長較短。由於如此，在兩者間的 RF 連結屬於電磁波傳播學(Electromagnetic wave propagation physics)的範圍內，就像是在雷達、調幅(Amplitude modulation, AM)/調頻(Frequency modulation, FM)無線電或蜂胞式電話(Cellular phone)技術中的例子。在本案例中，標籤經由一個反射的背向散射(Backscatter)訊號連結至讀取器。藉由調變標籤的天線(Antenna)的阻抗，反射回至讀取器的訊號的功率(Power)的量值、相位(Phase)或頻率可以被改變，並且隨時間變化的訊號可以以這種形式的調變來編碼。該調變可以使用電晶體或經由可變電抗器(Varactor)的使用來電阻性地運作，該可變電抗器調變係標籤天線阻抗的虛部(Imaginary part)。

以更基礎的層級來看，RFID 標籤電路通常執行一些或所有下列的功能：

1. 從讀取器場域來的 RF 能量的吸收。

2. 該 RF 訊號轉換成驅動晶片的 DC 訊號的轉換。

3. 在從讀取器來的 RF 訊號中，可用的進來的時脈、計時及/或指令訊號的調變。

4. 狀態機(State machine)決策決定以及依進來的或預定的指令運作的控制邏輯。

5. 以計數器或登錄器為基礎、從一記憶體陣列或其他來源(例如：感測器的輸出)以數位形式的資料讀取。

6. 儲存元素(例如，記憶體)，儲存 ID 碼或被讀出至讀取器及/或用做安全認證(Security authentication)的其他資訊。

7. 返回至傳輸至標籤讀取器的標籤天線的編碼資料、計時訊號或其他命令的調變。

【發明內容】

本發明之具體實施例係關於一 RFID 元件以及製造及製造其積體電路(Intergrated circuitry, IC)之方法。

該方法通常包含(a)從一第一矽甲烷(Silane)墨水，在一電介質層(Dielectric layer)的一第一表面上成形至少一第一半導體層(Semiconductor layer element)，在一電性主動式基材(Active substrate)上的該電介質層以及該第一半導體層包含至少一電容板(Capacitor plate)、電晶體通道區域(Transistor channel region)以及一第一二極體層(Diode layer)；(b) 從一第二矽甲烷墨水，在該第一半導體層中至少一層以及該電介質層的第一表面上成形不同於該第一半導體層之至少一第二半導體層，該第二半導體層包含至少一第二二極體層、電晶體源極/汲極接點(Transistor source/drain

terminals)(當該第一矽甲烷墨水成形該電晶體通道區域時)以及該電晶體通道區域(當該第一矽甲烷墨水未成形該電晶體通道區域時)；以及(c)在該至少一第一半導體層以及該第二半導體層上或之上成形至少一金屬物(Metal element)，該金屬物包含至少一金屬接點(Contact)、第二電容板以及金屬閘極(Gate)(當該第二矽甲烷墨水未成形該電晶體源極/汲極接點時)。

或是，該方法可能包含在該電介質層及/或主動式基材上，沈積 (例如，印刷或噴墨)一 N^+或 P^+摻雜的矽甲烷墨水；結晶化(Crystallizing)由該摻雜的矽甲烷墨水產生之摻雜的矽薄膜；沈積(例如，印刷或噴墨)一 N^-或 P^-摻雜矽甲烷墨水在(1)用以成形電晶體的區域上以及(2)在將被製成垂直二極體的區域中的 N^+或 P^+摻雜矽甲烷墨水上；(可選擇地)將由該摻雜的矽甲烷墨水成形成孤立的電晶體區域以及二極體的台式區域(Mesa region)的一或多個薄膜製作圖形；成長或沈積一氧化薄膜，作為一電容電介質(例如，在重摻雜(Heavily doped)區域之上)及/或一閘極電介質(例如，在微摻雜(Lightly doped)及/或電晶通道區域上)；沈積及/或製作圖形一閘極導體；選擇地摻雜源極以及汲極區域；活化源極以及汲極；沈積一電介質薄膜，在該電介質薄膜中的接點孔成形在電晶體以及二極體區域之上；(可選擇地)成形一接觸層(例如，一矽化物)在這些接點開口處；以及沈積及圖形製作一導體，直接或非直接與該電晶體及二極體區域接觸，以形成相互連接的接線。該結果的結構包含在一單一基材上，未使用一單一光罩的電容、二極體以及電晶體

該 RFID 元件通常包含(1)一金屬天線及/或電感；(2)一可選擇的中介層(Interposer strap)，附加於至少部分導電之該天線或電感上；(3)一電介質層於其上，其結構係支撐及使 IC 與該金屬天線及/或電感絕緣；(4)多個二極體以及複數個電晶體在該電介質層上，該二極體與該電晶體一樣具有至少一半導體層；以及(5)複數個與該金屬天線及/或電感以及至少一些二極體電性通訊的電容，

複數個電容與該複數個二極體一樣具有至少一半導體層及/或與至該二極體和電晶體的接點一樣具有至少一金屬層。

本發明提供一方式結合液態矽沈積成一有成本效益的、積成的 RFID 電路製造的製造程序。許多主動式半導體元件，包含二極體以及電晶體，均是薄膜型的。基於已展示的矽墨水半導體薄膜的效能，在這些參數方面如移動率、摻雜/載子濃度以及其他參數，在低頻(Low frequency, LF)、HF、UHF 以及微波載頻範圍的功能 RFID 標籤是可能的。該利用矽墨水的薄膜方法係具有吸引力的，因為這可以每單位面積相對低的成本實施，更進一步使低成本、相對大的晶片成為可能。該晶片可使用例如導電的黏著劑以及挾彎接合的製程，便宜地、直接地整合在天線及/或便宜地且快速地附加至天線上。此外，本 RFID 標籤與含有有機電子元件的標籤比較，通常提供更好的性能(例如，改善的電氣特性)。

雖然本發明不必受限於下列中之任何一個或組合，這裏揭露的新穎概念包含：

- 以塗佈及/或選擇地沈積矽(在本案例中，由一液態來源)，成形一些或所有商業上可接受的 RFID 標籤/元件必要的元件；
- 積成商業上可接受的 RFID 標籤/元件的所有必要元件成一相對少的步驟計數製程流程；
- 在微摻雜的電晶體通道區域以及重摻雜的電容板區域的氧化物的同時成長，以分別地產生電晶體閘極氧化物以及電容電介質；
- 從低於某些該主動電路元件的基材金屬移除以限制寄生電容；

- 以一絕緣體(例如，印刷的或傳統方式的沈積的旋轉塗佈玻璃[Spin-on glass, SOG]，或一化學氣相沈積[Chemical vapor deposition, CVD]氧化物及/或氮化物)密封及/或塗佈之不銹鋼基材的選擇，容許爐內結晶和矽的熱氧化的使用，用以分別地成形高移動率及/或高導電性矽以及閘極氧化物；

- 被拉伸的(水平的)至二極體的較低的電極的接點，分別地置於靠近被拉伸的主動區域，藉此限制至二極體的金屬的接點間之一連串的電阻，以容許一較簡單的且較低成本的整體積成；

- 二極體的重摻雜的底層的接點/相互連接層，用以剔除一額外的金屬相互連接層的需要以及使一電容電介層(該二極體可選擇地為 p-或 n-/金屬 Schottky 二極體或 p/n 二極體)同時成長；

- 重摻雜的矽甲烷墨水，直接印刷或沈積在不銹鋼上或在一阻隔金屬之上以形成一電容的底層接點；

- 在氧化或其他製程中，以 SOG 或其他絕緣層包覆及/或保護該金屬基材(例如，不銹鋼)，包含在該基材的背面；

- 在氧化或其他製程中，以矽及/或圖形製作的 SOG 區域保護該金屬基材，包含該基材的背面和前面的主動和非主動區域(以及在矽區域的情形中，這也容許一電性連接穿透該金屬基材，可輔以 n+或 p+摻雜)；

- 以氧化物覆蓋該金屬基材的整個上表面，主要藉由於後續製造程序的步驟中，該金屬基材的濺射蝕刻來限制污染物；

- 電容或電容電極在一氧化薄膜，覆蓋於一金屬箔(例如，不銹鋼或鋁)之上或在一沒有金屬箔的區域，致使它們可被孤立於偶極(天線)以及具有相對低的寄生電容(Parasitic capacitance)；

- 一許多不同該電路的元件的單一金屬相互連接層(金屬基材偶極接點、相互連接和電容的閘極導體接點、二極體的矽接點以及至電晶體源極/汲極端的接點)，降低金屬層的總數(以及製程成本，雖然要小心地設計一佈局(Layout)、積成/製造製程以及貫孔/層間電介層[interlayer dielectric, ILD]/金屬化製程，提供一適合的電路拓撲(Topography)以及彼此相容；例如，在一包含 Schottky 接點的成形的佈局的例子中，一普遍的金屬化，例如 Ti/Al，可供做相互連接和 Schottky 金屬，於此處接觸未摻雜的或微摻雜的半導體層)；以及

- 一自行對齊的(Self-aligned)閘極程序使用一矽甲烷墨水以得到小的通道長度、低電容、低封裝面積、高速度元件，供邏輯和 RF 操作之用。一自行對齊的製程可使用植入、固態來源摻雜(例如，從一 SOG)或以一摻雜的矽甲烷當做源極和汲極摻雜的來源，所有的均可能越過閘極自行對齊。

關於本發明之優點與精神可以藉由以下的發明詳述及所附圖式得到進一步的瞭解。

【實施方式】

以下將以較佳具體實施例從各方面詳細地說明本發明。

製造 RFID 標籤之較佳具體實施例

圖一顯示一第一較佳具體實施例之 RFID 標籤 10。該 RFID 標籤 10 包含天線 20、耦合至該天線 20 之電容 30、二極體 40 以及電晶體 50。製造 RFID 標籤 10 之一較佳具體實施例將於底下說明。標籤 10 之一剖面圖以及一特定的製程流程亦顯示於第 35 頁，並且一符合以製造一 p/n 二極體的程序流程的版本(以及對應的標籤剖面圖)顯示於第 36 頁。

首先，一 SOG 層 12 可能被沈積在一傳統金屬箔(Foil)上(例如，參閱美國專利申請號第 10/885283 號，申請日為 2004 年 7 月 6 日[代理事務所編號 IDR0121]，名稱為 "MOS Electronic Article Surveillance, RF and/or RF Identification Tag/Device, and Methods for Making and Using the Same"，前述專利之相關內容已引用在本專利申請書中)。在本案例中，一電性有源基板通常涉及一具有一個或多個預定的電氣特性及/或功能之基板，例如訊號傳送及/或接收(特別在一預定的頻率範圍)、電荷儲存(例如，一個或多個電容電極)、訊號交換、整流(Rectification)及/或濾波(Filtering)等等。最好該基板具有一個或多個導電及/或半導電特性。沈積方式可能包含傳統的旋轉式塗佈、印刷(例如，噴墨印刷(Inkjet printing))、刮刀式塗佈(Blade coating)、浸沾式塗佈(Dip coating)、半圓形塗佈(Meniscus coating)、狹縫式塗佈(Slot coating)、凹板印刷(Gravure printing)或噴灑式塗佈(Spray coating)一 SOG 墨水混合物，其包含傳統的一種或多種 SOG 成份，一種或多種用於傳統的 SOG 混合物的傳統的溶劑，以及一種或多種傳統的表面活化劑、表面張力降低劑、接合劑及/或增厚劑。一般而言，該 SOG 層 12 的沈積步驟後緊接著傳統的固化(Curing)和清洗(Cleaning)步驟。

接著，在該 SOG 層 12 和對應該電容 30(至少部分與後來形成的天線 20 接觸)和該二極體 40 的金屬箔的區域上沈積一重摻雜的半導體層 32(例如，藉由印刷或噴墨一含矽(Silicon-containing)墨水，例如一 n 型摻雜的矽甲烷，請參閱美國專利申請號第

10/950373 號、10/949013 號、10/956714 號、11/246014 號以及 11/249167 號[代理事務所編號 IDR0301、IDR0302、IDR0303、IDR0422 以及 IDR0423]，其申請日分別為 2004 年 9 月 24 日、2004 年 9 月 24 日、2004 年 10 月 1 日、2005 年 10 月 6 日以及 2005 年 10 月 11 日，前述專利之相關內容已引用在本專利申請書中)。該含矽墨水可額外地或選擇地包含一種或多種半導體化合物(例如，一線性的、分枝的、環狀的或多環的矽前驅化合物，可依據由傳統製程共價鍵結的粒子團的移除提供一含矽薄膜)及/或一種或多種的半導體奈米粒子(例如，IV 族元素的粒子，例如 Si、Ge、SiGe 等等)。或是該墨水可包含一種或多種半導體化合物(例如一有機半導體或一半導體前驅化合物，可依據由傳統製程共價鍵結的粒子團及/或配位體的移除提供一半導體薄膜[例如 GaAs、CdSe、CdTe、ZnO、ZnS 等等])及/或一種或多種半導體奈米粒子(例如，屬於一半導體材料，例如 GaAs、硫族化物半導體，例如 ZnO、ZnS、CdSe、CdTe 等等)。該墨水通常包含一溶解或懸浮上述奈米粒子於其中的溶劑(例如，一可能被一個或多個鹵素(Halogens)替換的 C_6-C_{20} 分枝或不分枝的烷屬烴(Alkane)、一 C_6-C_{20} 分枝或不分枝的烯屬烴(Alkene)、一可能被一個或多個鹵素替換的 C_2-C_6 分枝或不分枝的烯屬烴、一 C_5-C_{20} 環烷烴(Cycloalkane)，例如環己烷(Cyclohexane)、環辛烷(Cyclooctane)或萘烷(Decalin)、一 C_6-C_{10} 芳香烴溶劑(Aromatic solvent)，例如甲苯(Toluene)、二甲苯(Xylene)、四氫苯(Tetralin)、一具有總數至少 4 個碳原子的二 C_1-C_{10} 烷基醚(Alkyl ether)及/或一 C_4-C_{10} 環烷基醚(Cyclic alkyl)，例如四氫夫喃(Tetrahydrofuran)或二氧陸環(Dioxane)等等，請參閱，例如，美國專利申請號第 10/616147 號，申請日為 2003 年 7 月 8 日[代理事務所編號 KOV-004]，前述專利之相關內容已引用在本專利申請書中)。該墨水可能進一步包含一表面張力降低劑、一表面活化劑、一接合劑及/或增厚劑，但亦可能有利於抑制這些添加物或藥劑。

現在以 Schottky 二極體而言，該方法包含在該 Schottky 二極體中其他功能層成形之前，先形成或沈積一重摻雜的半導體層。可從電容 30 形成一至二極體 40 的連接，例如，藉由成形、印刷或製作圖形於半導體層 32 上，致使在該二極體 40 和電容 30 間形成一帶狀區；或是，以金屬製作該連接。為了到達該重摻雜的程度，該重摻雜的半導體層 32 包含一含非結晶的 IVA 族元素的材料(例如，Si 及/或 Ge)，在後續沈積下一層之前，最好先將該重摻雜的半導體層 32 結晶化。之後，一個或多個微摻雜的半導體層 44/46 係同樣地被沈積或被印刷在該基材上之對應二極體 40 和電晶體 50 之區域。微摻雜的(例如，N^-)半導體(矽或[環]矽甲烷)墨水成份已被揭露於美國專利申請號第 10/950373 號、10/949013 號、10/956714 號以及 11/249167 號。P^+以及 P^-層可以相似的印刷步驟來形成，一般緊接著在 N^+以及 N^-區域之前或之後做。該等半導體區域隨後藉由爐內退火(Furnace annealing)或雷射結晶(Laser crystallization)來結晶化(並且最好將部分或大約全部在裏面的摻雜物活化)，隨後被圖形製作成主動島(Active island)。其上長出一薄的氧化物表面層 14 (通常藉由在氧化的氣氛中，例如氧氣，加熱或雷射照射該結構)。這個氧化步驟形成一閘極電介質以及一電容電介質。或是，可藉由一對應的介電材料的傳統的沈積和圖形製作來形成該閘極電介質和電容電介質。

隨後沈積一摻雜或未摻雜的液相含矽(例如，矽甲烷)混合物在電晶體 50 大約中間的位置上以定義該電晶體 50 的閘極 52 以及電容 30 的上層電容板 34(請參閱，例如，美國專利申請號第 10/616147 號(申請日為 2003 年 7 月 8 日，代理事務所編號 KOV-004)、10/789317 號[申請日為 2004 年 2 月 27 日，代理事務所編號 IDR0020]、10/950373 號、10/949013 號及/或 10/956714 號)。因此，在一具體實施例中，沈積該矽混合物包含印刷(例如，噴墨)一矽甲烷墨水。若使用一摻雜的矽甲烷化合物，可形成多層。若使用一未摻雜矽烷化合物，可形成單一層，以及一可鍍(或選擇地

成長或沈積) 於其上(通常在電介質層 16 成形後，例如，藉由高解析度圖形製作，例如傳統的顯影技術(Photolithography)或雷射顯影/圖形製作(Laser lithography/Patterning)；請參閱本段以下)之金屬層(例如鈷或鎳)。隨後的熱處理(在一足以從該閘極材料結晶化及/或形成矽化物)通常形成閘極 52 以及電容板 34，在許多案例中，可不需進一步的調整即可使用。

然而，在一具體實施例中，一閘極金屬層可以顯影方式來定出輪廓或以雷射圖形製作出(最好藉由[i]使用一熱抗蝕膜或其他包含一紅外線染料之傳統的抗蝕膜塗佈一沈積金屬層，以及[ii]選擇地以雷射照射該抗蝕膜；請參閱，例如，美國專利申請號第 11/084448 號及 11/203563 號[事務所編號分別為 IDR0211 及 IDR0213]，申請日分別為 2005 年 3 月 18 日及 2005 年 8 月 11 日，前述專利之相關內容已引用在本專利申請書中)，並且多出的極閘金屬以蝕刻去除(最好是濕式蝕刻)。或者，可用其他顯影方法來定義出該閘極金屬層，包含浮雕、銘刻或其他高解析度圖形製作技術。

在傳統剝離(例如，光阻的剝離，至必要的及/或需要的範圍)及/或清洗之後，可在該基材上印刷或塗佈另一個 SOG 的電介質層 16。若是印刷，一個或多個電容 30、二極體 40 及/或電晶體 50(最好至少電晶體 50)可保持暴露。若是塗佈，SOG 的電介質層 16 在電容板 34、二極體層 46 以及電晶體 50 之上的部分可以顯影方式(接續傳統的 SOG 固化後，藉由塗佈一光阻、透過一光罩照射該光阻、蝕刻[最好是濕式蝕刻]，然後剝離該光阻並且清洗該元件的表面)或在美國專利申請號第 11/203563 號(代理事務所編號 IDR0213，申請日為 2005 年 8 月 11 日，前述專利之相關內容已引用在本專利申請書中)中描述的雷射光阻程序來除去。在適當的條件和使用已知的蝕刻混合物之下，該蝕刻步驟亦可除去暴露的薄的氧化物表面層 14 以及可選擇地小量的(例如，可達 30 nm)微摻雜的多晶矽半導體層 44/46。任何這類照射和蝕刻步驟將會

使整個閘極 52 層暴露，並且從在有足夠大小以形成其上的重摻雜的源極和汲極端層以及與其連接的傳導接點的閘極 52 層的兩側的微摻雜的半導體層 44/46 的部分之上，除去 SOG 電介質層 16。若有部分的薄的氧化物表面層 14 仍保持暴露，其可在進一步處理之前以蝕刻(並且清潔表面)除去。

在此刻，在電晶體 50 的露出的表面上印刷或沈積一重摻雜半導體層(例如，微摻雜的多晶矽半導體層 44/46 以及閘極 52 層)，然後熱固化、雷射照射以及以選擇性濕式蝕刻移除其非結晶化的部分，以形成源極和汲極接觸層 54a-b，可以自行對齊閘極 52 層(請參閱，例如，美國專利申請號第 11/084448 號以及 11/203563 號[代理事務所編號分別為 IDR0211 和 IDR0213]，申請日分別為 2005 年 3 月 18 日和 2005 年 8 月 11 日，前述專利之相關內容已引用在本專利申請書中)。或是，可以植入、電漿沈積、雷射分解、真空沈積或其他技術，引入摻雜原子該暴露的矽表面中或其上，之後，以時效處理轉換被摻雜的矽成源極接點和汲極接點。如上所述，N^+和 P^+區域被分開沈積(但是固化、雷射照射和濕式蝕刻則在同樣的步驟中)。

以傳統上使用於積體電路半導體製造工業的金屬化製程(例如，濺鍍一相對較薄的黏著層及/或阻隔層 62，例如 Ti、TiN 或 TiN-on-Ti 的雙層，然後再一相對較厚的導體層 64，例如 Al 或 Al-Cu 合金[05-4 wt.%的 Cu]，隨後傳統的顯影定義的接點和金屬線將被蝕刻[最好是使用傳統 NH_4OH/H_2O_2 蝕刻混合物，選擇性地蝕刻金屬，例如相對於金屬矽化物的 Al、TiN 和 Ti]的接點和金屬線)來形成接點(以及第一層的金層化)。或是，類似閘極 52 層，在電容板 34、二極體的半導體層 46 和電晶體 50 層的露出的表面上印刷或沈積或形成一層矽化物或金屬阻隔層 62，再在其上選擇性地電鍍、沈積或印刷導體層 64(當阻隔層 62 本質上由矽組成時，可選擇地接續施以熱處理或時效處理以形成一金屬矽化物)。當然，對閘極 52 層的接點及/或金屬化可當對電容和二極體

的接點及金屬化成形之時形成，通常在源極和汲極區域的外部區域。光阻可隨後以傳統方式剝離，並且以傳統方式清理該元件。或是，可以在美國專利申請號第 11/203563 號(事務所編號 IDR0213，申請日為 2005 年 8 月 11 日，前述專利之相關內容已引用在本專利申請書中)描述的雷射光阻製程或可以在美國專利申請號第 10/722255 號(事務所編號 KOV-015，申請日為 2003 年 11 月 24 日，前述專利之相關內容已引用在本專利申請書中)描述以雷射為基礎的製程來圖形製作接點及/或金屬化。

為了完成該元件，印刷(例如噴墨印刷)或毯覆式沈積(例如，傳統的轉式塗佈、刮刀式塗佈、網印、浸沾式塗佈、半圓形塗佈、狹縫式塗佈、凹板印刷或噴灑式塗佈)一 SOG 層覆蓋於該元件(未顯示於圖一中，但有顯示在圖二中，並且將在下面討論)之上。若有需要一層額外的金屬化層，在阻隔層 62、導體層 64 預定的位置的接點孔可以傳統方式成形於該 SOG 層中(或是留待接下來的印刷)，並且可以與阻隔層 62、導體層 64 相同的方法形成一第二金屬化層。最上面的蓋子或鈍化層(例如，包含一 SOG 層)可隨後形成蓋住整個這裏描述的元件，並且固化，以及(可選擇地)可將一封裝材料或黏著劑與其疊合。

該元件的背面(亦即天線及/或電感 20 於其上形成之該金屬箔或板)或中介層隨後施以光罩(例如以傳統光阻、雷射光阻或印刷電阻/光罩材料例如 SOG)、蝕刻(例如使用一種傳統金屬濕式蝕刻)以及清洗以形成天線/電感/中介層 20。最後，可施佈一封裝材料(例如一包含一熱塑或熱固樹脂之傳統的耐水或防水的封裝材料，未顯示於圖一，但顯示於圖二並且於下面討論)於該元件的被蝕刻的背面上，藉此完成 RFID 元件 10 的形成。

圖二顯示一大致完成的元件 100 的剖面圖。元件 100 在某方面係為圖一中元件 10 的一個變形(例如，一雙電介質的具體實施例)。元件 100 包含一允許低寄生現象(Parasitics)和緊密封裝密度

之非包覆的接點之阻隔電介質 102。

現在請參閱圖二，可將一薄的、"高 k 值"的電介質 102(例如，HfO_x)印刷或成形或沈積在電介質 112 上(例如，從一溶凝膠配方)。類似前述之多晶矽半導體層 44、46，其上可形成或沈積(例如印刷或噴墨)一個或多個微摻雜的多晶矽層，以形成電晶體 150a、150b 的通道層 144 以及(可選擇地)形成二極體 140a、140b 的基部多晶矽層 142 供後續摻雜。或是，任一毯覆式沈積(Blanket-deposited)或全覆式沈積的矽或金屬層(以及可選擇地印刷矽層或金屬層)可進一步地以雷射製作圖形(使用光阻的"雷射曝光(Laser exposing)")。或是，可將該層(例如，金屬及/或矽)直接以"雷射雕刻(Laser writing)"製作圖形，請參閱，例如，美國專利申請號第 11/203563 號(事務所編號 IDR0213，申請日為 2005 年 8 月 11 日，前述專利之相關內容已引用在本專利申請書中)。這些技術亦可適用於圖一中描述的具體實施例的製程和元件的相同的層。之後，閘極電介質層(例如 114)得以和圖一中氧化物表面層 14 以及閘極 52 的相同的方法成長，閘極材料得以在其上印刷或沈積，以及閘極 152a、152b 得以形成。後續的暴露的氧化物的蝕刻可從電晶體 150a、150b 的源極和汲極區域移除氧化物，並且移除形成在二極體的多晶矽(Polysilicon)層 142 上的氧化物。

之後，類似前述的源極和汲極接觸層 54a-b 或多晶矽半導體層 32 形成一重摻雜的較低的二極體層 146 以及電晶體 150a、150b 的源極和汲極接點 154a-b。因此，可以離子植入法或印刷如前述的重摻雜的矽甲烷墨水來形成該較低的二極體層 146 以及該源極和汲極接點 154a-b。在一具體實施例中，較低的二極體層 146 包含一 N^+摻雜的矽晶層。在結晶化以及摻雜物活化後(於此處和其他地方描述)，在其上可印刷或形成一第二 SOG 層，並且在其內依傳統方式形成開口，以形成層間電介質(Interlayer dielectric, ILD) 116a-g、118。在其上(特別地在二極體 140a-b 區域的接觸開口)可以印刷或沈積一相對厚的微摻雜的多晶矽層，類似前述多晶

矽半導體層 32，以形成較上的二極體層 148。當較低的二極體層 146 包含一重摻雜層，多晶矽層 148 可能被微摻雜。在本具體實施例中，較低的二極體層 146 以及較上的二極體層 148 具有不同的摻雜物濃度或密度(例如，以 N^+摻雜較低的二極體層 146，以 N^-摻雜較上的二極體層 148)。在另一具體實施例中，較低的二極體層 146 以及較上的二極體層 148 具有不同的(或互補的)摻雜型態(例如，以 N^+摻雜較低的二極體層 146，以 P^-摻雜較上的二極體層 148 並且可選擇地 P^+摻雜其表面)。之後，金屬化層 164 係以大致上與前述阻隔層 62、導體層 64 使用的方法形成電容 120a-b 的上層板以及連接至電晶體 150a-b 和二極體 140a-b 的源極、汲極和閘極接點的接點。

然後以傳統沈積技術(例如，旋轉塗佈、噴灑式塗佈、噴墨印刷等等)形成一最上層蓋或鈍化層 170(例如，包含一 SOG 層)蓋住整個元件，然後固化。在成形一天線、電感或共振器(電性連接電感和電容)20 之後，可將一封裝材料或黏著劑 180 與其疊合。可選擇地形成兩個大致相同的電感 20a-b。該元件 100 可以前述的圖一中具體實施例之元件 10 的製造方式製造。本製程的進一步的變化可使用前述步驟，省略垂直的二極體元件，以形成使用如直流電源產生器以及訊號調變用的二極體的二極體電晶體的 RFID 電路(例如，將源極和閘極短路來形成)。

圖三係顯示一具體實施例之連接至天線/電感 186 的元件 184 的一剖面圖 182 以及一製造二極體和電容電晶體的製程流程。圖四顯示一具體實施例之二極體元件 188，一閘極 190 與源極或汲極接點 192 短路，並且源極或汲極接點 192 連線至一相鄰的元件 196 的源極或汲極接點(或較低的二極體層/接點)194。電容電晶體得以源極和汲極接點互連的相同的方式成形。在圖三中的流程中，一電晶體係以傳統的方式連線，並且將源極和汲極短路成一個接點和使用閘極當做另一個接點來製作電容。明顯地，圖三中的製程流程係相當地簡要並且包含比製造圖一以及圖二中的元件

的製程流程還少的步驟。事實上，圖三中的製程流程可能只包含一個包含印刷一矽甲烷墨水的步驟(雖然可使用兩個矽甲烷墨水印刷步驟，一個用於互補金屬氧化半導體(Complementary metal oxide Semiconductor, CMOS)電晶體的n通道元件，一個用於互補MOS電晶體的p通道元件)。這類元件(包含二極體和電容電晶體)顯示出適合使用在 13.56MHz 的 RFID 標籤的效能特性。當然，將(i)閘極與(ii)源極或汲極接點短路在一起的接線(如同將源極與汲極短路在一起的接線)並未顯示在圖三中的剖面圖，以及可位於電晶體布線的其他位置，不是在該頁面之前，就是在該頁面之後。明顯地，圖三的流程顯示可形成一單一噴墨的矽甲烷層(步驟4)，以及在同一個製程步驟中，在一爐中將該矽甲烷層結晶化並且氧化(步驟5)。然後使用分開的離子植入法步驟(步驟10和步驟13)來形成 n 通道 MOS (N-channel metal oxide semiconductor, NMOS)以及 p 通道 MOS (P-channel metal oxide semiconductor, PMOS)電晶體/元件。

RFID 元件之較佳具體實施例

從另一個角度而言，本發明涉及到包括各種的元件區域的一個佈局，例如圖一至圖四的實施例元件。圖五顯示一元件 200 的佈局具體實施例，包含邏輯區(Logic region)210、天線區(Antenna regions)220、225 以及充電泵區(Charge pump area)230。元件(Device)200 其長度可能從 1 到 25 mm，最好是從 5 到 20 mm，其寬度可能從 1 到 5 mm，最好是從 1 到 3 mm，以及其總面積可能從 1 到 100 mm^2，最好是從 10 到 50 mm^2。在一個例子中，該元件係 2 mm × 12..5 mm。此將會在圖六A、圖六B中更詳細地討論，邏輯區 210 可進一步包含一輸入/輸出控制(Input/output control)部分、一記憶或資訊儲存部分、一時脈回復(Clock recovery)部分以及/或一資訊/訊號調變(Information/signal modulation)部分。

天線區 220 係以 L 形匯流排 222 連接至充電泵區 230。充電泵區 230 的一部分與天線區 225 重疊。充電泵區 230 係以電容、二極體以及/或相互連接傳統地連接至天線區 220、225。例如，充電泵區 230 可能包含複數個層級(在一個特定例子中，有 8 級)，並且其中的電容可能具有每個天線重疊部分 100 到 400 μm^2 的面積(也就是充電泵區 230 與匯流排 222 或天線區 225 重疊的部分)。

一 HF 標籤設計的功能方塊圖顯示於圖六 A，一 UHF 標籤設計顯示於圖六 B。該 HF 標籤設計包含天線 305、時脈回復功能方塊 310、解調變器功能方塊 320、RF-DC 轉換器功能方塊 330、調變器功能方塊 340、邏輯及輸入輸出控制功能方塊 350 以及記憶體 360。該 UHF 標籤設計包含偶極天線(Dipole antenna)355、時脈回復/解調變器功能方塊 370、UHF-DC 轉換器功能方塊 380、調變器功能方塊 340'、邏輯及輸入輸出控制功能方塊 350 以及記憶體 360。時脈回復功能方塊 310、天線 305、355 以及從天線至解調器變功能方塊 320、370 以及至功率轉換器功能方塊 330、380 的匯流排在或接近載頻操作，並且因此，需要高速的元件。

這些電路功能方塊可從薄膜元件結構中建構出來，包含下列元件：

1. 天線：在 HF 中，這係以最不貴的方式製成具有一與其偶接的共振槽(Resonant tank)電容的一平面螺旋電感線圈(Planar spiral inductor coil)(例如，在圖五中的充電泵區 230)。高品質的(高的電壓/功率平方根)LC 線圈的低電阻的需求必需使用金屬箔或厚的印刷薄膜。在 UHF 中，天線通常是一全波或半波的偶極或偶極導數的形式，提供不具明顯的直流傳導的或像在一個線圈內長傳導距離的交流電波的傳輸(和接收)。並且，在 UHF 中，在天中的線激勵的集膚深度(Skin

depth of the excitation)較淺。因為這個原因，UHF 天線可以是金屬箔，甚至是用材料印刷導電薄膜，例如銀膠。在某些設計的實例中，HF 或 UHF 天線可直接成形在積體電路的下方的金屬基材上，或基材形成一中等大小的(例如，介於整個天線和半導體含元件的積體電路區域之間)中介層或帶狀區(例如，一薄塑膠或玻璃板可當做矽基元件後續成形的基材)，然後可附加於一外加天線。

2. RF-DC 轉換：這個功能在任何適用的頻率可由整流器(Rectifier)(常見於電壓倍增器(Voltage doubler)配置中)提供，或在 UHF 或 HF 頻率中可由以矽甲烷墨水形成的薄膜二極體結構提供。在 HF 頻率中，亦可能使用二極體連接的 TFT(例如，使其閘極連接至同一個電晶體的源極或汲極)。這類薄膜二極體和二極體連接的 TFT 亦可用於電壓鉗制(Voltage clamps)以及/或 DC 轉換及/或 DC 電壓輸出的電壓鉗制電路。基於具有在二極體傳輸方向上有大於 10 cm^2/V-sec 的移動率、摻雜濃度 1017 至 1020 cm^{-3} 以及 10^{-5}ohm-cm^2 等級的接觸電阻的矽甲烷墨水層，模塑薄膜元件可提供在 GHz 範圍的整流，可有效地供應一 RFID 電路電源。GHz 整流至 DC 以及小於 2 nsec 的閘極延遲已分別由如這裏描述地形成的一垂直薄膜矽甲烷墨水二極體結構和一自行排列的 TFT 結構在實驗上獲得實證。

3. 解調變器(Demodulator)：編碼成在 RF 載波訊號上的副載波調變的時脈和資料訊號，其解調變可以基於如這裏其他地方描述的薄膜二極體或二極體連接的 TFT，以簡單的電壓檢測器來達成。最適宜的訊號擷取可能需要濾波和使用已調整的電容。

4. 控制和讀取(輸入/輸出)功能的邏輯得用使用這裏描述的材料，以 CMOS 或 NMOS 技術製作的 TFT 來實現。CMOS

技術在功率效益上具有一明顯好處，但是與 NMOS 技術比較，可能需要額外的製程步驟。

5. 記憶體：單純的唯讀記憶體(Read-only memory, ROM)可由一在製造過程中定義出的數位電阻網路(Digital resistive network)提供。一次編成(One-time programmable, OTP) ROM 可能包含一傳統的熔絲或反熔絲結構，並且薄膜形式的非揮發性電子抹除式唯讀記憶體(Electrically erasable programmable read-only memory, EEPROM)可能包含一其中具有一浮動的閘極的 TFT。程式和抹除電路(以及配置用來承受程式和抹除電壓的元件)亦得以傳統方式設計以及如此處描述的方式製造。

6. 調變器(Modulator)：在 HF 範圍中，通常以具有一與一共振電容(Resonant capacitor)並聯的分流電晶體(Shunting transistor)的負載調變來完成調變(例如，在調變器功能方塊中或從同一層材料成形的天線中；請參閱美國專利申請號第 10/885283 號以及第 11/243460 號[事務所編號 IDR0121 以及 IDR0272]，申請日分別為 2004 年 7 月 6 日以及 2005 年 10 月 3 日)。使用一以增強模式從一矽甲烷墨水製造的調變器 TFT，當該電晶體開啟時，將形成標籤天線的 LC 線圈短路。這明顯地減低電路以及偶和至讀取器線圈的 Q 值。當該 TFT 被切換成關閉時，該 LC 線圈的 Q 值被回復。以此方式，一調變訊號可從標籤傳送至讀取器。在 UHF 範圍，類似的影響亦改變天線的散射截面(Scattering cross-section)並且調變至讀取器的背向散射訊號。這得以負載調變電晶體改變天線以及背向散射訊號的阻抗來完成。由於有關這個技術潛在功能的損失，有利於使用一可變電抗調變，偏移使用 MOS 電容元件或變容二極體的 UHF 天線的阻抗的虛部。該 MOS 電容元件或變容二極體可使用這裏描述的邏輯 TFT 以及整流器及/或解碼器二極體的 TFT 製程以

及二極體製程來形成。

配置為邏輯單元和記憶體的薄膜電晶體的佈局已根據本發明使用 8 μm 以及 2 μm 的設計規則設計。依 8 μm 設計規則(假設±2 μm 邊界的排列變異)，平均電晶體面積是 9776 μm^2，並且每 mm^2 可放置 100 個電晶體。依 2 μm 設計規則，平均電晶體面積是 3264 μm^2，並且每 mm^2 可放置 300 個電晶體。

通常 RFID 標籤操作受限於最小的用來啟動該標籤的 RF 場域(以及電源)。當該標籤能啟動並且維持需求的電壓時，標籤至讀取器的通訊便可行。

範例以及結果

使用一符合此處描述製造二極體的製程，製造具有鈦矽化合物接觸層的 Schottky 二極體，其可在 1GHz 以上整流。分離式的 RF 前級電路的原型已被製造，並且這類電路在 900MHz 的操作亦已被實作證實。以這類的製程製造具有大於 50 cm^2/V-sec、高至 100 cm^2/V-sec 移動率的 NMOS 電晶體，以及具有大於 40 cm^2/V-sec 移動率的 PMOS 電晶體。從以這類製程製造的相互連接的電晶體形成 CMOS 反向器以及振盪器(Oscillator)。該振盪器可操作在 10 至 25MHz。在串聯的反向器(Inverter)間(例如，在一環狀振盪器級(Ring oscillator)間)有 1.0 至 1.1ns 的層級延遲。此展現了由此製程製造邏輯上最大切換速度超過 950MHz。這些資料單獨地及/或結合其他資訊(例如，電路功能方塊資料以及/或模擬)展現了本發明係能實現 UHF 以及 HF RFID 操作。

900MHz Schottky 二極體性能。根據本發明(例如，從一矽墨水)製造的以及具有鈦矽化合物接觸層(“Kovio 矽二極體”)的 Schottky 二極體於 900MHz 具有一大於 5%的功率轉換效率；比較圖八中曲線 410(本發明)與曲線 420(HSMS-8250 Schottky 二極體，可從 Agilent 科技商業取得)。最佳化的製程清潔應可進一步

改善二極體性能，例如藉由降低漏電流(Leakage)以及短路。

RF 前級。如圖九中曲線 510 所示，於 900MHz 單顆二極體介於 10 至 20%的 GHz 整流已由根據本發明製造的二極體("Kovio 矽二極體")展現。因此，根據本發明製造的二極體包含工作在 900MHz 自由空間、能產生 DC 電源的元件。在製造整合和電路設計中，進一步的最佳化應可改善頻率響應以及整流效率。

在 UHF 轉 DC 整流功能方塊中使用兩個這類的二極體(參閱，例如，圖六 B 中的功能方塊 380)，足夠的電源從 UHF 源產生。該 UHF 源在一原型 RFID 標籤中提供一 900MHz 的載波訊號。該 RFID 標籤配備一半偶極天線以使一電性連接至一 100mW 的讀取器的 LED 發光(亦即該 LED 和讀取器分別地取代圖六 B 的 RFID 標籤中的邏輯及/或輸入輸出控制功能方塊 350)。

具有根據本發明製造的 Schottky 二極體的 RFID 標籤的功能性前級功能方塊(例如功能方塊 310 至 330 以及 379、380)的原型具有下表表一中已被展示的屬性：

表一：RFID 前級原型特性

製程	Si 墨水+CoSi 蓋上 Schottky	Si 墨水+TiSi 蓋上 Schottky
理想因子	1.75	1.5
I_o [nA]	500	1300
R_s [Ω]	101	19
R_{leak} [kΩ]	60	5

前述表一所示使用"Si 墨水+TiSi 蓋上 Schottky"製程製作的元件的四個屬性對於物品層級 UHF 標籤在商業上均可接受。

推論總結。來自原型元件(例如，MOS 電晶體)以及使用如這裏描述的矽墨水(但是通常只用來製造原型 NMOS 以及 PMOS TFT)製造圖四 A 至 B 中的邏輯及/或輸入輸出控制功能方塊 350 的電路的資料顯示遠大於 1MHz 的操作的能力。該操作頻率對商業上可接受的 UHF 和 HF RFID 標籤而言係已足夠。這類矽墨水 CMOS IC 元件當使用自行對齊的矽墨水 TFT 製造流程製造時(請參閱，例如，美國專利申請號第 11/084448 號，申請日為 2005 年 3 月 18 日[事務所編號 IDR0211]，已引用在本專利申請書中)，具有高達 100 cm^2/V-sec 的移動率，因此確認這裏供低成本 RFID 標籤的商業生產的製造程序的合適性。使用這類製程流程製造的 CMOS 反向器具有 MHz 振盪速度的能力(亦即切換少於 1 μsec)。並且，使用這類製程流程製造的 NMOS 元件具有適合商業上可接受的 UHF 以及 HF RFID 標籤的臨界電壓。

矽墨水 CMOS 振盪器的結果。一具有圖七中顯示的設計的 19 級環狀振盪器 600 以 6 μm CMOS 整合 TFT 緩衝級(Buffer stage)來製造。層級延遲在 10V 操作中小於 0.1 msec。圖十顯示出本實施例的振盪器涵蓋 10 至 20 V 的範圍的結果，包含探針施加的影響(下層的繪圖 710 顯示 10V 操作的結果，中間的繪圖 720 顯示 15V 操作的結果，以及上層的繪圖 730 顯示 20V 操作的結果)。因此，使用在本應用中描述的矽墨水技術製造的 CMOS 電晶體適合於 UHF RFID 邏輯單元(1 至 5MHz)以及 HF RFID 邏輯單元(13.56MHz)。對於小通道元件(約 2 μm 的電晶體、操作在 10V，小於每級 10 nsec)，非常高的速度是有可能的。

圖十一 A 至 B 顯示該較佳具體實施例 19 級振盪器在 10V 操作的模擬的結果，兩者均為晶片式(圖十一 A)並且具有示波器緩衝負載(圖十一 B)。該模擬使用從上述圖八中的元件擷取出來的 TFT 模型資料。圖十一 A 至 B 中的數值將上述邏輯元件(CMOS)量測的資料與該模擬資料比較以證實擷取和量測能力有效，並且進一步證實了該展示的結果有效。使用具有 6 μm 有效長度的電

晶體的 CMOS TFT 緩衝級模擬振盪器。振盪頻率為 350kHz，並具有 70 nsec 的層級延遲。正如一個人可以說，圖十一 B 中繪圖 860 的形狀十分相似圖十中繪圖的形狀。圖十二 A 至 B 的結果以及下面的表二表現出圖十中同一個元件在商業上可接受的切換速度(f_{switch} > 10 MHz)、層級延遲(t_d < 0.1 μsec)以及 NMOS 電晶體的臨界電壓(V_t < 0.5 V)，但有經過進一步後氫化處理。圖十二 A 以及圖十二 B 的兩條曲線分別為約 6 μm 和約 2 μm 通道長度的 CMOS TFT 振盪器。

表二：圖十二 A 和圖十二 B 的振盪器的特性

圖號	12A	12B
L_{eff}	6 μm	2 μm
F_{osc}	3.3 MHz	25 MHz
t_d	8 nsec	1.1 nsec
F_{max} 切換	130 MHz	950 MHz

結論/總結

藉由以上較佳具體實施例之詳述，係希望能更加清楚描述本發明之特徵與精神，而並非以上述所揭露的較佳具體實施例來對本發明之範疇加以限制。相反地，其目的是希望能涵蓋各種改變及具相等性的安排於本發明所欲申請之專利範圍的範疇內。因此，本發明所申請之專利範圍的範疇應該根據上述的說明作最寬廣的解釋，以致使其涵蓋所有可能的改變以及具相等性的安排。

【圖式簡單說明】

圖一係繪示該製造程序之一具體實施例製造的一具體實施例之元件之結構之剖面圖。

圖二係繪示該製造程序之另一具體實施例製造的另一具體實施例之元件之結構之剖面圖。

圖三係繪示根本發明製造二極體和電容電晶體的一具體實施例之元件剖面圖以及製程流程。

圖四係繪示依圖三的具體實施例製程流程製造的一具體實施例之二極體電晶體之剖面圖。

圖五係繪示一具體實施例之元件之佈局圖。

圖六 A 至 B 係繪示具體實施例之標籤於 HF 和 UHF 應用中之各種不同的功能方塊之功能方塊圖。

圖七係繪示具體實施例之 19 級振盪器展現本發明確定的商業上可接受的特性之電路圖。

圖八係繪示根據本發明製造的 Schottky 二極體與一可於商業上獲得的 Schottky 二極體的功能轉換效率比較之曲線圖。

圖九係繪示展示根據本發明製造的單一二極體的整流至 GHz 頻率之曲線圖。

圖十係繪示圖七中振盪器操作於 10 至 20V 的範圍之結果。

圖十一 A 至 B 係繪示圖七中振盪器的模擬的結果，兩者均為晶片式(圖十一 A)並且具有示波器緩衝負載(圖十一 B)。

圖十二 A 至 B 係繪示展示圖九中同一個元件但有進一步施以

後氫化處理，其商業上可接受的切換速度、層級延遲以及 NMOS 電晶體臨界電壓，之曲線圖。

【主要元件符號說明】

10：RFID 標籤　　12：SOG 層

14：氧化物表面層　　16：電介質層

20：天線　　20a、b：電感

30：電容　　32：半導體層

34：電容板　　40：二極體

44、46：半導體層　　50：電晶體

52：閘極　　54a、b：源極以及汲極接觸層

62：阻隔層　　64：導體層

100：元件　　102：阻隔電介質

112：電介質　　114：閘極電介質層

116a~116g、118：層間電介質

120a、b：電容　　140a、b：二極體

142：多晶矽層　　144、146：通道層

148：二極體層　　150a、b：電晶體

152a、b：閘極　　154a、b：源極和汲極接點

164：金屬化層　　170：鈍化層

180：黏著劑　　182：剖面圖

184：元件　　186：天線/電感

188：二極體元件　　190：閘極

192、194：源極或汲極接點　196、200：元件

210：邏輯區　　220：天線區

222：L 形匯流排　　225：天線區

230：充電泵區　　305：天線

310：時脈回復功能方塊　　320：解調變器功能方塊

330：RF-DC 轉換器功能方塊

340、340'：調變器功能方塊

350：邏輯及輸入輸出控制功能方塊

355：偶極天線　　360：記憶體

370：時脈回復/解調變器功能方塊

380：UHF-DC 轉換器功能方塊

410、420：二極體特性曲線　510：功率轉換效率曲線

600：振盪器　　710：10 V 的操作結果曲線

720：15 V 的操作結果曲線　730：20 V 的操作結果曲線

860：10 V 的操作結果曲線

五、中文發明摘要：

無線射頻識別(RFID)標籤及其製程。RFID 元件包含(1)一金屬天線；(2)一電介質層於其上，用以支撐和將積體電路與該金屬天線絕緣；(3)複數個二極體和複數個電晶體在該電介質層上，該等二極體與該等電晶體一樣具有至少一層；以及(4)複數個電容，與該金屬天線和一些該二極體電性通訊，該等電容與該等二極體及/或至該等電容和該等電晶體的接點一樣具有至少一層。本方法結合液態含矽墨水，沈積成一有成本效益的、積成的 RFID 電路製造的製造程序。此外，本 RFID 標籤與含有有機電子元件的標籤比較，提供更好的效能(例如，改善的電氣特性)。

六、英文發明摘要：

Radio frequency identification (RFID) tags and processes for manufacturing the same. The RFID device includes (1) a metal antenna; (2) a dielectric layer thereon, to support and insulate integrated circuitry from the metal antenna; (3) a plurality of diodes and a plurality of transistors on the dielectric layer, the diodes having at least one layer in common with the transistors; and (4) a plurality of capacitors in electrical communication with the metal antenna and some of the diodes, the capacitors having at least one layer in common with the diodes and/or with contacts to the diodes and transistors. The method preferably integrates liquid silicon-containing ink deposition into a cost effective, integrated manufacturing process for the manufacture of RFID circuits. Furthermore, the present RFID tags provide higher performance (e.g., improved electrical characteristics) as compared to tags containing organic electronic devices.

十、申請專利範圍：

1、 一種製造無線射頻辨識(Radio frequency identification, RFID)元件的積體電路(Integrated circuitry)之方法，包含：

a) 從一第一含矽墨水(Silicon-containing ink)，在一電介質層(Dielectric layer)的一第一表面上成形至少一第一半導體層(Semiconductor layer element)，在一電性主動式基材(Active substrate)上的該電介質層以及該第一半導體層包含一電容板(Capacitor plate)、一電晶體通道區域(Transistor channel region)以及一第一二極體層(Diode layer)中之至少一個；

b) 從一第二含矽墨水，在該第一半導體層以及該電介質層的第一表面中之至少一層上成形不同於該第一半導體層之至少一第二半導體層，該第二半導體層包含至少一組一第二二極體層、電晶體源極/汲極接點(Transistor source/drain terminals)(當該第一含矽墨水成形該電晶體通道區域時)以及該電晶體通道區域(當該第一含矽墨水未成形該電晶體通道區域時)的組合；以及

c) 在該第一半導體層以及該第二半導體層中之至少一層上或之上成形至少一金屬物(Metal element)，該金屬物包含一金屬接點(Contact)、一Schottky二極體接點、一第二電容板以及(當該第二半導體層未成形該電晶體源極/汲極接點時)一金屬閘極(Gate)中之至少一個。

2、 如申請專利範圍第1項所述之方法，其中該基材包含一金屬箔(Metal foil)。

3、 如申請專利範圍第2項所述之方法，在該金屬物成形步驟之後，進一步包含從該金屬箔成形一電路(Circuit element)之步驟。

4、 如申請專利範圍第1項所述之方法，進一步包含從一不同於第二含矽墨水的第三含矽墨水，在該第二半導體層中之至少一層上

成形至少一第三半導體層，該第三半導體層包含至少一組一第三二極體層以及電晶體源極/汲極接點(當該第二含矽墨水成形該電晶體通道區域時)的組合。

5、 如申請專利範圍第1項所述之方法，其中該至少一第一半導體層包含複數個第一半導體層以及複數個該電晶體通道區域。

6、 一種無線射頻辨識(Radio frequency identification, RFID)元件，包含：

a) 一金屬天線(Antenna)及/或電感(Inductor)；

b) 一電介質層(Dielectric layer)於其上，其結構係配合以支撐以及使積體電路(Integrated circuitry)與該金屬天線及/或電感絕緣；

c) 複數個二極體(Diode)以及複數個電晶體(Transistor)在該電介質層上，該等二極體與該等電晶體一樣具有至少一半導體層(Semiconductor layer)；以及

d) 複數個電容(Capacitor)，該複數個電容與該金屬天線及/或電感以及至少一些該等二極體電性通訊，複數個電容與該複數個二極體一樣具有至少一半導體層及/或與至該等二極體和該等電晶體的接點(Contact)一樣具有至少一金屬層(Metal layer)。

7、 如申請專利範圍第6項所述之元件，其中該複數個二極體與該複數個電晶體一樣具有至少二個不同的半導體層。

8、 如申請專利範圍第6項所述之元件，其中該至少二個不同的半導體層中之一第一層包含一微摻雜的無機半導體(Lightly doped inorganic semiconductor)以及該至少二個不同的半導體層中之一第二層包含一重摻雜的無機半導體(Heavily doped inorganic semiconductor)。

9、 如申請專利範圍第6項所述之元件，包含一功率轉換功能方塊

(Power conversion block)、一邏輯功能方塊(Logic block)以及一記憶體功能方塊(Memory block)，該功率轉換功能方塊接收從該金屬天線及/或電感來的一訊號(Signal)並且包含該等二極體中之一第一子集合(Subset)以及該等電容中之至少一子集合，該邏輯功能方塊接收從該功率轉換功能方塊來的功率並且與該記憶體功能方塊通訊，該邏輯功能方塊包含該等電晶體中之一第一子集合，以及該記憶體功能方塊包含該等二極體中之一第二子集合及/或該等電晶體中之一第二子集合。

10、如申請專利範圍第9項所述之元件，進一步包含一時脈回復及/或解調變器功能方塊(Clock recovery and/or demodulator block)、一調變器功能方塊(Modulator block)以及一輸入/輸出控制(子)功能方塊(Input/output control (sub)block)，該時脈回復及/或解調變器功能方塊其結構係配合以接收從該金屬天線及/或電感來的該訊號，並且包含該等二極體中之一第三子集合以及/或該等電晶體中之一第三子集合，該調變器功能方塊其結構係配合以接收從該邏輯功能方塊來的資訊，並且提供一輸出訊號(Output signal)至該金屬天線及/或電感，該調變器功能方塊包含該等二極體中之一第四子集合以及/或該等電晶體中之一第四子集合，該輸入/輸出控制(子)功能方塊其結構係配合以接收從該時脈回復及/或解調變器功能方塊來的一輸入訊號(Input signal)，並且提供該資訊至該調變器功能方塊，該輸入/輸出控制(子)功能方塊包含該等電晶體中之一第五子集合。

11、一種製造無線射頻辨識(Radio frequency identification, RFID)元件的積體電路(Integrated circuitry)之方法，包含：

a) 從一含矽墨水(Silicon-containing ink)，在一電介質層(Dielectric layer)的一第一表面上成形至少一半導體層(Semiconductor layer element)，在一電性主動式基材(Active substrate)上的該電介質層以及該半導體層包含一電晶體通道區域(Transistor channel region)；

b) 在該至少一半導體層之上成形一閘極層(Gate layer)；

c) 在該閘極層、該至少一半導體層以及該電介質層的第一表面的至少一部分上成形至少一電介質層，該電介質層具有至該閘極層以及該至少一半導體層的接點(Terminal)的接觸點(Contact)用的開口；以及

d) 在該至少一半導體層上或之上以及在該閘極層上成形至少一金屬物(Metal element)，至少一些該金屬物將該等接點中之二個接點及/或該等接點中之一個接點與該閘極層電性連接。

12、如申請專利範圍第11項所述之方法，在該閘極層成形步驟之後、該電介質層成形步驟之前，進一步包含在該至少一半導體層中成形源極以及汲極接點。

13、一種製造無線射頻辨識(Radio frequency identification, RFID)元件的積體電路(Integrated circuitry)之方法，包含：

a) 從一第一含半導體墨水(Semiconductor-containing ink)，在一電介質層(Dielectric layer)的一第一表面上成形至少一第一半導體層(semiconductor layer element)，在一電性主動式基材(Active substrate)上的該電介質層以及該第一半導體層包含一電容板(Capacitor)、一電晶體通道區域(Transistor channel region)以及一第一二極體層(Diode layer)中之至少一個。

b) 從一第二含半導體墨水，在該第一半導體層以及該電介質層的第一表面中之至少一層上成形不同於該第一半導體層之至少一第二半導體層，該第二半導體層包含至少一組一第二二極體層、電晶體源極/汲極接點(Transistor source/drain terminals)(當該第一含半導體墨水成形該電晶體通道區域時)以及該電晶體通道區域(當該第一含半導體墨水未成形該電晶體通道區域時)的組合；以及

c) 在該第一半導體層以及該第二半導體層中之至少一層上或

之上成形至少一金屬物(Metal element)，該金屬物包含一金屬接點(Contact)、一Schottky二極體接點、一第二電容板以及(當該第二半導體層未成形該電晶體源極/汲極接點時)一金屬閘極(Gate)中之至少一個。

14、一種製造無線射頻辨識(Radio frequency identification, RFID)元件的積體電路(Integrated circuitry)之方法，包含：

a) 從一含半導體墨水(Silicon-containing ink)，在一電介質層(Dielectric layer)的一第一表面上成形至少一半導體層(Semiconductor layer element)，在一電性主動式基材(Active substrate)上的該電介質層以及該半導體層包含一電晶體通道區域(Transistor channel region)；

b) 在該至少一半導體層之上成形一閘極層(Gate layer)；

c) 在該閘極層、該至少一半導體層以及該電介質層的第一表面的至少一部分上成形至少一電介質層，該電介質層具有至該閘極層以及該至少一半導體層的接點(Terminal)的接觸點(Contact)用的開口；以及

d) 在該至少一半導體層上或之上以及在該閘極層上成形至少一金屬物(Metal element)，至少一些該金屬物將該等接點中之二個接點及/或該等接點中之一個接點與該閘極層電性連接。

七、指定代表圖：

(一)本案指定代表圖為：第(二)圖。

(二)本代表圖之元件符號簡單說明:

20a：電感　　100：元件

102：阻隔電介質　　112：電介質

114：閘極電介質層　　116a~116g、118：層間電介質

120a、b：電容　　140a、b：二極體

142：多晶矽層　　144：通道層

146、148：二極體層　　150a、b：電晶體

152a、b：閘極　　154a、b：源極和汲極接點

164：金屬化層　　170：鈍化層

180：黏著劑

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：