



(12) 发明专利申请

(10) 申请公布号 CN 116830458 A

(43) 申请公布日 2023. 09. 29

(21) 申请号 202180093559.1

(22) 申请日 2021.12.21

(30) 优先权数据

63/134,955 2021.01.07 US

17/555,840 2021.12.20 US

(85) PCT国际申请进入国家阶段日

2023.08.11

(86) PCT国际申请的申请数据

PCT/US2021/064746 2021.12.21

(87) PCT国际申请的公布数据

W02022/150188 EN 2022.07.14

(71) 申请人 艾迪凯有限责任公司贸易用名因迪

半导体

地址 美国加利福尼亚

(72) 发明人 R·W·基姆

(74) 专利代理机构 中国贸促会专利商标事务所

有限公司 11038

专利代理师 张小稳

(51) Int.Cl.

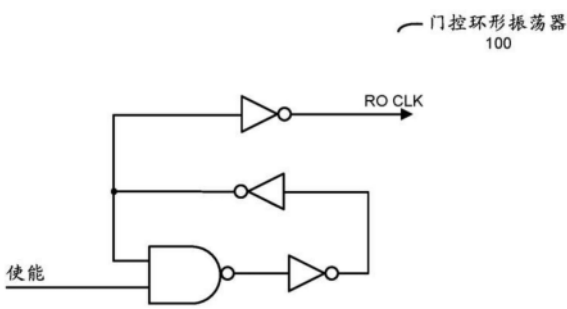
H03K 3/03 (2006.01)

(54) 发明名称

数字校准的可编程时钟相位生成电路

(57) 摘要

描述了一种包括生成电路的集成电路。在操作期间,生成电路可以在输入时钟的时钟时段内提供具有目标相位的边缘时钟,其中生成电路不包括延迟锁定环路(DLL)。例如,生成电路可以包括门控环形振荡器,该门控环形振荡器提供具有大于输入时钟的第二基频的第一基频的参考时钟。注意的是,门控环形振荡器可以是可编程的,以在预定义的值范围内调整第一基频。而且,生成电路可以包括控制电路,该控制电路确定参考时钟的参考时段内该参考时钟的边缘的数量的参考计数。



1. 一种集成电路,包括:

生成电路,被配置为在输入时钟的时钟时段内提供具有目标相位的边缘时钟,其中所述生成电路不包括延迟锁定环路(DLL)。

2. 根据权利要求1所述的集成电路,其中,所述生成电路包括门控环形振荡器,所述门控环形振荡器被配置为提供具有大于所述输入时钟的第二基频的第一基频的参考时钟。

3. 根据权利要求2所述的集成电路,其中,所述门控环形振荡器被配置为被编程以在预定义的值范围内调整所述第一基频。

4. 根据权利要求2所述的集成电路,其中,所述生成电路包括控制电路,所述控制电路被配置为确定在所述参考时钟的参考时段内所述参考时钟的边缘的数量的参考计数。

5. 根据权利要求4所述的集成电路,其中,所述控制电路被配置为至少部分地基于所述参考计数的预定义的子计数来提供与所述目标相位对应的控制信号。

6. 根据权利要求5所述的集成电路,其中,所述预定义的子计数是可编程或可调整的。

7. 根据权利要求5所述的集成电路,其中,所述控制电路被配置为通过将所述参考计数数字地除以预定义的值来计算所述预定义的子计数。

8. 根据权利要求5所述的集成电路,其中,所述生成电路被配置为至少部分地基于所述控制信号提供具有所述目标相位和占空比的边缘时钟。

9. 根据权利要求8所述的集成电路,其中,所述占空比不是50/50,并且所述生成电路被配置为通过至少部分地基于所述控制信号选择性地接通和关断所述门控环形振荡器来提供具有所述占空比的边缘时钟。

10. 根据权利要求1所述的集成电路,其中,所述生成电路被配置为在所述时钟时段中并发地生成具有不同目标相位的多个边缘时钟。

11. 根据权利要求1所述的集成电路,其中,所述生成电路被周期性地校准。

12. 根据权利要求1所述的集成电路,其中,所述集成电路包括第二生成电路;以及其中,当所述生成电路被校准时,所述第二生成电路在正常操作模式下操作,并且当所述第二生成电路被校准时,所述生成电路在正常操作模式下操作。

13. 根据权利要求1所述的集成电路,其中,所述集成电路包括模数转换器ADC,该ADC被配置为使用所述边缘时钟将第二输入信号转换成量化输出。

14. 根据权利要求13所述的集成电路,其中,所述ADC包括逐次逼近寄存器(SAR)ADC。

15. 一种系统,包括:

集成电路,包括

生成电路,被配置为在输入时钟的时钟时段内提供具有目标相位的边缘时钟,其中,所述生成电路不包括延迟锁定环路(DLL)。

16. 根据权利要求15所述的系统,其中,所述生成电路包括门控环形振荡器,所述门控环形振荡器被配置为提供具有大于所述输入时钟的第二基频的第一基频的参考时钟。

17. 根据权利要求16所述的系统,其中,所述生成电路包括控制电路,所述控制电路被配置为确定在所述参考时钟的参考时段内所述参考时钟的边缘的数量的参考计数。

18. 根据权利要求15所述的系统,其中,所述集成电路包括模数转换器ADC,该ADC被配置为使用所述边缘时钟将第二输入信号转换成量化输出。

19. 一种用于提供边缘时钟的方法,包括:

由生成电路：

在输入时钟的时钟时段内提供具有目标相位的所述边缘时钟，其中，所述生成电路不包括延迟锁定环路(DLL)，并且其中提供包括：

使用门控环形振荡器提供具有大于所述输入时钟的第二基频的第一基频的参考时钟。

20. 根据权利要求19所述的方法，其中，所述方法包括使用控制电路确定在所述参考时钟的参考时段内所述参考时钟的边缘的数量的参考计数。

数字校准的可编程时钟相位生成电路

技术领域

[0001] 本公开涉及使用数字电路而不使用延迟锁定环路(DLL)在输入时钟的时钟时段内提供一个或多个边缘时钟的生成电路。

背景技术

[0002] 逐次逼近寄存器(SAR)模数转换器(ADC)常常在采样时钟周期内使用多个时钟参考相位。例如,SAR ADC可以使用基于不对称时钟(诸如具有除50%或50/50以外的占空比的时钟)的目标信号和跟踪信号来划分输入时钟。

[0003] 通常,复杂的模拟电路常常用于在输入时钟的时段内生成边缘。例如,DLL可以用于在输入时钟的时段内生成多个时钟边缘,诸如8、16或32个时钟边缘。而且,组合逻辑(诸如设置/重置锁存器)可以用于生成跟踪输入时钟边缘的附加延迟的边缘。但是,随着工艺节点减小到更小的关键维度,DLL中使用的模拟电路通常不能很好地缩放。

发明内容

[0004] 描述了集成电路的实施例。这个集成电路包括生成电路。在操作期间,生成电路在输入时钟的时钟时段内提供具有目标相位的边缘时钟,其中生成电路不包括DLL。

[0005] 例如,生成电路可以包括门控环形振荡器,该门控环形振荡器提供具有大于输入时钟的第二基频的第一基频的参考时钟。

[0006] 注意的是,门控环形振荡器可以是可编程的,以在预定义的值范围内调整第一基频。

[0007] 而且,生成电路可以包括控制电路,该控制电路确定在参考时钟的参考时段内该参考时钟的边缘的数量的参考计数。这个控制电路可以至少部分地基于参考计数的预定义的子计数来提供与目标相位对应的控制信号。注意的是,预定义的子计数可以是可编程的或可调整的。此外,预定义的子计数可以由控制电路通过将参考计数数字地除以预定义的值来计算。此外,至少部分地基于控制信号,生成电路可以提供具有目标相位和占空比的边缘时钟。在一些实施例中,占空比可以不是50/50,并且可以通过至少部分地基于控制信号选择性地接通和关断门控环形振荡器来提供。

[0008] 注意的是,生成电路可以在时钟时段内并发地生成具有不同目标相位的多个边缘时钟。

[0009] 而且,可以周期性地校准生成电路。

[0010] 此外,集成电路可以包括第二生成电路,并且生成电路和第二生成电路可以交替地被校准并在正常操作模式下操作。

[0011] 此外,集成电路可以包括ADC,该ADC使用边缘时钟将第二输入信号转换成量化输出。在一些实施例中,ADC可以包括SAR ADC。

[0012] 另一个实施例提供了一种包括生成电路或集成电路的电子装置。

[0013] 另一个实施例提供了一种包括生成电路或集成电路的系统。

[0014] 另一个实施例提供了一种用于提供边缘时钟的方法。该方法包括由生成电路执行的操作中的至少一些。

[0015] 提供本发明内容是为了说明一些示例性实施例，以提供对本文描述的主题的一些方面的基本理解。因而，将认识到的是，上述特征是示例并且不应当被解释为以任何方式缩小本文描述的主题的范围或精神。从以下具体实施方式、附图和权利要求中，本文描述的主题的其它特征、方面和优点将变得清楚。

附图说明

[0016] 图1是根据本公开的一些实施例的门控环形振荡器的示例的框图。

[0017] 图2是图示根据本公开的一些实施例的在校准期间对输入时钟周期中的参考时钟周期的数量进行计数的示例的图。

[0018] 图3是图示根据本公开的一些实施例的在用具有75/25占空比的参考时钟进行校准期间对输入时钟周期中的参考时钟周期的数量进行计数的示例的图。

[0019] 图4是图示根据本公开的一些实施例的生成电路的示例的框图。

[0020] 图5A是图示根据本公开的一些实施例的数字可编程环形振荡器的示例的框图。

[0021] 图5B是图示根据本公开的一些实施例的数字可编程环形振荡器的示例的框图。

[0022] 图5C是图示根据本公开的一些实施例的数字可编程环形振荡器的示例的框图。

[0023] 图6是图示根据本公开的一些实施例的用于提供边缘时钟的方法的示例的流程图。

[0024] 注意的是，相同的附图标记贯穿所有附图指代对应的部分。而且，同一部分的多个实例由通过破折号与实例编号分开的共用前缀指定。

具体实施方式

[0025] 描述了一种包括生成电路的集成电路。在操作期间，生成电路可以在输入时钟的时钟时段内提供具有目标相位的边缘时钟，其中生成电路不包括DLL。例如，生成电路可以包括门控环形振荡器，该门控环形振荡器提供具有大于输入时钟的第二基频的第一基频的参考时钟。注意的是，门控环形振荡器可以是可编程的，以在预定义的值范围内调整第一基频。而且，生成电路可以包括控制电路，该控制电路确定在参考时钟的参考时段内该参考时钟的边沿的数量的参考计数。这个控制电路可以至少部分地基于参考计数的预定义的子计数来提供与输入时钟的时钟时段内的目标相位对应的控制信号。然后，至少部分地基于控制信号，生成电路可以提供具有目标相位和占空比的边缘时钟。在一些实施例中，占空比可以不是50/50，并且可以通过至少部分地基于控制信号选择性地接通和关断门控环形振荡器来提供。

[0026] 通过在不使用DLL的情况下提供边缘时钟，这些电路技术可以允许将生成电路缩放至更小的关键维度。而且，因为生成电路不包括DLL，所以生成电路可以更快地响应。此外，生成电路可以改善ADC的性能，例如，在更小的关键维度下。因此，生成电路和/或ADC可以用在多种系统、电子装置和应用中。

[0027] 我们现在描述电路技术和生成电路的实施例。在所公开的电路技术中，可以使用一个或多个数字电路来生成边缘。例如，全数字校准的延迟生成电路可以仅使用数字标准

电池。因此,生成电路可以不包括DLL。

[0028] 在校准的延迟生成电路中,可以使用门控环形振荡器(其是可以门控开或关的环形振荡器)来生成具有比输入时钟大的基频的参考时钟。例如,输入时钟可以具有100MHz的基频。图1呈现了图示根据本公开的一些实施例的门控环形振荡器100的示例的框图。值得注意的是,门控环形振荡器100可以提供参考振荡器(R0)时钟(其有时被称为“参考时钟”)并且可以使用使能信号来门控。

[0029] 然后,可以对参考时钟的参考时钟时段内经过或出现的较高频率时钟边缘的数量进行计数并记录或存储(例如,在非易失性存储器中)作为参考计数。例如,图2呈现了图示根据本公开的一些实施例的在校准期间对输入时钟周期中的参考时钟周期的数量进行计数的示例的框图。而且,图3呈现了图示根据本公开的一些实施例的在利用参考时钟进行校准期间对输入时钟周期中的参考时钟周期的数量进行计数的示例的图。注意的是,在图2中,一个输入时钟周期内有参考时钟的16个时钟周期。可替代地,在图3中,参考时钟具有75/25占空比,并且在一个输入时钟周期内有参考时钟的12个时钟周期。

[0030] 可以通过对参考计数的对应子计数进行计数来生成参考时钟时段内的期望相位。注意的是,可以使用数字除法将子计数数字地调整为参考时钟时段的期望分数。而且,门控环形振荡器可以用于顺序地:生成参考计数;创建子计数;以及然后在参考时钟周期的未使用部分期间门控关闭以节省电力。因此,门控环形振荡器可以仅在需要时使用,并且生成电路可以用于生成多个时钟和/或占空比。在一些实施例中,可以并发地生成多个时钟。

[0031] 例如,在初始化/校准之后,当期望75/25占空比时,可以通过将参考时钟时段除以0.75来获得对应的子计数。然后,环形振荡器可以被接通直到参考计数等于这个子计数,并且随后可以在参考时钟周期或时段的剩余部分被关断,从而提供75/25占空比。

[0032] 图4呈现了根据本公开的一些实施例的生成电路400的示例的框图。值得注意的是,生成电路400中的门控环形振荡器410可以提供参考时钟(R0-CLKOUT)。计数器412可以确定期望的参考计数(COUNT),该期望的参考计数被提供给有限状态机(FSM)414或控制逻辑,该FSM 414或控制逻辑可以使用使能信号来控制门控环形振荡器410,并且至少部分地基于输入时钟(CLK)和期望的相位或子计数(与计数修改器对应)使用重置和使能信号来控制计数器412。而且,FSM 414可以通过至少部分地基于参考计数控制(经由移位、加载和使能信号)移位寄存器416并且至少部分地基于由第一边缘检测/脉冲生成电路420提供的重置信号控制SR锁存器418来生成给定的边缘时钟(CLK_OUT)。例如,FSM 414可以将计数加载到移位寄存器中,并且可以使用参考时钟周期中的不同点作为边缘时钟的触发器。注意的是,移位寄存器416的输出可以被提供给第二边缘检测/脉冲生成电路422,该第二边缘检测/脉冲生成电路422设置SR锁存器418。在一些实施例中,温度计解码器424(其是指逻辑代码)或一元编码可以用于促进环形振荡器边缘计数的更快检测。注意的是,生成电路400中的组件中的至少一些可以包括在控制电路426中。

[0033] 在一些实施例中,生成电路400的校准可以仅要求参考时钟的单个参考时钟周期或参考时钟时段,以及稍多的参考时钟周期来设置状态机。因为生成电路400可以不包括DLL的“锁定环路”,所以它可以比基于DLL的生成电路更快地达到操作状态。

[0034] 注意的是,生成电路400可以校准工艺变化的影响,但仍可能受到电压和温度变化的影响。在一些实施例中,可编程长度环形振荡器可以用于帮助将参考时钟的基频保持在

工艺过程中的标称范围内,但代价是附加的校准周期。以这种方式,基频对于FSM 414或控制逻辑来说可能不会太慢(这可能不利地影响分辨率)或太快。这个能力可以允许生成电路400被数字编程以校正半导体管芯或集成电路上的工艺变化,并且因此获得更好的分辨率。图5A-图5C呈现了图示根据本公开的一些实施例的数字可编程环形振荡器的示例的框图。这些类型的数字可编程环形振荡器可以包括:可变驱动器强度、可变负载(诸如驱动器上的可变电容负载)和/或可变延迟(长度)元件。这些类型的环形振荡器中的两个或更多个的组合可以用在生成电路400(图4)中,诸如具有各自具有可变负载的可变延迟元件的环形振荡器,或者具有用于粗略延迟的可变延迟元件和用于精细延迟的可变负载的环形振荡器。

[0035] 可替代地或附加地,如果使用生成电路400(图4)的电子装置或系统有停机时间,那么可以使用周期性重新校准来跟踪电压或温度。但是,停机时间的量可以是最小的,因为可能只需要几个参考时钟周期。在一些实施例中,当没有停机时间时,双生成电路可以用于在校准与正常操作模式之间来回切换。

[0036] 在一些实施例中,由生成电路400(图4)提供的时钟输入周期的1/8可以用于SAR ADC输入跟踪信号。而且,可能需要上升边缘目标信号来标记在SAR跟踪信号之前发生的SAR转换的结束。因此,可以使用所公开的校准的延迟生成电路(其可以不限于单个时钟边缘生成)来生成目标信号和跟踪信号。

[0037] 在一些实施例中,可以有16-30个相位,这可以确定SAR ADC的数字转换的粒度(或位数或分辨率)。但是,使用更多环形振荡器周期可能限制转换电路的速度。可替代地或附加地,在门控环形振荡器中包括更多级可以指定生成电路400(图4)的相位数以及工艺、电压和温度变化。

[0038] 虽然前面对电路技术的讨论将门控环形振荡器示为选择性地接通或关断,但在其它实施例中,门控环形振荡器可以不被关断。代替地,由门控环形振荡器提供的特定边缘可以用于例如获得50/50以外的占空比。

[0039] 而且,虽然前面的讨论使用SAR ADC作为示例,但是所公开的电路技术可以与另一种类型的ADC、诸如另一种类型的交错ADC或流水线ADC一起使用。可替代地,在其它实施例中,电路技术可以在应用(包括没有ADC的应用)中使用以生成具有不同占空比和相位的时钟。

[0040] 在本讨论中,使用由生成电路400(图4)提供的边缘时钟执行的模数转换可以应用于多种输入信号。例如,输入信号可以包括帧。这个帧可以包括图像,其中生成电路中的一个或多个ADC可以接收与不同空间位置或区域对应的模拟输入。可替代地,在一些实施例中,诸如在扫描系统中,可以在一段时间间隔(诸如数毫秒)内逐渐捕获帧。因此,在这些实施例中,一个或多个ADC可以接收与在不同时间捕获的不同空间位置或区域对应的模拟输入。

[0041] 我们现在描述方法的实施例。图6呈现了图示用于使用生成电路、诸如生成电路400(图4)提供边缘时钟的方法600的示例的流程图。在操作期间,生成电路可以在输入时钟的时钟时段内提供具有目标相位的边缘时钟(操作610),其中生成电路不包括DLL。注意的是,提供(操作610)可以包括:使用门控环形振荡器提供具有大于输入时钟的第二基频的第一基频的参考时钟(操作612)。

[0042] 在方法600的一些实施例中,可以有附加的或更少的操作。而且,操作的次序可以

改变,和/或两个或更多个操作可以组合成一个操作。

[0043] 所公开的生成电路和电路技术可以是任何电子装置(或者可以包括在其中)。例如,电子装置可以包括:蜂窝电话或智能电话、平板计算机、膝上型计算机、笔记本计算机、个人或台式计算机、上网本、媒体播放器装置、电子图书装置、**MiFi®**装置、智能手表、可穿戴计算装置、便携式计算装置、消费者电子装置、接入点、路由器、交换机、通信装备、测试装备、车辆、船舶、飞机、汽车、卡车、公共汽车、摩托车、制造装备、农具、建筑装备或另一种类型的电子装置。

[0044] 虽然使用特定组件来描述生成电路和/或包括生成电路的集成电路的实施例,但是在替代实施例中,不同的组件和/或子系统可以存在于生成电路、包括生成电路的集成电路和/或一个或多个ADC中。因此,生成电路、包括生成电路的集成电路和/或一个或多个ADC的实施例可以包括更少的组件、附加的组件、不同的组件,可以将两个或更多个组件组合成单个组件,可以将单个组件分成两个或更多个组件,可以改变一个或多个组件的一个或多个位置,和/或者可以有不同类型的组件。

[0045] 而且,生成电路、包括生成电路的集成电路和/或一个或多个ADC的实施例中的电路和组件可以使用模拟和/或数字电路系统的任何组合来实现,包括:双极、PMOS和/或NMOS门或晶体管。此外,这些实施例中的信号可以包括具有大致离散值的数字信号和/或具有连续值的模拟信号。此外,组件和电路可以是单端的或差分的,并且电源可以是单极的或双极的。注意的是,前面实施例中的电耦合或连接可以是直接的或间接的。在前面的实施例中,与路由对应的单线可能指示一条或多条单线或路由。

[0046] 如前所述,集成电路可以实现电路技术的功能中的一些或全部。这个集成电路可以包括用于实现与电路技术相关联的功能的硬件和/或软件机制。

[0047] 在一些实施例中,用于设计包括本文描述的电路中的一个或多个的集成电路或集成电路的一部分的过程的输出可以是计算机可读介质,诸如例如磁带或者光盘或磁盘。可以用数据结构或其它描述电路系统的信息对计算机可读介质进行编码,这些数据结构或信息可以在物理上被实例化为集成电路或集成电路的部分。虽然可以使用各种格式进行此类编码,但这些数据结构通常以以下格式编写:Caltech中间格式(CIF)、Calma GDS II流格式(GDSII)、电子设计互换格式(EDIF)、OpenAccess (OA) 或Open Artwork系统互换标准(OASIS)。集成电路设计领域的技术人员可以从上面详述的类型的示意图以及对应的描述中开发出此类数据结构,并在计算机可读介质上编码数据结构。集成电路制造领域的技术人员可以使用此类编码的数据来制造包括本文所述的电路中的一个或多个的集成电路。

[0048] 虽然前面的实施例中的操作中的一些是在硬件或软件中实现的,但通常可以用各种配置和体系架构实现前面的实施例中的操作。因此,可以在硬件、软件或两者中执行前面的实施例中的操作中的一些或全部。例如,可以使用由处理器或集成电路中的固件执行的程序指令来实现电路技术中的操作中的至少一些。

[0049] 而且,虽然在前面的讨论中提供了数值的示例,但在其它实施例中使用不同的数值。因此,所提供的数值并不是要限制。

[0050] 在前面的描述中,我们提及“一些实施例”。注意的是,“一些实施例”描述所有可能的实施例的子集,但并不总是指定实施例的相同子集。

[0051] 前面的描述旨在使本领域任何技术人员都能够做出并使用本公开,并且是在特定

应用及其要求的上下文中提供的。而且,仅出于说明和描述的目的呈现了本公开的实施例的前面的描述。它们并非旨在详尽的或将本公开限制到所公开的形式。因而,对于本领域技术人员来说,在不偏离本公开的精神和范围的情况下,许多修改和变化将是清楚的,并且本文定义的一般原则可以应用于其它实施例和应用。此外,对前面的实施例的讨论并非旨在限制本公开。因此,本公开并非旨在限于所示的实施例,而是应当符合与本文公开的原理和特征一致的最宽广范围。

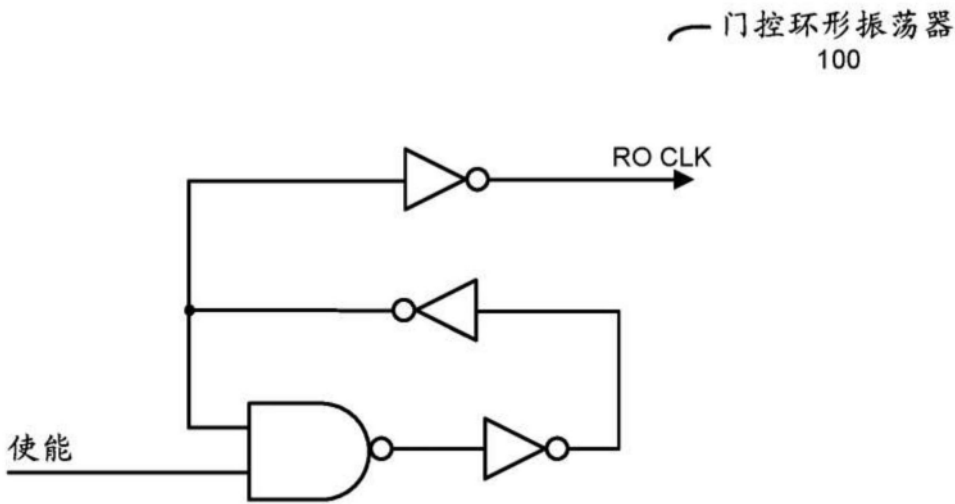


图1

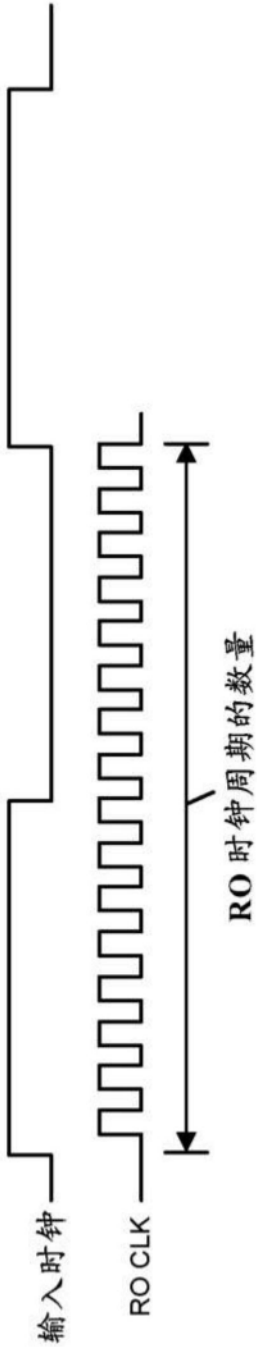


图2

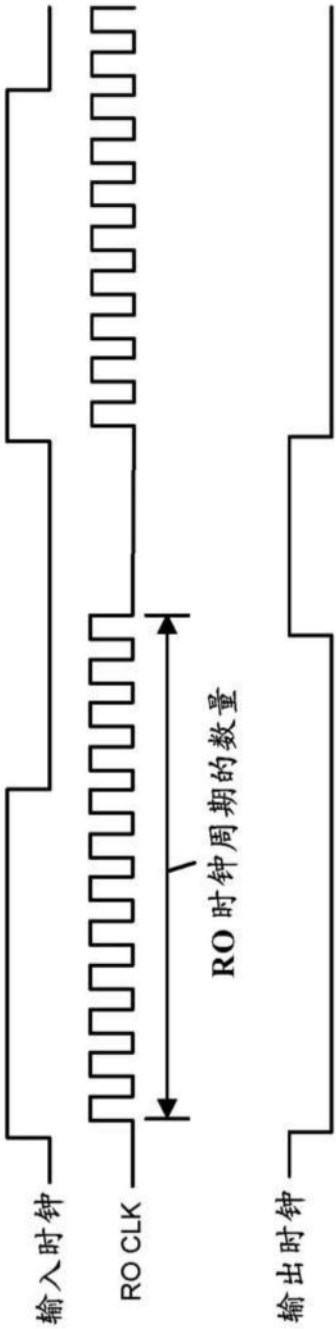


图3

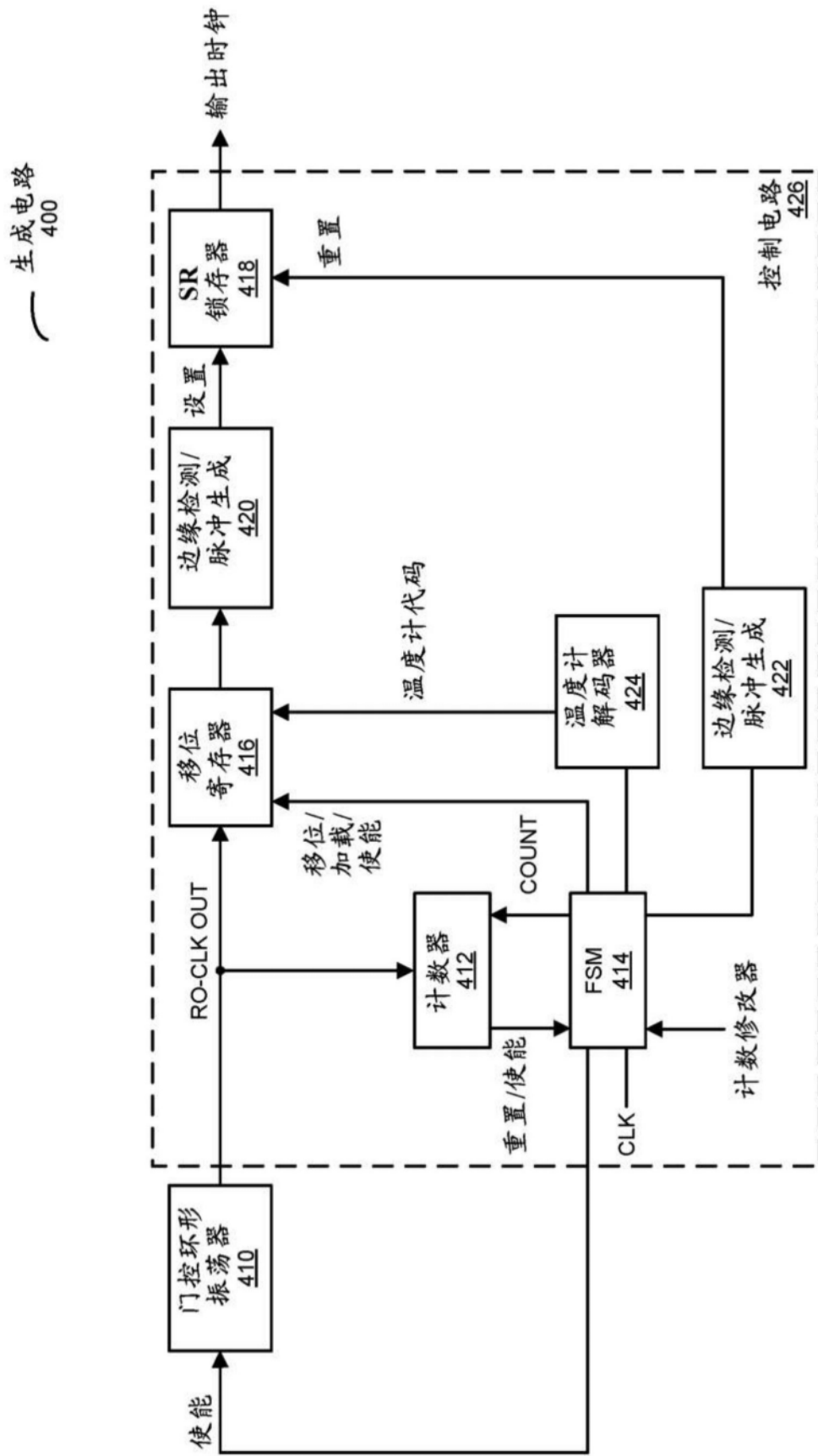


图4

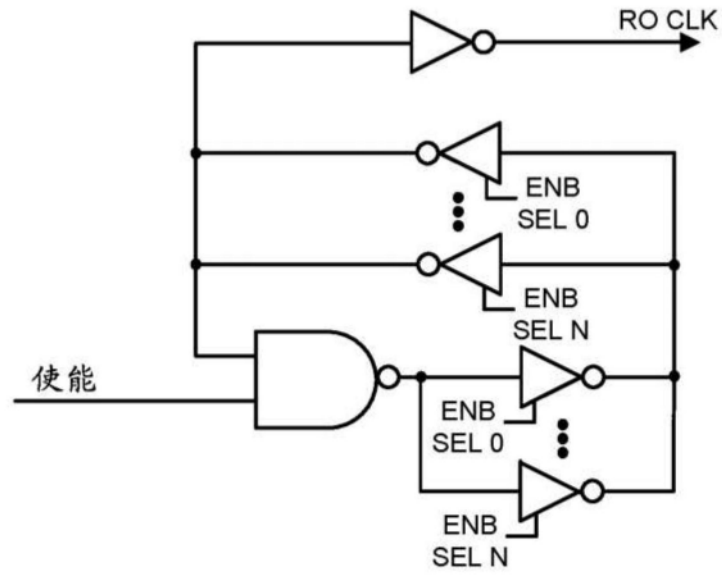


图5A

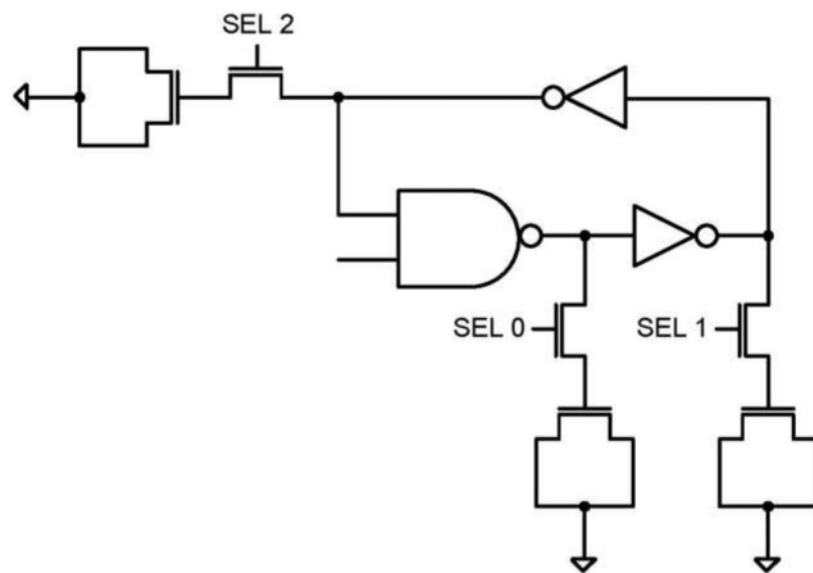


图5B

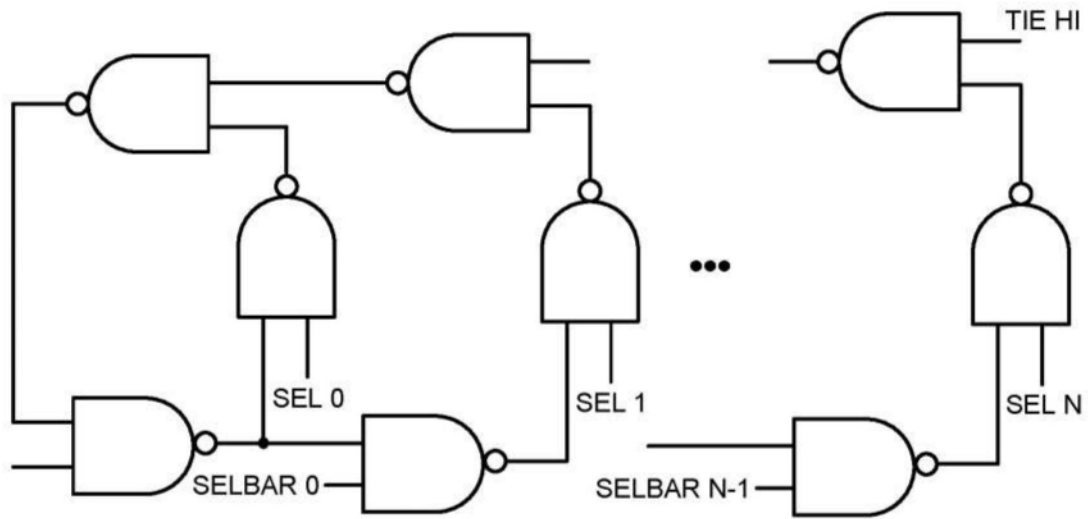


图5C



图6