



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년06월14일
(11) 등록번호 10-1275248
(24) 등록일자 2013년06월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2006-0052612
(22) 출원일자 2006년06월12일
심사청구일자 2011년06월13일
(65) 공개번호 10-2007-0118448
(43) 공개일자 2007년12월17일
(56) 선행기술조사문헌
KR1020050079718 A
KR1020060024234 A
KR1020050121357 A
KR1020050096567 A

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김성만
서울특별시 송파구 신천로 45, 장미아파트 25동 1001호 (신천동)
허명구
충청남도 천안시 서북구 백석3로 69, 2차 203동 802호 (백석동, 주공그린빌)
(뒷면에 계속)
(74) 대리인
오세준, 권혁수, 송윤호

전체 청구항 수 : 총 24 항

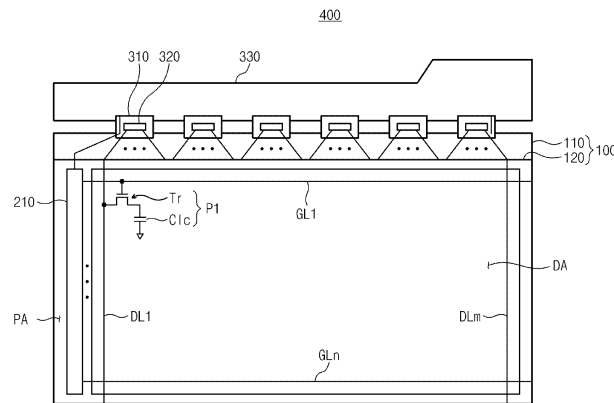
심사관 : 김민수

(54) 발명의 명칭 게이트 구동회로 및 이를 갖는 표시장치

(57) 요약

게이트 구동회로는 서로 종속적으로 연결된 다수의 스테이지를 포함하고, 각 스테이지에서 풀업부는 현재단 게이트 신호를 클럭만큼 풀업시키고, 풀다운부는 현재단 게이트 신호를 오프전압으로 방전시킨다. 풀업 구동부는 풀업부의 제어단(이하, 현재단 Q-노드)에 연결되어 풀업부를 턴-온 또는 턴-오프시킨다. 홀딩부는 현재단 게이트 신호를 오프전압의 레벨로 홀딩시키고, 현재단 인버터부는 클럭에 응답하여 홀딩부를 턴-온 또는 턴-오프시킨다. 리플 방지 커패시터는 현재단 Q-노드와 이전단 스테이지에 구비된 이전단 인버터부의 출력단 사이에 연결되어 이전단 인버터부의 출력신호에 응답하여 현재단 Q-노드의 리플을 방지한다. 따라서, 게이트 구동회로의 출력특성을 향상시킬 수 있다.

대표도



(72) 발명자

이종환

경기도 안양시 동안구 달안로 62, 602동 1705호 (비산동, 셋별아파트)

이홍우

충남 천안시 봉명동 청솔3차아파트 301동 906호

특허청구의 범위

청구항 1

종속적으로 연결된 다수의 스테이지로 이루어진 게이트 구동회로에서,
각 스테이지는,

현재단 게이트 신호를 제1 클럭으로 풀업시키는 풀업부;

현재단 캐리 신호를 상기 제1 클럭으로 풀업시키는 캐리부;

다음단 스테이지들 중 어느 하나로부터 다음단 게이트 신호를 입력받아 상기 현재단 게이트 신호를 오프전압으로 방전시키는 풀다운부;

상기 풀업부와 상기 캐리부의 제어단(이하, 현재단 Q-노드)에 연결되고, 이전단 스테이지들 중 어느 하나로부터 이전단 캐리신호를 입력받아 상기 풀업부와 상기 캐리부를 턴-온시키고, 상기 다음단 게이트신호에 응답하여 상기 풀업부와 상기 캐리부를 턴-오프시키는 풀업 구동부;

상기 현재단 게이트신호를 상기 오프전압의 레벨로 홀딩시키는 홀딩부;

상기 제1 클럭에 응답하여 상기 홀딩부를 턴-온 또는 턴-오프시키는 현재단 인버터부; 및

제1 단이 상기 현재단 Q-노드에 연결되고, 제2 단이 이전단 스테이지에 구비된 이전단 인버터부의 출력단에 연결되어 상기 이전단 인버터부의 출력신호에 응답하여 상기 현재단 Q-노드의 리플을 방지하는 리플 방지 커패시터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 2

제1항에 있어서, 상기 이전단 인버터부는,

상기 제1 클럭의 위상에 대해 반전된 위상을 갖는 제2 클럭을 입력받는 제어전극과 입력전극 및 상기 이전단 인버터부의 출력단에 연결된 출력전극으로 이루어져 상기 제2 클럭의 하이구간동안 상기 이전단 인버터부의 출력신호를 상승시키는 제1 인버터 트랜지스터;

상기 이전단 스테이지에 구비된 이전단 풀업부의 출력단 또는 상기 이전단 스테이지의 이전단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 이전단 인버터부의 출력단에 연결된 출력전극으로 이루어져, 상기 이전단 인버터부의 출력신호를 상기 오프전압의 레벨로 다운시키는 제2 인버터 트랜지스터; 및

상기 제1 클럭을 입력받는 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 이전단 인버터부의 출력단에 연결된 출력전극으로 이루어져, 상기 제1 클럭의 하이구간동안 상기 이전단 인버터부의 출력신호를 상기 오프전압의 레벨로 다운시키는 제3 인버터 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 3

제2항에 있어서, 상기 이전단 인버터부는 상기 제2 인버터 트랜지스터의 제어전극이 상기 이전단 풀업부의 출력단에 연결되고,

상기 이전단 스테이지의 이전단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 이전단 인버터부의 출력단에 연결된 출력전극으로 이루어진 제4 인버터 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 4

제1항에 있어서, 상기 이전단 인버터부는,

상기 제1 클럭의 위상에 대해 반전된 위상을 갖는 제2 클럭을 입력받는 입력전극, 제1 커패시터를 통해 상기 제2 클럭을 입력받는 제어전극 및 상기 이전단 인버터부의 출력단에 연결되며 제2 커패시터를 통해 상기 제어전극과 연결된 출력전극으로 이루어진 제5 인버터 트랜지스터;

상기 제2 클럭을 입력받는 제어전극과 입력전극 및 상기 제2 커패시터에 연결된 출력전극으로 이루어진 제6 인

버터 트랜지스터;

상기 이전단 스테이지에 구비된 이전단 풀업부의 출력단 또는 상기 이전단 스테이지의 이전단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 제6 인버터 트랜지스터의 출력전극에 연결된 출력전극으로 이루어진 제7 인버터 트랜지스터; 및

상기 제7 인버터 트랜지스터의 제어전극에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 이전단 인버터부의 출력단에 연결된 출력전극으로 이루어진 제8 인버터 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 5

제4항에 있어서, 상기 이전단 인버터부는 상기 제7 인버터 트랜지스터의 제어전극이 상기 이전단 풀업부의 출력단에 연결되고,

상기 이전단 스테이지의 이전단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 제6 인버터 트랜지스터의 출력전극에 연결된 출력전극으로 이루어진 제9 인버터 트랜지스터; 및

상기 이전단 스테이지의 이전단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 이전단 인버터부의 출력단에 연결된 출력전극으로 이루어진 제10 인버터 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 6

제4항에 있어서, 상기 이전단 인버터부는 상기 제1 클럭을 입력받는 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 이전단 인버터부의 출력단에 연결된 출력전극으로 이루어진 제11 인버터 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 7

제6항에 있어서, 상기 이전단 인버터부는 상기 제7 인버터 트랜지스터의 제어전극이 상기 이전단 풀업부의 출력단에 연결되고,

상기 이전단 스테이지의 이전단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 제6 인버터 트랜지스터의 출력전극에 연결된 출력전극으로 이루어진 제9 인버터 트랜지스터; 및

상기 이전단 스테이지의 이전단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 이전단 인버터부의 출력단에 연결된 출력전극으로 이루어진 제10 인버터 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 8

제1항에 있어서, 상기 홀딩부는 현재단 인버터부의 출력단에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 풀업부의 출력단에 연결된 출력전극으로 이루어진 홀딩 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 9

제1항에 있어서, 상기 풀업부는 상기 현재단 Q-노드에 연결된 제어전극, 상기 제1 클럭을 입력받는 입력전극 및 상기 현재단 게이트 신호를 출력하는 출력전극으로 이루어진 풀업 트랜지스터를 포함하고,

상기 캐리부는 상기 현재단 Q-노드에 연결된 제어전극, 상기 제1 클럭을 입력받는 입력전극 및 상기 현재단 캐리신호를 출력하는 출력전극으로 이루어진 캐리 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 10

제9항에 있어서, 상기 풀업 구동부는,

상기 이전단 캐리신호가 공통으로 제공되는 제어전극과 입력전극 및 상기 Q-노드에 연결된 출력전극으로 이루어진 버퍼 트랜지스터;

상기 풀업 트랜지스터의 제어전극과 출력전극과의 사이에 연결된 제1 커패시터;

상기 캐리 트랜지스터의 제어전극과 출력전극과의 사이에 연결된 제2 커패시터; 및

상기 다음단 게이트 신호가 제공되는 제어전극, 상기 오프전압이 인가되는 입력전극 및 상기 버퍼 트랜지스터의 출력전극에 연결된 출력전극으로 이루어진 방전 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 11

종속적으로 연결된 다수의 스테이지로 이루어진 게이트 구동회로에서,

각 스테이지는,

현재단 게이트 신호를 제1 클럭으로 풀업시키는 풀업부;

현재단 캐리 신호를 상기 제1 클럭으로 풀업시키는 캐리부;

다음단 스테이지들 중 어느 하나로부터 다음단 게이트 신호를 입력받아 상기 현재단 게이트 신호를 오프전압으로 방전시키는 풀다운부;

상기 풀업부와 상기 캐리부의 제어단(이하, 현재단 Q-노드)에 연결되고, 이전단 스테이지들 중 어느 하나로부터 이전단 캐리신호를 입력받아 상기 풀업부와 상기 캐리부를 턴-온시키고, 상기 다음단 게이트신호에 응답하여 상기 풀업부와 상기 캐리부를 턴-오프시키는 풀업 구동부;

상기 현재단 게이트신호를 상기 오프전압의 레벨로 홀딩시키는 홀딩부;

상기 제1 클럭에 응답하여 상기 홀딩부를 턴-온 또는 턴-오프시키는 현재단 인버터부; 및

제1 단이 상기 현재단 Q-노드에 연결되고, 제2 단이 다음단 스테이지에 구비된 다음단 인버터부의 출력단에 연결되어 상기 다음단 인버터부의 출력신호에 응답하여 상기 현재단 Q-노드의 리플을 방지하는 리플 방지 커패시터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 12

제11항에 있어서, 상기 다음단 인버터부는,

상기 제1 클럭의 위상에 대해 반전된 위상을 갖는 제2 클럭을 입력받는 제어전극과 입력전극 및 상기 다음단 인버터부의 출력단에 연결된 출력전극으로 이루어져 상기 제2 클럭의 하이구간동안 상기 다음단 인버터부의 출력신호를 상승시키는 제1 인버터 트랜지스터;

상기 다음단 스테이지에 구비된 다음단 풀업부의 출력단 또는 상기 다음단 스테이지의 다음단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 다음단 인버터부의 출력단에 연결된 출력전극으로 이루어져, 상기 다음단 인버터부의 출력신호를 상기 오프전압의 레벨로 다운시키는 제2 인버터 트랜지스터; 및

상기 제1 클럭을 입력받는 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 다음단 인버터부의 출력단에 연결된 출력전극으로 이루어져, 상기 제1 클럭의 하이구간동안 상기 다음단 인버터부의 출력신호를 상기 오프전압의 레벨로 다운시키는 제3 인버터 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 13

제12항에 있어서, 상기 다음단 인버터부는 상기 제2 인버터 트랜지스터의 제어전극이 상기 다음단 풀업부의 출력단에 연결되고,

상기 다음단 스테이지의 다음단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 다음단 인버터부의 출력단에 연결된 출력전극으로 이루어진 제4 인버터 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 14

제11항에 있어서, 상기 다음단 인버터부는,

상기 제1 클럭과 반전된 위상을 갖는 제2 클럭을 입력받는 입력전극, 제1 커패시터를 통해 상기 제2 클럭을 입력받는 제어전극 및 상기 다음단 인버터부의 출력단에 연결되며 제2 커패시터를 통해 상기 제어전극과 연결된

출력전극으로 이루어진 제5 인버터 트랜지스터;

상기 제2 클럭을 입력받는 제어전극과 입력전극 및 상기 제2 커패시터에 연결된 출력전극으로 이루어진 제6 인버터 트랜지스터;

상기 다음단 스테이지에 구비된 이전단 풀업부의 출력단 또는 상기 다음단 스테이지의 다음단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 제6 인버터 트랜지스터의 출력전극에 연결된 출력전극으로 이루어진 제7 인버터 트랜지스터; 및

상기 제7 인버터 트랜지스터의 제어전극에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 다음단 인버터부의 출력단에 연결된 출력전극으로 이루어진 제8 인버터 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 15

제14항에 있어서, 상기 다음단 인버터부는 상기 제7 인버터 트랜지스터의 제어전극이 상기 다음단 풀업부의 출력단에 연결되고,

상기 다음단 스테이지의 다음단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 제6 인버터 트랜지스터의 출력전극에 연결된 출력전극으로 이루어진 제9 인버터 트랜지스터; 및

상기 다음단 스테이지의 다음단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 다음단 인버터부의 출력단에 연결된 출력전극으로 이루어진 제10 인버터 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 16

제14항에 있어서, 상기 다음단 인버터부는 상기 제1 클럭을 입력받는 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 다음단 인버터부의 출력단에 연결된 출력전극으로 이루어진 제11 인버터 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 17

제16항에 있어서, 상기 다음단 인버터부는 상기 제7 인버터 트랜지스터의 제어전극이 상기 다음단 풀업부의 출력단에 연결되고,

상기 다음단 스테이지의 다음단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 제6 인버터 트랜지스터의 출력전극에 연결된 출력전극으로 이루어진 제9 인버터 트랜지스터; 및

상기 다음단 스테이지의 다음단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 다음단 인버터부의 출력단에 연결된 출력전극으로 이루어진 제10 인버터 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 18

제11항에 있어서, 상기 홀딩부는 현재단 인버터부의 출력단에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 풀업부의 출력단에 연결된 출력전극으로 이루어진 홀딩 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 19

게이트 신호와 데이터 신호에 응답하여 영상을 표시하는 표시부;

상기 표시부에 상기 데이터 신호를 제공하는 데이터 구동회로; 및

종속적으로 연결된 다수의 스테이지로 이루어져 상기 표시부에 상기 게이트 신호를 순차적으로 출력하는 게이트 구동회로를 포함하고,

상기 게이트 구동회로의 각 스테이지는,

현재단 게이트 신호를 제1 클럭으로 풀업시키는 풀업부;

현재단 캐리 신호를 상기 제1 클럭으로 풀업시키는 캐리부;

다음단 스테이지들 중 어느 하나로부터 다음단 게이트 신호를 입력받아 상기 현재단 게이트 신호를 오프전압으로 방전시키는 풀다운부;

상기 풀업부와 상기 캐리부의 제어단(이하, 현재단 Q-노드)에 연결되고, 이전단 스테이지들 중 어느 하나로부터 이전단 캐리신호를 입력받아 상기 풀업부와 상기 캐리부를 턴-온시키고, 상기 다음단 게이트신호에 응답하여 상기 풀업부와 상기 캐리부를 턴-오프시키는 풀업 구동부;

상기 현재단 게이트신호를 상기 오프전압의 레벨로 홀딩시키는 홀딩부;

상기 제1 클럭에 응답하여 상기 홀딩부를 턴-온 또는 턴-오프시키는 현재단 인버터부; 및

제1 단이 상기 현재단 Q-노드에 연결되고, 제2 단이 이전단 스테이지에 구비된 이전단 인버터부의 출력단에 연결되어 상기 이전단 인버터부의 출력신호에 응답하여 상기 현재단 Q-노드의 리플을 방지하는 리플 방지 커패시터를 포함하는 것을 특징으로 하는 표시장치.

청구항 20

제19항에 있어서, 상기 이전단 인버터부는,

상기 제1 클럭의 위상에 대해 반전된 위상을 갖는 제2 클럭을 입력받는 제어전극과 입력전극 및 상기 이전단 인버터부의 출력단에 연결된 출력전극으로 이루어져 상기 제2 클럭의 하이구간동안 상기 이전단 인버터부의 출력신호를 상승시키는 제1 인버터 트랜지스터;

상기 이전단 스테이지에 구비된 이전단 풀업부의 출력단 또는 상기 이전단 스테이지의 이전단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 이전단 인버터부의 출력단에 연결된 출력전극으로 이루어져, 상기 이전단 인버터부의 출력신호를 상기 오프전압의 레벨로 다운시키는 제2 인버터 트랜지스터; 및

상기 제1 클럭을 입력받는 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 이전단 인버터부의 출력단에 연결된 출력전극으로 이루어져, 상기 제1 클럭의 하이구간동안 상기 이전단 인버터부의 출력신호를 상기 오프전압의 레벨로 다운시키는 제3 인버터 트랜지스터를 포함하는 것을 특징으로 하는 표시장치.

청구항 21

제19항에 있어서, 상기 표시부는,

상기 게이트 신호를 순차적으로 입력받는 다수의 게이트 라인, 상기 데이터 신호를 입력받는 다수의 데이터 라인, 상기 게이트 신호에 응답하여 상기 데이터 신호를 출력하는 박막 트랜지스터 및 상기 데이터 신호를 입력받는 화소전극이 구비된 어레이 기관;

상기 어레이 기관과 대향하여 결합하고, 상기 화소전극과 마주하는 공통전극이 구비된 대향기관; 및

상기 어레이 기관과 상기 대향기관의 사이에 구비되어, 상기 화소전극과 상기 공통전극에 의해서 광 투과도가 제어되는 액정층을 포함하는 것을 특징으로 하는 표시장치.

청구항 22

제21항에 있어서, 상기 게이트 구동회로는 상기 박막 트랜지스터와 동일한 박막 공정을 통해서 상기 어레이 기관 상에 형성되는 것을 특징으로 하는 표시장치.

청구항 23

게이트 신호와 데이터 신호에 응답하여 영상을 표시하는 표시부;

상기 표시부에 상기 데이터 신호를 제공하는 데이터 구동회로; 및

중속적으로 연결된 다수의 스테이지로 이루어져 상기 표시부에 상기 게이트 신호를 순차적으로 출력하는 게이트 구동회로를 포함하고,

상기 게이트 구동회로의 각 스테이지는,

현재단 게이트 신호를 제1 클럭으로 풀업시키는 풀업부;

현재단 캐리 신호를 상기 제1 클럭으로 풀업시키는 캐리부;

다음단 스테이지들 중 어느 하나로부터 다음단 게이트 신호를 입력받아 상기 현재단 게이트 신호를 오프전압으로 방전시키는 풀다운부;

상기 풀업부와 상기 캐리부의 제어단(이하, 현재단 Q-노드)에 연결되고, 이전단 스테이지들 중 어느 하나로부터 이전단 캐리신호를 입력받아 상기 풀업부와 상기 캐리부를 턴-온시키고, 상기 다음단 게이트신호에 응답하여 상기 풀업부와 상기 캐리부를 턴-오프시키는 풀업 구동부;

상기 현재단 게이트신호를 상기 오프전압의 레벨로 홀딩시키는 홀딩부;

상기 제1 클럭에 응답하여 상기 홀딩부를 턴-온 또는 턴-오프시키는 현재단 인버터부; 및

제1 단이 상기 현재단 Q-노드에 연결되고, 제2 단이 다음단 스테이지에 구비된 다음단 인버터부의 출력단에 연결되어 상기 다음단 인버터부의 출력신호에 응답하여 상기 현재단 Q-노드의 리플을 방지하는 리플 방지 커패시터를 포함하는 것을 특징으로 하는 표시장치.

청구항 24

제23항에 있어서, 상기 다음단 인버터부는,

상기 제1 클럭의 위상에 대해 반전된 위상을 갖는 제2 클럭을 입력받는 제어전극과 입력전극 및 상기 다음단 인버터부의 출력단에 연결된 출력전극으로 이루어져 상기 제2 클럭의 하이구간동안 상기 다음단 인버터부의 출력신호를 상승시키는 제1 인버터 트랜지스터;

상기 다음단 스테이지에 구비된 다음단 풀업부의 출력단 또는 상기 다음단 스테이지의 다음단 Q-노드에 연결된 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 다음단 인버터부의 출력단에 연결된 출력전극으로 이루어져, 상기 다음단 인버터부의 출력신호를 상기 오프전압의 레벨로 다운시키는 제2 인버터 트랜지스터; 및

상기 제1 클럭을 입력받는 제어전극, 상기 오프전압을 입력받는 입력전극 및 상기 다음단 인버터부의 출력단에 연결된 출력전극으로 이루어져, 상기 제1 클럭의 하이구간동안 상기 다음단 인버터부의 출력신호를 상기 오프전압의 레벨로 다운시키는 제3 인버터 트랜지스터를 포함하는 것을 특징으로 하는 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0018] 본 발명은 게이트 구동회로 및 이를 갖는 표시장치에 관한 것으로, 더욱 상세하게는 게이트 구동회로의 출력 특성을 향상시킬 수 있는 게이트 구동회로 및 이를 갖는 표시장치에 관한 것이다.
- [0019] 일반적으로, 액정표시장치는 하부기판, 하부기판과 대향하여 구비되는 상부기판 및 하부기판과 상부기판과의 사이에 형성된 액정층으로 이루어져 영상을 표시하는 액정표시패널을 구비한다.
- [0020] 액정표시패널에는 다수의 게이트 라인, 다수의 데이터 라인, 다수의 게이트 라인과 다수의 데이터 라인에 연결된 다수의 화소가 구비된다. 액정표시패널에는 다수의 게이트 라인에 게이트 신호를 순차적으로 출력하기 위한 게이트 구동회로가 박막 공정을 통해 직접적으로 형성된다.
- [0021] 일반적으로, 게이트 구동회로는 다수의 스테이지가 종속적으로 연결되어 이루어진 하나의 쉬프트 레지스터로 이루어진다. 즉, 각 스테이지는 대응하는 게이트 라인에 게이트 전압을 출력하기 위해 다수의 구동 트랜지스터로 이루어진다. 구체적으로, 각 스테이지는 게이트 라인에 연결되어 게이트 전압을 출력하는 풀업 트랜지스터 및 다음단 스테이지의 입력단자에 연결되어 다음단 스테이지의 구동을 제어하는데 이용되는 캐리전압을 출력하는 캐리 트랜지스터를 포함한다. 따라서, 게이트 라인에 연결된 부하로 인해 다음단 스테이지에 왜곡된 신호가 인가되는 것을 방지함으로써, 게이트 구동회로의 구동불량을 방지할 수 있다.
- [0022] 그러나, 종래의 각 스테이지에서 풀업 트랜지스터와 캐리 트랜지스터의 제어단은 하나의 Q-노드에 공통적으로 연결된다. 구체적으로, Q-노드는 게이트 전압 및 캐리 전압이 하이 상태로 유지되는 1H 시간동안에는 턴-온전압

(즉, 문턱전압 이상의 전압)의 전위를 갖지만, 게이트 전압 및 캐리전압이 로우상태로 유지되는 (n-1)H 시간동안에는 턴-오프전압(즉, 문턱전압보다 작은 전압)의 전위를 유지되어야한다.

[0023] 그러나, 종래의 구조에서는 (n-1)H 시간 동안 게이트 구동회로로 제공되는 제1 및 제2 클럭에 의해서 Q-노드의 전위가 리플되는 현상이 발생한다. 이와 같이, Q-노드의 전위가 리플되면, (n-1)H 시간동안 상기한 풀업 및 캐리 트랜지스터를 턴-오프 상태로 홀딩시키는 능력이 저하되어 상기한 게이트 전압 및 캐리 전압에 리플이 출력될 수 있다.

발명이 이루고자 하는 기술적 과제

[0024] 따라서, 본 발명의 목적은 출력 특성을 개선하기 위한 게이트 구동회로를 제공하는 것이다.

[0025] 또한, 본 발명의 다른 목적은 상기한 게이트 구동회로를 구비하는 표시장치를 제공하는 것이다.

발명의 구성 및 작용

[0026] 본 발명에 따른 게이트 구동회로는 종속적으로 연결된 다수의 스테이지로 이루어지고, 각 스테이지는 풀업부, 캐리부, 풀다운부, 풀업 구동부, 홀딩부, 현재단 인버터부 및 리플 방지 커패시터를 포함한다. 상기 풀업부는 현재단 게이트 신호를 제1 클럭만큼 풀업시키고, 상기 캐리부는 현재단 캐리 신호를 상기 제1 클럭만큼 풀업시킨다. 상기 풀다운부는 다음단 스테이지들 중 어느 하나로부터 다음단 게이트 신호를 입력받아 상기 현재단 게이트 신호를 오프전압으로 방전시킨다.

[0027] 상기 풀업 구동부는 상기 풀업부와 상기 캐리부의 제어단(이하, 현재단 Q-노드)에 연결되고, 이전단 스테이지들 중 어느 하나로부터 이전단 캐리신호를 입력받아 상기 풀업부와 상기 캐리부를 턴-온시킨다. 또한, 상기 풀업 구동부는 상기 다음단 게이트신호에 응답하여 상기 풀업부와 상기 캐리부를 턴-오프시킨다.

[0028] 상기 홀딩부는 상기 현재단 게이트신호를 상기 오프전압의 레벨로 홀딩시킨다. 상기 현재단 인버터부는 상기 제1 클럭에 응답하여 상기 홀딩부를 턴-온 또는 턴-오프시킨다. 상기 리플 방지 커패시터는 제1 단이 상기 현재단 Q-노드에 연결되고, 제2 단이 이전단 스테이지에 구비된 이전단 인버터부의 출력단에 연결되어 상기 이전단 인버터부의 출력신호에 응답하여 상기 현재단 Q-노드의 리플을 방지한다.

[0029] 본 발명에 따른 게이트 구동회로는 종속적으로 연결된 다수의 스테이지로 이루어지고, 각 스테이지는 풀업부, 캐리부, 풀다운부, 풀업 구동부, 홀딩부, 현재단 인버터부 및 리플 방지 커패시터를 포함한다. 상기 풀업부는 현재단 게이트 신호를 제1 클럭만큼 풀업시키고, 상기 캐리부는 현재단 캐리 신호를 상기 제1 클럭만큼 풀업시킨다. 상기 풀다운부는 다음단 스테이지들 중 어느 하나로부터 다음단 게이트 신호를 입력받아 상기 현재단 게이트 신호를 오프전압으로 방전시킨다.

[0030] 상기 풀업 구동부는 상기 풀업부와 상기 캐리부의 제어단(이하, 현재단 Q-노드)에 연결되고, 이전단 스테이지들 중 어느 하나로부터 이전단 캐리신호를 입력받아 상기 풀업부와 상기 캐리부를 턴-온시킨다. 또한, 상기 풀업 구동부는 상기 다음단 게이트신호에 응답하여 상기 풀업부와 상기 캐리부를 턴-오프시킨다.

[0031] 상기 홀딩부는 상기 현재단 게이트신호를 상기 오프전압의 레벨로 홀딩시킨다. 상기 현재단 인버터부는 상기 제1 클럭에 응답하여 상기 홀딩부를 턴-온 또는 턴-오프시킨다. 상기 리플 방지 커패시터는 제1 단이 상기 현재단 Q-노드에 연결되고, 제2 단이 다음단 스테이지에 구비된 다음단 인버터부의 출력단에 연결되어 상기 다음단 인버터부의 출력신호에 응답하여 상기 현재단 Q-노드의 리플을 방지한다.

[0032] 본 발명에 따른 표시장치는 게이트 신호와 데이터 신호에 응답하여 영상을 표시하는 표시부, 상기 표시부에 상기 데이터 신호를 제공하는 데이터 구동회로, 및 종속적으로 연결된 다수의 스테이지로 이루어져 상기 표시부에 상기 게이트 신호를 순차적으로 출력하는 게이트 구동회로를 포함한다.

[0033] 상기 게이트 구동회로의 각 스테이지는 풀업부, 캐리부, 풀다운부, 풀업 구동부, 홀딩부, 현재단 인버터부 및 리플 방지 커패시터를 포함한다. 상기 풀업부는 현재단 게이트 신호를 제1 클럭만큼 풀업시키고, 상기 캐리부는 현재단 캐리 신호를 상기 제1 클럭만큼 풀업시킨다. 상기 풀다운부는 다음단 스테이지들 중 어느 하나로부터 다음단 게이트 신호를 입력받아 상기 현재단 게이트 신호를 오프전압으로 방전시킨다.

[0034] 상기 풀업 구동부는 상기 풀업부와 상기 캐리부의 제어단(이하, 현재단 Q-노드)에 연결되고, 이전단 스테이지들 중 어느 하나로부터 이전단 캐리신호를 입력받아 상기 풀업부와 상기 캐리부를 턴-온시킨다. 또한, 상기 풀업 구동부는 상기 다음단 게이트신호에 응답하여 상기 풀업부와 상기 캐리부를 턴-오프시킨다.

- [0035] 상기 홀딩부는 상기 현재단 게이트신호를 상기 오프전압의 레벨로 홀딩시킨다. 상기 현재단 인버터부는 상기 제 1 클럭에 응답하여 상기 홀딩부를 턴-온 또는 턴-오프시킨다. 상기 리플 방지 커패시터는 제1 단이 상기 현재단 Q-노드에 연결되고, 제2 단이 이전단 스테이지에 구비된 이전단 인버터부의 출력단에 연결되어 상기 이전단 인버터부의 출력신호에 응답하여 상기 현재단 Q-노드의 리플을 방지한다.
- [0036] 본 발명에 따른 표시장치는 게이트 신호와 데이터 신호에 응답하여 영상을 표시하는 표시부, 상기 표시부에 상기 데이터 신호를 제공하는 데이터 구동회로, 및 종속적으로 연결된 다수의 스테이지로 이루어져 상기 표시부에 상기 게이트 신호를 순차적으로 출력하는 게이트 구동회로를 포함한다.
- [0037] 상기 게이트 구동회로의 각 스테이지는 풀업부, 캐리부, 풀다운부, 풀업 구동부, 홀딩부, 현재단 인버터부 및 리플 방지 커패시터를 포함한다. 상기 풀업부는 현재단 게이트 신호를 제1 클럭만큼 풀업시키고, 상기 캐리부는 현재단 캐리 신호를 상기 제1 클럭만큼 풀업시킨다. 상기 풀다운부는 다음단 스테이지들 중 어느 하나로부터 다음단 게이트 신호를 입력받아 상기 현재단 게이트 신호를 오프전압으로 방전시킨다.
- [0038] 상기 풀업 구동부는 상기 풀업부와 상기 캐리부의 제어단(이하, 현재단 Q-노드)에 연결되고, 이전단 스테이지들 중 어느 하나로부터 이전단 캐리신호를 입력받아 상기 풀업부와 상기 캐리부를 턴-온시킨다. 또한, 상기 풀업 구동부는 상기 다음단 게이트신호에 응답하여 상기 풀업부와 상기 캐리부를 턴-오프시킨다.
- [0039] 상기 홀딩부는 상기 현재단 게이트신호를 상기 오프전압의 레벨로 홀딩시킨다. 상기 현재단 인버터부는 상기 제 1 클럭에 응답하여 상기 홀딩부를 턴-온 또는 턴-오프시킨다. 상기 리플 방지 커패시터는 제1 단이 상기 현재단 Q-노드에 연결되고, 제2 단이 다음단 스테이지에 구비된 다음단 인버터부의 출력단에 연결되어 상기 다음단 인버터부의 출력신호에 응답하여 상기 현재단 Q-노드의 리플을 방지한다.
- [0040] 이러한 게이트 구동회로 및 이를 갖는 표시장치에 따르면, 현재단 Q-노드와 이전단 또는 다음단 스테이지에 구비된 인버터부의 출력단과의 사이에 연결되어 현재단 Q-노드의 리플을 방지하는 리플 방지 커패시터는 이전단 또는 다음단 인버터에 의해서 제어됨으로써, 현재단 게이트 전압의 전압레벨이 감소하는 것을 방지할 수 있다.
- [0041] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0042] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 평면도이다.
- [0043] 도 1을 참조하면, 액정표시장치(400)는 영상을 표시하는 액정표시패널(100), 상기 액정표시패널(100)에 데이터 전압을 출력하는 다수의 데이터 구동칩(320) 및 상기 액정표시패널(100)에 게이트 전압을 출력하는 게이트 구동회로(210)를 포함한다.
- [0044] 상기 액정표시패널(100)은 하부기관(110), 상기 하부기관(110)과 마주보는 상부기관(120) 및 상기 하부기관(110)과 상기 상부기관(120)과의 사이에 개재된 액정층(미도시)으로 이루어진다. 상기 액정표시패널(100)은 영상을 표시하는 표시영역(DA), 상기 표시영역(DA)과 인접한 주변영역(PA)으로 이루어진다.
- [0045] 상기 표시영역(DA)에는 다수의 게이트 라인(GL1 ~ GLn) 및 상기 다수의 게이트 라인(GL1 ~ GLn)과 절연되어 교차하는 다수의 데이터 라인(DL1 ~ DLm)에 의해서 매트릭스 형태의 다수의 화소영역이 정의된다. 상기 각 화소영역에는 박막 트랜지스터(Tr) 및 액정 커패시터(C1c)로 이루어진 화소(P1)가 구비된다. 본 발명의 일 예로, 상기 박막 트랜지스터(Tr)의 게이트 전극은 제1 게이트 라인(GL1)에 전기적으로 연결되고, 소오스 전극은 제1 데이터 라인(DL1)에 전기적으로 연결되며, 드레인 전극은 상기 액정 커패시터(C1c)의 제1 전극인 화소전극에 전기적으로 연결된다.
- [0046] 상기 게이트 구동회로(210)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 일단부에 인접하여 상기 주변영역(PA)에 구비된다. 상기 게이트 구동회로(210)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 일단부에 전기적으로 연결되어 상기 다수의 게이트 라인(GL1 ~ GLn)에 상기 게이트 전압을 순차적으로 인가한다.
- [0047] 상기 다수의 데이터 라인(DL1 ~ DLm)의 일단부에 인접하여 상기 주변영역(PA)에는 다수의 테이프 캐리어 패키지(Tape Carrier Package: TCP)(310)가 부착된다. 상기 다수의 TCP(310) 상에는 상기 다수의 데이터 구동칩(320)이 실장된다. 상기 다수의 데이터 구동칩(320)은 상기 다수의 데이터 라인(DL1 ~ DLm)의 일단부에 전기적으로 연결되어 상기 다수의 데이터 라인(DL1 ~ DLm)에 상기 데이터 전압을 출력한다.
- [0048] 상기 액정표시장치(400)는 상기 게이트 구동회로(210)와 상기 다수의 데이터 구동칩(320)의 구동을 제어하기 위한 인쇄회로기판(330)을 더 구비한다. 상기 인쇄회로기판(330)은 상기 다수의 데이터 구동칩(320)의 구동을 제어하는 데이터측 제어신호와 영상 데이터를 출력하고, 상기 게이트 구동회로(210)의 구동을 제어하는 게이트측

제어신호를 출력한다. 상기 데이터측 제어신호와 영상 데이터는 상기 다수의 TCP(310)를 통해 상기 다수의 데이터 구동칩(320)으로 인가된다. 상기 게이트측 제어신호는 상기 게이트 구동회로(210)에 인접하는 TCP를 통해 상기 게이트 구동회로(210)로 인가된다.

- [0049] 도 2는 도 1에 도시된 게이트 구동회로의 블럭도이다.
- [0050] 도 2를 참조하면, 게이트 구동회로(210)는 서로 종속적으로 연결된 다수의 스테이지(SRC1 ~ SRCn+1)로 이루어진 하나의 쉬프트 레지스터(210a)를 포함한다. 각 스테이지는 제1 입력단자(IN1), 제1 및 제2 클럭단자(CK1, CK2), 제2 입력단자(IN2), 전압입력단자(Vin), 리셋단자(RE), 출력단자(OUT) 및 캐리단자(CR)를 포함한다.
- [0051] 상기 다수의 스테이지(SRC1 ~ SRCn+1)의 제1 입력단자(IN1)는 이전단 스테이지의 캐리단자(CR)에 전기적으로 연결되어 이전단 캐리전압을 입력받는다. 단, 상기 다수의 스테이지(SRC1 ~ SRCn+1) 중 첫번째 스테이지(SRC1)의 제1 입력단자(IN1)에는 상기 게이트 구동회로(210)의 구동을 개시하는 개시신호(STV)가 제공된다. 상기 다수의 스테이지(SRC1 ~ SRCn+1)의 제2 입력단자(IN2)는 다음단 스테이지의 출력단자(OUT)에 전기적으로 연결되어 다음단 게이트 전압을 입력받는다. 단, 상기 다수의 스테이지(SRC1 ~ SRCn+1) 중 마지막 스테이지(SRCn+1)의 제2 입력단자(IN2)에는 상기 개시신호(STV)가 제공된다.
- [0052] 상기 다수의 스테이지(SRC1 ~ SRCn+1) 중 홀수번째 스테이지(SRC1, SRC3, ... SRCn+1)의 제1 클럭단자(CK1)에는 제1 클럭(CKV)이 제공되고, 제2 클럭단자(CK2)에는 상기 제1 클럭(CKV)과 반전된 위상을 갖는 제2 클럭(CKVB)이 제공된다. 상기 다수의 스테이지(SRC1 ~ SRCn+1) 중 짝수번째 스테이지(SRC2, ... SRCn)의 제1 클럭단자(CK1)에는 상기 제2 클럭(CKVB)이 제공되고, 제2 클럭단자(CK2)에는 상기 제1 클럭(CKV)이 제공된다.
- [0053] 상기 다수의 스테이지(SRC1 ~ SRCn+1)의 전압입력단자(Vin)에는 오프전압(VSS)이 제공된다. 또한, 상기 마지막 스테이지(SRCn+1)의 출력단자(OUT)는 다수의 스테이지(SRC1 ~ SRCn+1)의 리셋단자(RE)에 전기적으로 연결된다.
- [0054] 상기 다수의 스테이지(SRC1 ~ SRCn)의 출력단자(OUT)들에는 다수의 게이트 라인(GL1, GL2, GL3, ... GLn)이 전기적으로 연결된다. 따라서, 상기 다수의 스테이지(SRC1 ~ SRCn)는 출력단자(OUT)들을 통해 게이트 전압을 순차적으로 출력하여 상기 다수의 게이트 라인(GL1 ~ GLn)으로 인가한다.
- [0055] 도 2에 도시된 바와 같이, 상기 쉬프트 레지스터(210a)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 제1 단부에 구비된다. 본 발명의 일 예로, 상기 게이트 구동회로(210)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 제2 단부에 구비되어 다음단 스테이지로부터 출력된 다음단 게이트 전압에 응답하여 현재단 게이트 라인을 상기 오프전압(VSS)으로 방전시키는 방전회로(210b)를 더 포함한다. 상기 방전회로(210b)는 상기 게이트 라인들(GL1 ~ GLn)의 개수와 동일한 개수의 방전 트랜지스터(NT15)를 포함하고, 상기 방전 트랜지스터(NT15)는 다음단 게이트 라인에 연결된 제어전극 및 오프전압(VSS)을 입력받는 입력전극 및 현재단 게이트 라인에 연결된 출력전극으로 이루어진다.
- [0056] 도 3은 도 2에 도시된 각 스테이지의 내부 회로도이다. 단, 도 3에서는 i번째 스테이지(SRCi)의 내부 회로를 도시하였다. 그러나, 게이트 구동회로의 각 스테이지는 서로 동일한 구성을 가지므로, 도 3에서는 상기한 i번째 스테이지(SRCi)에 관해서만 설명하고, 나머지 스테이지에 대한 설명은 생략한다. 여기서, i는 1보다 크고 n보다 작은 정수이다.
- [0057] 도 3을 참조하면, 각 스테이지는 풀업부(211), 캐리부(212), 폴다운부(213), 풀업 구동부(214), 리플 방지부(215), 홀딩부(216), i번째 인버터부(INn) 및 리셋부(217)를 포함한다.
- [0058] 상기 풀업부(211)는 상기 풀업 구동부(214)의 출력단(이하, i번째 Q-노드)(Qi)에 연결된 제어전극, 제1 클럭단자(CK1, 도 2에 도시됨)에 연결된 입력전극 및 출력단자(OUT, 도 2에 도시됨)에 연결된 출력전극으로 이루어진 풀업 트랜지스터(NT1)를 포함한다. 따라서, 상기 풀업 트랜지스터(NT1)는 상기 풀업 구동부(214)로부터 출력된 제어전압에 응답하여 상기 출력단자(OUT)로 출력되는 i번째 게이트 전압(Gi)을 제1 클럭단자(CK1)를 통해 공급되는 제1 클럭(CKV)만큼 풀-업시킨다. 상기 풀업 트랜지스터(NT1)는 한 프레임 중 상기 제1 클럭(CKV)의 하이구간인 1H 시간동안만 턴-온되어, 상기 1H 시간동안 상기 i번째 게이트 전압(Gi)을 하이 상태로 유지시킨다.
- [0059] 상기 캐리부(212)는 상기 i번째 Q-노드(Qi)에 연결된 제어전극, 상기 제1 클럭단자(CK1)에 연결된 입력전극 및 상기 캐리단자(CR)에 연결된 출력전극으로 이루어진 캐리 트랜지스터(NT2)를 포함한다. 따라서, 상기 캐리 트랜지스터(NT2)는 상기 풀업 구동부(214)로부터 출력된 제어전압에 응답하여 상기 캐리단자(CR)로 출력되는 i번째 캐리전압(Ci)을 상기 제1 클럭(CKV)만큼 풀-업시킨다. 상기 캐리 트랜지스터(NT2)는 한 프레임 중 상기 1H 시간동안만 턴-온되어, 상기 1H 시간동안 상기 i번째 캐리전압(Ci)을 하이 상태로 유지시킨다.

- [0060] 상기 풀다운부(213)는 다음단 게이트 전압(G_{i+1})이 공급되는 제2 입력단자(NT_2 , 도 2에 도시됨)에 연결된 제어 전극, 상기 전압입력단자(V_{in} , 도 2에 도시됨)에 연결된 입력전극 및 상기 출력단자(OUT)에 연결된 출력전극으로 이루어진 풀다운 트랜지스터(NT_3)를 포함한다. 따라서, 상기 풀다운 트랜지스터(NT_3)는 $i+1$ 번째 게이트 전압(G_{i+1})에 응답하여 상기 제1 클럭(CKV)만큼 풀업된 상기 i 번째 게이트 전압(G_i)을 상기 전압입력단자(V_{in})를 통해 공급된 오프전압(VSS)만큼 풀다운시킨다. 즉, 상기 풀다운 트랜지스터(NT_3)는 상기 1H 시간 이후에 턴온되어 상기 i 번째 게이트 전압(G_i)을 로우상태로 다운시킨다.
- [0061] 상기 풀업 구동부(214)는 버퍼 트랜지스터(NT_4), 제1 커패시터(C_1), 제2 커패시터(C_2), 방전 트랜지스터(NT_5)를 포함한다. 상기 버퍼 트랜지스터(NT_4)는 이전단 게이트 전압(G_{i-1})이 공급되는 상기 제1 입력단자(IN_1 , 도 2에 도시됨)에 공통으로 연결된 입력전극과 제어전극 및 상기 i 번째 Q-노드(Q_i)에 연결된 출력전극으로 이루어진다. 상기 제1 커패시터(C_1)는 상기 현재단 Q-노드(Q_i)와 상기 출력단자(OUT) 사이에 연결되고, 상기 제2 커패시터(C_2)는 상기 캐리 트랜지스터(NT_2)의 제어전극과 상기 캐리단자(CR)와의 사이에 연결된다. 한편, 상기 방전 트랜지스터(NT_5)는 상기 버퍼 트랜지스터(NT_4)의 출력전극에 연결된 입력전극, 상기 제2 입력단자(IN_2)에 연결된 제어전극 및 상기 전압입력단자(V_{in})에 연결된 출력전극으로 이루어진다.
- [0062] 상기 버퍼 트랜지스터(NT_4)가 $i-1$ 번째 캐리전압(C_{i-1})에 응답하여 턴-온되면, 상기 i 번째 Q-노드(Q_i)의 전위가 상기 $i-1$ 번째 캐리전압(C_{i-1}) 만큼 상승하고, 이후 상기 제1 클럭(CKV)의 하이구간(1H)동안 상기 제1 및 제2 커패시터(C_1, C_2)에 의해서 상기 i 번째 Q-노드(Q_i)의 전위가 부스트 업(Boost up)된다. 따라서, 상기 i 번째 Q-노드(Q_i)의 전위가 문턱전압 이상으로 상승하여 상기 풀업 트랜지스터(NT_1) 및 캐리 트랜지스터(NT_2)가 턴온된다. 따라서, 상기 제1 클럭(CKV)이 상기 출력단자(OUT) 및 캐리단자(CR)로 출력되어 상기 i 번째 게이트 전압(G_i)과 i 번째 캐리전압(C_i)은 하이 상태로 전환된다. 즉, 상기 i 번째 게이트 전압(G_i)과 i 번째 캐리전압(C_i)은 상기 제1 클럭(CKV)의 하이 구간(1H) 만큼 하이 상태를 유지한다.
- [0063] 이후, 상기 방전 트랜지스터(NT_5)가 $i+1$ 번째 게이트 전압(G_{i+1})에 응답하여 턴-온되면, 상기 제1 커패시터(C_1)에 충전된 전하는 상기 방전 트랜지스터(NT_5)를 통해 상기 오프전압(VSS)으로 방전된다. 따라서, 상기 i 번째 Q-노드(Q_i)의 전위는 상기 오프전압(VSS)으로 다운되고, 그 결과 상기 풀업 트랜지스터(NT_1) 및 캐리 트랜지스터(NT_2)는 턴-오프된다. 상기 방전 트랜지스터(NT_5)는 상기 1H 시간 이후에 턴온되어 상기 풀업 트랜지스터(NT_1) 및 캐리 트랜지스터(NT_2)를 턴-오프시킨다. 따라서, 상기 방전 트랜지스터(NT_5)는 상기 출력단자(OUT) 및 캐리단자(CR)로 하이 상태의 i 번째 게이트 전압(G_i) 및 i 번째 캐리전압(C_i)이 각각 출력되지 않도록 차단하는 역할을 수행한다.
- [0064] 한편, 상기 리플 방지부(215)는 제1 내지 제3 리플 방지 트랜지스터(NT_6, NT_7, NT_8)로 이루어져 상기 한 프레임 중 상기 1H 시간을 제외한 나머지 시간(이하, $(n-1)H$)동안 상기 i 번째 게이트 전압(G_i) 및 i 번째 캐리전압(C_i)이 상기 제1 또는 제2 클럭($CKV, CKVB$)에 의해서 리플되는 것을 방지한다.
- [0065] 상기 제1 리플 방지 트랜지스터(NT_6)는 상기 제1 클럭단자(CK_1)에 연결된 제어전극, 상기 출력단자(OUT)에 연결된 입력전극 및 상기 i 번째 Q-노드(Q_i)에 연결된 출력전극을 포함한다. 상기 제2 리플 방지 트랜지스터(NT_7)는 제2 클럭단자(CK_2 , 도 2에 도시됨)에 연결된 제어전극, 상기 제1 입력단자(IN_1)에 연결된 입력전극 및 상기 i 번째 Q-노드(Q_i)에 연결된 출력전극으로 이루어진다. 상기 제3 리플 방지 트랜지스터(NT_8)는 상기 제2 클럭단자(CK_2)에 연결된 제어전극, 상기 출력단자(OUT)에 연결된 입력전극 및 상기 전압입력단자(V_{in})에 연결된 출력전극으로 이루어진다.
- [0066] 상기 제1 리플 방지 트랜지스터(NT_6)는 상기 $(n-1)H$ 시간동안 상기 제1 클럭(CKV)에 응답하여 상기 출력단자(OUT)로부터 출력된 현재단 게이트 전압(G_i , 오프전압(VSS)과 동일한 전압레벨을 가짐)을 상기 i 번째 Q-노드(Q_i)로 제공한다. 따라서, 상기 $(n-1)H$ 시간 중 상기 제1 클럭(CKV)의 하이구간에서 상기 i 번째 Q-노드(Q_i)의 전위는 상기 오프전압(VSS)으로 유지된다. 이로써, 상기 제1 리플 방지 트랜지스터(NT_6)는 상기 $(n-1)H$ 시간 중 상기 제1 클럭(CKV)의 하이구간동안 상기 풀업 및 캐리 트랜지스터(NT_1, NT_2)가 턴-온되는 것을 방지한다.
- [0067] 상기 제2 리플 방지 트랜지스터(NT_7)는 상기 $(n-1)H$ 시간동안 제2 클럭단자(CK_2)를 통해 제공된 제2 클럭($CKVB$)에 응답하여 상기 $i-1$ 번째 캐리전압(C_{i-1} , 상기 오프전압(VSS)과 동일한 전압레벨을 가짐)을 상기 i 번째 Q-노드(Q_i)로 제공한다. 따라서, 상기 $(n-1)H$ 시간 중 상기 제2 클럭($CKVB$)의 하이구간에서 상기 i 번째 Q-노드(Q_i)의 전위는 상기 오프전압(VSS)으로 유지된다. 이로써, 상기 제2 리플 방지 트랜지스터(NT_7)는 상기 $(n-1)H$ 시간 중 상기 제2 클럭($CKVB$)의 하이구간동안 상기 풀업 및 캐리 트랜지스터(NT_1, NT_2)가 턴-온되는 것을 방지한다.
- [0068] 상기 제3 리플 방지 트랜지스터(NT_8)는 상기 제2 클럭($CKVB$)에 응답하여 상기 i 번째 게이트 전압(G_i)을 상기 오

프전압(VSS)으로 방전시킨다. 따라서, 상기 제3 리플 방지 트랜지스터(NT8)는 상기 (n-1)H 시간 중 상기 제2 클럭(CKVB)의 하이구간동안 상기 i번째 게이트 전압(Gi)을 상기 오프전압(VSS)으로 유지시킨다.

[0069] 상기 리플 방지부(215)는 제1 단이 상기 i번째 Q-노드(Qi)에 연결되고, 제2 단이 i-1번째 스테이지(SRCi-1)에 구비된 i번째 인버터부(INi-1)의 출력단에 연결된 리플 방지 커패시터(C3)를 더 포함한다.

[0070] 한편, 상기 홀딩부(216)는 상기 i번째 인버터부(INi)의 출력단에 연결된 제어전극, 상기 전압입력단자(Vin)에 연결된 입력전극 및 상기 출력단자(OUT)에 연결된 출력전극으로 이루어진 홀딩 트랜지스터(NT9)를 포함한다.

[0071] 상기 i번째 인버터부(INi)는 제1, 제2 및 제3 인버터 트랜지스터(INT1, INT2, INT3)으로 이루어진다. 상기 i번째 인버터부(INi)의 출력단은 상기 홀딩 트랜지스터(NT9)의 제어전극에 연결되어 상기 홀딩 트랜지스터(NT9)의 온/오프를 제어하고, 다음단 스테이지(SRCi+1)에 구비된 리플 방지 커패시터(C3)의 제2 단에 연결되어 상기 리플 방지 커패시터(C3)의 충/방전을 제어한다.

[0072] 구체적으로, 상기 제1 인버터 트랜지스터(INT1)는 상기 제1 클럭단자(CK1)에 공통적으로 연결되어 제1 클럭(CKV)을 입력받는 입력전극과 제어전극, 상기 홀딩 트랜지스터(NT9)의 제어전극에 연결된 출력전극(이하, 상기 i번째 인버터부(INi)의 출력단)으로 이루어진다. 상기 제2 인버터 트랜지스터(INT2)는 i번째 게이트 전압(Gi)이 출력되는 상기 출력단자(OUT)에 연결된 제어전극, 상기 전압입력단자(Vin)에 연결되어 상기 오프전압(VSS)을 입력받는 입력전극 및 상기 i번째 인버터부(INi)의 출력단에 연결된 출력전극을 포함한다. 본 발명의 다른 일 예로, 상기 제2 인버터 트랜지스터(INT2)의 제어전극은 상기 i번째 Q-노드(Qi)에 연결될 수도 있다. 상기 제3 인버터 트랜지스터(INT3)는 상기 제2 클럭단자(CK2)에 연결되어 상기 제2 클럭(CKVB)을 입력받는 제어전극, 상기 전압입력단자(Vin)에 연결되어 상기 오프전압(VSS)을 입력받는 입력전극 및 상기 i번째 인버터부(INi)의 출력단에 연결된 출력전극으로 이루어진다.

[0073] 상기 제1 인버터 트랜지스터(INT1)는 상기 제1 클럭(CKV)의 하이구간동안 턴-온되어 상기 제1 클럭(CKV)을 출력한다. 상기 제2 인버터 트랜지스터(INT2)는 상기 i번째 게이트 전압(Gi)이 하이 상태일때 턴-온되어 상기 제1 인버터 트랜지스터(INT1)로부터 출력된 상기 제1 클럭(CKV)을 상기 오프전압(VSS)으로 방전시킨다. 따라서, 상기 홀딩 트랜지스터(NT9)의 제어전극에는 상기 오프전압(VSS)이 제공되어 상기 i번째 게이트 전압(Gi)이 하이 상태인 1H 시간동안 상기 홀딩 트랜지스터(NT9)는 턴-오프된다.

[0074] 이후, 상기 i번째 게이트 전압(Gi)이 로우상태로 전환되면, 상기 제2 인버터 트랜지스터(INT2)가 턴-오프되고, 그 결과 상기 제1 인버터 트랜지스터(INT1)로부터 출력된 제1 클럭(CKV)이 상기 홀딩 트랜지스터(NT9)의 제어전극으로 제공되어 상기 홀딩 트랜지스터(NT9)가 턴-온된다. 따라서, 상기 i번째 게이트 전압(Gi)은 상기 홀딩 트랜지스터(NT9)에 의해서 상기 오프전압(VSS)으로 유지될 수 있다.

[0075] 한편, 상기 제3 인버터 트랜지스터(INT3)는 상기 제2 클럭(CKVB)에 응답하여 턴-온되어, 상기 제1 클럭(CKV)의 로우구간동안 상기 i번째 인버터부(INi)의 출력단에 상기 오프전압(VSS)을 공급한다.

[0076] 도 3에 도시된 바와 같이, 상기 i번째 인버터부(INi)는 i+1번째 스테이지(SRCi+1)에 구비된 리플 방지 커패시터(C3)의 제2 단에 연결된다. 상기 i+1번째 스테이지(SRCi+1)에 구비된 풀업 트랜지스터(NT1)의 제어전극과 입력전극과의 사이에는 기생 커패시터(Cp)가 형성된다. 이때, 상기 풀업 트랜지스터(NT1)의 입력전극에는 제2 클럭(CKVB)이 제공되고, 상기 리플 방지 커패시터(C3)의 제2 단에는 상기 i번째 인버터부(INi)로부터 출력된 상기 제1 클럭(CKV)이 공급된다.

[0077] 상기 기생 커패시터(Cp)는 상기 제2 클럭(CKVB)에 의해서 상기 풀업 트랜지스터(NT1)의 제어전극(이하, i+1번째 Q-노드(Qi+1))의 리플의 원인이 된다. 이때, 상기 리플 방지 커패시터(C3)는 상기 제2 클럭(CKVB)과 반전된 위상을 갖는 제1 클럭(CKV)을 입력받으므로, 상기 i+1번째 Q-노드(Qi+1)의 리플을 상쇄시킨다.

[0078] 단, 상기 i번째 인버터부(INi)는 상기 i번째 게이트 전압(Gi)이 하이 상태로 발생하는 i번째 1H 구간 뿐만 아니라, 그 전/후 1H 시간동안(i-1번째 1H 구간 및 i+1번째 1H 구간)은 상기 오프전압(VSS)을 출력한다. 따라서, 상기 i+1번째 게이트 전압(Gi+1)이 하이 상태로 발생하는 상기 i+1번째 1H 시간동안 상기 i+1번째 Q-노드(Qi+1)가 상기 오프전압(VSS)의 전위를 갖는 것을 방지한다.

[0079] 결과적으로, 상기 i+1번째 스테이지(SRCi+1)에 구비된 리플 방지 커패시터(C3)는 i번째 인버터부(INi)에 연결되고, i번째 인버터부(INi)로 공급되는 i번째 게이트 전압 또는 i번째 Q-노드(Qi)의 전위에 따라 제어된다. 따라서, 상기 i번째 인버터부(INi)는 (n-1)H 구간동안은 상기 i+1번째 Q-노드(Qi+1)의 리플을 방지하면서 1H 구간동안은 상기 i+1번째 게이트 전압(Gi+1)의 전압 레벨이 상기 리플 방지 커패시터(C3)에 의해서 낮아지는 문제를

방지할 수 있다.

- [0080] 한편, 상기 $i-1$ 번째 스테이지(SRC $i-1$)에 구비된 $i-1$ 번째 인버터부(IN $i-1$)는 상기 i 번째 인버터부(IN i)와 동일한 구성으로 이루어진다. 즉, 상기 $i-1$ 번째 인버터부(IN $i-1$)는 상기 i 번째 스테이지(SRC i)에 구비된 상기 리플 방지 트랜지스터(C3)의 제2 단에 연결되고, $i-1$ 번째 게이트 전압 또는 $i-1$ 번째 Q-노드(Q $i-1$)의 전위에 따라 상기 제2 클럭(CKVB)을 출력함으로써, 상기 리플 방지 트랜지스터(C3)를 충전 또는 방전시킨다.
- [0081] 구체적으로, 상기 $i-1$ 번째 인버터부(IN $i-1$)는 상기 $i-1$ 번째 게이트 전압(G $i-1$)이 하이 상태로 발생하는 $i-1$ 번째 1H 구간 뿐만 아니라, 그 전/후 1H 시간동안($i-2$ 번째 1H 구간 및 i 번째 1H 구간)은 상기 오프전압(VSS)을 출력한다. 따라서, 상기 i 번째 게이트 전압(G i)이 하이 상태로 발생하는 상기 i 번째 1H 시간동안 상기 i 번째 Q-노드(Q i)가 상기 오프전압(VSS)의 전위를 갖는 것을 방지한다.
- [0082] 따라서, 상기 $i-1$ 번째 인버터부(IN $i-1$)는 $(n-1)$ H 구간동안은 상기 i 번째 Q-노드(Q i)의 리플을 방지하면서 1H 구간동안은 상기 i 번째 게이트 전압(G i)의 전압 레벨이 상기 리플 방지 커패시터(C3)에 의해서 낮아지는 문제를 방지할 수 있다.
- [0083] 이후, 도 4 내지 도 9를 참조하여 상기 $i-1$ 번째 인버터부(IN $i-1$)의 다양한 실시예를 구체적으로 설명하기로 한다.
- [0084] 한편, 상기 리셋부(218)는 리셋단자(RE)에 연결된 제어전극, 상기 풀업 트랜지스터(NT1)의 제어전극에 연결된 입력전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진 리셋 트랜지스터(NT14)를 포함한다. 상기 리셋 트랜지스터(NT14)는 상기 리셋단자(RE, 도 2에 도시됨)를 통해 입력된 마지막 스테이지(SRC $n+1$, 도 2에 도시됨)로부터 출력된 마지막 캐리전압(C $n+1$)에 응답하여 상기 제1 입력단자(IN1)를 통해 입력된 노이즈를 상기 오프전압(VSS)으로 방전시킨다. 따라서, 상기 풀업 및 캐리 트랜지스터(NT1, NT2)는 상기 마지막 스테이지(SRC $n+1$)의 마지막 캐리전압(C $n+1$)에 응답하여 턴-오프된다. 결과적으로, 상기 마지막 캐리전압(C $n+1$)은 이전단에 존재하는 n 개의 스테이지의 리셋단자(RE)로 제공되어 n 개의 스테이지의 풀업 및 캐리 트랜지스터(NT1, NT2)를 턴-오프시켜, n 개의 스테이지를 리셋시킨다.
- [0085] 도 4는 본 발명의 다른 실시예에 따른 $i-1$ 번째 인버터부의 등가 회로도이고, 도 5는 도 4에 도시된 $i-1$ 번째 인버터부의 입/출력신호를 나타낸 파형도이다.
- [0086] 도 4를 참조하면, 본 발명의 다른 실시예에 따른 이전단 인버터부(IN $n-1$)는 제1, 제2, 제3 및 제4 인버터 트랜지스터(INT1, INT2, INT3, INT4)으로 이루어진다. 상기 이전단 인버터부(IN $n-1$)의 출력단은 현재단 스테이지(SRC i , 도 3에 도시됨)에 구비된 리플 방지 커패시터(C3)의 제2 단에 전기적으로 연결된다.
- [0087] 상기 제1 인버터 트랜지스터(INT1)는 제2 클럭(CKVB)을 입력받는 입력전극과 제어전극, 상기 리플 방지 커패시터(C3)의 제2 단에 연결된 출력전극으로 이루어진다. 상기 제2 인버터 트랜지스터(INT2)는 이전단 게이트 전압(G i)을 입력받는 제어전극, 오프전압(VSS)을 입력받는 입력전극 및 상기 리플 방지 커패시터(C3)의 제2 단에 연결된 출력전극으로 이루어진다. 상기 제3 인버터 트랜지스터(INT3)는 제1 클럭(CKV)을 입력받는 제어전극, 상기 오프전압(VSS)을 입력받는 입력전극 및 상기 리플 방지 커패시터(C3)의 제2 단에 연결된 출력전극으로 이루어진다. 상기 제4 인버터 트랜지스터(INT4)는 이전단 스테이지(SRC $i-1$)의 이전단 Q-노드(Q $i-1$)에 연결된 제어전극 및 상기 오프전압(VSS)을 입력받는 입력전극 및 상기 리플 방지 커패시터(C3)의 제2 단에 연결된 출력전극으로 이루어진다.
- [0088] 도 5에 도시된 바와 같이, 상기 제1 인버터 트랜지스터(INT1)는 상기 제2 클럭(CKVB)의 하이구간동안 턴-온되어 상기 제2 클럭(CKVB)을 출력한다.
- [0089] 상기 $i-1$ 번째 게이트 전압(G $i-1$)이 하이 상태로 출력되는 $i-1$ 번째 1H구간(1H($i-1$))구간동안 상기 제2 인버터 트랜지스터(INT2)가 턴-온되어 상기 제1 인버터 트랜지스터(INT1)로부터 출력된 상기 제2 클럭(CKVB)을 상기 오프전압(VSS)으로 방전시킨다. 또한, 상기 $i-1$ 번째 Q-노드(Q $i-1$)의 전위가 상승하면 상기 제4 인버터 트랜지스터(INT4)가 턴-온되어 상기 $i-1$ 번째 인버터부(IN $i-1$)의 출력단의 전위가 상기 오프전압(VSS)레벨로 유지된다.
- [0090] 한편, 상기 제3 인버터 트랜지스터(INT3)는 상기 제1 클럭(CKV)에 응답하여 턴-온되어, 상기 제2 클럭(CKVB)의 로우구간동안 상기 $i-1$ 번째 인버터부(IN $i-1$)의 출력단에 상기 오프전압(VSS)을 공급한다. 즉, 상기 $i-1$ 번째 인버터부(IN $i-1$)의 출력단에는 i 번째 게이트 전압(G i)이 하이 상태로 출력되는 i 번째 1H구간(1H(i))동안 상기 오프전압(VSS)이 출력된다.
- [0091] 따라서, 상기 $i-1$ 번째 인버터부(IN $i-1$)는 상기 i 번째 1H구간(1H(i))동안 i 번째 스테이지(SRC i)에 구비된 리플

방지 커패시터(C3)에 상기 제2 클럭(CKVB)이 공급되지 못하도록 차단한다. 그 결과 상기 i번째 1H 구간(1H(i)) 동안 상기 i번째 게이트 전압(Gi)의 전압 레벨이 상기 리플 방지 커패시터(C3)에 의해서 낮아지는 것을 방지할 수 있다.

[0092] 이후, 로우 상태의 상기 i-1번째 게이트 전압(Gi-1)에 응답하여 상기 제2 인버터 트랜지스터(INT2)가 턴-오프되면, 상기 제1 인버터 트랜지스터(INT1)로부터 출력된 제2 클럭(CKV)이 상기 i-1번째 인버터부(INi-1)의 출력단으로부터 출력된다. 따라서, 상기 i-1번째 인버터부(INi-1)는 상기 i번째 스테이지(SRCi)의 리플 방지 커패시터(C3)에 상기 제2 클럭(CKVB)을 제공하여, 상기 i번째 스테이지(SRCi)의 i번째 Q-노드(Qi)가 리플되는 것을 방지할 수 있다.

[0093] 도 6은 본 발명의 또 다른 실시예에 따른 i-1번째 인버터부의 등가 회로도이다.

[0094] 도 6을 참조하면, 본 발명의 또 다른 실시예에 따른 i-1번째 인버터부(INn-1)는 제5, 제6, 제7 및 제8 인버터 트랜지스터(INT5, INT6, INT7, INT8), 제4 및 제5 커패시터(C4, C5)로 이루어진다. 상기 i-1번째 인버터부(INi-1)의 출력단은 i번째 스테이지(SRCi, 도 3에 도시됨)에 구비된 리플 방지 커패시터(C3)의 제2 단에 전기적으로 연결된다.

[0095] 상기 제5 인버터 트랜지스터(INT5)는 제2 클럭(CKVB)을 공통으로 입력받는 제어전극과 입력전극 및 상기 i-1번째 인버터부(INi-1)의 출력단에 연결된 출력전극을 포함한다. 상기 제6 인버터 트랜지스터(INT6)는 상기 제2 클럭(CKVB)을 입력받는 입력전극 및 상기 제4 커패시터(C4)를 통해 상기 입력전극과 연결된 제어전극 및 상기 제5 커패시터(C5)를 통해 상기 제어전극과 연결되고 상기 i-1번째 인버터(INn-1)의 출력단에 연결된 출력전극으로 이루어진다.

[0096] 또한, 상기 제7 인버터 트랜지스터(INT7)는 상기 i-1번째 게이트 전압(Gi-1)을 입력받거나 또는 i-1번째 Q-노드(Qi-1)에 연결된 제어전극, 오프전압(VSS)을 입력받는 입력전극 및 상기 제5 인버터 트랜지스터(INT5)의 출력전극에 연결된 출력전극을 포함한다. 상기 제8 인버터 트랜지스터(INT8)는 상기 제7 인버터 트랜지스터(INT7)의 제어전극에 연결되어 상기 i-1번째 게이트 전압(Gi-1)을 입력받거나 또는 상기 i-1번째 Q-노드(Qi-1)에 연결된 제어전극, 상기 오프전압(VSS)을 입력받는 입력전극 및 상기 i-1번째 인버터(INi-1)의 출력단에 연결된 출력전극으로 이루어진다.

[0097] 도 5 및 도 6을 참조하면, 상기 제5 및 제6 인버터 트랜지스터(INT5, INT6)는 상기 제2 클럭(CKVB)의 하이구간 동안 턴-온되어 상기 제2 클럭(CKVB)을 출력한다.

[0098] 상기 i-1번째 게이트 전압(Gi-1)이 하이 상태로 출력되는 i-1번째 1H구간(1H(i-1))동안 상기 제7 및 제8 인버터 트랜지스터(INT7, INT8)가 턴-온되어 상기 제5 및 제6 인버터 트랜지스터(INT5, INT6)로부터 각각 출력된 상기 제2 클럭(CKVB)을 상기 오프전압(VSS)으로 방전시킨다.

[0099] 따라서, 상기 i-1번째 인버터부(INi-1)는 상기 i번째 1H구간(1H(i))동안 i번째 스테이지(SRCi, 도 3에 도시됨)에 구비된 리플 방지 커패시터(C3)에 상기 제2 클럭(CKVB)이 공급되지 못하도록 차단한다. 그 결과, 상기 i번째 1H 구간(1H(i))동안 상기 i번째 게이트 전압(Gi)의 전압 레벨이 상기 리플 방지 커패시터(C3)에 의해서 낮아지는 것을 방지할 수 있다.

[0100] 이후, 로우 상태의 상기 i-1번째 게이트 전압(Gi-1)에 응답하여 상기 제7 및 제8 인버터 트랜지스터(INT7, INT8)가 턴-오프되면, 상기 제2 클럭(CKV)이 상기 i-1번째 인버터부(INi-1)의 출력단으로부터 출력된다. 따라서, 상기 i-1번째 인버터부(INi-1)는 상기 i번째 스테이지(SRCi)의 리플 방지 커패시터(C3)에 상기 제2 클럭(CKVB)을 제공하여, 상기 i번째 스테이지(SRCi)의 i번째 Q-노드(Qi)가 리플되는 것을 방지할 수 있다.

[0101] 도 7은 본 발명의 또 다른 실시예에 따른 이전단 인버터부의 등가 회로도이다. 단, 도 7에 도시된 구성요소 중 도 6에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.

[0102] 도 7을 참조하면, 본 발명의 또 다른 실시예에 따른 i-1번째 인버터부(INi-1)는 제5, 제6, 제7, 제8, 제9, 제10 인버터 트랜지스터(INT5, INT6, INT7, INT8, INT9, INT10), 제4 및 제5 커패시터(C4, C5)로 이루어진다. 상기 i-1번째 인버터부(INi-1)의 출력단은 i번째 스테이지(SRCi, 도 3에 도시됨)에 구비된 리플 방지 커패시터(C3)의 제2 단에 전기적으로 연결된다.

[0103] 상기 제7 및 제8 인버터 트랜지스터(INT7, INT8)의 제어전극에는 이전단 게이트 전압(Gi-1)이 제공되고, 상기 제9 및 제10 인버터 트랜지스터(INT9, INT10)의 제어전극은 i-1번째 Q-노드(Qi-1)에 연결된다. 구체적으로, 상

기 제9 인버터 트랜지스터(INT9)는 상기 i-1번째 Q-노드(Qi-1)에 연결된 제어전극, 오프전압(VSS)을 입력받는 입력전극 및 상기 제5 인버터 트랜지스터(INT5)의 출력전극에 연결된 출력전극으로 이루어진다. 상기 제10 인버터 트랜지스터(INT10)는 상기 i-1번째 Q-노드(Qi-1)에 연결된 제어전극, 상기 오프전압(VSS)을 입력받는 입력전극 및 상기 i-1번째 인버터(INi-1)의 출력단에 연결된 출력전극을 포함한다.

[0104] 상기 제9 및 제 10 인버터 트랜지스터(INT9, INT10)는 상기 i-1번째 Q-노드(Qi-1)의 전위에 응답하여 턴-온되어 상기 i-1번째 인버터부(INi-1)의 출력단에 상기 오프전압(VSS)을 공급하는 역할을 수행한다. 따라서, 상기 i-1번째 인버터부(INi-1)의 출력단은 상기 제9 및 제10 인버터 트랜지스터(INT9, INT10)에 의해서 더 확실하게 상기 오프전압(VSS) 레벨로 유지될 수 있다.

[0105] 도 8은 본 발명의 또 다른 실시예에 따른 이전단 인버터부의 등가 회로도이다. 단, 도 8에 도시된 구성요소 중 도 6에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.

[0106] 도 8을 참조하면, 본 발명의 또 다른 실시예에 따른 i-1번째 인버터부(INi-1)는 제5, 제6, 제7, 제8, 제11 인버터 트랜지스터(INT5, INT6, INT7, INT8, INT11), 제4 및 제5 커패시터(C4, C5)로 이루어진다. 상기 i-1번째 인버터부(INi-1)의 출력단은 i번째 스테이지(SRCi, 도 3에 도시됨)에 구비된 리플 방지 커패시터(C3)의 제2 단에 전기적으로 연결된다.

[0107] 상기 제11 인버터 트랜지스터(INT11)는 제1 클럭(CKV)을 입력받는 제어전극, 오프전압(VSS)을 입력받는 입력전극 및 상기 i-1번째 인버터부(INi-1)의 출력단에 연결된 출력전극으로 이루어진다.

[0108] 상기 제11 인버터 트랜지스터(INT11)는 상기 제1 클럭(CKV)에 응답하여 턴-온되어, 상기 제2 클럭(CKVB)의 로우 구간동안 상기 i-1번째 인버터부(INi-1)의 출력단에 상기 오프전압(VSS)을 공급한다. 즉, 상기 i-1번째 인버터부(INi-1)의 출력단에는 i번째 게이트 전압(Gi)이 하이 상태로 출력되는 i번째 1H구간(1H(i))동안 상기 오프전압(VSS)이 출력된다.

[0109] 따라서, 상기 i-1번째 인버터부(INi-1)는 상기 i번째 1H구간(1H(i))동안 i번째 스테이지에 구비된 리플 방지 커패시터(C3)에 상기 제2 클럭(CKVB)이 공급되지 못하도록 차단한다. 그 결과, 상기 i번째 1H 구간(1H(i))동안 상기 i번째 게이트 전압(Gi)의 전압 레벨이 상기 리플 방지 커패시터(C3)에 의해서 낮아지는 것을 방지할 수 있다.

[0110] 도 9는 본 발명의 또 다른 실시예에 따른 이전단 인버터부의 등가 회로도이다. 단, 도 9에 도시된 구성요소 중 도 8에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.

[0111] 도 9를 참조하면, 본 발명의 또 다른 실시예에 따른 i-1번째 인버터부(INi-1)는 제5, 제6, 제7, 제8, 제9, 제10, 제11 인버터 트랜지스터(INT5, INT6, INT7, INT8, INT9, INT10, INT11), 제4 및 제5 커패시터(C4, C5)로 이루어진다. 상기 i-1번째 인버터부(INi-1)의 출력단은 i번째 스테이지(SRCi, 도 3에 도시됨)에 구비된 리플 방지 커패시터(C3)의 제2 단에 전기적으로 연결된다.

[0112] 상기 제7 및 제8 인버터 트랜지스터(INT7, INT8)의 제어전극에는 i-1번째 게이트 전압(Gi-1)이 제공되고, 상기 제9 및 제10 인버터 트랜지스터(INT9, INT10)의 제어전극은 i-1번째 Q-노드(Qi-1)에 연결된다. 구체적으로, 상기 제9 인버터 트랜지스터(INT9)는 상기 i-1번째 Q-노드(Qi-1)에 연결된 제어전극, 오프전압(VSS)을 입력받는 입력전극 및 상기 제5 인버터 트랜지스터(INT5)의 출력전극에 연결된 출력전극으로 이루어진다. 상기 제10 인버터 트랜지스터(INT10)는 상기 i-1번째 Q-노드(Qi-1)에 연결된 제어전극, 상기 오프전압(VSS)을 입력받는 입력전극 및 상기 i-1번째 인버터(INi-1)의 출력단에 연결된 출력전극을 포함한다.

[0113] 상기 제9 및 제 10 인버터 트랜지스터(INT9, INT10)는 상기 i-1번째 Q-노드(Qi-1)의 전위에 응답하여 턴-온되어 상기 i-1번째 인버터부(INi-1)의 출력단에 상기 오프전압(VSS)을 공급하는 역할을 수행한다. 따라서, 상기 i-1번째 인버터부(INi-1)의 출력단은 상기 제9 및 제10 인버터 트랜지스터(INT9, INT10)에 의해서 더 확실하게 상기 오프전압(VSS) 레벨로 유지될 수 있다.

[0114] 도 10은 본 발명의 다른 실시예에 따른 게이트 구동회로의 각 스테이지의 내부 회로도이고 도 11은 도 10에 도시된 i+1번째 인버터부의 입/출력 신호를 나타낸 파형도이다. 단, 도 10에 도시된 구성요소 중 도 3에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고 그에 대한 구체적인 설명은 생략한다.

[0115] 도 10 및 도 11을 참조하면, i번째 스테이지(SRCi)는 리플 방지 커패시터(C3)를 포함하고, 상기 리플 방지 커패

시터(C3)의 제1 단은 상기 i번째 스테이지(SRCi)의 i번째 Q-노드(Qi)에 연결되며, 제2 단은 i+1번째 스테이지(SRCi+1)의 i+1번째 인버터부(INi+1)의 출력단에 연결된다.

[0116] 또한, 상기 i번째 인버터부(INi)는 i-1번째 스테이지(SRCi-1)에 구비된 리플 방지 커패시터(C3)의 제2 단에 연결된다. 상기 i-1번째 스테이지(SRCi-1)에 구비된 풀업 트랜지스터(NT1)의 제어전극과 입력전극과의 사이에는 기생 커패시터(Cp)가 형성된다. 이때, 상기 풀업 트랜지스터(NT1)의 입력전극에는 제2 클럭(CKVB)이 제공되고, 상기 리플 방지 커패시터(C3)의 제2 단에는 상기 i번째 인버터부(INi)로부터 출력된 상기 제1 클럭(CKV)이 공급된다.

[0117] 상기 기생 커패시터(Cp)는 상기 제2 클럭(CKVB)에 의해서 상기 풀업 트랜지스터(NT1)의 제어전극(이하, i-1번째 Q-노드(Qi-1))의 리플의 원인이 된다. 이때, 상기 리플 방지 커패시터(C3)는 상기 제2 클럭(CKVB)과 반전된 위상을 갖는 제1 클럭(CKV)을 입력받으므로, 상기 i-1번째 Q-노드(Qi-1)의 리플을 상쇄시킨다.

[0118] 단, 상기 i번째 인버터부(Ini)는 상기 i번째 게이트 전압(Gi)이 하이 상태로 발생하는 i번째 1H 구간 뿐만 아니라, 그 전/후 1H 시간동안(i-1번째 1H 구간 및 i+1번째 1H 구간)은 상기 오프전압(VSS)을 출력한다. 따라서, 상기 i-1번째 게이트 전압(Gi-1)이 하이 상태로 발생하는 상기 i-1번째 1H 시간동안 상기 i-1번째 Q-노드(Qi-1)가 상기 오프전압(VSS)의 전위를 갖는 것을 방지한다.

[0119] 결과적으로, 상기 i-1번째 스테이지(SRCi-1)에 구비된 리플 방지 커패시터(C3)는 i번째 인버터부(INi)에 연결되고, 상기 i번째 인버터부(INi)로 공급되는 i번째 게이트 전압(Gi) 또는 i번째 Q-노드(Qi)의 전위에 따라 제어된다. 따라서, 상기 i번째 인버터부(INi)는 (n-1)H 구간동안은 상기 i-1번째 Q-노드(Qi-1)의 리플을 방지하면서 1H 구간동안은 상기 i-1번째 게이트 전압(Gi-1)의 전압 레벨이 상기 리플 방지 커패시터(C3)에 의해서 낮아지는 문제를 방지할 수 있다.

[0120] 한편, 상기 i+1번째 스테이지(SRCi+1)에 구비된 i+1번째 인버터부(INi+1)는 상기 i번째 인버터부(INi)와 동일한 구성으로 이루어진다. 즉, 상기 i+1번째 인버터부(INi+1)는 상기 i번째 스테이지(SRCi)에 구비된 상기 리플 방지 트랜지스터(C3)의 제2 단에 연결되고, i+1번째 게이트 전압(Gi+1) 또는 i+1번째 Q-노드(Qi+1)의 전위에 따라 상기 제2 클럭(CKVB)을 출력함으로써, 상기 리플 방지 트랜지스터(C3)를 충전 또는 방전시킨다.

[0121] 구체적으로, 상기 i+1번째 인버터부(INi+1)는 상기 i+1번째 게이트 전압(Gi+1)이 하이 상태로 발생하는 i+1번째 1H 구간 뿐만 아니라, 그 전/후 1H 시간동안(i번째 1H 구간 및 i+2번째 1H 구간)은 상기 오프전압(VSS)을 출력한다. 따라서, 상기 i번째 게이트 전압(Gi)이 하이 상태로 발생하는 상기 i번째 1H 시간동안 상기 i번째 Q-노드(Qi)가 상기 오프전압(VSS)의 전위를 갖는 것을 방지한다.

[0122] 따라서, 상기 i+1번째 인버터부(INi-1)는 (n-1)H 구간동안은 상기 i번째 Q-노드(Qi)의 리플을 방지하면서 1H 구간동안은 상기 i번째 게이트 전압(Gi)의 전압 레벨이 상기 리플 방지 커패시터(C3)에 의해서 낮아지는 문제를 방지할 수 있다.

[0123] 도면에 도시하지는 않았지만, 도 10에 도시된 실시예에서 각 스테이지에 구비된 인버터부는 도 4, 도 6 내지 도 9에 도시된 실시예들과 같이 다양하게 구현될 수 있다. 그러나, 상기한 실시예들에 대한 인버터부의 구성은 앞서 설명된 내용과 중복되므로 생략한다.

발명의 효과

[0124] 이와 같은 게이트 구동회로 및 이를 갖는 표시장치에 따르면, 현재단 스테이지에는 현재단 Q-노드와 이전단 또는 다음단 스테이지에 구비된 인버터부의 출력단과의 사이에 연결되어 현재단 Q-노드의 리플을 방지하는 리플 방지 커패시터가 구비된다. 따라서, 현재단 게이트 전압리 리플되는 것을 방지할 수 있다.

[0125] 또한, 리플 방지 커패시터는 현재단 게이트 전압의 하이 상태로 출력되는 구간(1H 구간)동안 턴-오프되는 이전단 또는 다음단 인버터에 의해서 제어됨으로써, 상기 1H 구간동 동안 상기 현재단 게이트 전압의 전압레벨이 감소하는 것을 방지할 수 있고, 결과적으로, 게이트 구동회로의 출력 특성을 개선할 수 있다.

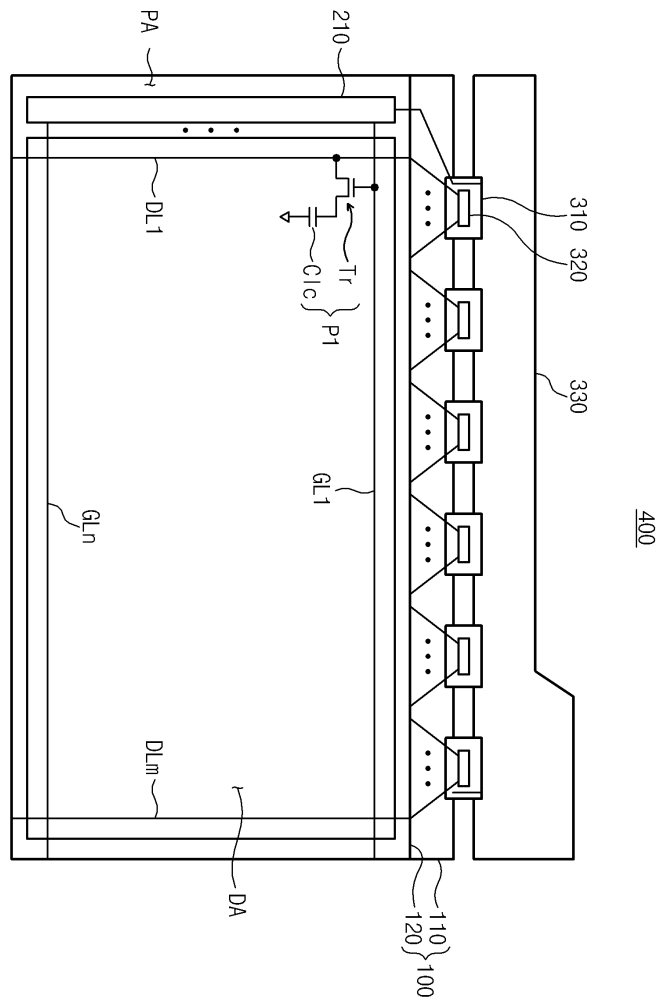
[0126] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

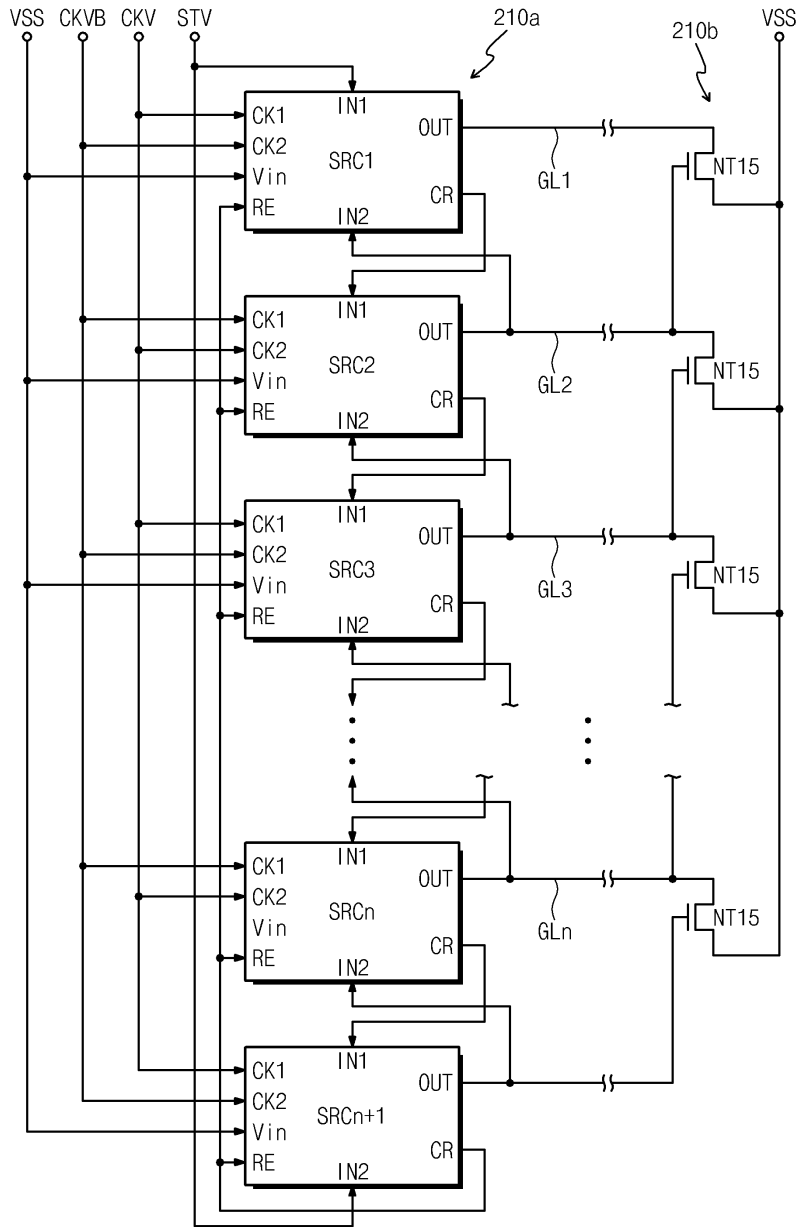
- [0001] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 평면도이다.
- [0002] 도 2는 도 1에 도시된 게이트 구동회로의 블럭도이다.
- [0003] 도 3은 도 2에 도시된 각 스테이지의 내부 회로도이다.
- [0004] 도 4는 본 발명의 다른 실시예에 따른 i-1번째 인버터부의 등가 회로도이다
- [0005] 도 5는 도 4에 도시된 i-1번째 인버터부의 입/출력신호를 나타낸 파형도이다.
- [0006] 도 6은 본 발명의 또 다른 실시예에 따른 i-1번째 인버터부의 등가 회로도이다.
- [0007] 도 7은 본 발명의 또 다른 실시예에 따른 i-1번째 인버터부의 등가 회로도이다.
- [0008] 도 8은 본 발명의 또 다른 실시예에 따른 i-1번째 인버터부의 등가 회로도이다.
- [0009] 도 9는 본 발명의 또 다른 실시예에 따른 i-1번째 인버터부의 등가 회로도이다.
- [0010] 도 10은 본 발명의 다른 실시예에 따른 게이트 구동회로의 각 스테이지의 내부 회로도이다.
- [0011] 도 11은 도 10에 도시된 i+1번째 인버터부의 입/출력신호를 나타낸 파형도이다.
- [0012] *도면의 주요 부분에 대한 부호의 설명*
- [0013] 100 -- 액정표시패널 210 -- 게이트 구동회로
- [0014] 211 -- 풀업부 212 -- 캐리부
- [0015] 213 -- 풀다운부 214 -- 풀업 구동부
- [0016] 215 -- 리플 방지부 216 -- 홀딩부
- [0017] 217 -- 리셋부 400 -- 액정표시장치

도면

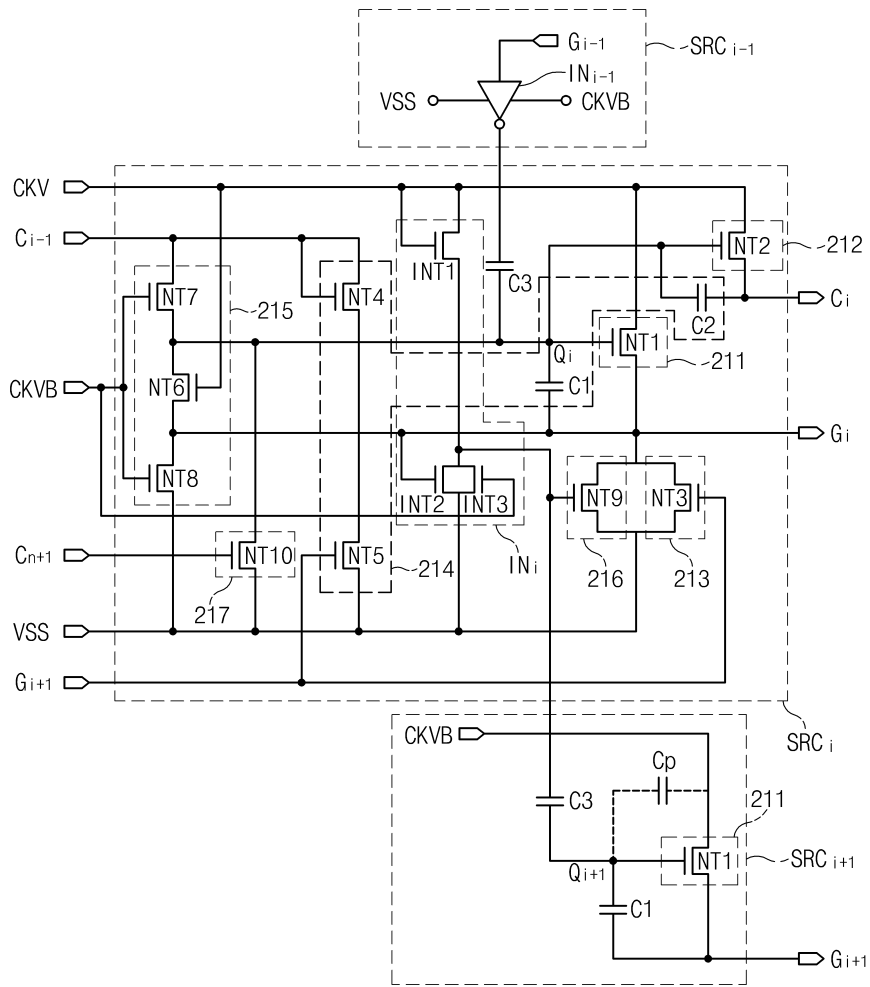
도면1



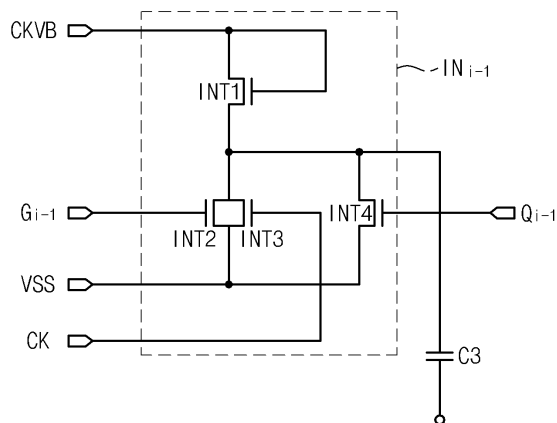
도면2



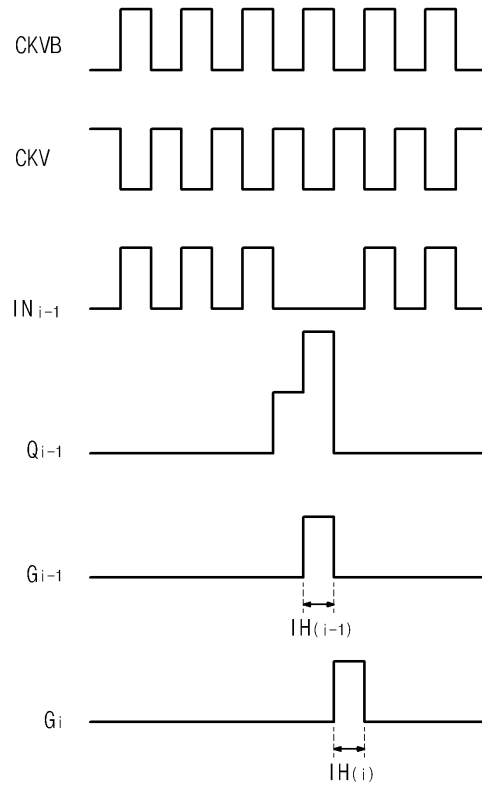
도면3



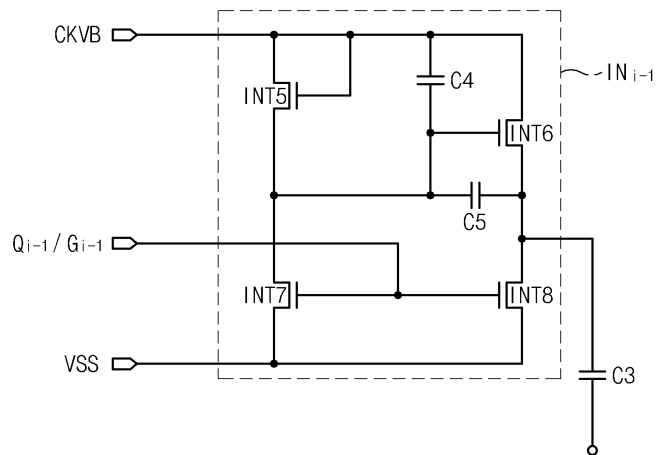
도면4



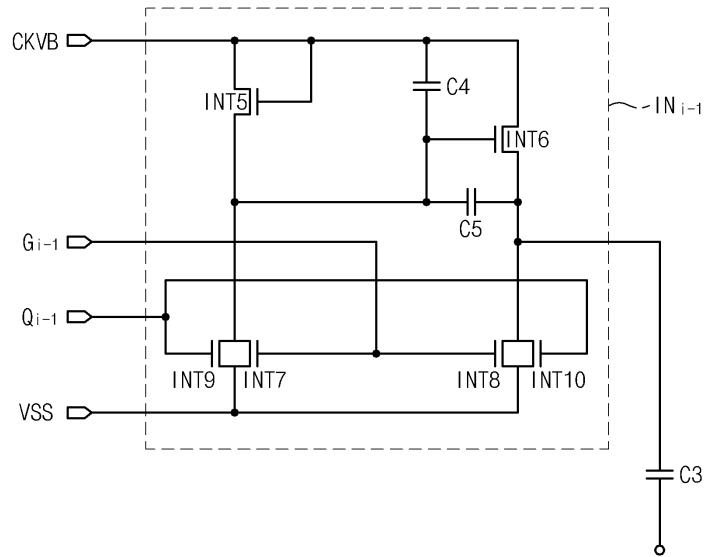
도면5



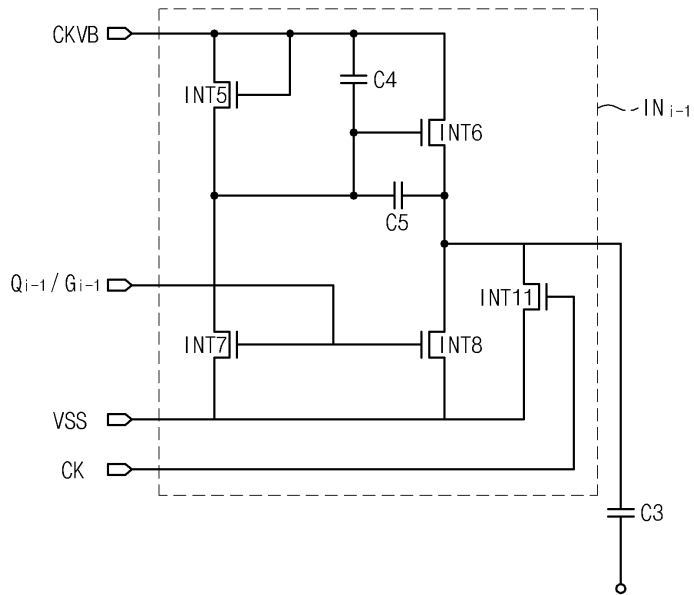
도면6



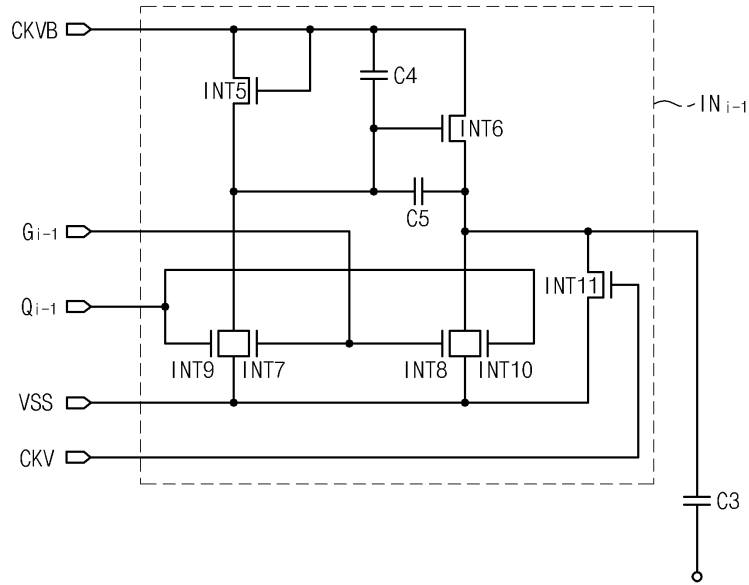
도면7



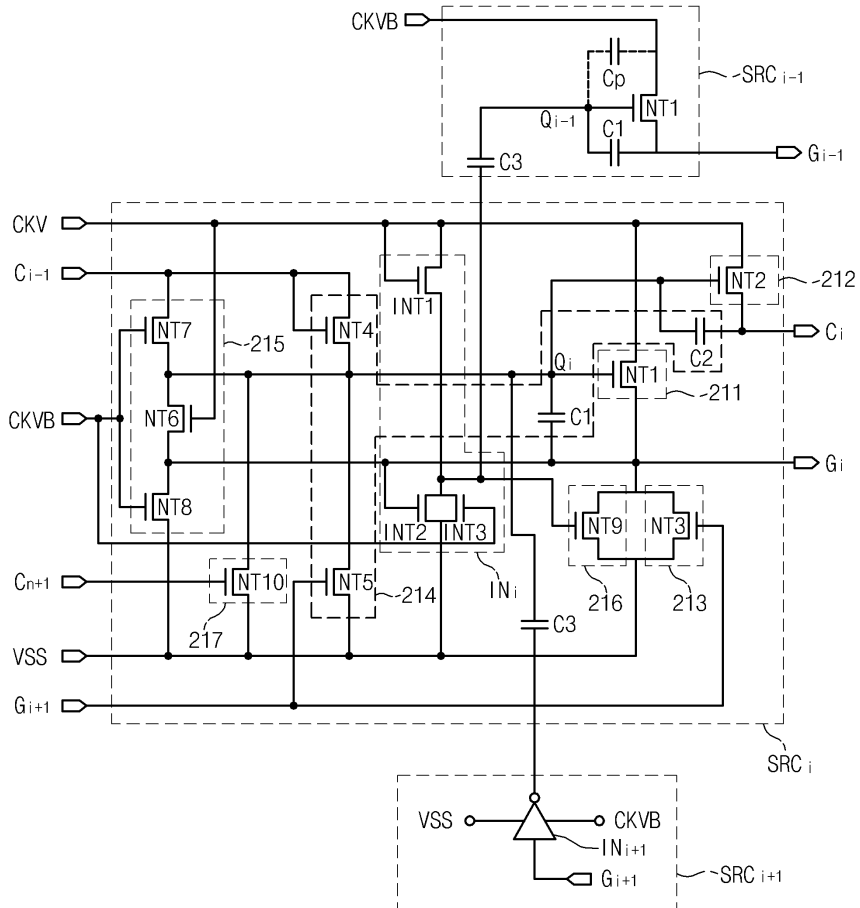
도면8



도면9



도면10



도면11

