

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成22年3月4日 (2010.3.4)

【公表番号】特表2009-527861(P2009-527861A)

【公表日】平成21年7月30日 (2009.7.30)

【年通号数】公開・登録公報2009-030

【出願番号】特願2008-556490(P2008-556490)

【国際特許分類】

G 0 6 F 12/10 (2006.01)

G 0 6 F 12/02 (2006.01)

【 F I 】

G 0 6 F 12/10 5 0 3

G 0 6 F 12/02 5 7 0 A

G 0 6 F 12/10 5 0 7 Z

G 0 6 F 12/10 5 0 9 B

【手続補正書】

【提出日】平成22年1月15日 (2010.1.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

データ処理システムであって、

論理アドレスを受信し、前記論理アドレスを物理アドレスに変換して 1 つまたは複数のアドレス属性を提供するアドレス変換器と、

前記アドレス変換器に接続され、前記論理アドレスを、受信された前記論理アドレスの変換アドレスとして選択的に提供するバイパス回路であって、該選択的提供は、前記論理アドレスに関連する前記 1 つまたは複数のアドレス属性の提供前に行われる、バイパス回路と、

を備えるデータ処理システム。

【請求項 2】

前記バイパス回路は、

前記論理アドレスに関連する前記 1 つまたは複数のアドレス属性の提供前に、受信された前記論理アドレスを前記アドレス変換器によって前記変換アドレスとして提供するか否かを判定する値を持つ 1 つまたは複数のビットを有する制御レジスタと、

リセット入力であって、リセット信号の受信にตอบสนองして、前記アドレス変換器によって提供される前記物理アドレスをバイパスするか否かを制御するための所定値を前記制御レジスタに設定するための前記リセット入力と、

を含む、請求項 1 のデータ処理システム。

【請求項 3】

前記バイパス回路は、

前記論理アドレスに関連する前記 1 つまたは複数のアドレス属性の提供前に、受信された前記論理アドレスを前記アドレス変換器によって前記変換アドレスとして提供するか否かを判定する値を持つ 1 つまたは複数のビットを有する制御レジスタと、

リセット入力であって、所定値を有するリセット信号の受信にตอบสนองして前記バイパス回路が前記 1 つまたは複数のビットの値を決定するための前記リセット入力と、

を含む、請求項 1 のデータ処理システム。

【請求項 4】

前記バイパス回路は、前記論理アドレスに関連する前記 1 つまたは複数のアドレス属性の提供前に、受信された前記論理アドレスを前記アドレス変換器によって前記変換アドレスとして提供するか否かを判定する値を持つ 1 つまたは複数のビットを有する制御レジスタを含み、

前記制御レジスタは、受信された前記論理アドレスが命令の論理アドレスのときに変換物理アドレス値のバイパスを制御する値を有する第 1 のビットと、受信された前記論理アドレスがデータの論理アドレスのときに変換物理アドレス値のバイパスを制御する値を有する第 2 のビットとを含む、請求項 1 のデータ処理システム。

【請求項 5】

データ処理システムにおけるアドレス変換方法であって、

論理アドレスを受信すること、

物理アドレスおよび 1 つまたは複数の属性への前記論理アドレスの変換を開始すること

、

利用可能な前記 1 つまたは複数の属性の生成前に、制御信号に応答して前記論理アドレスを選択変換アドレスとして選択的に提供すること、

を備える、アドレス変換方法。