

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年9月15日(15.09.2016)



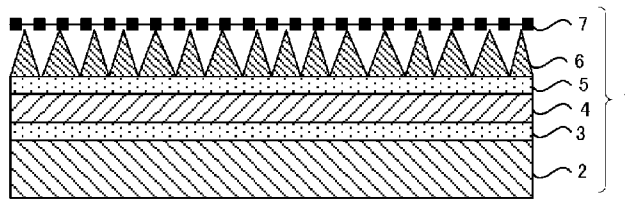
(10) 国際公開番号

WO 2016/143229 A1

- (51) 国際特許分類:
C30B 29/38 (2006.01) H01L 21/205 (2006.01)
- (21) 国際出願番号: PCT/JP2015/085824
- (22) 国際出願日: 2015年12月22日(22.12.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-045256 2015年3月6日(06.03.2015) JP
- (71) 出願人: 住友化学株式会社(SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目27番1号 Tokyo (JP).
- (72) 発明者: 藤倉 序章(FUJIKURA Hajime); 〒3191418 茨城県日立市砂沢町880番地 株式会社サイオクス内 Ibaraki (JP). 今野 泰一郎(KONNO Taichiro); 〒3191418 茨城県日立市砂沢町880番地 株式会社サイオクス内 Ibaraki (JP).
- (74) 代理人: 福岡 昌浩, 外(FUKUOKA Masahiro et al.); 〒1020072 東京都千代田区飯田橋四丁目6番1号 21東和ビル3F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: METHOD FOR MANUFACTURING NITRIDE SEMICONDUCTOR LAMINATED BODY, AND NITRIDE SEMICONDUCTOR LAMINATED BODY

(54) 発明の名称: 窒化物半導体積層体の製造方法及び窒化物半導体積層体



(57) Abstract: The present invention has: a first step for forming an AlN layer on a substrate; a second step for forming a first GaN layer on the AlN layer; a third step for forming an Al-containing III nitride semiconductor layer on the first GaN layer; a fourth step for forming a second GaN layer on the III nitride semiconductor layer; a fifth step for forming a metal film on the second GaN layer; and a sixth step for performing treatment for modifying the second GaN layer and the metal film to be porous. Each of the first to fourth steps is performed by means of an HVPE method.

(57) 要約: 基板上にAlN層を形成する第1の工程と、AlN層上に第1のGaN層を形成する第2の工程と、第1のGaN層上に、Alを含むIII族窒化物半導体層を形成する第3の工程と、III族窒化物半導体層上に、第2のGaN層を形成する第4の工程と、第2のGaN層上に、金属膜を形成する第5の工程と、第2のGaN層及び金属膜を多孔質に改質する処理を行う第6の工程と、を有し、第1~第4の各工程をそれぞれ、HVPE法により行う。



WO 2016/143229 A1

明 細 書

発明の名称：

窒化物半導体積層体の製造方法及び窒化物半導体積層体

技術分野

[0001] 本発明は、窒化物半導体積層体の製造方法及び窒化物半導体積層体に関する。

背景技術

[0002] 従来より、自立基板としての窒化ガリウム（GaN）基板の形成方法として、例えばVAS法（Void-assisted Method）が用いられることがある。VAS法では、下地基板上に自立基板となるGaN層を形成し、下地基板とGaN層とを剥離することで自立基板が形成される。この下地基板として、基板上に設けられた第1のGaN層と、第1のGaN層上に設けられた窒化アルミニウムガリウム（AlGaN）層と、AlGaN層上に設けられた第2のGaN層と、第2のGaN層上に設けられた金属膜（例えばTiN膜）と、を備え、第2のGaN層及び金属膜が、空隙（ボイド）が形成されることで多孔質になっている窒化物半導体積層体が用いられることがある（例えば特許文献1参照）。この窒化物半導体積層体では、第1のGaN層、AlGaN層及び第2のGaN層はそれぞれ、MOVPE（Metal Organic Vapor Phase Epitaxy）法により形成（成膜、成長）されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2004-319711号公報

発明の概要

発明が解決しようとする課題

[0004] 窒化物半導体積層体が備える各層をそれぞれMOVPE法により形成することで、例えば第1のGaN層の厚さを2～3μm程度と薄くしても、第2

のGaN層の表面に現れるピット等のマクロ欠陥を十分に低減させることができる。しかしながら、MOVPE法による窒化物半導体の成長速度はせいぜい数 μm /時と遅いため、各層をMOVPE法により形成すると、窒化物半導体積層体の生産性が非常に低くなるという課題がある。その結果、VAS法による自立基板の生産性が低下することがある。

[0005] 本発明は、上記課題を解決するために、成長速度が数～数10mm/時とMOVPE法よりも高いHVPE (Hydride Vapor Phase Epitaxy) 法を用いることで、VAS法により自立基板を形成する際に下地基板として用いられる窒化物半導体積層体の生産性、自立基板の生産性を向上させる技術を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様によれば、
基板上に窒化アルミニウム層を形成する第1の工程と、
前記窒化アルミニウム層上に第1の窒化ガリウム層を形成する第2の工程と、
前記第1の窒化ガリウム層上に、アルミニウムを含むIII族窒化物半導体層を形成する第3の工程と、
前記III族窒化物半導体層上に、第2の窒化ガリウム層を形成する第4の工程と、
前記第2の窒化ガリウム層上に、金属膜を形成する第5の工程と、
前記第2の窒化ガリウム層及び前記金属膜を多孔質に改質する処理を行う第6の工程と、を有し、
前記第1～第4の各工程をそれぞれ、HVPE法により行う窒化物半導体積層体の製造方法が提供される。

[0007] 本発明の他の態様によれば、
基板上に設けられた窒化アルミニウム層と、
前記窒化アルミニウム層上に設けられた第1の窒化ガリウム層と、
前記第1の窒化ガリウム層上に設けられたアルミニウムを含むIII族窒

化物半導体層と、

前記Ⅲ族窒化物半導体層上に設けられ、多孔質な第2の窒化ガリウム層と、

前記第2の窒化ガリウム層上に設けられ、多孔質な金属膜と、を備え、

前記窒化アルミニウム層に生じた反りによって、前記第1の窒化ガリウム層に生じた反りが打ち消されるような力が前記第1の窒化ガリウム層に加えられている窒化物半導体積層体が提供される。

発明の効果

[0008] 本発明によれば、V A S法により自立基板を形成する際に下地基板として用いられる窒化物半導体積層体の生産性、自立基板の生産性を向上させる技術を提供することができる。

図面の簡単な説明

[0009] [図1]本発明の一実施形態にかかる窒化物半導体積層体の縦断面概略図を示す。

[図2]本発明の一実施形態にかかる窒化物半導体積層体及びG a N自立基板の製造工程の一例を示す図である。

発明を実施するための形態

[0010] (発明者等が得た知見)

本発明の実施形態の説明に先立ち、本発明者等が得た知見について説明する。V A S法により自立基板を形成する際に下地基板として用いられる窒化物半導体積層体の生産性を向上させるために、窒化物半導体積層体の各層を成長速度の遅いMOVPE法ではなく、MOVPE法よりも成長速度が速い、例えばHVPE法により形成(成膜)することが考えられている。しかしながら、窒化物半導体積層体の各層の成膜方法を、MOVPE法からHVPE法に単純に変更するだけでは、窒化物半導体積層体の生産性を向上させることが難しいことがある。

[0011] 具体的には、HVPE法はMOVPE法に比べて結晶成長の制御性に劣る。このため、例えば、HVPE法により、上述のような厚さが2～3 μm程

度の第1のGa₂N層を形成すると、第2のGa₂N層の表面（上面）に現れる1 μm弱～数μm径のピット等のマクロ欠陥を十分に低減させることができないことがある。その結果、第2のGa₂N層上に設けられる金属膜が剥がれることがある。例えば、蒸着により金属膜を形成している際に、金属膜が剥がれてしまったり、金属膜を多孔質な膜に改質する処理を行っている際に金属膜が剥がれてしまうことがある。その結果、窒化物半導体基板の歩留りが低くなることがある。つまり、窒化物半導体積層体の各層をHVPE法により形成した場合であっても、窒化物半導体積層体の生産性が低下してしまうことがある。

[0012] このようなマクロ欠陥を低減するためには、HVPE法で第1のGa₂N層を形成する際に、第1のGa₂N層の厚さを、MOVPE法で形成する場合よりも厚くすることが考えられる。例えば、第1のGa₂N層の厚さを4 μm以上にすることが考えられる。これにより、第1のGa₂N層をHVPE法により形成した場合であっても、第2のGa₂N層の表面に現れるマクロ欠陥を十分に低減させることができる。例えば、第1のGa₂N層を、MOVPE法で形成した場合と同程度まで、第2のGa₂N層の表面に現れるマクロ欠陥を低減させることができる。

[0013] しかしながら、第1のGa₂N層の厚さが厚くなるほど、第1のGa₂N層中において歪が増大する傾向にある。このため、基板と第1のGa₂N層を含む所定の窒化物半導体（窒化物半導体層）とを有する窒化物半導体積層体が大きく反ることがある。例えば、2インチの基板上に所定の窒化物半導体を設けることで形成された窒化物半導体積層体は、第1のGa₂N層の厚さが4 μmの場合で、室温での反り量が典型的には60 μm以上になる。この反りの起源は、窒化物半導体の熱膨張率と基板であるサファイアの熱膨張率との差に起因する。このため、室温では大きな反り量を持つ窒化物半導体積層体であっても、窒化物半導体積層体を構成する各層を成長させる温度（成長温度）である1000℃付近では反り量はほぼ0になる。

[0014] VAS法により自立基板を形成する際に、下地基板として、室温で大きな

反りが生じている窒化物半導体積層体が用いられた場合、下地基板上に例えば自立基板となるGaN層（以下、「GaN自立基板層」とも言う。）を形成（成膜）する際に、下地基板（窒化物半導体積層体）が割れることがある。下地基板の割れのほとんどは、室温から成長温度である1000℃までの昇温過程で生じる。大きな歪を有する窒化物半導体を有する窒化物半導体積層体、つまり室温で大きく反っている窒化物半導体積層体ほど、割れやすい傾向にある。昇温過程で下地基板が割れた場合、下地基板上に形成されるGaN自立基板にも割れが引き継がれるため、GaN自立基板層の成長歩留りが低下する、つまりGaN自立基板の生産性が低下する。

[0015] そこで、本発明者等は、窒化物半導体積層体に第1のGaN層に生じる反りの方向と反対方向に反る層を設けることで、HVPE法を用いた場合であっても、窒化物半導体積層体全体に生じる反りを低減することができることを見出した。本発明は、発明者等が見出した上記知見に基づくものである。

[0016] <本発明の一実施形態>

（1）窒化物半導体積層体の構成

以下に、本発明の一実施形態にかかる窒化物半導体積層体について、図1を参照しながら説明する。

[0017] 図1に示すように、窒化物半導体積層体1は、基板2を備えている。基板2としては、例えばサファイア、シリコン、SiC、ランガサイト、ニホウ化ジルコニウム、ヒ化ガリウム（GaAs）からなる基板を用いることができる。これらの中でも、基板2として、後述のAlN層3とGaN層（第1のGaN層4、第2のGaN層6）との格子定数の観点から、サファイア基板が用いられることがより好ましい。

[0018] 基板2のいずれかの主面上には、AlN層3が設けられている。AlN層3には反りが生じている。例えば、AlN層3には、中心（中心部）が最も低くなるような反りが生じている。つまり、AlN層3は例えば凹形状（お椀型）に反っている。

[0019] AlN層3の厚さは、AlN層3を十分に反らせることができる厚さであ

ることが好ましい。A I N層3の厚さは、例えば10 nm以上500 nm以下であることが好ましい。

[0020] A I N層3の厚さが10 nm未満であると、A I N層3を十分に反らせることができないことがある。A I N層3の厚さを10 nm以上にするすることで、A I N層3を十分に反らせることができる。

[0021] しかしながら、A I N層3の厚さが500 nmを超えると、HVPE法によりA I N層3を形成した場合であっても、A I N層3の形成に時間がかかるため、窒化物半導体積層体1の生産性が低下することがある。A I N層3の厚さを500 nm以下にすることで、これを解決し、窒化物半導体積層体1の生産性の低下を抑制することができる。

[0022] なお、A I N層3は、サファイア基板と後述の第1のGa N層4との間の格子定数の不整合を緩衝するバッファ層としても機能する。

[0023] A I N層3上には、第1のGa N層4が設けられている。第1のGa N層4は、後述の第2のGa N層6の下地層として機能し、第2のGa N層6の低転位化を図ることができる。第1のGa N層4には、反りが生じている。例えば、第1のGa N層4には、中心（中心部）が最も高くなるような反りが生じている。つまり、第1のGa N層4は例えば凸形状（ドーム型）になるように反っている。このように、第1のGa N層4には、A I N層3に生じた反りとは反対方向の反りが生じている。

[0024] 第1のGa N層4の厚さは、例えば4 μ m以上であることが好ましい。第1のGa N層4を例えばHVPE法により形成した場合、第1のGa N層4の厚さが4 μ m未満であると、後述の第2のGa N層6の表面（上面）に現れるピット等のマクロ欠陥を十分に低減させることができないことがある。例えば、第2のGa N層6の表面におけるマクロ欠陥密度を十分に低減することができないことがある。第1のGa N層4の厚さを4 μ m以上にするすることで、第1のGa N層4を例えばHVPE法により形成した場合であっても、第2のGa N層6の表面に現れるマクロ欠陥を十分に低減させることができる。

[0025] 上述したように、第1のGaN層4には、AlN層3に生じた反りとは反対方向の反りが生じている。従って、AlN層3が反ることで、第1のGaN層4に生じた反りを打ち消すような力を第1のGaN層4に加えることができる。つまり、第1のGaN層4に生じた反りの方向とは反対方向の力、例えば第1のGaN層4が平坦になるような力を、第1のGaN層に加えることができる。また、第1のGaN層4が反ることで、AlN層3に生じた反りを打ち消すような力をAlN層3に加えることができる。つまり、AlN層3に生じた反りの方向とは反対方向の力、例えばAlN層3が平坦になるような力を、AlN層3に加えることができる。このように、AlN層3及び第1のGaN層4がそれぞれ反ることで、互いの層にそれぞれ生じた反りを打ち消すような力を互いの層に加えることができる。例えば、AlN層3に生じた反りによって第1のGaN層4に生じた反りを相殺することができる。その結果、窒化物半導体積層体1全体での反り量（応力）を低減することができる。

[0026] 第1のGaN層4上には、アルミニウム（Al）を含むIII族窒化物半導体層5が設けられている。III族窒化物半導体層5は、後述の金属膜7を多孔質な膜に改質する処理（以下では、単に「改質処理」とも言う。）を行う際に第1のGaN層4に空隙（ボイド）が形成されることを阻止する層（空隙形成阻止層）として機能する。例えば、III族窒化物半導体層5は、改質処理によって第1のGaN層4からN（窒素元素）が脱離することを抑制する層として機能する。また、III族窒化物半導体層5は、後述の第2のGaN層6に形成されるボイドの肥大化を抑制する層としても機能する。

[0027] Alを含むIII族窒化物半導体層5として、例えば組成が $Al_xGa_{1-x}N$ （ $0.01 \leq x \leq 1$ ）からなる層が設けられていることが好ましい。

[0028] 後述の改質処理によって、III族窒化物半導体層5中にもボイドが形成される。この際、 x の値が0.01未満であると、III族窒化物半導体層5中に、その厚さ方向に貫通するボイドが形成されることがある。つまり、

ⅠⅠⅠ族窒化物半導体層5に、貫通孔が形成されることがある。その結果、ⅠⅠⅠ族窒化物半導体層5が空隙形成抑制層として機能しないことがある。つまり、後述の改質処理を行っている際、ⅠⅠⅠ族窒化物半導体層5に形成された貫通孔から露出した第1のGa₂N層4の箇所を介して、第1のGa₂N層4中にもボイドが形成されてしまうことがある。

[0029] xの値を0.01以上にすることで、後述の改質処理により、ⅠⅠⅠ族窒化物半導体層5に貫通孔が形成されることを抑制することができる。

[0030] なお、xの値は1であっても良い。つまり、ⅠⅠⅠ族窒化物半導体層5としてAlN層が設けられていてもよい。しかしながら、ⅠⅠⅠ族窒化物半導体層5と、第1のGa₂N層4、後述の第2のGa₂N層6と、の間の格子定数の差を小さくする観点から、ⅠⅠⅠ族窒化物半導体層5としてxの値が1未満であるAlGa₂N層が設けられていることがより好ましい。

[0031] ⅠⅠⅠ族窒化物半導体層5の厚さは、後述の改質処理によって、ⅠⅠⅠ族窒化物半導体層5に貫通孔が形成されない厚さに形成されていることが好ましい。例えば、ⅠⅠⅠ族窒化物半導体層5の厚さが3nm以上であることが好ましい。

[0032] ⅠⅠⅠ族窒化物半導体層5の厚さが3nm未満であると、後述の改質処理によって、ⅠⅠⅠ族窒化物半導体層5に貫通孔が形成されることがある。ⅠⅠⅠ族窒化物半導体層5の厚さを3nm以上にすることで、後述の改質処理によって、ⅠⅠⅠ族窒化物半導体層5に貫通孔が形成されることをより確実に抑制することができる。

[0033] なお、ⅠⅠⅠ族窒化物半導体層5の厚さの上限値は、特に限定されない。しかしながら、ⅠⅠⅠ族窒化物半導体層5の厚さが厚くなるほど、Alを含むⅠⅠⅠ族窒化物半導体層5と第1のGa₂N層4との格子不整合による歪が大きくなり、ⅠⅠⅠ族窒化物半導体層5を成長させている際にⅠⅠⅠ族窒化物半導体層5にクラック（割れ）が生じる場合がある。このため、ⅠⅠⅠ族窒化物半導体層5の厚さは、ⅠⅠⅠ族窒化物半導体層5の組成に対応したクラックを生じない厚さ（臨界膜厚）以下とすることが好ましい。

[0034] III族窒化物半導体層5上には、所定厚さ（例えば数100nm）の第2のGaN層6が設けられている。第2のGaN層6には、後述の改質処理によってボイドが形成されている。つまり、第2のGaN層6は多孔質な層になっている。

[0035] 第2のGaN層6上には、金属膜7が設けられている。金属膜7にはボイドが形成されている。つまり、金属膜7は多孔質な膜になっている。金属膜7中に含まれる金属としては、例えば、チタン、バナジウム、クロム、マンガ、鉄、コバルト、ニッケル、銅、イットリウム、ジルコニウム、ニオブ、モリブデン、テルル、ルテニウム、ロジウム、パラジウム、ハフニウム、タンタル、タングステン、レニウム、オスミウム、イリジウム、白金、金等を用いることができる。金属膜7として、例えば窒化チタン（TiN）膜が設けられている。

[0036] 金属膜7の厚さは例えば100nm以下であることが好ましく、30nm以下であることがより好ましい。金属膜7の厚さが100nmを超えると、金属膜7を多孔質な膜に改質する処理に時間がかかり、窒化物半導体積層体1の生産性が低下することがある。金属膜7の厚さを100nm以下にすることで、これを解決でき、窒化物半導体積層体1の生産性の低下をより抑制することができる。金属膜7の厚さを30nm以下にすることで、窒化物半導体積層体1の生産性の低下をさらに抑制することができる。なお、金属膜7の厚さの下限値は特に限定されないが、例えば1nm以上であることが好ましい。

[0037] （2）窒化物半導体積層体の製造方法

次に、本実施形態にかかる窒化物半導体積層体1及びGaN自立基板の製造方法の一実施形態について、図2を用いて説明する。

[0038] （第1の工程）

基板2（例えばサファイア基板上）に、AlN層3を形成する第1の工程を行う。第1の工程では、ハイドライド気相成長（HVPE:Hydride Vapor Phase Epitaxy）装置を用い、HVPE法に

よりA I N層3を形成する。

[0039] 第1の工程では、高温の雰囲気下でA I N層3を形成することが好ましい。具体的には、A I N層3の形成温度（成長温度）を、緻密なA I N層3を形成することができる温度にすることが好ましい。例えば、A I N層3の成長温度を800℃以上1200℃以下にすることが好ましく、1000℃程度にすることがより好ましい。

[0040] A I N層3の成長温度が800℃未満であると、A I N層3を緻密な層にできない場合がある。その結果、A I N層3が降温した際に、A I N層3を十分に反らせることができないことがある。A I N層3の成長温度を800℃以上にすることで、A I N層3を十分に緻密な層にすることができる。その結果、A I N層3を十分に反らせることができる。A I N層3の成長温度が1200℃を超えると、A I N層3が成長する前にサファイア基板の表面が荒れてしまう。このため、サファイア基板の表面上に成長するA I N層の結晶配向性が低下することがある。A I N層3の成長温度を1200℃以下にすることで、A I N層3の結晶配向性の低下を防止することができる。

[0041] また、第1の工程では、A I N層3の厚さを例えば10nm以上500nm以下にすることが好ましい。A I N層3の厚さの調整は、例えばA I（例えばA I 融液）とH C I ガスとを反応させて生成した塩化アルミニウム（A I C I₃）ガスを用いてA I N層3を成長させる際に用いられるH C I ガスを流用してA I N層3をエッチングすることで行うことができる。また、A I N層3の成膜時間を調整することでA I N層3の厚さの調整を行ってもよい。

[0042] （第2の工程）

第1の工程が終了した後、A I N層3上に、第1のG a N層4を形成する第2の工程を行う。第2の工程では、H V P E 装置を用い、H V P E 法により第1のG a N層4を形成する。

[0043] 第2の工程では、第1のG a N層4の厚さを4μm以上にすることが好ましい。なお、第1のG a N層4の厚さの調整は、例えば第1のG a N層4の

成膜時間を調整することで行うことができる。また、第2の工程では、所定温度（例えば1000℃程度）の雰囲気下で第1のGaN層4を形成することが好ましい。

[0044]（第3の工程）

第2の工程が終了した後、第1のGaN層4上に、Alを含むIII族窒化物半導体層5を形成する第3の工程を行う。第3の工程では、HVPE装置を用い、HVPE法によりIII族窒化物半導体層5を形成する。第3の工程では、III族窒化物半導体層5として、例えば組成が $Al_xGa_{1-x}N$ （ $0.01 \leq x \leq 1$ ）からなる層を形成することが好ましい。また、第3の工程では、III族窒化物半導体層5の厚さを3nm以上にすることが好ましい。なお、III族窒化物半導体層5の厚さの調整は、例えばIII族窒化物半導体層5の成膜時間を調整することで行うことができる。

[0045]（第4の工程）

第3の工程が終了した後、III族窒化物半導体層5上に、所定厚さの第2のGaN層6を形成する第4の工程を行う。第4の工程では、HVPE装置を用い、HVPE法により第2のGaN層6を形成する。

[0046]（第5の工程）

第4の工程が終了した後、第2のGaN層6上に、所定厚さの金属膜7を形成する第5の工程を行う。第5の工程では、例えば蒸着により金属膜7としてのTi膜を形成する。これにより、例えば図2（a）に示す積層体1Aが形成される。

[0047]（第6の工程）

第5の工程が終了した後、第2のGaN層6及び金属膜7を多孔質に改質する第6の工程を行う。第6の工程では、第2のGaN層6及び金属膜7に対して熱処理を行う。これにより、第2のGaN層6にボイドを形成して多孔質な層に改質するとともに、金属膜7を金属窒化膜に改質することで金属膜7（金属窒化膜）にボイドを形成し、金属膜7を多孔質な膜に改質する。これにより、例えば図2（b）に示す窒化物半導体積層体1が形成される。

[0048] (第7の工程)

第6の工程が終了した後、V A S法により自立基板を形成する第7の工程を行う。つまり、第7の工程では、図2(c)に示すように、第6の工程が終了した後、窒化物半導体積層体1を下地基板として用い、下地基板上に、自立基板になるG a N層10(G a N自立基板層10)を形成し、G a N自立基板を形成する。具体的には、まず、第7の工程では、基板2と、A I N層3と、第1のG a N層4と、I I I族窒化物半導体層5と、第2のG a N層6と、金属膜7と、を有する窒化物半導体積層体1を下地基板とし、下地基板(多孔質な金属膜7(金属窒化膜))上にG a N自立基板層10を形成する。その後、下地基板からG a N自立基板層10を剥離する。なお、G a N自立基板層10は、下地基板とG a N自立基板層10との積層体が所定温度(例えば室温程度)まで降温することで、下地基板から自然に剥離する。この剥離したG a N自立基板層10がG a N自立基板になる。

[0049] 第7の工程では、G a N自立基板層10が所定厚さ(例えば800 μm)になるように、G a N層の成長時間を調整することが好ましい。

[0050] また、第7の工程では、下地基板から剥離したG a N自立基板層10を所定厚さにスライスする処理を行ってもよい。つまり、1つのG a N自立基板層10から複数枚のG a N自立基板を形成してもよい。

[0051] (3) 本実施形態にかかる効果

本実施形態によれば、以下に示す1つまたは複数の効果を奏する。

[0052] (a) 第1のG a N層4に生じる反りの方向と反対方向の反りを生じるA I N層3を設け、A I N層3及び第1のG a N層4をそれぞれ反らせることで、A I N層3、第1のG a N層4、I I I族窒化物半導体層5、第2のG a N層6の各層をそれぞれ、H V P E法で形成した場合であっても、窒化物半導体積層体1全体では、反り量を低減することができる。その結果、窒化物半導体積層体1の生産性、G a N自立基板の生産性を向上させることができる。

[0053] (b) 具体的には、A I N層3、第1のG a N層4、I I I族窒化物半導体

層5、第2のGa_{0.5}N層6の各層をそれぞれ、HVPE法で形成することで、各層の成長速度を、例えばMOVPE法で形成した場合の10～100倍程度速くすることができる。例えば、上述の各層を成長した後のリアクタクリーニングまでの時間を含めて、1時間以下の時間で窒化物半導体積層体1を形成することができる。従って、上述の各層をMOVPE法で形成した場合よりも、窒化物半導体積層体1の生産性を向上させることができる。

[0054] (c) また、上述の各層をHVPE法で形成した場合であっても、第1のGa_{0.5}N層4に生じる反りの方向と反対方向の反りを生じるAlN層3を設け、AlN層3及び第1のGa_{0.5}N層4をそれぞれ反らせることで、窒化物半導体積層体1全体での反り量を低減することができる。

[0055] (d) 窒化物半導体積層体1全体での反り量が低減されることで、例えばVAS法によるGa_{0.5}N自立基板の形成において、所定の層をHVPE法により形成した窒化物半導体積層体1を下地基板として用いた場合であっても、自立基板となるGa_{0.5}N層(Ga_{0.5}N自立基板層10)を形成している最中に、下地基板(窒化物半導体積層体1)が破損する(割れる)ことを抑制することができる。これにより、Ga_{0.5}N自立基板層10の歩留り(成長歩留り)を向上させることができる。その結果、Ga_{0.5}N自立基板の生産性を向上させることができる。

[0056] (e) AlN層3を高温(例えば800℃以上1200℃以下)の雰囲気下で形成することで、緻密なAlN層3を形成することができる。これにより、AlN層3が降温した際に、AlN層3をより十分に反らせることができる。従って、第1のGa_{0.5}N層4の厚さが厚くなり、第1のGa_{0.5}N層4に生じる反り量が大きくなる場合であっても、窒化物半導体積層体1全体での反り量を確実に低減することができる。その結果、上記(c)(d)の効果をより得ることができる。

[0057] (f) 第1の工程で、AlN層3を高温の雰囲気下で形成することで、AlN層3の成長温度を、第1のGa_{0.5}N層4の成長温度に近付けることができる。例えば、AlN層3の成長温度と第1のGa_{0.5}N層4の成長温度とを同程度に

できる。これにより、第1の工程が終了した後、第2の工程を開始するまでの時間を短くすることができる。具体的には、AlN層3の形成が終了した後、例えばHVPE装置が備える処理室内が第1のGaN層4を形成可能な所定温度まで昇温（又は降温）するまでの待機時間を短くすることができる。例えば、AlN層3の形成が終了した後すぐに、第1のGaN層4の形成を開始することができる。従って、窒化物半導体積層体1の生産性をより向上させることができる。

[0058] (g) 第1の工程で、AlN層3の厚さを10nm以上500nm以下にすることで、AlN層3をより確実に反らせつつ、窒化物半導体積層体1の生産性の低下を抑制することができる。従って、上記(a)～(d)の効果をより得ることができる。

[0059] (h) 第1のGaN層4の厚さを4 μ m以上にすることで、第1のGaN層4をHVPE法により形成した場合であっても、第2のGaN層6の表面に現れるピット等のマクロ欠陥を十分に低減させることができる。例えば、第2のGaN層6の表面のマクロ欠陥密度を2cm⁻²未満、好ましくは0cm⁻²にすることができる。これにより、第2のGaN層6上に金属膜7を形成する際、金属膜7が剥がれることを抑制することができる。つまり、窒化物半導体積層体1の不良品率を低減することができる。その結果、窒化物半導体積層体1の生産性をより向上させることができる。

[0060] (i) 第2のGaN層6の表面に現れるマクロ欠陥を十分に低減させることで、本実施形態にかかる窒化物半導体積層体1が、例えばVAS法によりGaN自立基板を形成する際の下地基板として用いられた場合、窒化物半導体積層体1を、良好な下地基板として機能させることができる。これにより、GaN自立基板の生産性をより向上させることができる。また、VAS法により、再現性のよいGaN自立基板、つまり質の良いGaN自立基板を形成することができる。

[0061] (j) 本実施形態にかかる発明は、第1のGaN層4の厚さを薄くすることができない場合、つまり第1のGaN層4の厚さを厚くする必要がある場合

に、特に有効である。第1のGa_{0.5}N層4の厚さが厚くなるほど、第1のGa_{0.5}N層4に生じる反り量が大きくなる。この際、本実施形態のように、AlN層3を設けることで、第1のGa_{0.5}N層4に生じる反り量が大きい場合であっても、窒化物半導体積層体1全体での反り量を低減することができる。例えば、第1のGa_{0.5}N層4の厚さを4 μm以上と厚くした場合であっても、窒化物半導体積層体1全体では、反り量を60 μm未満にすることができる。これにより、上記(c)(d)の効果をより得ることができる。

[0062] ここで、少なくとも第1のGa_{0.5}N層を例えばMOVPE法により形成した場合について説明する。この場合、第1のGa_{0.5}N層の厚さが2～3 μm程度であっても、第2のGa_{0.5}N層の表面に現れるマクロ欠陥を十分に低減させることができる。つまり、第1のGa_{0.5}N層をHVPE法により形成する場合よりも、第1のGa_{0.5}N層の厚さを薄くすることができる。その結果、第1のGa_{0.5}N層に生じる反り量も小さくなる。従って、第1のGa_{0.5}N層をMOVPE法により形成した場合、第1のGa_{0.5}N層に生じる反りと反対方向の反りを生じさせるAlN層3を設けなくても、窒化物半導体積層体全体での反り量を例えば60 μm未満にすることができる。しかしながら、第1のGa_{0.5}N層をMOVPE法により形成すると、HVPE法により形成した場合よりも成長速度が遅いため、窒化物半導体積層体の生産性が非常に悪くなる。例えば、第1のGa_{0.5}N層を含む各層を成長した後のリアクタクリーニングまでの時間を含めると、窒化物半導体積層体の形成に10時間程度を要することがある。

[0063] これに対し、上述したように、本実施形態では、第1のGa_{0.5}N層4等の所定の層をHVPE法で形成することで、窒化物半導体積層体1の形成に要する時間を1時間程度にすることができ、窒化物半導体積層体1の生産性を大幅に向上させることができる。また、AlN層3を設けることで、第1のGa_{0.5}N層4等の所定の層をHVPE法で形成し、その厚さを厚くした場合であっても、窒化物半導体積層体1全体での反り量を低減することができる。その結果、VAS法によるGa_{0.5}N自立基板の形成において、HVPE法で形成

した窒化物半導体積層体 1 を下地基板として用いた場合であっても、GaN 自立基板の生産性の低下を抑制することができる。

[0064] <他の実施形態>

以上、本発明の一実施形態を具体的に説明したが、本発明は上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

[0065] 上述の実施形態では、GaN 自立基板を形成する第 7 の工程を窒化物半導体積層体 1 の製造工程に含めて考える場合について説明したが、これに限定されない。つまり、第 7 の工程は、第 1 ～第 6 の工程を窒化物半導体積層体 1 の製造工程とし、第 7 の工程を GaN 自立基板の製造工程としてもよい。

[0066] また、上述の実施形態では、第 7 の工程において、GaN 自立基板層 10 に対してスライス処理を行うことで、1 つの GaN 自立基板層 10 から複数枚の自立基板を形成する場合について説明したが、これに限定されない。例えば、スライス処理は行わなくてもよい。つまり、1 つの GaN 自立基板層 10 から 1 枚の自立基板を形成してもよい。

実施例

[0067] 次に、本発明の実施例を説明するが、本発明はこれらに限定されるものではない。

[0068] <試料 1 ～ 7 の作製>

試料 1 ～ 7 はそれぞれ、サファイア基板上に、サファイア基板の側から順に、AlN 層と、第 1 の GaN 層と、III 族窒化物半導体層と、第 2 の GaN 層と、をそれぞれ HVPE 法で形成し、第 2 の GaN 層上に金属膜を蒸着により形成し、窒化物半導体積層体を形成した。なお、試料 1 ～ 7 にかかる窒化物半導体積層体はそれぞれ、第 1 の GaN 層の厚さを下記の表 1 に示す通りに変更したことを除くその他は、同一の条件で形成している。

[0069]

[表1]

	第1のGa _N 層	第2のGa _N 層	窒化物半導体積層体		
	厚さ (μm)	表面のマクロ欠陥密度 (cm^{-2})	反り量 (μm)	歩留り (%)	不良原因
試料1	1	532	5	0	TiN剥がれ
試料2	2	92	12	0	TiN剥がれ
試料3	3	3	25	10	TiN剥がれ
試料4	4	0	33	90	—
試料5	5	0	40	98	—
試料6	7	0	55	99	—
試料7	8	0	65	28	割れ

[0070] <試料8～14の作製>

また、試料8～14の各試料にかかる窒化物半導体積層体を形成した。試料8～14ではそれぞれ、AlN層を設けなかったこと以外は、試料1～7と同様に形成した窒化物半導体積層体である。この場合、MOVPE法による一般的な成長方法にならない、AlN層の代わりに、サファイア基板と第1のGa_N層4との間に、低温（550℃）の条件下で成長させた、厚さ20nmのGa_N層（低温成長Ga_N層）を形成した。なお、試料8～14の各試料の第1のGa_N層の厚さはそれぞれ、下記の表2に示す通りである。

[0071] [表2]

	第1のGa _N 層	第2のGa _N 層	窒化物半導体積層体		
	厚さ (μm)	表面のマクロ欠陥密度 (cm^{-2})	反り量 (μm)	歩留り (%)	不良原因
試料8	1	634	10	0	TiN剥がれ
試料9	2	83	20	0	TiN剥がれ
試料10	3	2	45	10	TiN剥がれ
試料11	4	0	60	30	割れ
試料12	5	0	75	20	割れ
試料13	6	0	92	2	割れ
試料14	7	0	110	0	割れ

[0072] <Ga_N自立基板の作製>

試料1～試料14の窒化物半導体積層体を下地基板として用い、VAS法によりGa_N自立基板を形成した。

[0073] <窒化物半導体積層体の評価>

試料1～14の各試料についてそれぞれ、第2のGa_N層の表面のマクロ欠陥密度を測定した。この結果を表1及び表2にそれぞれ示す。

[0074] 試料 1 ～ 1 4 の各窒化物半導体積層体について、反り量を測定した。この結果を表 1 及び表 2 にそれぞれ示す。また、試料 1 ～ 1 4 の各窒化物半導体積層体について、歩留りを算出した。なお、この歩留りは、各試料である窒化物半導体積層体を下地基板として G a N 自立基板を形成した際の歩留りである。また、歩留りの低下の要因となった、主な不良原因を観察した。これらの結果を表 1 及び表 2 にそれぞれ示す。なお、表 1 及び表 2 中、「T i N 剥がれ」とは、金属膜である T i N 膜が剥がれたことを示す。また、「割れ」とは、窒化物半導体積層体上に G a N 自立基板層を形成している際に、窒化物半導体積層体に割れが発生し、G a N 自立基板自体に欠陥が生じたことを示している。

[0075] <評価結果>

試料 1 ～ 7 の比較から、第 1 の G a N 層の厚さが厚くなるほど、窒化物半導体積層体に生じる反り量が大きくなることを確認した。また、同様のことが試料 8 ～ 1 4 の比較でも確認できた。

[0076] また、試料 1 ～ 7 と試料 8 ～ 1 4 との比較から、第 1 の G a N 層の厚さが同じ厚さである場合、第 1 の G a N 層に生じる反りの方向と反対方向に反る A l N 層を設けた方が、窒化物半導体積層体に生じる反り量を低減することができることを確認した。例えば、試料 4 と試料 1 1 との比較から、H V P E 法により厚さが 4 μ m の第 1 の G a N 層を形成した場合、A l N 層を設けた試料 4 の窒化物半導体積層体の反り量は 3 3 μ m であるのに対し、A l N 層を設けなかった試料 1 1 の窒化物半導体積層体の反り量は 6 0 μ m であった。

[0077] また、第 1 の G a N 層の厚さを 4 μ m 以上と厚くした場合であっても、第 1 の G a N 層に生じる反りの方向とは反対方向に反る A l N 層を設けることで、窒化物半導体積層体全体では、反り量を低減することができることを確認した。例えば、窒化物半導体積層体全体では、反り量を 6 0 μ m 未満にすることができることを確認した。

[0078] 窒化物半導体積層体全体の反り量が低減されることで、歩留りを向上させ

ることができることを確認した。例えば、試料 5 と試料 12 との比較から、第 1 の GaN 層の厚さが $5\ \mu\text{m}$ と同じ厚さである場合、窒化物半導体積層体全体での反り量が小さい試料 5 の方が、歩留りが高いことを確認した。つまり、窒化物半導体積層体の生産性の低下を抑制することができることを確認した。

[0079] また、HVPE 法により各層を形成した場合であっても、第 1 の GaN 層の厚さが $4\ \mu\text{m}$ 以上であると、第 2 の GaN 層の表面に現れるマクロ欠陥密度を十分に低下させることができることを確認した。例えば、試料 4～7、試料 11～14 からそれぞれ、第 1 の GaN 層の厚さが $4\ \mu\text{m}$ 以上であると、第 2 の GaN 層の表面のマクロ欠陥密度を $0\ \text{cm}^{-2}$ にすることができることを確認した。

[0080] また、試料 1～3、試料 8～10 から、第 2 の GaN 層の表面のマクロ欠陥密度が十分に低減されていない（例えば $0\ \text{cm}^{-2}$ になっていない）と、第 2 の GaN 層上に設けられる金属膜（TiN 膜）が第 2 の基板上から剥がれてしまうことがあることを確認した。その結果、歩留りが 10% 以下まで低下することがあることを確認した。つまり、窒化物半導体積層体の生産性が低下することがあることを確認した。

[0081] <本発明の好ましい態様>

以下に、本発明の好ましい態様について付記する。

[0082] [付記 1]

本発明の一態様によれば、

基板上に窒化アルミニウム層を形成する第 1 の工程と、

前記窒化アルミニウム層上に第 1 の窒化ガリウム層を形成する第 2 の工程と、

前記第 1 の窒化ガリウム層上に、アルミニウムを含む III 族窒化物半導体層を形成する第 3 の工程と、

前記 III 族窒化物半導体層上に、第 2 の窒化ガリウム層を形成する第 4 の工程と、

前記第2の窒化ガリウム層上に、金属膜を形成する第5の工程と、
前記第2の窒化ガリウム層及び前記金属膜を多孔質に改質する処理を行う
第6の工程と、を有し、
前記第1～第4の各工程をそれぞれ、HVPE法により行う窒化物半導体
積層体の製造方法が提供される。

[0083] [付記2]

付記1の窒化物半導体積層体の製造方法であって、好ましくは、
前記第1の工程では、前記窒化アルミニウム層を形成する温度を800℃
以上1200℃以下にする。

[0084] [付記3]

付記1又は2の窒化物半導体積層体の製造方法であって、好ましくは、
前記第1の工程では、前記窒化アルミニウム層の厚さを10nm以上50
0nm以下にする。

[0085] [付記4]

付記1ないし3のいずれかの窒化物半導体積層体の製造方法であって、好
ましくは、
前記第2の工程では、前記第1の窒化ガリウム層を4μm以上にする。

[0086] [付記5]

付記1ないし4のいずれかの窒化物半導体積層体の製造方法であって、好
ましくは、
前記基板としてサファイア基板を用いる。

[0087] [付記6]

付記1ないし5のいずれかの窒化物半導体積層体の製造方法であって、好
ましくは、
多孔質に改質された前記金属膜上に、自立基板となる窒化ガリウム層を成
膜する第7の工程を有する。

[0088] [付記7]

付記6の窒化物半導体積層体の製造方法であって、好ましくは、

前記第 7 の工程では、前記金属膜から前記自立基板となる窒化ガリウム層を剥離し、前記自立基板を形成する。

[0089] [付記 8]

付記 7 の窒化物半導体積層体の製造方法であって、好ましくは、
前記第 7 の工程では、剥離した前記自立基板となる窒化ガリウム層に対してスライス処理を行うことで、1 つの前記自立基板となる窒化ガリウム層から複数枚の前記自立基板を形成する。

[0090] [付記 9]

本発明の他の態様によれば、
基板上に設けられた窒化アルミニウム層と、
前記窒化アルミニウム層上に設けられた第 1 の窒化ガリウム層と、
前記第 1 の窒化ガリウム層上に設けられたアルミニウムを含む III 族窒化物半導体層と、
前記 III 族窒化物半導体層上に設けられ、多孔質な第 2 の窒化ガリウム層と、
前記第 2 の窒化ガリウム層上に設けられ、多孔質な金属膜と、を備え、
前記窒化アルミニウム層に生じた反りによって、前記第 1 の窒化ガリウム層に生じた反りが打ち消されるような力が前記第 1 の窒化ガリウム層に加えられている窒化物半導体積層体を提供される。

[0091] [付記 10]

付記 9 の窒化物半導体積層体であって、好ましくは、
前記第 1 の窒化ガリウム層の厚さが $4\ \mu\text{m}$ 以上である。

[0092] [付記 11]

付記 9 又は 10 の窒化物半導体積層体であって、好ましくは、
前記窒化アルミニウム層の厚さが $10\ \text{nm}$ 以上 $500\ \text{nm}$ 以下である。

[0093] [付記 12]

付記 9 ないし 11 のいずれかの窒化物半導体積層体であって、好ましくは、
、

前記基板がサファイア基板である。

[0094] [付記 1 3]

付記 9 ないし 1 2 のいずれかの窒化物半導体積層体であって、好ましくは

、

前記金属膜上には、自立基板となる窒化ガリウム層が形成されている。

符号の説明

- | | | |
|--------|---|---------------|
| [0095] | 1 | 窒化物半導体積層体 |
| | 2 | 基板 |
| | 3 | A l N 層 |
| | 4 | 第 1 の G a N 層 |
| | 5 | Ⅲ 族窒化物半導体層 |
| | 6 | 第 2 の G a N 層 |
| | 7 | 金属膜 |

請求の範囲

- [請求項1] 基板上に窒化アルミニウム層を形成する第1の工程と、
 前記窒化アルミニウム層上に第1の窒化ガリウム層を形成する第2の工程と、
 前記第1の窒化ガリウム層上に、アルミニウムを含むⅢ族窒化物半導体層を形成する第3の工程と、
 前記Ⅲ族窒化物半導体層上に、第2の窒化ガリウム層を形成する第4の工程と、
 前記第2の窒化ガリウム層上に、金属膜を形成する第5の工程と、
 前記第2の窒化ガリウム層及び前記金属膜を多孔質に改質する処理を行う第6の工程と、を有し、
 前記第1～第4の各工程をそれぞれ、H V P E法により行う窒化物半導体積層体の製造方法。
- [請求項2] 前記第1の工程では、前記窒化アルミニウム層を形成する温度を800℃以上1200℃以下にする
請求項1に記載の窒化物半導体積層体の製造方法。
- [請求項3] 前記第1の工程では、前記窒化アルミニウム層の厚さを10nm以上500nm以下にする
請求項1又は2に記載の窒化物半導体積層体の製造方法。
- [請求項4] 前記第2の工程では、前記第1の窒化ガリウム層を4μm以上にする
請求項1ないし3のいずれかに記載の窒化物半導体積層体の製造方法。
- [請求項5] 基板上に設けられた窒化アルミニウム層と、
 前記窒化アルミニウム層上に設けられた第1の窒化ガリウム層と、
 前記第1の窒化ガリウム層上に設けられたアルミニウムを含むⅢ族窒化物半導体層と、
 前記Ⅲ族窒化物半導体層上に設けられ、多孔質な第2の窒化ガ

リウム層と、

前記第 2 の窒化ガリウム層上に設けられ、多孔質な金属膜と、を備え、

前記窒化アルミニウム層に生じた反りによって、前記第 1 の窒化ガリウム層に生じた反りが打ち消されるような力が前記第 1 の窒化ガリウム層に加えられている

窒化物半導体積層体。

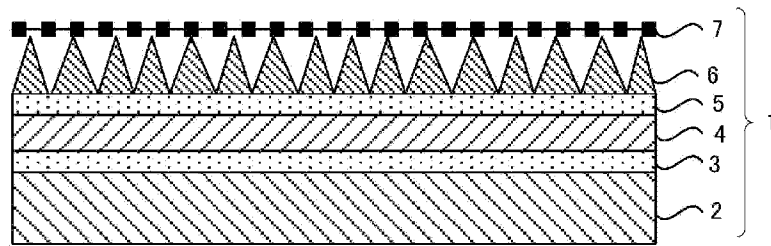
[請求項6] 前記第 1 の窒化ガリウム層の厚さが $4\ \mu\text{m}$ 以上である

請求項 5 に記載の窒化物半導体積層体。

[請求項7] 前記窒化アルミニウム層の厚さは $10\ \text{nm}$ 以上 $500\ \text{nm}$ 以下である

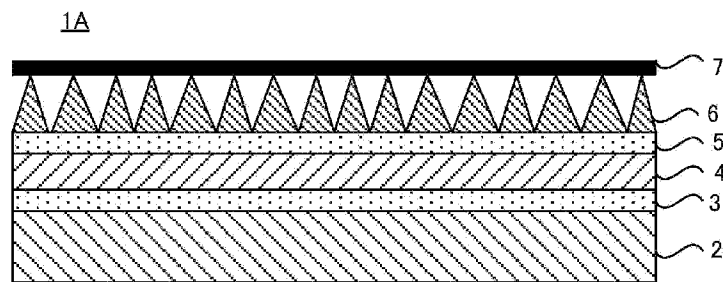
請求項 5 又は 6 に記載の窒化物半導体積層体。

[図1]

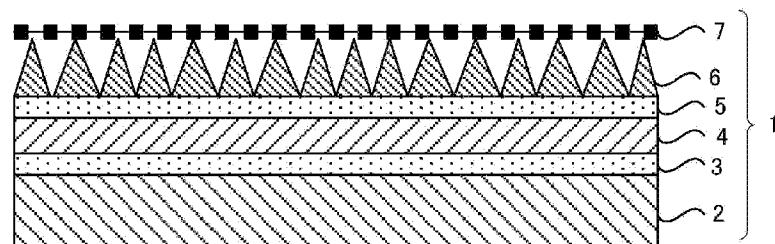


[図2]

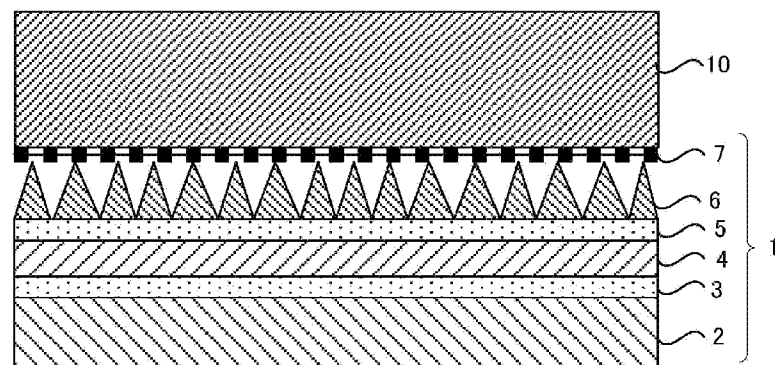
(a)



(b)



(c)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/085824

A. CLASSIFICATION OF SUBJECT MATTER

C30B29/38(2006.01)i, H01L21/205(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

C30B29/38, H01L21/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016

Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-536257 A (Centre National de la Recherche Scientifique), 02 December 2003 (02.12.2003), paragraphs [0028], [0029], [0035] to [0039]; fig. 1, 2 & US 2003/0136333 A1 paragraphs [0072], [0073], [0087] to [0100]; fig. 1, 2 & WO 2001/095380 A1 & EP 1290721 A & FR 2810159 A & AU 6613101 A & CA 2411606 A & CN 1436365 A & KR 10-2003-0007896 A	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

23 February 2016 (23.02.16)

Date of mailing of the international search report

08 March 2016 (08.03.16)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/085824

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-319711 A (Hitachi Cable Ltd.), 11 November 2004 (11.11.2004), paragraphs [0015] to [0024]; fig. 1, 2 & US 2004/0206967 A1 paragraphs [0068] to [0078]; fig. 1A to 2B	1-7
A	JP 2014-527707 A (Soitec), 16 October 2014 (16.10.2014), & US 2014/0327013 A1 & WO 2013/001014 A1 & EP 2727133 A & FR 2977260 A & TW 201305397 A & CN 103828019 A & KR 10-2014-0096018 A	1-7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. C30B29/38(2006.01)i, H01L21/205(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. C30B29/38, H01L21/205

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-536257 A (セントレ・ナショナル・デ・ラ・レシエルシェ・サイエンティフィック) 2003.12.02, 段落 0028, 0029, 0035-0039, 図 1, 2 & US 2003/0136333 A1 ([0072], [0073], [0087]-[0100], Fig. 1, 2) & WO 2001/095380 A1 & EP 1290721 A & FR 2810159 A & AU 6613101 A & CA 2411606 A & CN 1436365 A & KR 10-2003-0007896 A	1-7
Y	JP 2004-319711 A (日立電線株式会社) 2004.11.11, 段落 0015-0024, 図 1, 2 & US 2004/0206967 A1 ([0068]-[0078], Fig. 1A-2B)	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

23.02.2016

国際調査報告の発送日

08.03.2016

国際調査機関の名称及びあて先

日本国特許庁 (I S A/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

塩谷 領大

電話番号 03-3581-1101 内線 3416

4 G

4665

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-527707 A (ソイテック) 2014. 10. 16, & US 2014/0327013 A1 & WO 2013/001014 A1 & EP 2727133 A & FR 2977260 A & TW 201305397 A & CN 103828019 A & KR 10-2014-0096018 A	1-7