

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5197130号
(P5197130)

(45) 発行日 平成25年5月15日 (2013.5.15)

(24) 登録日 平成25年2月15日 (2013.2.15)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
H01L 51/50 (2006.01)
H05B 33/14 (2006.01)
G09G 3/20 (2006.01)

G09G 3/30 J
H05B 33/14 A
H05B 33/14 Z
G09G 3/20 611H
G09G 3/20 642A

請求項の数 5 (全 48 頁) 最終頁に続く

(21) 出願番号 特願2008-114079 (P2008-114079)
(22) 出願日 平成20年4月24日 (2008.4.24)
(65) 公開番号 特開2009-265328 (P2009-265328A)
(43) 公開日 平成21年11月12日 (2009.11.12)
審査請求日 平成22年11月12日 (2010.11.12)

(73) 特許権者 302020207
株式会社ジャパンディスプレイセントラル
埼玉県深谷市幡羅町一丁目9番地2
(74) 代理人 100059225
弁理士 蔦田 璋子
(74) 代理人 100076314
弁理士 蔦田 正人
(74) 代理人 100112612
弁理士 中村 哲士
(74) 代理人 100112623
弁理士 富田 克幸
(74) 代理人 100124707
弁理士 夫 世進

最終頁に続く

(54) 【発明の名称】 EL表示装置。

(57) 【特許請求の範囲】

【請求項 1】

EL素子を有する画素がマトリックス状に配置された表示画面と、
ソース信号線の一端と接続され、第3の電圧である映像信号電圧を前記ソース信号線の
一端へ出力するソースドライバ回路と、

前記画素行を選択するゲートドライバ回路と、

予め定めた第2の電圧と第4の電圧（但し、第4の電圧は前記第2の電圧より低い電圧
である）を印加する電源回路と、

を有するEL表示装置において、

前記画素には、前記EL素子に電流を供給する駆動用トランジスタと、第1のスイッチ
トランジスタと、第2のスイッチトランジスタと、第3のスイッチトランジスタと、第4
のスイッチトランジスタと、第5のスイッチトランジスタと、第1のコンデンサと、第2
のコンデンサが形成されており、

前記駆動用トランジスタはゲート端子と第1の端子と第2の端子を有し、

前記第1のスイッチトランジスタの第1の端子は、第1の電圧（但し、前記第1の電圧
は、-5V以上GND電圧以下である）が印加された配線と接続され、前記第1のスイッ
チトランジスタの第2の端子は、前記駆動用トランジスタと接続され、

前記第1のスイッチトランジスタの第1の端子は第1の電圧が印加され、前記第1のス
イッチトランジスタの第2の端子は、前記第1のスイッチトランジスタがオン状態の時に
前記第1の電圧を前記駆動用トランジスタのゲート端子に印加できるように接続され、

10

20

前記第2のスイッチトランジスタの第1の端子は、前記駆動用トランジスタの第1の端子と接続され、前記第2のスイッチトランジスタの第2の端子は、前記駆動用トランジスタのゲート端子と接続され、

前記第3のスイッチトランジスタの第1の端子は、前記ソース信号線と接続され、前記第3のスイッチトランジスタの第2の端子は、前記駆動用トランジスタの第2の端子と接続され、

前記第4のスイッチトランジスタの第1の端子は、前記駆動用トランジスタの第1の端子と接続され、前記第4のスイッチトランジスタの第2の端子は、前記EL素子の一方の端子と接続され、

前記EL端子の他方の端子が前記第4の電圧を出力する前記電源回路の端子に接続され、

10

前記第5のスイッチトランジスタの第1の端子は、前記第2の電圧を出力する前記電源回路の端子に接続された配線と接続され、前記第5のスイッチトランジスタの第2の端子は、前記駆動用トランジスタの第2の端子と接続され、

前記第1のコンデンサは、前記第2の電圧を出力する前記電源回路の端子に接続された前記配線と前記駆動用トランジスタの第2の端子の間、又は、前記第3のスイッチトランジスタの第2の端子と前記第3のスイッチトランジスタのゲート端子の間に形成され、

前記第2のコンデンサの一端は、前記第2の電圧を出力する前記電源回路の端子に接続された前記配線に接続され、他端は前記駆動用トランジスタのゲート端子と前記第1のスイッチトランジスタの第2の端子にそれぞれ接続され、

20

第1の期間に、前記第2のスイッチトランジスタと第3のスイッチトランジスタと第4のスイッチトランジスタはオフ状態にし、前記第1のスイッチトランジスタと前記第5のスイッチトランジスタをオン状態にし、前記第1の電圧を前記第2のコンデンサの他端に印加して前記第2のコンデンサを初期化し、

第1の期間後の第2の期間に、前記第1のスイッチトランジスタと前記第4のスイッチトランジスタと前記第5のスイッチトランジスタをオフ状態にし、前記第2のスイッチトランジスタ及び前記第3のスイッチトランジスタをオン状態にし、前記第3の電圧を前記第1のコンデンサの一端に印加するとともに、前記第3の電圧を前記駆動用トランジスタの第2端子に印加し、

前記第2の期間後の第3の期間に、前記第2のスイッチトランジスタをオン状態にし、前記第1のスイッチトランジスタと前記第3のスイッチトランジスタと第4のスイッチトランジスタと第5のスイッチトランジスタをオフ状態にし、前記第1のコンデンサから前記第3の電圧を、前記駆動用トランジスタの第2端子に印加し、

30

前記第3の期間後の第4の期間に、前記第4のスイッチトランジスタと前記第5のスイッチトランジスタをオン状態にし、前記第1のスイッチトランジスタと前記第2のスイッチトランジスタと前記第3のスイッチトランジスタをオフ状態にして、前記EL素子を発光させる、

ことを特徴とするEL表示装置。

【請求項2】

前記第2のスイッチトランジスタは、マルチゲート構造である、
ことを特徴とする請求項1に記載のEL表示装置。

40

【請求項3】

前記第1のコンデンサが、前記第2の電圧が印加された配線と前記駆動用トランジスタの第2の端子の間に形成されている場合に、

前記第3のスイッチトランジスタのゲート端子と、前記駆動用トランジスタのゲート端子間に第3のコンデンサが形成されている、

ことを特徴とする請求項1又は2に記載のEL表示装置。

【請求項4】

前記第4のスイッチトランジスタをオンオフ制御することにより、前記表示画面に、帯状の非表示領域を表示するとともに、前記非表示領域を、前記ゲートドライバ回路の操作

50

方向に移動させる、

ことを特徴とする請求項 1 乃至 3 のいずれか一項に記載の E L 表示装置。

【請求項 5】

任意の画素の前記第 1 のスイッチトランジスタのゲート端子は、前記任意の画素より前の画素行の画素の第 2 のスイッチトランジスタのゲート端子と、共通のゲート信号線に接続されている、

ことを特徴とする請求項 1 乃至 4 のいずれか一項に E L 表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機または無機エレクトロルミネッセンス (E L) 素子などを用いる E L 表示パネル (表示装置) などの自発光表示パネル (表示装置) を用いた、 E L 表示装置 (有機発光表示装置) に関するものである。

【背景技術】

【0002】

電気光学変換物質として有機エレクトロルミネッセンス (E L) 材料あるいは無機 E L 材料を用いたアクティブマトリクス型の画像表示装置は、画素に書き込まれる電流に応じて発光輝度が変化する。 E L 表示装置は、各画素に発光素子を有する自発光型である。 E L 表示装置は、液晶表示パネルに比べて画像の視認性が高い、発光効率が高い、バックライトが不要、応答速度が速い等の利点を有する。

【0003】

有機 E L (P L E D 、 O L E D 、 O E L) パネル (有機発光素子パネル) は、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子 (一般には薄膜トランジスタ、 T F T) によって制御するものであり、特許文献 1 , 2 に記載がある。

【特許文献 1】特開 2 0 0 3 - 2 5 5 8 5 6

【特許文献 2】特開 2 0 0 3 - 2 7 1 0 9 5

【発明の開示】

【発明が解決しようとする課題】

【0004】

有機 E L 表示パネルは、低温あるいは高温ポリシリコンからなるトランジスタアレイを用いてパネルを構成する。しかし、有機 E L 素子は、ポリシリコントランジスタアレイのトランジスタ特性にバラツキがあると、表示ムラが発生する。

【0005】

E L 素子 1 5 に電流を供給する駆動用トランジスタ 1 1 a に特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、トランジスタ 1 1 a は 5 0 % 以上の特性バラツキがある。そのために、駆動用トランジスタの特性バラツキが表示ムラとして表示され、画像表示品位を低下させていた。

【課題を解決するための手段】

【0006】

本発明は、 E L 素子を有する画素がマトリックス状に配置された表示画面と、ソース信号線の一端と接続され、第 3 の電圧である映像信号電圧を前記ソース信号線の一端へ出力するソースドライバ回路と、前記画素行を選択するゲートドライバ回路と、予め定めた第 2 の電圧と第 4 の電圧 (但し、第 4 の電圧は前記第 2 の電圧より低い電圧である) を印加する電源回路と、を有する E L 表示装置において、前記画素には、前記 E L 素子に電流を供給する駆動用トランジスタと、第 1 のスイッチトランジスタと、第 2 のスイッチトランジスタと、第 3 のスイッチトランジスタと、第 4 のスイッチトランジスタと、第 5 のスイッチトランジスタと、第 1 のコンデンサと、第 2 のコンデンサが形成されており、前記駆動用トランジスタはゲート端子と第 1 の端子と第 2 の端子を有し、前記第 1 のスイッチトランジスタの第 1 の端子は、第 1 の電圧 (但し、前記第 1 の電圧は、 - 5 V 以上 G N D 電

10

20

30

40

50

圧以下である)が印加された配線と接続され、前記第1のスイッチトランジスタの第2の端子は、前記駆動用トランジスタと接続され、前記第1のスイッチトランジスタの第1の端子は第1の電圧が印加され、前記第1のスイッチトランジスタの第2の端子は、前記第1のスイッチトランジスタがオン状態の時に前記第1の電圧を前記駆動用トランジスタのゲート端子に印加できるように接続され、前記第2のスイッチトランジスタの第1の端子は、前記駆動用トランジスタの第1の端子と接続され、前記第2のスイッチトランジスタの第2の端子は、前記駆動用トランジスタのゲート端子と接続され、前記第3のスイッチトランジスタの第1の端子は、前記ソース信号線と接続され、前記第3のスイッチトランジスタの第2の端子は、前記駆動用トランジスタの第2の端子と接続され、前記第4のスイッチトランジスタの第1の端子は、前記駆動用トランジスタの第1の端子と接続され、前記第4のスイッチトランジスタの第2の端子は、前記E L素子の一方の端子と接続され、前記E L端子の他方の端子が前記第4の電圧を出力する前記電源回路の端子に接続され、前記第5のスイッチトランジスタの第1の端子は、前記第2の電圧を出力する前記電源回路の端子に接続された配線と接続され、前記第5のスイッチトランジスタの第2の端子は、前記駆動用トランジスタの第2の端子と接続され、前記第1のコンデンサは、前記第2の電圧を出力する前記電源回路の端子に接続された前記配線と前記駆動用トランジスタの第2の端子の間、又は、前記第3のスイッチトランジスタの第2の端子と前記第3のスイッチトランジスタのゲート端子の間に形成され、前記第2のコンデンサの一端は、前記第2の電圧を出力する前記電源回路の端子に接続された前記配線に接続され、他端は前記駆動用トランジスタのゲート端子と前記第1のスイッチトランジスタの第2の端子にそれぞれ接続され、第1の期間に、前記第2のスイッチトランジスタと第3のスイッチトランジスタと第4のスイッチトランジスタはオフ状態にし、前記第1のスイッチトランジスタと前記第5のスイッチトランジスタをオン状態にし、前記第1の電圧を前記第2のコンデンサの他端に印加して前記第2のコンデンサを初期化し、第1の期間後の第2の期間に、前記第1のスイッチトランジスタと前記第4のスイッチトランジスタと前記第5のスイッチトランジスタをオフ状態にし、前記第2のスイッチトランジスタ及び前記第3のスイッチトランジスタをオン状態にし、前記第3の電圧を前記第1のコンデンサの一端に印加するとともに、前記第3の電圧を前記駆動用トランジスタの第2端子に印加し、前記第2の期間後の第3の期間に、前記第2のスイッチトランジスタをオン状態にし、前記第1のスイッチトランジスタと前記第3のスイッチトランジスタと第4のスイッチトランジスタと第5のスイッチトランジスタをオフ状態にし、前記第1のコンデンサから前記第3の電圧を、前記駆動用トランジスタの第2端子に印加し、前記第3の期間後の第4の期間に、前記第4のスイッチトランジスタと前記第5のスイッチトランジスタをオン状態にし、前記第1のスイッチトランジスタと前記第2のスイッチトランジスタと前記第3のスイッチトランジスタをオフ状態にして、前記E L素子を発光させる、ことを特徴とするE L表示装置である。

【発明の効果】

【0007】

本発明は、オフセットキャンセルする電圧を保持するコンデンサを各画素に有しているため、したがって、画素にソース信号線に印加した映像信号電圧Vdataを印加した状態でも、画素の駆動用トランジスタ11aのオフセットキャンセルを実現できる。そのため、映像書込期間から独立して、オフセットキャンセル期間を確保できるので、十分に駆動用トランジスタをオフセットキャンセルすることができ、駆動用トランジスタ11aの特性バラツキを補償し、特性表示ムラのない画像表示を実現できる。

【発明を実施するための最良の形態】

【0008】

図1は、本発明のE L表示装置の画素構成である。また、図3は、画素16がマトリクス状に配置された表示領域31に、ゲートドライバ回路12およびソースドライバIC14が接続された構成図である。

【0009】

ゲートドライバ回路 12 には、クロック信号 (CLK)、スタート信号 (ST1、ST2) などは、アップダウン信号 (UP) が印加される。クロック信号 (CLK) は、水平同期信号 (HD) に同期している。また、必要に応じて、EL 表示装置内に内蔵する発振モジュールでクロック信号 (CLK) を発生させる。スタート信号 (ST2) を制御することにより、点灯率制御を実現できる。クロック信号 (CLK)、スタート信号 (ST1、ST2)、アップダウン信号 (UP) などゲートドライバ回路 12 に印加する信号は、ソースドライバ IC 14 で発生し、アレイ基板に形成したレベルシフト回路でレベルシフトしてゲートドライバ回路 12 に印加される。

【0010】

点灯率にあわせて EL 表示装置で表示する階調数を変化させることが好ましい。例えば、点灯率が 50% 以上では、フル階調の 1/2 の範囲 (1024 階調の場合は、512 階調) で、画像を表示し、50% 以下では、フル階調の範囲で画像を表示する。

10

【0011】

なお、点灯率とは、duty 駆動などピーク電流を抑制しないノーマルの駆動方式において、最大階調での白ラスタ表示を 100% とした割合である。したがって、黒ラスタ表示では点灯率は 0% である。

【0012】

クロック信号 (CLK) は、選択する画素行を順次移動させるための信号である。スタートパルス信号 (ST) は、選択する画素行を指定するための信号である。スタートパルス信号 (ST) はクロック信号 (CLK) により、ゲートドライバ回路 12 のシフトレジスタ回路内を移動する。アップダウン信号は、画面の上下反転切換信号である。シフトレジスタ回路内のスタートパルス位置にしたがって、ゲート信号線 17 が選択される (ゲート信号線 17 にオン電圧 (VGL) が印加される)。

20

【0013】

一例としてカソード電圧 V_{ss} は、 $-4.5\text{V} \sim -1.0\text{V}$ であり、アノード電圧 V_d は、 $3.5\text{V} \sim 7.0\text{V}$ である。 V_{ss} 、 V_{dd} 、 V_{GH} 、 V_{GL} などは電源回路から供給され、必要に応じて各電圧の値は変更設定される。

【0014】

図 1 において、画素 16 は、2つのコンデンサ 19a、19b と 5つのスイッチ用トランジスタ (11b、11c、11d、11e、11f) と 1つの駆動用トランジスタ 11a で構成される。トランジスタ 11b は、トランジスタ 11a をダイオード接続 (Diode-connected) させて、閾値電圧を補償するための閾値電圧補償トランジスタである。トランジスタ 11f は、コンデンサ 19a を初期化させるためリセット電圧 V_{rst} を印加するための初期化トランジスタである。トランジスタ 11d は、EL 素子 15 の発光を制御するためのトランジスタである。

30

【0015】

スイッチ用トランジスタ 11b、11f はオフリークと小さくする必要があるため、ディアルゲート以上の複数ゲート構成にする。ただし、スイッチ用トランジスタ 11b、11f のオフ特性が十分である場合は、シングルゲート構成であってもよい。

【0016】

40

コンデンサ 19a は、駆動トランジスタ 11a のゲート端子の電位を保持する保持用のコンデンサである。コンデンサ 19b は、ソース信号線 18 に印加され、画素 16 に印加された映像信号を画素 16 内で保持するものである。

【0017】

スイッチ用トランジスタ 11c は、ゲート信号線 17a にゲート電極が接続され、ソース信号線 18 にソース電極が接続され、ゲートドライバ回路 12a からの選択信号によりオンオフ制御される。

【0018】

駆動トランジスタ 11a は、トランジスタ 11c のドレイン電極にソース電極が接続される。閾値電圧補償トランジスタ 11b のソースまたはドレイン電極と、コンデンサ 19

50

aの第1の端子が共通接続され、駆動用トランジスタ11aのゲート電圧が決定される。したがって、駆動用トランジスタ11aは、ゲート電極に印加された電圧に相当する駆動電流を生成する。

【0019】

閾値電圧補償トランジスタ11bは、前記駆動トランジスタ11aのゲート電極とソース電極との間に接続され、ゲート信号線17cに印加されるスキャン信号にตอบสนองして駆動用トランジスタ11aをダイオード接続させる。したがって、前記スキャン信号によって駆動用トランジスタ11aは、ダイオードのような状態になり、駆動用トランジスタ11aのゲート端子に電圧 $V_{data} - V_{th}$ [V]が印加され、これは、前記駆動用トランジスタ11aのゲート電圧となる。なお、電圧 V_{data} は、ソースドライバIC14がソース信号線18に出力された映像信号である。また、 V_{th} では、駆動用トランジスタ11aに閾値電圧である。

10

【0020】

初期化トランジスタ11fは、リセット電圧ライン V_{rst} とコンデンサ19aの第1の端子との間に接続され、ゲート信号線17dのスキャン信号にตอบสนองして、前記コンデンサ19aに充填された電荷は前記リセット電圧ライン V_{rst} を介して放電させることによって、前記コンデンサ19aを初期化させる。

【0021】

トランジスタ11eは、第1の電源電圧ライン V_{dd} と駆動用トランジスタ11aのソース電極との間に接続され、ゲート電極に接続したゲート信号線17bを介して伝達される発光制御信号によりオンとなり、第1の電源電圧 V_{dd} を前記駆動用トランジスタ11aのソース電極に印加する。

20

【0022】

トランジスタ11dは、駆動用トランジスタ11aとEL素子15との間に接続され、ゲート電極に接続した前記ゲート信号線17bを介して伝達される発光制御信号にตอบสนองして前記駆動用トランジスタ11aで生成される前記駆動電流を前記EL素子15に伝達する。

【0023】

コンデンサ19aは、第1の電源電圧ライン V_{dd} と駆動用トランジスタ11aのゲート電極との間に接続され、第1の電源電圧 V_{dd} と前記駆動用トランジスタ11aのゲート電極に印加される電圧 $V_{data} - V_{th}$ [V]の電圧差に該当する電荷を1フレームの間に維持する。

30

【0024】

なお、ゲート信号線17に印加される電圧は、オフ電圧(V_{GH})とオン電圧(V_{GL})であり、 V_{GH} 電圧の印加により、スイッチ用トランジスタ11(11b、11c、11d、11e、11f)がオフし、 V_{GL} 電圧の印加により、スイッチ用トランジスタ11(11b、11c、11d、11e、11f)がオンする。ただし、図3に図示するように、 V_{GH} 電圧は、ゲートドライバ回路12aとゲートドライバ回路12bで共通であるば、 V_{GL} 電圧は、ゲートドライバ回路12aでは、 V_{GL1} とし、ゲートドライバ回路12bでは、 V_{GL2} としている。つまり、ゲートドライバ回路12aと12bでは、オン電圧を異ならせている。

40

【0025】

したがって、ゲート信号線17a、ゲート信号線17cに印加されるオン電圧は V_{GL1} であり、ゲート信号線17b、ゲート信号線17dに印加されるオン電圧は V_{GL2} である。また、 $V_{GL1} > V_{GL2}$ なる関係となるように設定されている。なお、ゲート信号線17aに印加される V_{GH} とゲート信号線17dに印加される V_{GH} とを異ならせてもよい。

【0026】

なお、本発明実施例において、駆動用トランジスタ11aはPチャンネルトランジスタだがこれに限定するものでなく、Nチャンネルトランジスタであってもよい。この場合は

50

、オン電圧が V_{GH} となり、オフ電圧が V_{GL} となる。また、また、駆動用トランジスタ11aのソース端子はアノード電圧 V_{dd} と接続されているとして説明するが、これに限定するものではない。例えば、カソード電圧 V_{ss} あるいはグランド電圧 GND に接続されていてもよい。また、コンデンサ18は、トランジスタ11のゲート絶縁膜容量によるコンデンサで代用してもよい。

【0027】

ゲートドライバ回路12aには、ゲート信号線17aを選択するスタートパルス $ST1$ 、ゲート信号線17cを選択するスタートパルス $ST2$ 、スタートパルスを順次シフトするクロック信号(CLK)が印加される。 UD は、ゲートドライバ回路12a内のスタートパルスの上下シフトレジスタ方向を切り替える信号である。ゲートドライバ回路12bには、ゲート信号線17bを選択するスタートパルス $ST3$ 、ゲート信号線17dを選択するスタートパルス $ST4$ 、スタートパルスを順次シフトするクロック信号(CLK)が印加される。なお、必要に応じて、ゲートドライバ回路12には、イネーブル制御端子を付加することが好ましい。ゲートドライバ回路12内には、シフトレジスタ回路が形成されており、スタートパルスをクロック信号(CLK)に同期して順次シフトさせ、選択するゲート信号線17位置を変化させる。

【0028】

図2は、ゲート信号線17a、17b、17c、17dに印加される駆動電圧、ソース信号線18の映像信号電圧、EL素子15の発光状態を示す。

【0029】

なお、図2では、説明を容易にするため、オフ電圧を V_{GH} とし、オン電圧を V_{GL} とする。また、ソース信号線18に印加される電圧 V_{data} は、グランド電圧(GND) = $0V$ とし、アノード電圧 V_{dd} 以下としている。なお、1Hとは1水平走査期間である。また、図2は模式的なものであり、1Hが数Hとしてもよく、1Hは1Hより短い期間としてもよい。なお、 V_{GH} 電圧は、 V_{dd} 電圧よりも $0.5V$ 以上 $3.0V$ 以下の電圧に設定される。

【0030】

画素16には、1tからatの期間に、ゲート信号線17dにオン電圧が印加される。オン電圧(V_{GL})の印加により、トランジスタ11fがオンし、リセット電圧 V_{rst} が駆動用トランジスタ11aのゲート端子にリセット電圧 V_{rst} が印加される(a点)。

【0031】

リセット電圧 V_{rst} の印加により、駆動用トランジスタ11aは、リセット状態になる。なお、リセット電圧 V_{rst} は、 GND 電圧以下 $-5(V)$ 以上の電圧に設定すべきである。また、リセット電圧 V_{rst} は、映像信号電圧 V_{data} に対応して変化させてもよい。例えば、映像信号の階調番号に対応させてリセット電圧 V_{rst} を変化させる。また、リセット電圧 V_{rst} は、赤(R)、緑(G)、青(B)の映像信号電圧で変化させてもよい。RGBで映像信号の振幅が異なるからである。この場合は、階調番号に対応せず、各RGBで固定のリセット電圧 V_{rst} を設定してもよい。また、リセット電圧 V_{rst} は、表示画面で消費される電流に対応させて変化させてもよい。

【0032】

ゲート信号線17cは、リセット電圧 V_{rst} の印加後(at)、オン電圧が印加される。オン電圧(V_{GL})を印加する期間は、1H以上としているが、これに限定するものではなく、1H以下の期間であってもよい。少なくともゲート信号線17cにオン電圧(V_{GL})を印加する期間は、ゲート信号線17aにオン電圧(V_{GL})を印加する期間よりも長くする。また、オーバーラップさせる。なお、リセット電圧 V_{rst} の印加時間は、 $2\mu sec$ 以上に時間を確保することが好ましい。

【0033】

ゲート信号線17aオン電圧(V_{GL})を印加することにより、スイッチ用トランジスタ11cがオンし、ソース信号線18に印加した V_{data} がコンデンサ19b印加され

10

20

30

40

50

る。a 点に印加されて映像信号 $Vdata$ は、スイッチ用トランジスタ 11b がオンしている期間保持される。

【0034】

なお、図 2 に図示するゲート信号線 17a の斜線部は、オン電圧 (VGL) を印加してもオフ電圧 (VGH) を印加してもよい。

【0035】

スイッチ用トランジスタ 11c、スイッチ用トランジスタ 11 がオンすることにより、ソース信号線 18 から、駆動用トランジスタのおよびトランジスタ 11b のチャンネル間のパスが発生し、コンデンサ 11a に電荷が充電される。 $Vdata$ の印加により、駆動用トランジスタ 11a は、 $Vdata$ に対応する電流を流すように、ゲート端子 b 点の電位を変化させ、変化後の電圧が、コンデンサ 19a に保持される。この動作により、駆動用トランジスタ 11a のオフセットがキャンセルされる。コンデンサ 19b の電位は 1 フレームの期間保持される。

【0036】

以上のオフセットキャンセルの動作後、ゲート信号線 17b にオン電圧が印加され、スイッチ用トランジスタ 11e がオンし、 Vdd 電圧が駆動用トランジスタ 11a のソース端子に供給される。また、スイッチ用トランジスタ 11d がオンし、駆動用トランジスタ 11a から EL 素子 15 の駆動用電流が EL 素子 15 に供給される。EL 素子 15 は、印加された電流により発光する。

【0037】

ゲート信号線 17b には、オン電圧またはオフ電圧が印加され、オンオフ電圧に同期して EL 素子 15 に電流が供給される。このオンオフ電圧の印加状態に同期して EL 素子は発光または消灯する。

【0038】

EL 素子 15 が発光または消灯している動作時 (電圧プログラム時以外の期間、3t ~ の期間) では、トランジスタ 11b はオープン状態である。この時、トランジスタ 11a のソース端子は、EL 素子 15 が発光しているときは、アノード電圧 Vdd (トランジスタ 11e のチャンネル電圧降下は無視する) が印加されている。EL 素子 15 が消灯時は、トランジスタ 11e およびトランジスタ 11d をオープン状態にされる。この EL 素子 15 が消灯時は、駆動用トランジスタ 11a のソース端子は、コンデンサ 19b によりほぼ、アノード電位 Vdd に保持されている。したがって、トランジスタ 11a の電位安定度がよい。もちろん、EL 素子 15 の点灯および消灯は、トランジスタ 11d を duty 制御 (トランジスタ 11d などオンオフさせて、表示画面 31 に帯状の非表示領域を発生し、前記非表示領域を画面 31 の上下方向に、フレーム周期に同期して画像表示させる) してもよい。

【0039】

図 10 は、図 1 の変形例である。コンデンサ 19b の一端子は、ゲート信号線 17a に接続されている。ゲート信号線 17a には、オン電圧 (VGL) またはオフ電圧 (VGH) が印加されるが、映像信号電圧を画素 16 に書き込んだ後 (電圧プログラム時以降) 以外の期間は、オフ電圧 (VGH) が印加されている。したがって、コンデンサ 19b は一定の電荷を保持して安定である。

【0040】

図 11 は、図 1 の変形例である。コンデンサ 19b の一端子は、ゲート信号線 17b に接続されている。ゲート信号線 17b には、オン電圧 (VGL) またはオフ電圧 (VGH) が印加される。しかし、映像信号電圧を画素 16 に書き込み時 (電圧プログラム時) の期間は、オフ電圧 (VGH) が印加される。したがって、コンデンサ 19b は一定の電荷を保持して安定状態を維持されている。

【0041】

なお、図 11 において、コンデンサ 19b の一端子は、ゲート信号線 17b と接続するとしたが、これに限定するものではなく、ゲート信号線 17d と接続してもよい。ゲート

10

20

30

40

50

信号線 17d には、リセット電圧 V_{rst} を印加するときだけ、オン電圧 (V_{GL}) が印加される。しかし、他の期間には、オフ電圧 (V_{GH}) が印加される。オフ電圧 (V_{GH}) が印加される。したがって、コンデンサ 19b は一定の電荷を保持して安定状態を維持されている。

【0042】

図 4 は、図 1 の変形例である。図 1 と図 4 の差異は、コンデンサ 11c が追加形成された点である。コンデンサ 11c は、ゲート信号線 17a に印加された電圧の変化 (V_{GL} V_{GL}) により、突き抜け電圧が発生しより良好な黒表示 (高コントラスト表示) を実現することを 1 つの目的とする。 V_{GL} V_{GH} の動作とは、画素 16 に映像信号を書き込み保持させる動作である。つまり、スイッチ用トランジスタ 11c の制御動作である。

10

【0043】

前記コンデンサ 19c は、第 1 の電極が現在ゲート信号線 17a 及びトランジスタ 11c のゲート端子に共通接続され、第 2 の電極が前記コンデンサ 19a 及び駆動用トランジスタ 11a のゲート端子に共通接続されている。なお、駆動用トランジスタ 11a が N チャンネルトランジスタの場合は、ゲート信号線 17a に印加する電圧 (映像信号を画素に書き込み、保持させる動作時に使用する電圧) を V_{GL} V_{GH} となるように画素 16 を構成する。

【0044】

つまり、前記補助コンデンサ 19b は、スキャン期間から発光期間に変化しながら、駆動トランジスタ 11a のゲート電圧 (b 点) をブースト (boost) させる役目をする。

20

【0045】

ゲート信号線に印加するオフ電圧を V_{GH} 、オン電圧を V_{GL} とすると、ゲート信号線 17a に印加する電圧を、 V_{GL} から V_{GH} に変化させると、駆動用トランジスタ 11a のゲート電圧は、前記コンデンサ 19a と補助コンデンサ 19b のカップリングによる補正電圧だけ上昇するようになる。したがって、駆動用トランジスタ 11a のゲート端子の電圧が、 V_{dd} 電圧側にシフトし、良好な黒表示を実現できる。

【0046】

図 5 は、図 1 または図 4 の変形例である。図 5 の構成も本発明の EL 表示装置に用いることができる。図 5 において、画素 16 は、2 つのコンデンサ 19a、19b と 5 つのスイッチ用トランジスタ (11b、11c、11d、11e、11f) と 1 つの駆動用トランジスタ 11a で構成される。トランジスタ 11b は、トランジスタ 11a をダイオード接続 (Diode-connected) させて、閾値電圧を補償するための閾値電圧補償トランジスタである。トランジスタ 11f は、コンデンサ 19a を初期化させるためリセット電圧 V_{rst} を印加するための初期化トランジスタである。そして、トランジスタ 11d は、EL 素子 15 の発光を制御するためのトランジスタである。

30

【0047】

なお、スイッチ用トランジスタ 11b、11f はオフリークと小さくする必要があるため、ディアルゲート以上の複数ゲート構成にする。

【0048】

スイッチ用トランジスタ 11c は、ゲート信号線 17a にゲート電極が接続され、ソース信号線 18 にソース電極が接続され、ゲートドライバ回路 12a からの選択信号によりオンオフ制御される。

40

【0049】

駆動トランジスタ 11a は、トランジスタ 11c のドレイン電極にソース電極が接続される。閾値電圧補償トランジスタ 11b のソースまたはドレイン電極とコンデンサ 19a の第 1 の端子が共通接続され、駆動用トランジスタ 11a のゲート電圧が決定される。したがって、駆動用トランジスタ 11a は、ゲート電極に印加された電圧に相当する駆動電流を生成する。

【0050】

閾値電圧補償トランジスタ 11b は、前記駆動トランジスタ 11a のゲート電極とソー

50

ス電極との間に接続され、ゲート信号線に印加されるスキャン信号に応答して駆動用トランジスタ 11 a をダイオード接続させる。したがって、前記スキャン信号によって駆動用トランジスタ 11 a は、ダイオードのような状態になり、駆動用トランジスタ 11 a のゲート端子に電圧 $V_{data} - V_{th} [V]$ が印加され、これは、前記駆動用トランジスタ 11 a のゲート電圧となる。

【0051】

初期化トランジスタ 11 f は、リセット電圧ライン V_{rst} とコンデンサ 19 a の第 1 の端子との間に接続され、ゲート電極に接続した $n - 1$ 番目ゲート信号線 17 a のスキャン信号に응答して、先行フレームのとき前記コンデンサ 19 a に充填された電荷は前記リセット電圧ライン V_{rst} を介して放電させることによって、前記コンデンサ 19 a を初期化させる。

10

【0052】

トランジスタ 11 e は、第 1 の電源電圧ライン V_{dd} と駆動用トランジスタ 11 a のソース電極との間に接続され、ゲート電極に接続したゲート信号線 17 b を介して伝達される発光制御信号によりオンとなり、第 1 の電源電圧 V_{dd} を前記駆動用トランジスタ 11 a のソース電極に印加する。

【0053】

トランジスタ 11 d は、駆動用トランジスタ 11 a と EL 素子 15 との間に接続され、ゲート電極に接続した前記ゲート信号線 17 b を介して伝達される発光制御信号に응答して前記駆動用トランジスタ 11 a で生成される前記駆動電流を前記 EL 素子 15 に伝達する。

20

【0054】

コンデンサ 19 a は、第 1 の電源電圧ライン V_{dd} と駆動用トランジスタ 11 a のゲート電極との間に接続され、第 1 の電源電圧 V_{dd} と前記駆動用トランジスタ 11 a のゲート電極に印加される電圧 $V_{data} - V_{th} [V]$ の電圧差に該当する電荷を 1 フレームの間に維持する。

【0055】

前記補助コンデンサ 19 b は、第 1 の電極が現在ゲート信号線 17 a 及びトランジスタ 11 b のゲート端子に共通接続され、第 2 の電極が前記コンデンサ 19 a 及び駆動用トランジスタ 11 a のゲート端子に共通接続されている。

30

【0056】

ゲート信号線 17 a からゲート信号線 17 a 1 とゲート信号線 17 a 2 が分岐されており、ゲート信号線 17 a 1 には、インバータ回路 51 が配置されている。したがって、ゲート信号線 17 a 1 とゲート信号線 17 a 2 には、 V_{GH} と V_{GL} が反転して電圧が印加される。

【0057】

また、ソース信号線 18 a とソース信号線 18 b を有しており、上下方向に隣接した画素 16 (16 a 、 16 b) は異なるソース信号線 18 に接続されている。図 5 の実施例では、画素 16 b はソース信号線 18 b に接続されており、画素 16 a はソース信号線 18 a と接続されている。

40

【0058】

図 6 は、図 5 の画素構成において、ゲート信号線 17 およびソース信号線 18 との接続状態を示している。図 5 、図 6 のように構成することにより、リセット電圧 V_{rst} を印加するためのスイッチ用トランジスタ 11 f を制御するゲート信号線と、映像信号を印加するためのスイッチ用トランジスタ 11 c を制御するゲート信号線とを共通にすることができる。そのため、ゲート信号線 17 数を削減でき、画素 16 の開口率を向上できる。

【0059】

また、複数画素行を同時にオフセットキャンセル状態にすることができ、良好なオフセットキャンセルを実現できる。

【0060】

50

EL表示装置のゲートドライバ回路12について説明する。

【0061】

図2に示すように、表示画面31の左端にゲートドライバ回路12aを設け、右端にゲートドライバ回路12bを設けている。なお、ゲートドライバ回路12は、表示パネルの空き領域に形成すればよい。

【0062】

ゲートドライバ回路12aは、ゲート信号線17aを制御し、ゲートドライバ回路12bはゲート信号線17bを制御する。ゲートドライバ回路12a、12bには、ゲート信号線17のオン電圧(V_{GL})と、ゲート信号線17のオフ電圧(V_{GH})が供給されている。オフ電圧(V_{GH})は、アノード電圧V_{dd}以上または近傍の電圧である。オン電圧(V_{GL})は、カソード電圧V_{ss}またはグランド電圧(GND)近傍の電圧である。なお、近傍の電圧とは、±3Vの範囲の電圧である。

【0063】

本実施形態では、トランジスタ31のオフ電圧をV_{GH}とし、オン電圧をV_{GL}として説明するがこれに限定するものではない。オン電圧(V_{GL})とオフ電圧(V_{GH})の極性は、駆動用トランジスタ31aのチャンネルの種類(PチャンネルまたはNチャンネル)に対応して設定する。また、図31に示すように、ゲートドライバ回路12の電圧の1つまたは複数をGND電圧としてもよい。図31では、ゲートドライバ回路12bは、V_{GH}電圧と、V_{GL}=GND電圧で動作しており、ゲートドライバ回路12aは、V_{GH}電圧とV_{GL1}電圧で動作している。

【0064】

本実施形態では、駆動用トランジスタ31aはPチャンネルトランジスタとしている。この場合は、オン電圧をV_{GL}とし、オフ電圧をV_{GH}とする。駆動用トランジスタ31aがNチャンネルトランジスタの場合は、オン電圧をV_{GH}とし、オフ電圧をV_{GL}とする。なお、図2に適合するように、V_{GH1}、V_{GH2}、V_{GL1}、V_{GL2}を内蔵させてもよい。EL表示装置を駆動する電源(回路)ICからのON1コマンドで、AV_{dd}とV_{GH1}、V_{GH2}、V_{GL1}、V_{GL2}を同時に起動し、ON2でV_{dd}、V_{ss}を起動させる。

【0065】

ソースドライバ回路(IC)18とソース信号線18間に3選択回路481を形成してもよい。なお、選択回路481の選択数は3に限定するものではなく、6選択などの他の選択数に構成してもよい。

【0066】

なお、本実施形態のEL表示装置においては、ゲートドライバ回路12aは、オン電圧V_{GH1}、オフ電圧V_{GL1}とし、ゲートドライバ回路12bは、オン電圧V_{GH2}、オフ電圧V_{GL2}とする。また、V_{GH1}=V_{GH2}、V_{GL1}<V_{GL2}にしている。本実施形態では、画素26を選択し映像信号を書き込むゲート信号線17の駆動電圧(V_{GH2}、V_{GL1})と、EL素子35に流す電流を制御するゲート信号線17の駆動電圧(V_{GH2}、V_{GL2})とを異ならせている。

【0067】

ソースドライバ回路24の電源電圧をAV_{dd}(V)とし、アノード電圧をV_{dd}(V)としたとき、V_{dd}-1.5(V) AV_{dd} V_{dd}の関係を満足するように構成している。

【0068】

また、ゲートドライバ回路のオン電圧またはオフ電圧をV_{GH}(V)とし、アノード電圧をV_{dd}(V)としたとき、V_{dd}+0.2(V) V_{GH} V_{dd}+2.5(V)の関係を満足するように構成している。

【0069】

図14は、本発明におけるEL表示パネルの1列分の回路を示したものである。ここでソース信号線18は切り替え手段141を介して、1列に対して2本のソース信号線18

10

20

30

40

50

aと18bが存在し、偶数行と奇数行の画素で接続されるソース信号線が異なる構成となっていることが特徴である（図6なども参照のこと）。

【0070】

各画素16の構成は例えば図1、図4、図10、図25、図29、図42、図46といった回路で構成されている。ゲートドライバ12aは、シフトレジスタ構成となっており、クロックごとにパルスが1段ずつシフトされる。ゲート信号線17に対する接続を、図14のように行うことで、図15に示すような信号波形を実現することができる。

【0071】

シフトクロックの周期を1水平走査期間に設定し、1水平走査期間のみパルスが出力されるようなスタートパルスが入力される。これで各行1水平走査期間ずつずれたタイミングで1水平走査期間の間パルスが発生する回路が実現できる。

10

【0072】

シフトレジスタの各段出力を図14のようにゲート信号線17に取り込み、切り替え手段141を図15に示すように動作させることで、始めの1水平走査期間では、1行目の画素16aの駆動用トランジスタ11aのゲート電圧をVrst電源により、初期化する。同時にソース信号線から所定の階調に対応する1行目の画素に対応する信号電圧が切り替え手段141を介してソース信号線18bに充電される。ソース信号線18aには充電されない。切り替え手段141でソースドライバ出力から切り離されている。

【0073】

次の1水平走査期間においては切り替え手段141を動作させ、ソース信号線18aを充電するようにする。このときソース信号線18bは、ソースドライバ出力から切り離されているために、ソース信号線の浮遊容量142bにより1行目の画素に対応する信号電圧が充電されたままである。そこで、ゲート信号線17a及びゲート信号線17cを走査し、画素16aのトランジスタ11c、11bを導通状態とし、画素の駆動用トランジスタ11aに階調信号の書き込みと、特性バラツキのキャンセル動作を実施する。同時に2行目の画素に対応して、画素16bに対応する階調信号電圧がソース信号線18aに充電され、駆動トランジスタ11aのゲート電極がVrst電源により初期化される。

20

【0074】

ソース信号線18aとソース信号線18bを水平走査期間ごとに切り替えて利用することで、ソース信号線に印加させる階調信号が2水平走査期間保持されるため、画素回路16に信号を書き込む時間を長くすることができるようになる。

30

【0075】

図1などの画素回路の構成では、駆動トランジスタ11aに階調信号を書き込みながら、特性バラツキをキャンセルする動作を行う。特性バラツキをキャンセルする動作は、トランジスタ11f、11d、11eがオフでトランジスタ11bがオン状態のときに行われ、駆動トランジスタ11aのドレイン電流が0になるように、駆動トランジスタ11aのゲート電位が変化することで、特性バラツキのキャンセルを行っている。

【0076】

駆動トランジスタ11aのゲート電位を変化させているのは、ドレイン電流による電荷であり、最終状態が0もしくは限りなく小さい電流（ピコアンペアオーダー）であることから、ゲート電位を支えている蓄積コンデンサ19aの電荷の充放電に時間がかかる。そのため、キャンセル動作には時間がかかることがわかる。

40

【0077】

1水平走査期間が長い場合には、1水平走査期間内にキャンセル動作を完了させることができるが、垂直ライン数が多く、1水平走査期間が40μ秒よりも短い場合には、キャンセル動作が最後まで行われず、特性補償が不完全となり、その結果、特性ばらつきに応じたムラが発生する問題があった。

【0078】

そこで、キャンセル時間を1水平走査期間以上に拡大する方法として、図16に示すようにゲートドライバ12aを更に2本のゲートドライバ12a1、12a2で構成させ、

50

駆動トランジスタ 11a の初期化を、対応する映像信号が入力される 1 水平走査期間前に予め実施しておき、ソース信号線 18a もしくは 18b に映像信号が入力される水平走査期間から駆動トランジスタ 11a に階調電圧の書き込み及び特性キャンセル動作を行うようにする。切り替え部 141 の動作により、2 水平走査期間の間映像信号が保持されるため、階調電圧の書き込み及び特性キャンセル動作を 2 水平走査期間中実施することが可能となる。

【0079】

これを実現するために、図 17 に示すように、シフトレジスタ 12a2 のスタートパルス 172b を入力する。各行のトランジスタ 17a 及び 17c が 2 水平走査期間オンされる。オンされるタイミングはソース信号線 18 及び 18a、18b の映像信号に同期して実施される。映像信号が偶数行と奇数行で 2 つのソース信号線 18a 及び 18c に振り分けられることで周波数が半分となり、書き込み時間を 2 倍にすることができた。

10

【0080】

なお、イネーブル信号 173 については、パルス伝播の際の波形なまりによる複数の行の画素で同時選択されることを防止するための信号であり、同時選択が起きない場合や、同時選択でも問題なく動作する場合には、不要であり、イネーブル信号 173 がなくても本発明を実施することができる。例えば図 21 のように、特性キャンセルを行うための信号を生成するゲートドライバ 12a2 のイネーブル信号を削除した場合の入力波形及び動作を示す。

【0081】

20

図 17 の波形によれば、2 水平走査期間の間駆動用トランジスタ 11a の特性補正動作が可能であるが、予め映像信号が入力される 1 水平走査期間前に駆動トランジスタ 11a を初期化するための動作が必要であり、1 水平走査期間前に予め動作させることが必要であり、先頭行が検知できない場合には、予め初期化ができなくなる恐れがある。

【0082】

そこで図 18 に示すように、初期化動作を、1 行目の映像信号入力時と同時に実施する信号パターンを考案した。初期化動作時には、特性補正動作ができないため、2 水平走査期間の間で、初期化後特性補正動作を行う。

【0083】

図 18 の構成では、2 水平走査期間のうちの始めの水平走査期間の前半に初期化動作を行い、残りの半分と次の水平走査期間で画素への信号書き込みと特性補償動作を実施する。ゲートドライバがシフトレジスタ構成である場合には、水平走査期間とシフトクロックが一致する場合には、イネーブル信号でパルス幅をカットする方法により、水平走査期間の前半と後半で異なるスイッチの動作を実現する。

30

【0084】

ゲート信号線 17d がローレベルの 때가、駆動トランジスタ 11a の初期化期間となり、ゲート信号線 17a 及び 17c がローレベルのときに、駆動トランジスタ 11a の特性キャンセルと、画素に階調を書き込む期間となる。17a 及び 17c のローレベル期間が 1 水平走査期間より長く設定できるため、水平走査期間が 30 μ 秒であっても、従来比 1.5 倍の期間が取れることから 45 μ 秒のキャンセル期間がとれ、駆動トランジスタの特性ばらつきを補正することが可能となる。初期化動作自体は、2 ~ 10 μ 秒程度で完了するため、最大 2 水平走査期間から 2 ~ 10 μ 秒を引いた時間までキャンセル期間を拡大することができる。

40

【0085】

ゲートドライバ 12a のシフトレジスタが 1 系統でかつキャンセル期間を 1 水平走査期間以上に拡大する方法を図 19 及び図 20 に示す。

【0086】

例えば 2 水平走査期間の間キャンセルする場合には、2 水平走査期間ゲート信号線 17a 及び 17c が導通状態にある必要がある。そこでゲートドライバ 12a のスタートパルス 2 水平走査期間の長さだけ入力する。これにより、キャンセル及び階調書き込み時間

50

を2水平走査期間に設定できる。同様に初期化を実施するためのゲート信号線17d用のパルスを生成する必要がある。

【0087】

また、図1、図25に示すような画素回路構成であることから、ゲート信号線17dと11a、11cを同時に導通状態としてはならないため(異なる電圧がショートする)初期化用のパルスは、同一行の画素に対するキャンセル及び階調書き込み用のパルスと重ならないようにする必要がある。

【0088】

具体的には、2水平走査期間前のパルスを初期化用のパルスとして利用すればよい。図19に示すように、シフトレジスタに対して、ゲート信号線17dと共通の出力をキャンセル及び階調信号書き込み用ゲート信号線を用いる場合には、2行分後段(つまり2水平走査期間後)の信号を利用すると、同一画素16aに対して、図20に示すように、201、202の2水平走査期間で初期化を実施し、203、204の2水平走査期間で駆動トランジスタ11aの特性キャンセル及び階調信号書き込みを実施している。16b、16cの画素においても同様に1水平走査期間ずつ遅れたタイミングで実施している。

【0089】

この方法は、2水平走査期間のキャンセルばかりでなく、3水平走査期間以上、必要な場合でも実施が可能である。1列分の画素に対応するソース信号線の数を必要とする水平走査期間の数(整数)分を用意し、ゲートドライバ12aのスタートパルスのパルス幅を必要な水平走査期間数入力する。初期化に対応するゲート信号を取り出すシフトレジスタの段から必要な水平走査期間数分後段のシフトレジスタから特性キャンセル及び階調信号書き込み用のゲート信号をとりだして、同一行の画素に入力すれば実現が可能である。

【0090】

映像信号が、対応する行の画素に書き込まれるようにするため、スタートパルスは、映像信号に対して予め入力する必要がある。少なくともキャンセルを行う水平走査期間の長さ分だけ早く入力が必要である。図20においても2水平走査期間早く、入力している。

【0091】

ソースドライバのコスト削減のために、1出力から時系列に複数の画素に対応する電圧を出力する選択駆動方式を採用することがある。選択駆動方式がない場合に比べて、当該画素に対応する映像信号が入力されるタイミングが表示色によって異なるようになる。

【0092】

例えば、赤緑青の3画素分を1出力で行う3選択駆動の場合においては、図22に示すように、赤色に対して、緑及び青は水平走査期間の始めではなく、途中で信号が変化していることがわかる。ゲート信号線17a及び17cを221の波形により入力すると緑及び青色の画素については、1行前の映像信号が画素に書き込まれ、ソース信号線の変化により当該行の映像信号が書き込まれるようになる。

【0093】

液晶などでは、書き込み時の最終電圧(ゲート信号線がオフになる瞬間の電圧)が1フレーム間画素に保持され、所定輝度で表示されるため問題がないが、本発明における画素構成を持つ有機EL表示パネルにおいては、映像信号を駆動用トランジスタ11aに書き込む際に駆動用トランジスタ11aの特性バラツキを補正する動作を行っている。補正に要する時間を短縮するため、書き込みを行う前に、初期化動作を行い、駆動用トランジスタ11aのゲート電極に低い電圧(白表示時よりもさらに駆動用トランジスタ11aが電流を流す電圧)に予め初期化を行っている。

【0094】

初期化の電圧は低いほど特性補正が高速化される。選択駆動時に1行前の電圧が少しでも印加されると、駆動用トランジスタ11aのゲート電圧が1行前の電圧に変化してしまい、1行前の電圧が印加された状態で、当該行の映像信号による階調信号の書き込みとトランジスタばらつき特性補正を行うこととなり、初期化を行う効果がなくなってしまう。これは3選択駆動でなくても、2選択以上の信号線選択駆動を実施する際に共通の課題で

10

20

30

40

50

ある。

【0095】

本発明では、選択駆動を行う際に、同一水平走査期間で書き込みを行う信号線の電圧がすべて確定した後に特性キャンセル動作を行うようにした。

【0096】

図23、図24及び図26に実施形態の1つを示す。ここで選択駆動は赤緑青の3つの信号線を順に選択する3選択駆動方式としている。2選択や、4選択以上でも同様に実現できる。

【0097】

キャンセル時間を確保するために、各列に対して2本の信号線を用意し、偶数行と奇数行で異なるソース信号線を利用している。図23ではゲートドライバ12aをシフトレジスタ回路1系統で実施する構成を示しています。図23のゲートドライバ12aを用いた場合の信号入力と、信号線選択回路232の動作を図26に示す。1水平走査期間内で赤(R)、緑(G)、青(B)に信号線を切り替えている。また1水平走査期間ごとに奇数行用のソース線18b、偶数行用のソース線18aを切り替えて選択を行っている。

【0098】

この方式では、初期化のタイミングと当該行の映像信号線の書き込みが同一で、画素内部への映像信号の書き込みは、次の水平走査期間にて実施されている。したがって、駆動用トランジスタ11aへの信号線書き込み及び特性ばらつき補正中に映像信号が変わることはなく、選択駆動時でもこれまで同様の駆動が実施可能である。

【0099】

1画素分に注目したタイミングチャートを図24に示す。ここではこれまで記載していなかった、ゲート信号線17bについても記載を行っている。17bについては、初期化期間及び特性キャンセル、階調信号を駆動用トランジスタに書き込みを行っている期間では必ず、接続されるスイッチが非導通状態である必要があるが、その他の期間では、導通、非導通状態いずれであってもかまわない。これは本発明のほかの実施の形態でも同様である。図24では、導通非導通を繰り返し実施している例を示している。

【0100】

ソース信号線18は3選択駆動対応用に1水平走査期間の間に3画素分の信号を送っている。信号線選択回路により奇数行目の青画素に対応するソース信号線18bBの電圧変化は241に示す波形のようになる。

【0101】

1行目に対応する階調信号の変化は242のタイミングで変化する。このときゲート信号線17bがオフ状態となっており、駆動用トランジスタ11aのゲート電極に1行前の映像信号が書き込まれることが無いようになっている。ゲート信号線17aについては、図23のゲートドライバの構成によればオフとなっているが、オン状態であってもかまわない。ゲートドライバの構成を変更してオンとしてもよい。駆動用トランジスタ11aのソース電極に1行前の電圧が印加されるが、初期化されているゲート電極には印加されることが無いためである。

【0102】

時間2t以降でゲート信号線17c、17aが導通状態となり、駆動用トランジスタ11aに階調電圧及び特性キャンセル動作が行われる。このとき、ソース信号線18bBは図26でもあったように、信号線選択回路232により各ソース信号線から切り離された状態となり、ソース信号線の浮遊容量233により、ソースドライバから書き込まれた電圧が2水平走査期間の間保持される。保持された電圧値が画素に書き込まれ、所定電圧が書き込まれている。時間2t~3tの間で、駆動用トランジスタ11aのゲート電圧は書き込まれるソース電圧(V_{sig})から閾値電圧(V_{th})分低下した電位に徐々に変化し、($V_{sig} - V_{th}$)となる。時間3tで所定電圧に書き込まれた後、ゲート信号17bを導通状態にすることで所定電流がEL素子15に流れ、発光する。

【0103】

図 27 はゲートドライバ 12 a をシフトレジスタ 2 系統で構成した場合の図である。これによればスタートパルスの個別設定にて、ゲート信号線 17 d に対してゲート信号線 17 a 及び 17 c のパルス幅を異ならせて設定することが可能である。

【0104】

図 28 にゲートドライバ 12 a 1 及び 12 a 2 の入力波形と、各ゲート信号線波形を示す。初期化用の信号を生成するゲートドライバ 12 a 1 について、初期化を行うためのパルスを生成する。初期化に要する時間は V_{rst} を発生する電源能力によるが 10μ 秒程度で初期化が完了する。ゲート信号線 17 d がオン状態となるのは短い時間で実施している。

【0105】

時間がかかる特性キャンセル期間と初期化期間は同時に実施することができないため、2 水平走査期間内で初期化～特性キャンセル、階調信号書き込みを実施するためには、初期化を短くすることが重要であるためである。

【0106】

図 28 では赤色にソース出力が選択された期間のみで実施しているが、赤と緑色の選択期間もしくは赤色の選択期間の一部などであってもよい。最も当該行の映像信号が書き込まれるのが遅い青色のソース信号線 18 a B もしくは 18 b B においては青色の選択期間になるまで当該画素に対応する電圧がソース信号線 18 a B もしくは 18 b B に印加されていないため、特性キャンセル期間に移行することができない。

【0107】

特性キャンセルができないことから、赤緑選択期間は初期化期間としても問題が無い。特性キャンセル及び階調信号書き込みであるが、ゲートドライバ 12 a 2 のシフトレジスタ回路により 2 水平走査期間選択できるパルスを生成し、初期化期間もしくは映像信号が書き込まれていない期間を除くように、奇数行偶数行別にイネーブル期間を設けるイネーブル信号を有する。

【0108】

1 行目の特性キャンセル及び階調信号書き込み期間は 281 で示される期間となる。281 の期間の始めは、青画素書き込み終了後となっているが、青画素が信号線選択回路で選択され所定電圧にソース信号線 18 a B もしくは 18 b B が変化した後であれば、ゲート信号線 17 a 及び 17 c をローレベルにしてもよい。281 の期間の終わりは、次に同一のソース信号線に異なる行の画素に対応する電圧が印加される前に設定すればよい。信号線選択速度が速い場合には、書き込み終了後～次の水平走査期間の最後まで特性キャンセル期間を設定することができ、駆動用トランジスタ 11 a の閾値電圧補正能力が高い表示が実現可能である。

【0109】

なお、ゲート信号線 17 a については、2 水平走査期間すべてにおいてローレベルとしてもよい。トランジスタ 11 c が導通状態となっても、駆動用トランジスタ 11 a のゲート電圧には影響がないためである。この場合、ゲート信号線 17 c 用にはイネーブル信号を介してシフトレジスタ出力が入力され、ゲート信号線 17 a 用にはイネーブル信号を介さずもしくは、別途のイネーブル信号を介してシフトレジスタ出力が入力される構成となる。

【0110】

これまでは画素回路 16 に用いられるトランジスタは P チャンネルトランジスタで説明を行ってきたが、図 29 に示す N チャンネルトランジスタで構成してもよい。また有機 EL 素子 15 については、アノードとカソードの向きが逆でかつ、 V_{ss} 電位 $>$ V_{dd} 電位という構成であってもよい。図 29 ではコンデンサ 19 b が形成されているが、コンデンサ 19 b がなくても本発明を同様に実施することが可能である。

【0111】

なお、図 29 と図 4 とを比較すると、図 4 は、突き抜けコンデンサ 19 c がゲート信号線 17 a と駆動用トランジスタ 11 a のゲート端子間に配置されているのに対して、図 2

10

20

30

40

50

9では、突き抜けコンデンサ19cがゲート信号線17cと駆動用トランジスタ11aのゲート端子間に配置されている。

【0112】

コンデンサ19bが形成されていると、次に画素に映像信号が書き込まれるまでの1フレーム間電圧が保持されるため、a点の電位が保持される。あるいは、次にトランジスタ11cがオンし映像信号が画素16に書き込まれる時までa点に印加された(書き込まれた)電圧が保持される。

【0113】

保持された電位を元にトランジスタ11bを導通状態とすれば階調信号に応じた信号で、駆動用トランジスタ11aの特性バラツキをキャンセルすることが可能である。これが図30に示すキャンセル期間302となる。

10

【0114】

このキャンセル期間は水平走査期間の長さによらずゲートドライバの構成によって任意に設定することが可能である。映像信号の書き込みと駆動用トランジスタ11aの初期化は、キャンセル期間302の前に実施される(期間301)。トランジスタ11fと11cのみ導通状態である。これでVrst電源により駆動用トランジスタ11aのゲート電位を初期化し、同時にソース信号線18からコンデンサ19bに所定電圧の書き込みを行っている。

【0115】

コンデンサ19bに所定階調電圧を保持することから、ソース信号線18は1本で、1水平走査期間のみトランジスタ11cをオンさせるだけでよい。ソース信号線18を2本用意する方法でソース信号線18の浮遊容量とコンデンサ19bの両方で階調電圧を保持する方法をとってもよい。この場合、コンデンサ19bは小さくすることができる。

20

【0116】

キャンセルまで完了したら、EL素子15に電流を印加して所定輝度による発光を得る。この期間が発光期間304である。このときトランジスタ11dと11eが導通状態となりEL素子15に電流を供給する。前後にある非発光期間303は、黒挿入を行い動画視認性向上等の効果を得る際に挿入される期間である。このときは少なくともトランジスタ11dもしくは11eのいずれか一方が非導通状態になっている。また、常時点灯状態にして黒挿入を行わない場合には、期間303はなくても差し支えない。

30

【0117】

なお、本発明における切り替え部141及び信号線選択回路232は必ずしもアレイ基板上に形成する必要が無く、ソースドライバICに内蔵される構成であってもよい。

【0118】

本発明において、同一列に形成された画素に接続されるソース信号線は2本である例で説明をおこなったが、3本以上の複数のソース信号線であっても同様に実施が可能である。一般にN本のソース信号線を用意し、N画素おきにソース信号線を接続すれば、N水平走査期間の間ソース信号線は階調電圧を保持することが可能となり、特性キャンセル期間を長く取ることができる。キャンセル期間を確保することにより、より駆動用トランジスタ11aの特性に近づいたゲート電圧を画素回路で保持することができるようになり、表示ムラが改善する。

40

【0119】

N本のソース信号線について、少なくとも隣接画素間で異なるソース信号線に画素回路を接続しておけば、2水平走査期間の間ソース信号線に階調信号が保持されることから、同様に特性キャンセル期間を拡大することができ、表示ムラが少ないEL表示装置を得ることができる。

【0120】

図31は、駆動用トランジスタ11aのゲート電圧を初期化するための電源を、電圧源から電流源に変更した回路である。図32に図31の回路構成におけるゲート信号線の波形を示す。図31の回路構成において、1画素での動作は、1フレームの間に、書き込み

50

期間 3 2 1、発光期間 3 2 4、非発光期間 3 2 3に分けられる。非発光期間 3 2 3は、黒挿入を行って動作視認性を向上させる場合などに用いられる。本発明の実施においては、非発光期間 3 2 3は、あってもなくてもよい。特性バラツキの補償能力向上を同様に実現できる。

【0121】

書き込み期間 3 2 1において、トランジスタ 1 1 b、1 1 c、1 1 fが導通状態となる。これによりソース信号線 1 8の電圧が駆動用トランジスタ 1 1 aのソース電極に印加される。駆動用トランジスタ 1 1 aのゲートとドレイン電極はトランジスタ 1 1 bにより同電位となり、電流源 3 1 2により供給される電流が駆動用トランジスタ 1 1 aのドレイン電流となるようなゲート、ドレイン電圧となる。

10

【0122】

したがって、書き込み期間 3 2 1において、トランジスタ 1 1 aのゲート電圧は、ソース信号線 1 8の電圧が V_{sig} であったとすると、 $(V_{sig} - V_{t1})$ となる。ここで V_{t1} は、駆動用トランジスタ 1 1 aに電流源 3 1 2の電流 (I_{rst}) を流したときのソースドレイン間電圧であり、駆動トランジスタ 1 1 aの特性により異なる電圧値となる。

【0123】

I_{rst} が駆動用トランジスタ 1 1 aつまり EL 素子 1 5に流れるときには、特性バラツキを補正した電圧が駆動用トランジスタ 1 1 aのゲート電極に印加され、表示ムラの無い EL 表示装置が実現できる。

20

【0124】

従来の構成においては、 $I_{rst} = 0$ つまり黒表示時に完全に特性ばらつきを補正し、電流が増加するにつれ、補正ができない移動度ばらつきに起因する電流ばらつきが発生し、高階調ほど表示ムラが発生しやすい状況であった。表示ムラは輝度が低いほど視認しにくく、中間調～高階調では視認しやすい性質があり、階調 0 に相当する電流で特性補正を行うよりも、視認しやすい中間～高階調での補正が望ましい。初期化用の電流源 I_{rst} の電流値を中間～高階調に設定すれば、視認されやすい階調での表示ムラを優先してなくし、視認しにくい階調では、移動度ばらつきがおこる構成であっても見えにくいことを利用し、全階調領域における表示ムラレベルの向上を図った。駆動用トランジスタの特性バラツキのキャンセル動作中に電流 I_{rst} を流し、特性キャンセルがもっともよく行われる電流領域を変更させることができるようにしたことが特徴である。

30

【0125】

図 3 3の回路は、図 3 1の構成に対して、さらに初期化用の電圧源 3 3 1及び電圧源 3 3 1と電流源 3 1 2の切り替えを行う切り替え部 3 3 3を有することが特徴である。これは、電流源 3 1 2によりトランジスタ 1 1 aの電圧を変化させる場合に、1 フレーム前に黒表示をした画素であると、駆動トランジスタ 1 1 aに流れる電流が I_{rst} に変化するまでに時間がかかり、書き込み期間 3 2 1内に駆動用トランジスタ 1 1 aのゲート電圧が $V_{sig} - V_{t1}$ になりにくい問題を解消するためである。

【0126】

駆動用トランジスタ 1 1 aのドレイン電流が多いほど、書き込み期間 3 2 1における駆動用トランジスタ 1 1 aのゲート電圧を変化させやすい。電流が多く流れるほど蓄積コンデンサ 1 9 aの電荷の充放電速度が速くなるため、ゲート電圧が変化しやすくなる。そこで、ゲート電圧の変化速度向上を目的として、電圧源 3 3 1を用意し、書き込み期間 3 2 1の初期に、電流源 3 1 2に変わり、低電圧（白表示ほど低電圧の図 3 3の回路構成の場合）の電圧を駆動トランジスタ 1 1 aに供給することで、書き込み期間 3 2 1の初期に駆動用トランジスタ 1 1 aのドレイン電流が多くなるようにして、残りの期間での、リセット電流源 3 1 2によるキャンセル動作を高速化するようにした。

40

【0127】

図 3 4に図 3 3の回路構成におけるゲート信号及び切り替え手段の動作を示した。書き込み期間 3 2 1のうち電圧源が供給される期間 3 4 1において、駆動用トランジスタ 1 1

50

aのゲート電圧は V_{rst} となる。

【0128】

V_{rst} は低い電圧であるほど、切り替え手段333により電流源312に切り替えた際のゲート電圧の変化を高速化させるが、低下させすぎると、所定階調とのゲート電位の差が大きくなりすぎ、所定値まで電圧が変化しきれない可能性がある。

【0129】

したがって、 V_{rst} は、(白表示時の電圧)～(白表示時の電圧-5[V])程度が好ましい。続く342の期間において、電流源312と書き込まれるソース信号線電圧 V_{sig} に基づいてゲート電圧が $V_{sig}-V_{t1}$ に変化する。このとき図32の構成に比べて、トランジスタ11aのドレイン電流が多く、蓄積コンデンサ19の電荷の充放電速度が高速化されることから、 $V_{sig}-V_{t1}$ までに変化する速度は、電圧印加期間341を含めても高速化され、より短時間での特性補正が可能となる。

【0130】

図35はゲート信号線をトランジスタ11eと11dで個別制御にした回路構成を示している。1画素において、1フレームは、リセット期間361、映像信号書き込みと特性キャンセル期間362、非発光期間363、発光期間364からなる。

【0131】

駆動用トランジスタ11aの初期化(リセット)を行う電源が、電圧源331、電流源312の2つがあり、電圧源331が印加されるリセット期間を365、電流源312が印加されるリセット期間を366とする。

【0132】

なお、リセット期間361は電流源312から出力される電流を元に駆動トランジスタ11aを初期化し、かつ同一列で同一のリセット線311を利用して画素にリセット電圧及び電流を書き込むことから、1水平走査期間以内で実施する必要がある。

【0133】

映像信号書き込みと特性キャンセル期間362は、同一列で同一のソース信号線18から映像信号に対応する電圧が供給されることから、1水平走査期間以内で実施する必要がある。リセット及び特性キャンセルに時間がかからない場合においては、リセット期間361と映像信号書き込みと特性キャンセル期間362を1水平走査期間内に実施してもよい。

【0134】

本発明の方式においては、駆動用トランジスタ11aのゲート電圧の初期化を、電圧源331ばかりでなく、電流源312を用いて実施することが特徴である。

【0135】

図36に示すようにリセット期間361のうちの期間365において、従来と同様に電圧源331により駆動用トランジスタ11aのゲート電圧を V_{rst} に初期化する。このときゲート信号線17e及び17cによりトランジスタ11e及び11bについては、オンでもオフでも構わない。しかし、 V_{dd} 電源から V_{rst} 電源に駆動用トランジスタ11aの特性により貫通電流が流れることを防止する観点から少なくとも一方のトランジスタについてはオフにすることが好ましい。

【0136】

本発明ではリセット期間361の間にさらに期間366を設け、切り替え手段333の接続を切り替え、電流源312により駆動用トランジスタ11aの初期化を行う。電流源312の電流が駆動用トランジスタ11aのドレイン電流となるように、トランジスタ11f、11b、11eをオン状態とする。

【0137】

電流源312の電流値は、期間366において、駆動用トランジスタ11aのゲート電圧が電圧源331の V_{rst} 付近になるような電圧に設定することが好ましい。駆動用トランジスタ11aの特性バラツキがあるため、EL表示装置に形成された画素の平均電圧が V_{rst} であってもよい。期間366により駆動用トランジスタ11aのゲート電圧は V

10

20

30

40

50

$r_{st} + V_1$ に変化する。ここで V_1 は電流源312の電流(I_{rst})を流したときのゲート電圧ばらつきに相当する。

【0138】

映像信号書き込みと特性キャンセル期間362においてソース信号線18から映像信号が入力され、トランジスタ11bがオン状態であり、トランジスタ11fがオフ状態であることで、駆動用トランジスタ11aのゲート電圧は映像信号電圧を V_{sig} とすると $V_{sig} - V_{th}$ (V_{th} は閾値電圧)となるまで変化する。 $V_{sig} - V_{th}$ となるのは、特性キャンセル期間が十分長い時間である場合であって、1水平走査期間で362の期間を終わらせる必要があることから、特性キャンセル期間は40 μ 秒程度しか取れない。

【0139】

そのためゲート電圧は期間366が存在しない図41の構成であれば、($V_{sig} - V_{th} - V_2$)までしか変化できない。 V_2 分の電位変化が不足となる。そのため V_2 に相当する分だけたくさん駆動用トランジスタ11aのドレイン電流 I_2 が流れる。

I_2 は、駆動用トランジスタ11aの特性バラツキによってばらつく。この影響でEL素子15に流れる電流にバラツキが発生し、表示ムラが発生する。

【0140】

期間366が存在すると、期間361の終わりの電位が V_1 だけずれるため、期間362の終了時のゲート電圧は($V_{sig} - V_{th} - V_2 + V_1$)となる。電流源により一定電流を印加した結果トランジスタ11aのゲート電圧が V_1 だけずれていることから、 V_2 に対する I_2 が大きい駆動用トランジスタ11aの場合(よく電流を流すトランジスタ)には、 V_1 は大きくなり、 V_2 に対する I_2 が小さい駆動用トランジスタ11aの場合には、 V_1 は小さくなる(負の値を含む)。

【0141】

表示ムラにおいてたくさん電流が流れる画素(V_2 に対する I_2 が大きい)では、 V_1 が大きくなり、ゲート電圧が上昇する。少ない電流の画素では V_1 が小さくなることからゲート電圧が下降する。電流が流れやすい画素では11aのゲート電圧が上昇し電流が流れに食うなり、電流が流れにくい画素ではゲート電圧が低下することで電流が流れるようになることから、画素ごとの電流量の差が小さくなる方向となり、表示ムラを改善することが可能となる。

【0142】

図40に異なる電流 - 電圧特性を持つ駆動用トランジスタ11aに対する、リセット期間361を電圧源のみで実現した場合(a)と、電流源を用いて実現した場合(b)の映像信号書き込みと特性キャンセル期間362終了後の電流値の違いを示す。

【0143】

図40(a)では電圧源のみで駆動用トランジスタ11aの初期化を行っているため、401と402の特性を示す2つの画素の駆動用トランジスタ11aにおいて、ゲート電圧が V_{rst} となるが、そのときの電流値は I_{rst1} 、 I_{rst2} と異なる値となる。

【0144】

401の特性では点403a、402の特性では点403bである。次に映像信号書き込みと特性キャンセル期間362において、駆動用トランジスタ11aのソース電位に映像信号が書き込まれ、ゲート電位は閾値キャンセル動作によりソース電位から閾値電圧分下がった点まで変化しようとする。一例として変化に要する時間は100 μ 秒程度かかる、したがって、1水平走査期間では、十分にキャンセル電圧406にまで変化せず、405に示す点までの変化となる。

【0145】

電圧変化量は流れる電流と浮遊容量により決められ、電圧変化量 $V = i \times T / C$ (ここで i :流れる電流、 T :キャンセル期間362の長さ、 C :浮遊容量)であらわれ、403a点の方が、403b点に比べて電流が多いことから、曲線401で示されるトランジスタの方は電位変化量が大きく、 V_2 まで電圧が変化する。

【0146】

10

20

30

40

50

曲線 402 では、点 403b での電流が少ないため変化量が少なくなり、V1 までしか電圧が変化しない。点 405a 及び 405b でのドレイン電流が I2 と I1 で異なり、この差が表示ムラとして視認される可能性がある。

【0147】

一方で電流源を用いてリセットを実施した場合には、図 40(b) に示すように、リセット期間 361 の終了時には、ドレイン電流が I_{rst} 、ゲート電圧が曲線 401 と 402 で異なり、 V_{rst1} 、 V_{rst2} となる。(点 404a、404b) 次に映像信号書き込みと特性キャンセル期間 362 においてキャンセルを行うと、流れる電流は I_{rst} と同じで、浮遊容量にばらつきがなく、キャンセル時間は同一パネルであることから同一に設定できるため、V は曲線 401、402 とともに同一となり、それぞれ同一電位だけシフトした V1 及び V2 の電圧となる。(点 405c、405d) このときのドレイン電流はいずれも I1 となり、駆動用トランジスタ 11a の特性に違いがあったとしても特性キャンセル期間 362 終了後の書き込まれた電流値が同一となり、表示ムラがなくなる構成を実現できる。

【0148】

リセット期間で、一定電流により駆動用トランジスタ 11a のゲート電圧を個別に設定することで、キャンセル期間が短いことにより駆動用トランジスタ 11a のゲート電圧が完全に特性キャンセルされた電圧とずれたとしても、電流ばらつきが小さい構成を実現することができる。

【0149】

期間 365 はなく、期間 366 の電流源のみでのリセットをおこなってもよいが、電流源 312 により V_{rst} 電圧付近までゲート電圧を変化させるのに時間がかかることから、予め電圧源 331 により V_{rst} 付近まで電圧を変化させてから電流源 312 によるリセットを行うことが好ましい。リセット期間 361 が長く、電流源 312 のみで $V_{rst} + V1$ まで電圧が変化できるのであれば、電圧源 331、切り替え手段 333、期間 365 はなくてもよい。

【0150】

図 35 の画素回路構成の EL 表示装置は、同一列の画素に対して複数のソース信号線を用意し、ソース信号線方向に隣接する画素で、異なるソース信号線から映像信号を書き込むようにすることで、書き込み時間を長くする構成と組み合わせて実施することも可能である。例えば、2 本のソース信号線を用意した場合の回路を図 37 に示す。

【0151】

ソース信号線 18 を 2 本用意すれば、図 14、図 16、図 19 などで説明したように、ソース信号線 18 に印加される階調信号は 2 水平走査期間ごとに変化することから、映像信号書き込みと特性キャンセル期間 362 を最大 2 水平走査期間まで拡大させることが可能となる。例えば図 38 に示すような駆動波形を実現することができる。期間 362 が拡大することで駆動用トランジスタ 11a のゲート電圧を変化させる時間を長く取ることができ、誤差 V2 の絶対値を小さくすることができ、より正確にキャンセルを行うことが可能となる。

【0152】

図 37 の構成でリセット線 311 は 1 列分の画素に 1 本であるが、ソース信号線 18 と同様に複数本(例えば 2 本)を形成すれば、リセット期間 361 についても最大 2 水平走査期間に拡大することができ、リセット電圧もより駆動用トランジスタ 11a の特性に応じた電圧にすることが可能となる。

【0153】

図 37 の構成や、図 35 の構成において、リセット線 311 に切り替え手段 333 を介して電流源 312、電圧源 331 が接続されているが、電圧源 311 がなくても、1 水平走査期間以内に、電流源 312 によって、所定の初期化電位になるまで、駆動用トランジスタ 11a のゲート電圧を変化させることができれば、電流源のみでリセット期間 361 を構成することができる。このとき図 39 に示すような 1 フレーム期間の動作となる。

【 0 1 5 4 】

駆動用トランジスタ 1 1 a のゲート電圧は $V_{rst} + V_1$ に収束する。電圧源 3 3 1 を併用した場合でも図 3 6、図 3 8 に示すように $V_{rst} + V_1$ と同一値であり、初期化の効果はかわらず同等であるため、電流源のみの構成でもよい。

【 0 1 5 5 】

以上のように、図 4 0 などでも説明したように、駆動用トランジスタ 1 1 a が P チャンネルトランジスタの場合、ゲート端子電圧が高くなるほどチャンネルを流れる電流が減少する。図 4 9 ではその関係を図示している。図 4 9 は、横軸を駆動用トランジスタ 1 1 a のゲート端子電圧を示す。右側が正である。上のグラフの縦軸は、駆動用トランジスタ 1 1 a のチャンネル間（ソース - ドレイン端子間）に流れる電流を示す。上が正である。下のグラフの縦軸は、経過時間を示す。上が正である。

10

【 0 1 5 6 】

上図において、リセット電圧 V_{ra} が駆動用トランジスタ 1 1 a に印加され、トランジスタ 1 1 b がクローズしてオフセット動作が開始すると、駆動用トランジスタ 1 1 a のドレイン電流は低下していく。リセット電圧 V_{ea} が印加された最初に流れる電流は、 I_{ia} であるが、時間の経過とともに電流が減少し、ある設定階調（第 1 階調と呼ぶ）の電圧 V_{ea} で流れる電流は I_{ea} 、他のある設定階調（第 2 階調と呼ぶ）の電圧 V_{ec} で流れる電流は I_{ec} とする。

【 0 1 5 7 】

下図は、ゲート端子電圧と、経過時間を示す。リセット電圧 V_{ra} から V_{ea} までに必要とする時間は、 t_a である。しかし、リセット電圧 V_{ra} から V_{ec} までに達するのに必要な電圧は、一点破線で示すように非常に時間がかかる。したがって、駆動用トランジスタ 1 1 a のゲート端子電圧が V_{ec} になるまでには非常に長いオフセット時間を必要とする。

20

【 0 1 5 8 】

リセット電圧 V_{rst} が V_{rb} であれば、下図の点線のカーブでゲート電圧は変化する。チャンネルに流れる電流は I_{rb} から時間経過とともに低下する。ゲート端子電圧が、 V_{ea} に到達する時間は、 t_b であり、 V_{ec} に到達する時間は、 t_c である。

【 0 1 5 9 】

リセット電圧 $V_{rst} = V_{rb}$ であれば、経過時間 t_c で、ゲート端子電圧 V_{ec} となり、電流は I_{ec} となる。したがって、下図の実線のように、電流 I_{ec} に達する時間は、非常に長時間となることはなく、比較的短時間に目標値 I_{ec} に到達する。

30

【 0 1 6 0 】

図 4 9 の関係から、第 1 階調と第 2 階調で、リセット電圧 V_{rst} を可変することにより、規定の経過時間（オフセットキャンセル時間）に、目標値の電流が E L 素子 1 5 に流れるように設定することができる。

【 0 1 6 1 】

図 5 0 に図示するように、階調電圧（駆動用トランジスタ 1 1 a に印加する電圧）とリセット電圧 V_{rst} と適正な関係がある。

【 0 1 6 2 】

図 5 0 は、横軸は電圧（駆動用トランジスタ 1 1 a に印加する電圧）であり、縦軸は、階調番号である。図 5 0 では、駆動用トランジスタ 1 1 a と P チャンネルトランジスタとしている。したがって、階調が大きい方が、駆動用トランジスタ 1 1 a のゲート端子電圧が低く、階調が小さい方が、駆動用トランジスタ 1 1 a のゲート端子電圧は高い（アノード電圧に近い）。

40

【 0 1 6 3 】

図 5 0 では、駆動電圧（階調電圧、プログラム電圧）を点線で示す。リセット電圧 V_{rst} は、階調電圧に対して一定値以下の電圧をリセット電圧として印加すればよい。実際にリセット電圧 1 として、図示している。階調 1 0 2 3 では、リセット電圧 V_{rst} は - 2 V であり、階調 5 1 1 では、リセット電圧 V_{rst} は約 1 . 3 V である。

50

【 0 1 6 4 】

以上のリセット電圧 1 は、階調電圧（駆動電圧）に対して、一定電圧を下となる電圧印加する場合であるが、これに限定するものではない。例えば、図 5 0 の一点鎖線（リセット電圧 2）のように階調に対して直線であってもよい。その他、リセット電圧は、階調に対して非線形であってもよいし、ステップ状であってもよい。

【 0 1 6 5 】

また、図 5 1 に図示するように、階調に対してリセット電圧（実線）を非線形の関係にしてもよい。階調が大きいほど、リセット電圧を低くし、階調が小さいほど、駆動電圧とリセット電圧 V_{rst} との差を小さくしてもよい。図 5 1 により、リセット電圧 V_{rst} を設定するのは、高階調の領域では、オフセット時に駆動用トランジスタ 11 a のチャンネルが大きく、リセット電圧 V_{rst} と駆動電圧との絶対電圧が大きくても、十分にオフセットキャンセルできるからである。また、オフセット電圧に十分収束しなくとも階調表示に問題がないからである。一方、図 5 1 により、リセット電圧 V_{rst} を設定するのは、高階調の領域では、オフセット時に駆動用トランジスタ 11 a のチャンネルが大きく、リセット電圧 V_{rst} と駆動電圧との絶対電圧が大きくても、十分にオフセットキャンセルできるからである。また、オフセット電圧に十分収束しなくとも階調表示に問題がないからである。低階調の領域では、オフセット時に駆動用トランジスタ 11 a のチャンネルが小さく、リセット電圧 V_{rst} と駆動電圧との絶対電圧を小さくしなくては、オフセットキャンセルが十分できないからである。

【 0 1 6 6 】

以上のように、本発明は、階調電圧に対応させてリセット電圧 V_{rst} を変化させるのが本発明の 1 つの技術的思想である。つまり、映像信号電圧に対応させてリセット電圧 V_{rst} を変化させるのが本発明の技術的思想である。対応させてリセット電圧 V_{rst} を変化させるとは、少なくとも任意の第 1 の階調と任意の第 2 の階調とで、リセット電圧 V_{rst} を変化あるいは異ならせることである。図 4 2 など説明する駆動方式は、以上の効果、方式を適用したものある。

【 0 1 6 7 】

以下、図 4 2 を参照しながら、本発明の他の実施例について説明する。図 4 2 の駆動用トランジスタ 11 a と駆動用トランジスタ 11 a のソース端子間にコンデンサ 19 b が配置または形成されていることである。コンデンサ 19 b は、リセット電圧 V_{rst} が印加される配線とソース信号線 17 からの映像信号 V_{sig} が印加される配線とに接続される。または形成される。コンデンサ 19 b の容量は、コンデンサ 19 a の容量の 50 % 以上 150 % 以下に形成される。

【 0 1 6 8 】

以下の説明では、理解を容易にするため、コンデンサ 19 a の容量がコンデンサ 19 b に比較して非常に大きいとし、コンデンサ 19 b の a 端子の電圧の変化が、b 端子にそのまま変化すると説明をする（現実の構成ではないが、理解を容易にするためである）。例えば、a 点の電位が、5 V から 3 V に変化すると、b 点の電位が $5 - 3 = 2$ V 変化するものとする。

【 0 1 6 9 】

コンデンサ 19 b の機能は、リセット電圧 V_{rst} の電位を映像信号電圧 V_{sig} で変動させる機能を有する。したがって、コンデンサ 19 b の配置位置（形成位置）は、一端にリセット電圧 V_{rst} が印加される配線あるいはリセット電圧 V_{rst} が伝達される配線接続され、他方が、映像信号電圧 V_{sig} が印加される配線あるいは映像信号電圧 V_{sig} が伝達される配線に接続され、かつ、コンデンサ 19 b に前記映像信号電圧 V_{sig} とリセット電圧 V_{rst} が印加されることにより、その相互作用により発生した電圧を駆動用トランジスタ 11 a のゲート端子に印加あるいは保持される電圧または電位に作用するものである。

【 0 1 7 0 】

図 4 3 は、図 4 2 の画素構成の動作を説明するための説明図である。図 4 2 などにおい

10

20

30

40

50

て、電流経路は、点線で示しており、各スイッチ用トランジスタ 11 は、スイッチで図示している。スイッチがオープンの時、トランジスタ 11 がオフ状態を示し、スイッチがクローズの時、トランジスタ 11 がオン状態を示す。また、図 44 は、図 43 の動作をタイミングチャートに図示したものである。ただし、本明細書において、タイミングチャートは模式的に図示している。このことは本発明の他の実施例においても同様である。

【0171】

図 43 (a) は EL 素子 15 に電流が供給され、EL 素子 15 が発光 (点灯) している状態である。

【0172】

図 43 (b) からが電圧プログラム (画素 16 の EL 素子 15 に流れる電流を書き換える動作あるいは期間) の動作である。まず、スイッチ用トランジスタ 11 f がオンすることにより、リセット電圧 V_{rst} が駆動用トランジスタ 11 a のゲート端子に印加される。リセット電圧 V_{rst} は、-2 V 以上 3 V 以下の電圧であることが好ましい。

【0173】

スイッチ用トランジスタ 11 f がオンすることにより、図 44 の 1 t から a t 期間にリセット電圧 V_{rst} が印加される。リセット電圧 V_{rst} が印加されている期間は、スイッチ用トランジスタ 11 b、11 e、11 c、11 d はオフ状態である。

【0174】

次に図 43 (c) に示すように、スイッチ用トランジスタ 11 c をオンさせる。スイッチ用トランジスタ 11 c のオンにより、図 42 の a 点に映像信号電圧 V_{sig} が印加される。一例として、映像信号電圧 V_{sig} は、0 V 以上 5 V 以下の電圧である。映像信号電圧 V_{sig} は、映像信号により変化する。

【0175】

以上の動作より、図 42 の b 点にリセット電圧 V_{rst} が印加され、次に、a 点に映像信号電圧 V_{sig} が印加される。 V_{sig} 電圧は、理想的にはコンデンサ 19 a と 19 b で分圧される。分圧される割合は、コンデンサ 19 a とコンデンサ 19 b の容量比で決まる。

【0176】

説明を容易にするため、リセット電圧 V_{rst} を -1 V とし、映像信号電圧の 1 V または 4 V とする。また、1 V は、EL 素子 15 に最大の電流 (白表示電流) を流す電圧と仮定し、4 V は、EL 素子 15 に電流を流さない電流 (黒表示電流) であると仮定する。また、アノード電圧 V_{dd} は、5 V であるとする。

【0177】

今、映像信号電圧 V_{sig} を 1 V とすると、図 43 (b) では、a 点に 1 V が印加され、b 点には -1 V が印加されている。a 点に 1 V が印加される以前は、図 43 (a) の状態であるから、a 点には、5 V が印加されている。

【0178】

以上の状態で、a 点に印加される電圧が、 V_{sig} 電圧により、5 V から 1 V に変化する。a 点の電位が 5 V から 1 V に変化するにより (電圧変化 $5 - 1 = 4$ V)、b 点の電位も 4 V 変化する (コンデンサ 19 a の容量が、コンデンサ 19 b の容量に比較して非常に大きいとする)。したがって、b 点の電位は、-1 V から -5 V (-1 V + (-4) V) に変化する。以上の動作により、映像信号電圧 V_{sig} が 1 V の時は、駆動用トランジスタ 11 a のゲート端子電圧 (b 点) の電位は、-5 V となる。

【0179】

映像信号電圧 V_{sig} を 4 V とすると、図 43 (b) では、a 点に 4 V が印加され、b 点には -1 V が印加されている。a 点に 4 V が印加される以前は、図 43 (a) の状態であるから、a 点には、5 V が印加されている。

【0180】

以上の状態で、a 点に印加される電圧が、 V_{sig} 電圧により、5 V から 4 V に変化する。a 点の電位が 5 V から 4 V に変化するにより (電圧変化 $5 - 4 = 1$ V)、b 点の

10

20

30

40

50

電位も 1 V 変化する (コンデンサ 19 a の容量が、コンデンサ 19 b の容量に比較して非常に大きいとする)。したがって、b 点の電位は、- 1 V から - 2 V (- 1 V + (- 1) V) に変化する。以上の動作により、映像信号電圧 V_{sig} が 4 V の時は、駆動用トランジスタ 11 a のゲート端子電圧 (b 点) の電位は、- 2 V となる。

【 0 1 8 1 】

映像信号電圧 V_{sig} が 1 V の時は、駆動用トランジスタ 11 a のゲート端子電圧 (b 点) の電位は、- 5 V となる。したがって、映像信号電圧 V_{sig} とリセット電圧 V_{rst} との電位差は、 $1 - (- 5) = 6$ V である。

【 0 1 8 2 】

映像信号電圧 V_{sig} が 4 V の時は、駆動用トランジスタ 11 a のゲート端子電圧 (b 点) の電位は、- 2 V となる。したがって、映像信号電圧 V_{sig} とリセット電圧 V_{rst} との電位差は、 $4 - (- 2) = 6$ V である。

【 0 1 8 3 】

つまり、映像信号電圧 $V_{sig} = 1$ V では、リセット電圧 $V_{rst} = - 5$ V からオフセットキャンセル動作が開始する (図 4 3 (d))。映像信号電圧 $V_{sig} = 4$ V では、リセット電圧 $V_{rst} = - 2$ V からオフセットキャンセル動作が開始する (図 4 3 (d))。

【 0 1 8 4 】

以上のことから、図 4 2 の実施例では、映像信号に対応してリセット電圧 V_{rst} が変化する。したがって、図 5 0 で説明した、映像信号電圧 (駆動電圧) とリセット電圧 1 の関係が実現できていることになる。

【 0 1 8 5 】

図 4 3 (c) が上記の映像信号電圧 V_{sig} で、オフセットキャンセルを開始するリセット電圧 V_{rst} が決定される (設定される)。映像信号電圧 V_{sig} の大きさに対応して初期 (図 4 3 (b)) に印加したリセット電圧 V_{rst} が、変化するからである (図 5 0)。

【 0 1 8 6 】

以上の実施例では、理解を容易にするため、あるいは説明を容易にするため、コンデンサ 19 a の容量がコンデンサ 19 b の容量に比較して十分大きく、図 4 2 の a 点に印加された電位が、b 点に反映される、もしくは図 4 2 の b 点に印加された電位が、a 点に反映されることを前提として説明している。

【 0 1 8 7 】

しかし、実際には、b 点に反映される (変化する) 電圧は、コンデンサ 19 a、19 b の容量、駆動用トランジスタ 11 a の寄生容量、他のスイッチング用トランジスタ 11 の寄生容量およびゲート信号線 17 などの突き抜け電圧などにより変化する。したがって、本発明はこれらの影響を考慮してコンデンサ 19 の容量、各スイッチング用トランジスタ 11 の動作を決定する。これらの事項などは本発明の技術的思想を逸脱するものではない。なお、コンデンサ 19 b と 19 a の容量または容量比を b 点に設定する設定電圧に対応して決定する。

【 0 1 8 8 】

例えば、コンデンサ 19 には、絶縁膜の特性などにより、容量 C を印加電圧に対して非線形性を持たせることができる。したがって、適正にあるいは考慮してコンデンサ 19 などを形成することにより、図 4 2 の構成と駆動方式であっても、図 5 1 のように、駆動電圧 V_{sig} に対してリセット電圧 V_{rst} を変化 (非線形) にすることが可能である。

【 0 1 8 9 】

また、図 4 2 (b) のリセット電圧 V_{rst} を印加する際、スイッチ用トランジスタ 11 e をオフした状態で、リセット電圧 V_{rst} を印加すれば、a 点の電位が変化する。次の図 4 2 (c) で、映像信号電圧 V_{sig} を印加すれば、a 点に変化した後を基準にして b 点の電位が変化する。以上のように、各トランジスタ 11 の制御タイミングを各状態に設定あるいは変更することにより多種多様な方式、a 点 b 点などの電位制御を実現できる

10

20

30

40

50

。

【0190】

図43(c)を実施している期間が、図44のa t ~ b t 期間である。リセット電圧 V_{rst} を映像信号電圧 V_{sig} の関係で変化する。

【0191】

図43(d)がオフセットキャンセル期間である。スイッチ用トランジスタ11e、11d、11fがオープンに制御され、スイッチ用トランジスタ11c、11bがクローズに制御される。以上のスイッチ用トランジスタ11の設定により、映像信号電圧 V_{sig} が駆動用トランジスタ11aのチャンネル間を介して、駆動用トランジスタ11aのゲート端子に印加される。映像信号電圧 V_{sig} に対する電流(ドレイン電流)は、図49に
10
図示するように、リセット電圧 V_{rst} を印加後、非線形カーブで低下する。1 H以内(1水平走査期間、図44のb t ~ 2 t)の間、オフセットキャンセルされる。

【0192】

図43(e)がEL素子15の発光期間である(図44の2 t ~ 4 t、5 t ~)。スイッチ用トランジスタ11c、11b、11fがオフ(オープン)され、スイッチ用トランジスタ11e、11dがオン(クローズ)される。EL素子15には、アノード電圧源 V_{dd} から、スイッチ用トランジスタ11e、駆動用トランジスタ11a、スイッチ用トランジスタ11dを介してEL素子15に電流が供給される。

【0193】

図43(f)の表示期間の動作であるが、EL素子15の消灯期間である(図44の4 t ~ 5 t)。スイッチ用トランジスタ11dまたは11eのうち、少なくとも一方をオンオフ制御することにより、図12、図13の画像表示を実現できる(duty駆動)。duty駆動、ピーク電流抑制駆動により、高画質化、電流抑制を実現できる。なお、各スイッチ用トランジスタ1の動作に対応させて各ゲート信号線17のオンオフ電圧を印加する制御タイミングを制御する。ゲートドライバ回路12の制御は図3のように、ソースドライバIC14からの信号をレベルシフト回路32でレベルシフトさせて印加することにより実現する。
20

【0194】

表示期間は、図43(e)、図43(f)の駆動方法を実施する。スイッチ用トランジスタ11dまたは11eのうち、表示する画像が動画あるいは静止画あるいは中間動画の種類を自動判別し、少なくとも一方をオンオフする期間、タイミングを制御することにより、動画/静止画に対応する適切な画像表示を実現できる。
30

【0195】

図45は、図43で説明した本発明の駆動方法の他の実施例である。図45の駆動方法では、図43(d)の期間が2つの期間(図45(d1)(d2))に分かれる。

【0196】

図45の駆動方法は、駆動用トランジスタ11aのモビリティバラツキを補正するものである。図43の駆動方法は、 V_t バラツキのみを主として補正する駆動方法である。

【0197】

図45(d)の期間では、スイッチ用トランジスタ11eがオフ状態である(図45(d1)と同一)が、図45(d2)は、スイッチ用トランジスタ11eをオン状態にしている。したがって、図45(d2)に図示するように、点線の経路で電流が流れる。図43(e)では、スイッチ用トランジスタ11eはオンであるが、スイッチ用トランジスタ11bがオフである。つまり、図45(d2)は、図43(e)期間前に、スイッチ用トランジスタ11bをオンした状態で、短期間、スイッチ用トランジスタ11eをオンさせた駆動方法である。もしくは、スイッチ用トランジスタ11eをオンする際、短時間の間、スイッチ用トランジスタ11bのオン状態を継続する駆動方式である。
40

【0198】

短時間とは、0.1 μ 秒以上5 μ 秒以下の時間である。前記短時間は、画素に印加する映像信号電圧 V_{sig} に対応させて変化させることが好ましい。また、点灯率に対応させ
50

て変化させることが好ましい。この変化は、線形、非線形に対応させることを含むほか、ステップ状（例えば、点灯率 50 % 以上では、短時間とは 0.5 μ 秒、点灯率 50 % 未満では、2 μ 秒）に対応させてもよい。

【0199】

この短時間を調整することあるいは設定することにより、駆動用トランジスタ 11a のモビリティばらつきを一定量、補償できる。短時間は、パネルの駆動用トランジスタ 11a の特性に適合させて設定することが好ましい。

【0200】

図 43、図 45 の実施例では、オフセットキャンセル期間は、図 44 の $b_t \sim 2_t$ の 1H 以下の期間としたが、本発明はこれに限定するものではない。図 43 (d) において、スイッチ用トランジスタ 11c をオフし、スイッチ用トランジスタ 11b をオン状態（他のスイッチ用トランジスタ 11e、11f、11d はオフ）にして、1H 期間以上（図 44 の 2_t 以降の期間）保持してもよい。スイッチ用トランジスタ 11c をオフしても a 点に映像信号電圧 V_{sig} が保持されているため、オフセットキャンセル状態が持続するからである。したがって、オフセットキャンセル時間が不足することはなくなる。以上の図 43 (d) において、スイッチ用トランジスタ 11c をオフし、スイッチ用トランジスタ 11b をオン状態（他のスイッチ用トランジスタ 11e、11f、11d はオフ）にする状態の期間は、画素 16 に印加する映像信号電圧 V_{sig} の大きさに対応して変化させることが好ましい。

【0201】

他の構成は、図 1 などと同様であるので説明を省略する。なお、図 42 の構成においても、ソースドライバ IC 14 の出力端に 3 選択回路を配置してもよいことは言うまでもない。以上の事項は本発明の他の実施例においても同様である。

【0202】

図 46 は、図 42 の変更例である。図 42 との際は、図 1 と同様にコンデンサ 11c が付加された点である。基本的には、コンデンサ 11c の機能は、図 1 の機能および仕様と同様である。

【0203】

図 47 は、図 46 の画素構成の動作を説明するための説明図である。図 47 などにおいても図 43 を同様に、電流経路は、点線で示しており、各スイッチ用トランジスタ 11 は、スイッチで図示している。スイッチがオープンの時、トランジスタ 11 がオフ状態を示し、スイッチがクローズの時、トランジスタ 11 がオン状態を示す。

【0204】

図 47 (a) は EL 素子 15 に電流が供給され、EL 素子 15 が発光（点灯）している状態である。

【0205】

図 47 (b) では、スイッチ用トランジスタ 11f がオンすることにより、リセット電圧 V_{rst} が駆動用トランジスタ 11a のゲート端子に印加される。リセット電圧 V_{rst} は、-2V 以上 3V 以下の電圧であることが好ましい。

【0206】

スイッチ用トランジスタ 11f がオンすることにより、駆動用トランジスタ 11a のゲート端子にリセット電圧 V_{rst} が印加される。リセット電圧 V_{rst} が印加されている期間は、スイッチ用トランジスタ 11b、11e、11c、11d はオフ状態である。

【0207】

次に図 47 (c) に示すように、スイッチ用トランジスタ 11c をオンさせる。スイッチ用トランジスタ 11c のオンにより、図 42 の a 点に映像信号電圧 V_{sig} が印加される。

【 0 2 0 8 】

以上の動作より、図 4 2 の b 点にリセット電圧 V_{rst} が印加され、次に、a 点に映像信号電圧 V_{sig} が印加される。 V_{sig} 電圧は、理想的にはコンデンサ 19 a と 19 b で分圧される。分圧される割合は、コンデンサ 19 a とコンデンサ 19 b の容量比で決まる。

【 0 2 0 9 】

図 4 7 (c) の動作は、図 4 3 (c) の動作と同一である。また、図 4 7 (d) の動作は、図 4 3 (d) の動作と同様である。

【 0 2 1 0 】

図 4 3 の実施例との差異は、図 4 7 (e) の動作である。つまり、コンデンサ 19 c の一端子 (図 4 6 の a 点) に印加された電圧により、スイッチ用トランジスタ 11 c がオフした後も、映像信号電圧 V_{sig} が駆動用トランジスタ 11 a に供給され、オフセットキャンセル期間が持続する点である。したがって、コンデンサ 19 c の効果によりソースドライバ IC 14 からの映像信号電圧 V_{sig} の供給の有無にかかわらず、オフセットキャンセル期間が持続する。なお、図 4 7 (f) は、図 4 3 (e) と同一の動作である。

【 0 2 1 1 】

図 4 6 の実施例において、実際には、b 点に反映される (変化する) 電圧は、コンデンサ 19 a 、 19 b の容量、駆動用トランジスタ 11 a の寄生容量、他のスイッチング用トランジスタ 11 の寄生容量およびゲート信号線 17 などの突き抜け電圧などにより変化する。したがって、本発明はこれらの影響を考慮してコンデンサ 19 の容量、各スイッチング用トランジスタ 11 の動作を決定する。これらの事項などは本発明の技術的思想を逸脱するものではない。なお、コンデンサ 19 b と 19 a の容量または容量比を b 点に設定する設定電圧に対応して決定する。この点も図 4 2 の実施例と同様である。また、図 5 1 のように、駆動電圧 V_{sig} に対してリセット電圧 V_{rst} を変化 (非線形) にすることが可能である。

【 0 2 1 2 】

図 4 8 は、図 4 6 の実施例に対して、図 4 5 で説明した本発明の駆動方法の他の実施例である。図 4 8 の駆動方法では、図 4 7 (e) の期間が 2 つの期間 (図 4 5 (e 1) (e 2)) に分かれる。

【 0 2 1 3 】

図 4 8 (e 2) は、図 4 8 (f) 期間前に、スイッチ用トランジスタ 11 b をオンした状態で、短期間、スイッチ用トランジスタ 11 e をオンさせた駆動方法である。もしくは、スイッチ用トランジスタ 11 e をオンする際、短時間の間、スイッチ用トランジスタ 11 b のオン状態を継続する駆動方式である。この点も図 4 5 の実施例と同様である。

【 0 2 1 4 】

他の構成は、図 1 などと同様であるので説明を省略する。なお、図 4 2 の構成においても、ソースドライバ IC 14 の出力端に 3 選択回路を配置してもよいことは言うまでもない。以上の事項は本発明の他の実施例においても同様である。

【 0 2 1 5 】

本発明のトランジスタは、TFTばかりでなく、バイポーラトランジスタでも同様に実現が可能である。また TFT についても、ポリシリコン、結晶シリコン、アモルファスシリコンなど構成材料によらず同様に実施が可能である。

【 0 2 1 6 】

図 1 などの本発明の実施例において、トランジスタ 11 e 、トランジスタ 11 d の少なくとも一方をオンオフ制御することにより、図 1 2 (b) に図示するような duty 駆動を実現できる。図 1 2 において、121 はプログラム画素行 (映像信号を書き込んでいる画素行) であり、123 は非表示領域 (トランジスタ 11 e とトランジスタ 11 d のうち、少なくとも一方をオフさせることにより、非表示 (EL 素子 15 に電流が流れていない、または流れても小さい状態) とした画素行または画素行の群) である。122 は表示領域 (トランジスタ 11 e とトランジスタ 11 d の両方をオンさせ、EL 素子 15 に電流が

10

20

30

40

50

供給されている画素行または画素行の群である。非表示領域 1 2 3 および表示領域 1 2 2 はフレーム周期または水平同期信号に同期して、表示画面 3 1 の上下方向に走査される。

【 0 2 1 7 】

図 1 3 (a) の表示では、1 つの表示領域 1 2 2 が画面の上から下方向に移動する。フレームレートが低いと、表示領域 1 2 2 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【 0 2 1 8 】

この課題に対しては、図 1 2 (b) (c) に図示するように、表示領域 1 2 2 を複数に分割するとよい。分割された表示領域 1 2 2 は等しく (等分に) する必要はない。例えば、表示領域を 4 つの領域に分割し、分割された表示領域 1 2 2 a が面積 1 で、分割された表示領域 1 2 2 b が面積 2 で、分割された表示領域 1 2 2 c が面積 1 で、分割された表示領域 1 2 2 d が面積 4 でもよい。

10

【 0 2 1 9 】

数フレーム (フィールド) での表示領域 1 2 2 の面積が平均して目標の大きさになるように制御してもよいことは言うまでもない。例えば、表示画面 3 1 に占める表示領域 1 2 2 の面積を $1 / 10$ にするとした時、1 フレーム (フィールド) 目は表示領域 1 2 2 の面積を $1 / 10$ とし、2 フレーム (フィールド) 目は表示領域 1 2 2 の面積を $1 / 20$ とし、3 フレーム (フィールド) 目は表示領域 1 2 2 の面積を $1 / 20$ とし、4 フレーム (フィールド) 目は表示領域 1 2 2 の面積を $1 / 5$ とし、以上の 4 フレーム (フィールド) で所定の表示面積 (表示輝度) の $1 / 10$ を得る駆動方法が例示される。

20

【 0 2 2 0 】

また、R、G、B のそれぞれが、数フレーム (フィールド) で L の期間の平均が等しくなるように駆動してもよい。しかし、前記数フレーム (フィールド) は 4 フレーム (フィールド) 以下にすることが好ましい。表示画像によってはフリッカが発生する場合があるからである。

【 0 2 2 1 】

なお、本発明での 1 フレームあるいは 1 フィールドとは、画素 1 6 の画像書き換え周期または表示画面 3 1 が上から下まで (下から上まで) 走査される周期と同義あるいは類似の意味と考えてもよい。

【 0 2 2 2 】

30

また、R、G、B で、数フレーム (フィールド) で L の期間の平均を異ならせ、適度なホワイトバランスがとれるように駆動してもよい。この駆動方法は、R G B の発光効率が異なるときに特に有効である。また、R G B で分割数 K (表示領域 1 2 2 を複数に分割する数) を異ならせても良い。特に G では視覚的にめだつため、G では分割数を R B に対して多くすることが有効である。

【 0 2 2 3 】

なお、以上の実施例では理解を容易にするために表示領域 1 2 2 の面積を分割するとして説明している。しかし、面積を分割するとは、期間 (時間) を分割することである。したがって、図 1 ではトランジスタ 1 1 d のオン期間を分割することになるから、面積を分割することは、期間 (時間) を分割することと同義あるいは類似である。

40

【 0 2 2 4 】

以上のように、表示領域 1 2 2 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。また、画像表示のフレームレートを低減することができ、低消費電力化を実現できる。例えば、非点灯領域 1 2 3 を一括にした場合は、フレームレート 45 Hz 以下になるとフリッカが発生する。しかし、非点灯領域 1 2 3 を 6 分割以上とした場合は、 20 Hz 以下までフリッカが発生しない。

【 0 2 2 5 】

図 1 3 (a) は図 1 3 のように表示領域 1 2 2 が連続している場合の明るさ調整方式で

50

ある。図 13 (a 1) の表示画面 3 1 の表示輝度が最も明るい。図 13 (a 2) の表示画面 3 1 の表示輝度が次に明るく、図 13 (a 3) の表示画面 3 1 の表示輝度が最も暗い。図 13 (a 1) から図 13 (a 3) への変化 (あるいはその逆) は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。この際、図 1 の V_{dd} 電圧 (アノード電圧など) は変化させる必要がない。また、ソースドライバ回路 1 4 が出力するプログラム電流あるいはプログラム電圧の大きさも変化させる必要がない。つまり、電源電圧を変化させず、また、映像信号を変化させずに表示画面 3 1 の輝度変化を実施できる。

【 0 2 2 6 】

また、図 13 (a 1) から図 13 (a 3) への変化の際、画面のガンマ特性は全く変化しない。したがって、表示画面 3 1 の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。

【 0 2 2 7 】

従来の画面の輝度調整では、表示画面 3 1 の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は 6 4 階調表示を実現できても、低輝度表示の時は、半分以上の階調数しか表示できない。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の 6 4 階調表示を実現できる。

【 0 2 2 8 】

図 13 (b) は、図 1 2 で説明したように表示領域 1 2 2 が分散している場合の明るさ調整方式である。図 13 (b 1) の表示画面 3 1 の表示輝度が最も明るい。図 13 (b 2) の表示画面 3 1 の表示輝度が次に明るく、図 13 (b 3) の表示画面 3 1 の表示輝度が最も暗い。図 13 (b 1) から図 13 (b 3) への変化 (あるいはその逆) は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。図 13 (b) のように表示領域 1 2 2 を分散させれば、低フレームレートでもフリッカが発生しない。

【 0 2 2 9 】

さらに、低フレームレートでも、フリッカが発生しないようにするには、図 13 (c) のように表示領域 1 2 2 を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図 13 (a) の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図 13 (c) の駆動方法が適している。図 13 (a) から図 13 (c) の駆動方法の切り替えも、シフトレジスタ 6 1 の制御により容易に実現できる。

【 0 2 3 0 】

図 13 は非表示領域 1 2 3 が等間隔で構成されているが、これに限定するものではない。表示画面 3 1 の $1/2$ の面積が連続して表示領域 1 2 2 をし、残りの面積 50% が図 13 (c 1) のように等間隔に表示領域 1 2 2 と非表示領域 1 2 3 が繰り返すように駆動してもよいことは言うまでもない。

【 0 2 3 1 】

また、EL 表示装置に入力される映像信号を加算あるいは重み付け処理を行うことにより、表示画面に流れる電流を求め、または予測し、前記求めた電流などにより画像画面に黒帯状の非点灯領域を発生させ、この黒帯状の非点灯領域の大きさを変化させる。または、黒帯状の非点灯領域の幅は一定にし、映像信号の振幅を変化させることにより、表示画面に流れる電流の大きさが一定以上にならないように制御する。また、この制御により、電源回路から表示画面に流れる電流を一定以下となるようにすることができ、EL 表示装置の発熱を抑制できる。また、電源回路 (電源 IC) が出力する電圧を可変することにより EL 表示装置の発熱を抑制できる。

【 0 2 3 2 】

つぎに、本発明の駆動方式を実施する EL 表示装置を表示ディスプレイとして用いた本発明の表示機器 (EL 表示装置) について説明をする。

【 0 2 3 3 】

図 7 は E L 表示装置の一例である情報端末装置の携帯電話の平面図である。筐体 7 3 にアンテナ 7 1 などが取り付けられている。7 2 a は、表示画面の明るさを変化させる切換キー、7 2 b は電源オンオフキー、7 2 c がゲートドライバ回路 1 2 b の動作フレームレートを切り替えるキーである。7 5 はホトセンサである。ホトセンサ 7 5 は、外光の強弱にしたがって、d u t y 比などを変化させて、表示画面 2 2 の輝度を自動調整する。

【 0 2 3 4 】

図 8 はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 8 3 とビデオカメラ本体 7 3 と具備している。本発明の E L 表示パネルは表示モニター 7 4 としても使用されている。表示画面 2 2 は支点 8 1 で角度を自由に調整できる。表示画面 2 2 を使用しない時は、格納部 8 3 に格納される。

【 0 2 3 5 】

本実施の形態の E L 表示パネルあるいは E L 表示装置などはビデオカメラだけでなく、図 9 に示すような電子カメラにも適用することができる。本発明の E L 表示装置はカメラ本体 9 1 に付属されたモニター 2 2 として用いる。カメラ本体 9 1 にはシャッター 9 3 の他、スイッチ 7 2 a、7 2 c が取り付けられている。

【 0 2 3 6 】

なお、本明細書で説明した本発明の技術的思想は相互に組み合わせることができる。例えば、図 1 のコンデンサ 1 9 b を形成する実施例と、図 1 6 の複数のソース信号線を形成した実施例の組み合わせが例示される。また、図 1 のコンデンサ 1 9 b を形成する実施例と、図 3 1 の電流源 3 1 2 を使用する実施例との組み合わせが例示される。また、図 1 のコンデンサ 1 9 b を形成する実施例と、図 3 2 のコンデンサ 1 9 b を形成する実施例との組み合わせが例示される。また、図 1 のコンデンサ 1 9 b を形成する画素構成の実施例め、図 4 5、図 4 8 の駆動方法との組み合わせが例示される。また、図 3 1 と図 4 2 あるいは図 4 5 の構成の組み合わせが例示される。

【 0 2 3 7 】

また、2 つの組み合わせだけでなく、3 つ以上の技術的思想の組み合わせが例示される。

【 0 2 3 8 】

また、画素構成あるいは駆動方法だけでなく、図 6 あるいは図 3 にドライバ構成なども適時、各構成あるいは駆動方法に組み合わせることができる。また、画素構成あるいは駆動方法だけでなく、図 1 2 あるいは図 1 3 に他の駆動方法なども適時、各構成あるいは駆動方法に組み合わせることができる。

【 0 2 3 9 】

なお、以上の構成あるいは駆動方法、また複数の構成あるいは駆動方法を組み合わせたものを図 7、図 8、図 9 などに適用したのも本発明である。

【産業上の利用可能性】

【 0 2 4 0 】

本発明に係る E L 表示装置は、オフセットキャンセル期間を十分に確保できるため、良好なオフセットキャンセルを実現できる。そのため、駆動用トランジスタ 1 1 a の特性バラツキが発生しても、特性バラツキをキャンセルすることができ、良好な画像表示を実現できる。

【図面の簡単な説明】

【 0 2 4 1 】

【図 1】 E L 表示装置の画素の構成図である。

【図 2】 E L 表示装置の駆動方法の説明図である。

【図 3】 E L 表示装置の説明図である。

【図 4】 E L 表示装置の画素の構成図である。

【図 5】 E L 表示装置の画素の構成図である。

【図 6】 E L 表示装置の説明図である。

【図 7】 E L 表示装置を用いた機器の説明図である。

10

20

30

40

50

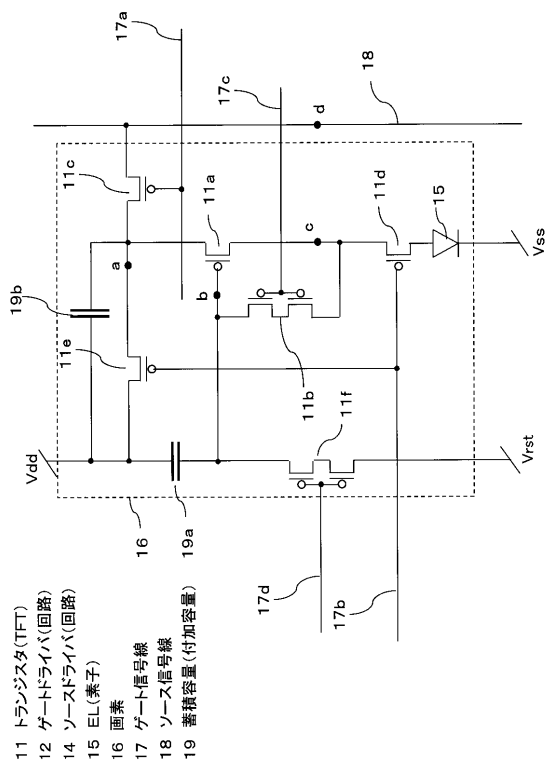
- 【図 8】E L 表示装置を用いた機器の説明図である。
- 【図 9】E L 表示装置を用いた機器の説明図である。
- 【図 10】E L 表示装置の画素の構成図である。
- 【図 11】E L 表示装置の画素の構成図である。
- 【図 12】E L 表示装置の駆動方法の説明図である。
- 【図 13】E L 表示装置の駆動方法の説明図である。
- 【図 14】ソース信号線から画素に映像信号を取り込む構成図である。
- 【図 15】図 14 のゲートドライバ 12 a の動作を示した説明図である。
- 【図 16】本発明の E L 表示装置の説明図である。
- 【図 17】図 16 のゲートドライバの動作を示した図である。 10
- 【図 18】図 16 のゲートドライバの動作を示した図である。
- 【図 19】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 20】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 21】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 22】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 23】本発明の E L 表示装置の説明図である。
- 【図 24】本発明の E L 表示装置の説明図である。
- 【図 25】本発明の E L 表示装置の説明図である。
- 【図 26】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 27】本発明の E L 表示装置の駆動方法の説明図である。 20
- 【図 28】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 29】本発明の E L 表示装置の説明図である。
- 【図 30】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 31】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 32】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 33】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 34】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 35】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 36】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 37】本発明の E L 表示装置の駆動方法の説明図である。 30
- 【図 38】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 39】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 40】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 41】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 42】本発明の E L 表示装置の説明図である。
- 【図 43】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 44】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 45】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 46】本発明の E L 表示装置の説明図である。
- 【図 47】本発明の E L 表示装置の駆動方法の説明図である。 40
- 【図 48】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 49】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 50】本発明の E L 表示装置の駆動方法の説明図である。
- 【図 51】本発明の E L 表示装置の駆動方法の説明図である。
- 【符号の説明】
- 【 0 2 4 2 】
- 1 1 トランジスタ (T F T)
- 1 2 ゲートドライバ I C (回路)
- 1 4 ソースドライバ回路 (I C)
- 1 5 E L (素子) 50

- 1 6 画素
- 1 7 ゲート信号線
- 1 8 ソース信号線
- 1 9 蓄積容量 (付加コンデンサ、付加容量)
- 3 1 表示画面
- 3 2 レベルシフト回路
- 5 1 インバータ回路
- 7 1 アンテナ
- 7 2 キー
- 7 3 筐体
- 7 4 表示パネル
- 7 5 ホトセンサ
- 8 1 支点
- 8 3 撮影レンズ
- 8 4 格納部
- 9 1 本体
- 9 2 撮影部
- 9 3 シャッタスイッチ
- 1 2 1 プログラム画素行 (映像信号電圧書込み画素行)
- 1 2 2 表示領域
- 1 2 3 非表示領域

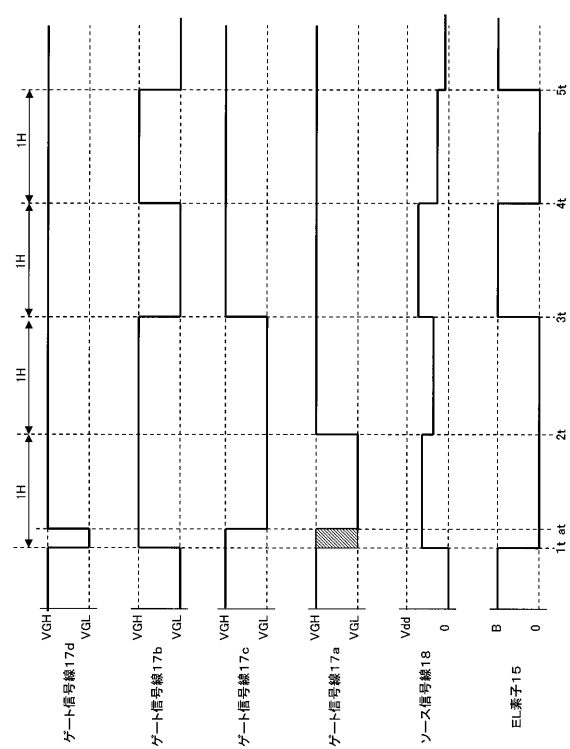
10

20

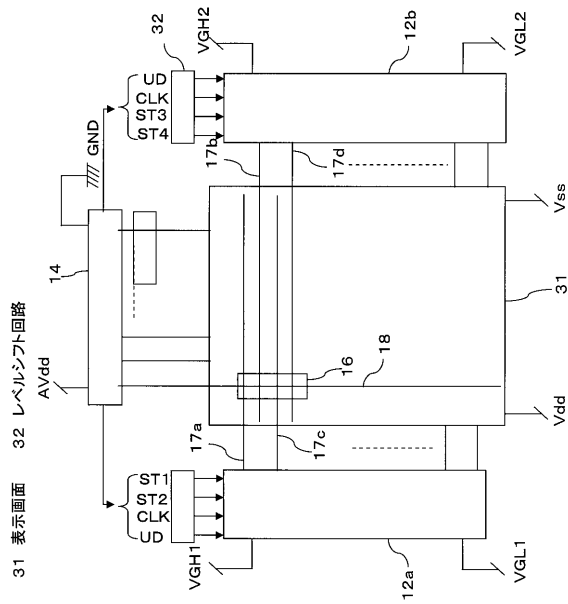
【図 1】



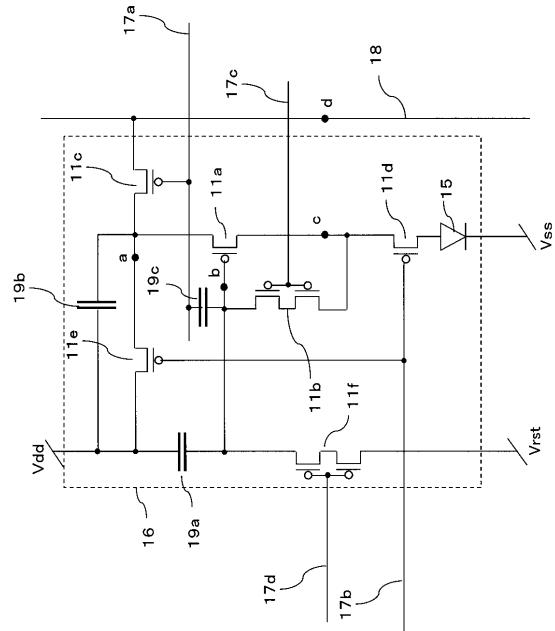
【図 2】



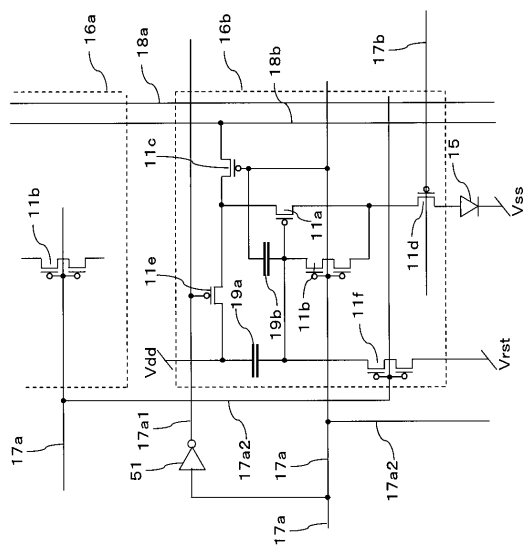
【図 3】



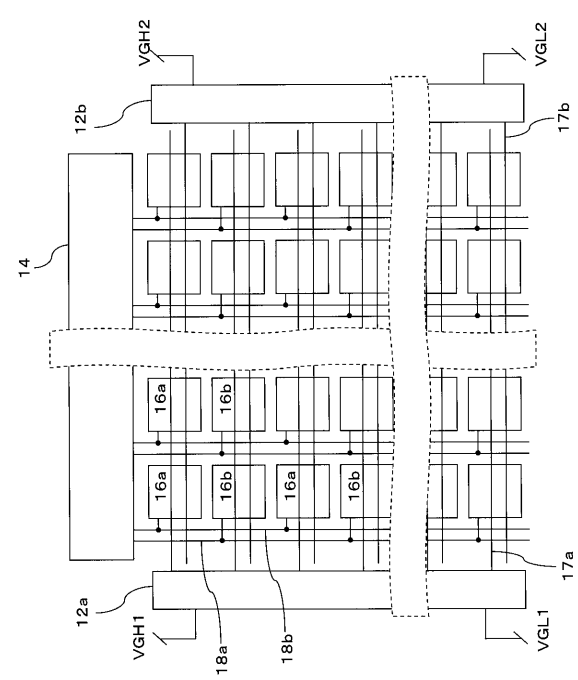
【図 4】



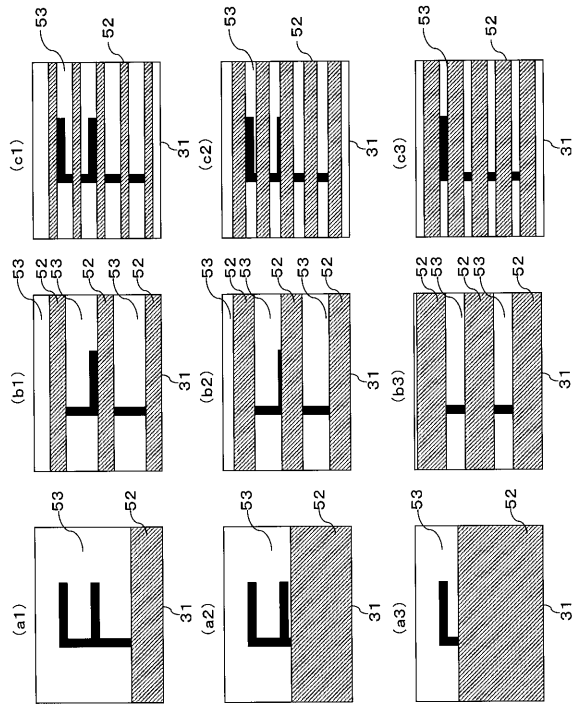
【図 5】



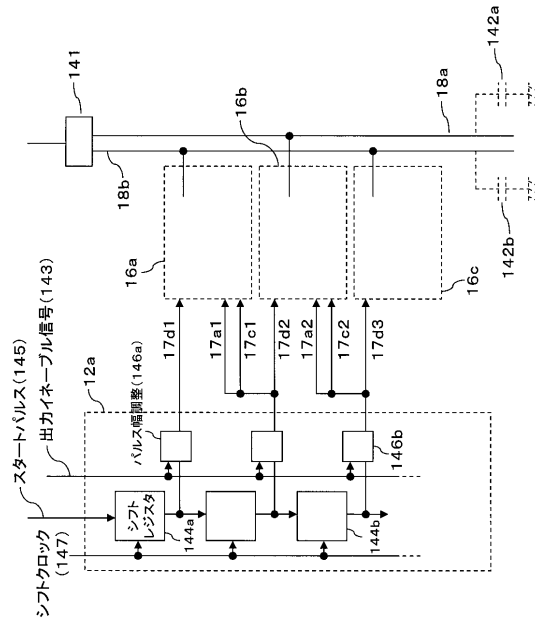
【図 6】



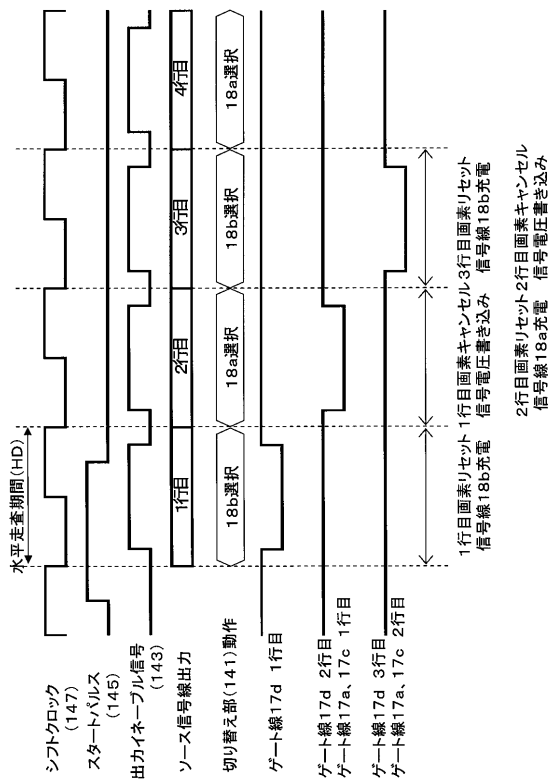
【 図 1 3 】



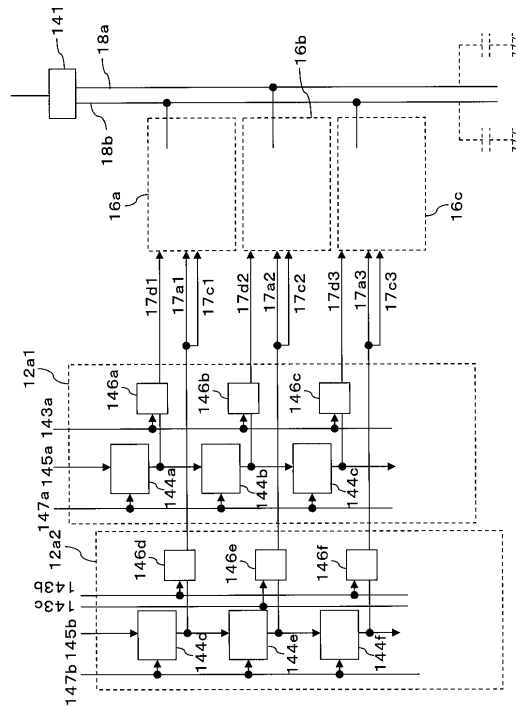
【 図 1 4 】



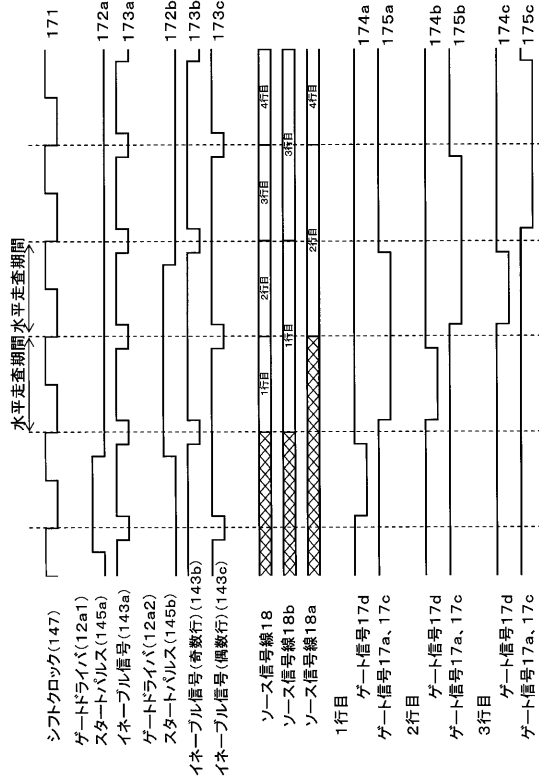
【 ㄨ 1 5 】



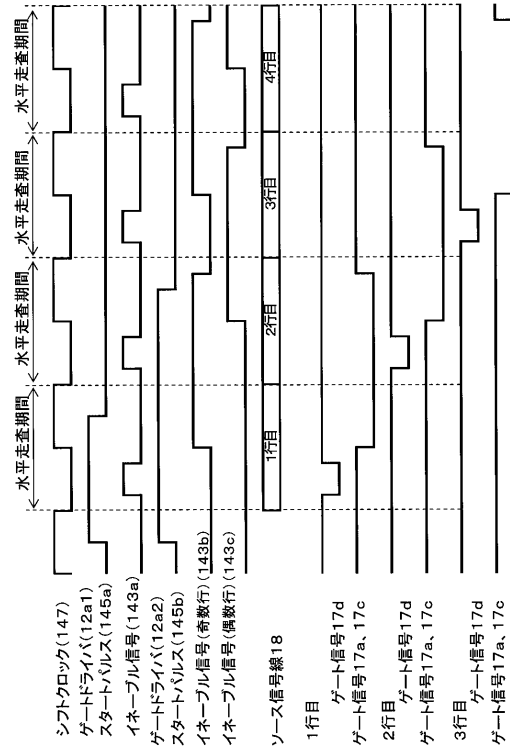
【 図 1 6 】



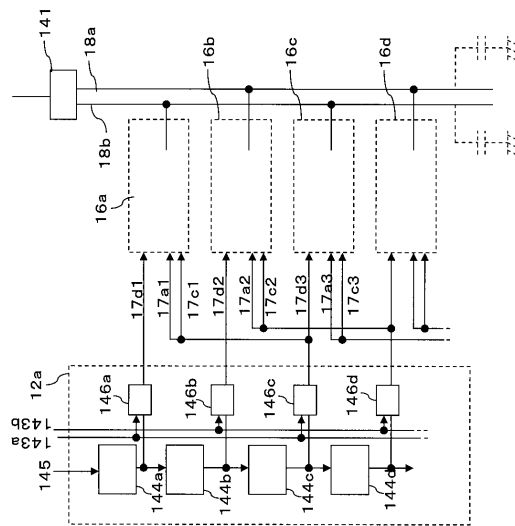
【図 17】



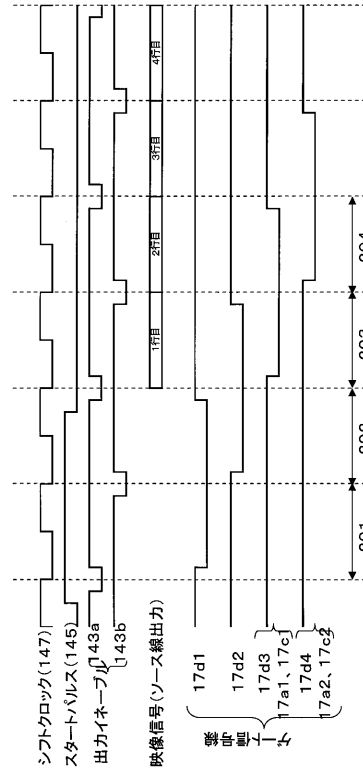
【図 18】



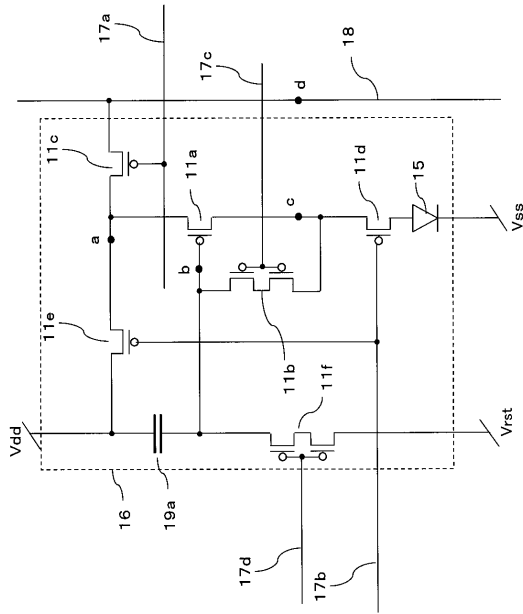
【図 19】



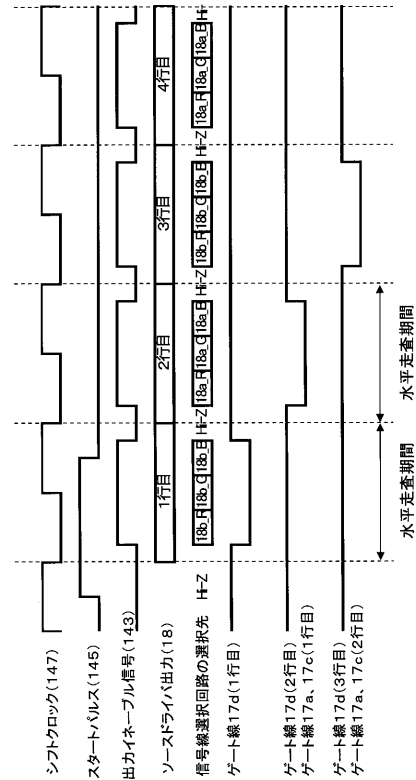
【図 20】



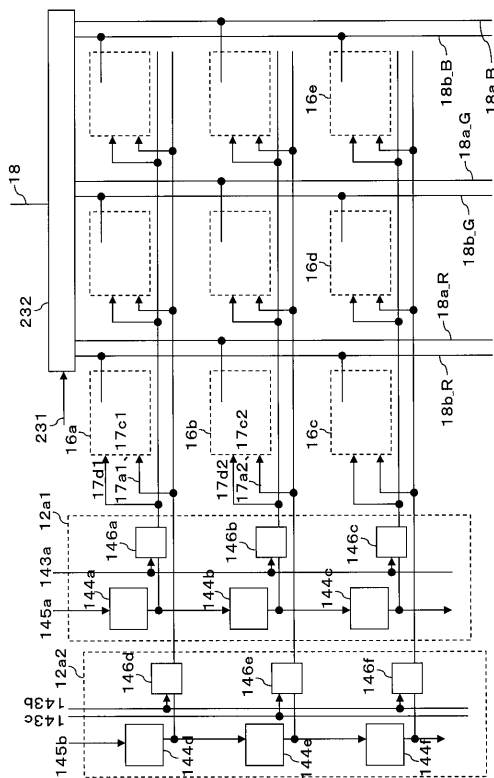
【図 25】



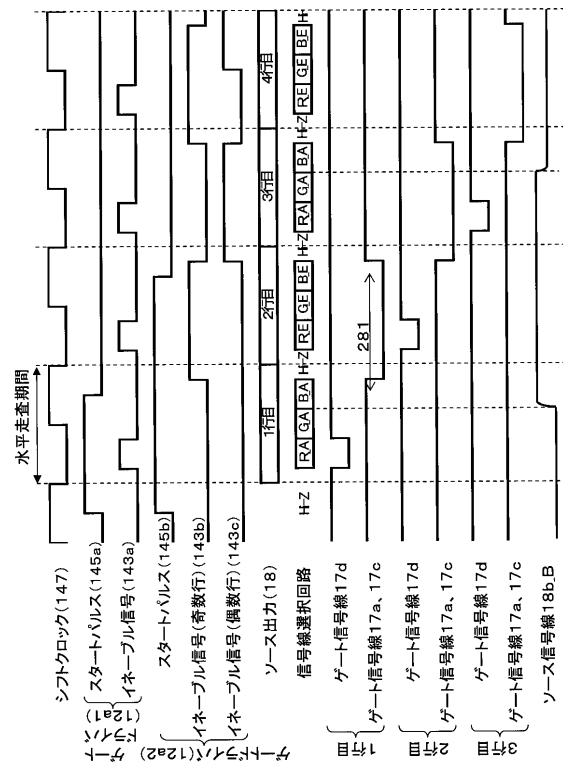
【図 26】



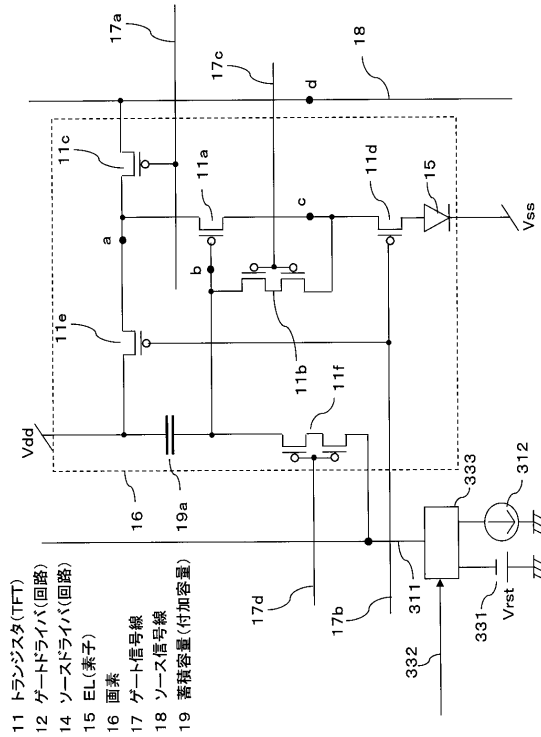
【図 27】



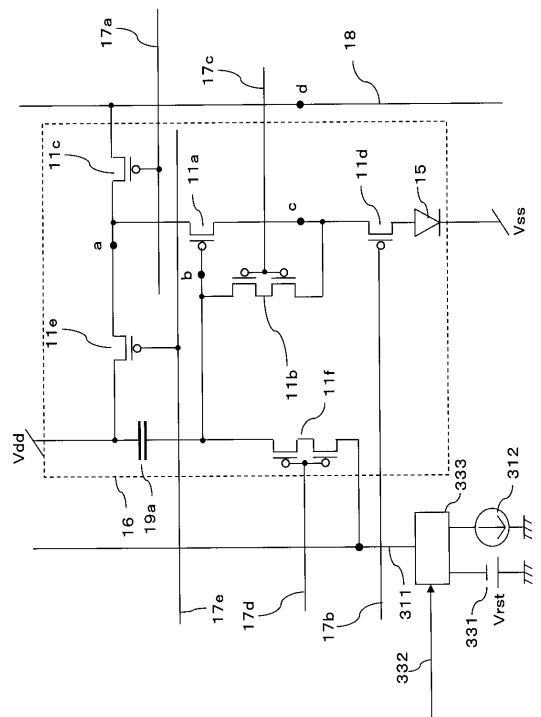
【図 28】



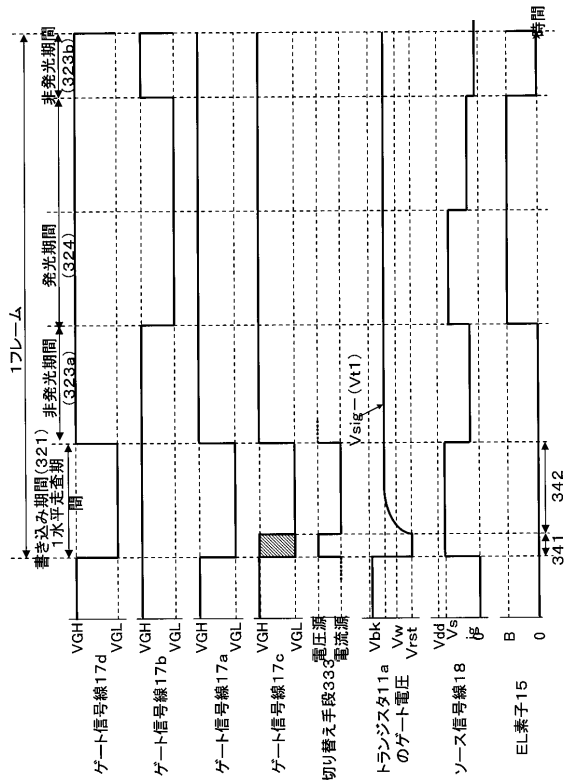
【 図 3 3 】



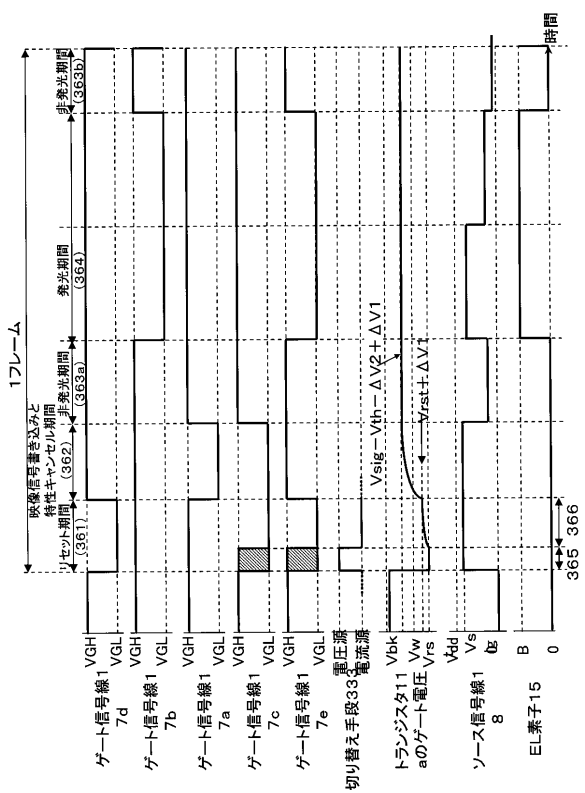
【 図 3 5 】



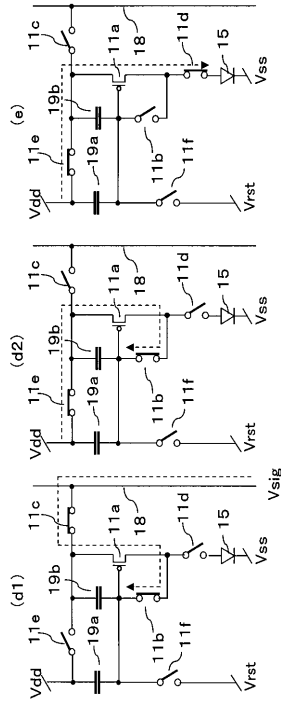
【 図 3 4 】



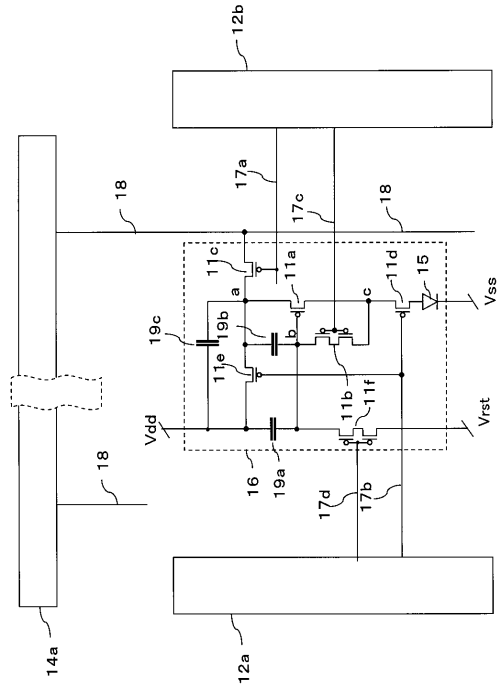
【 図 3 6 】



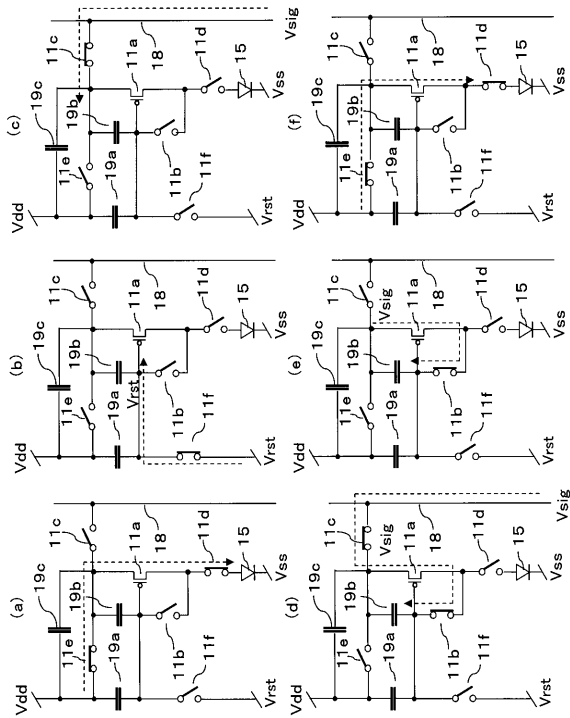
【図 45】



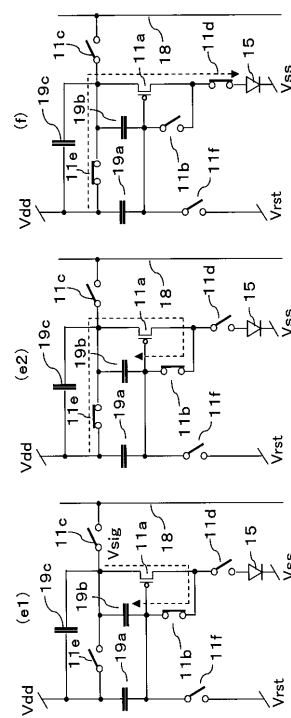
【図 46】



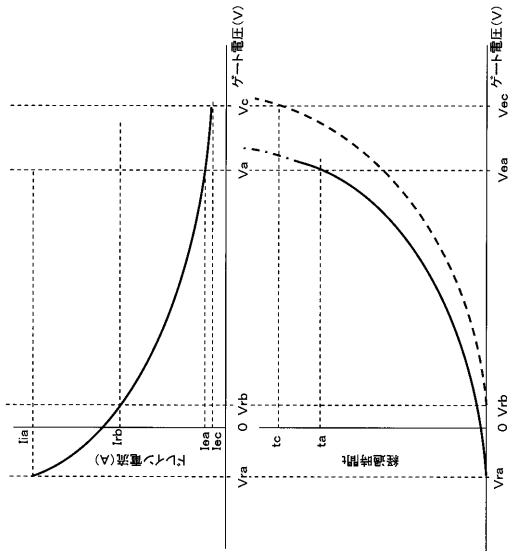
【図 47】



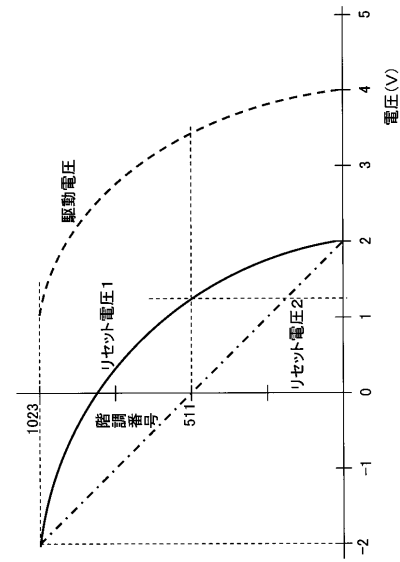
【図 48】



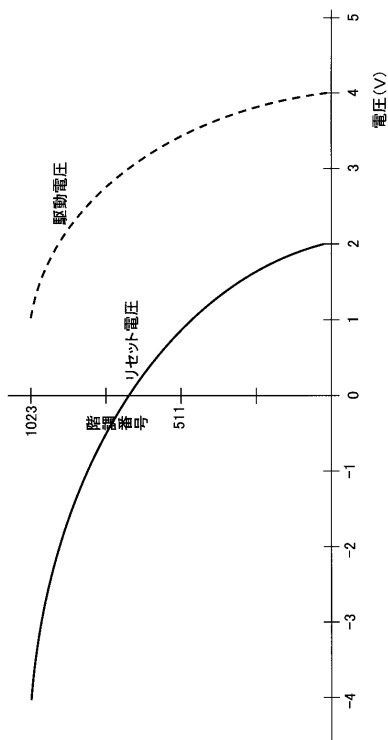
【図 49】



【図 50】

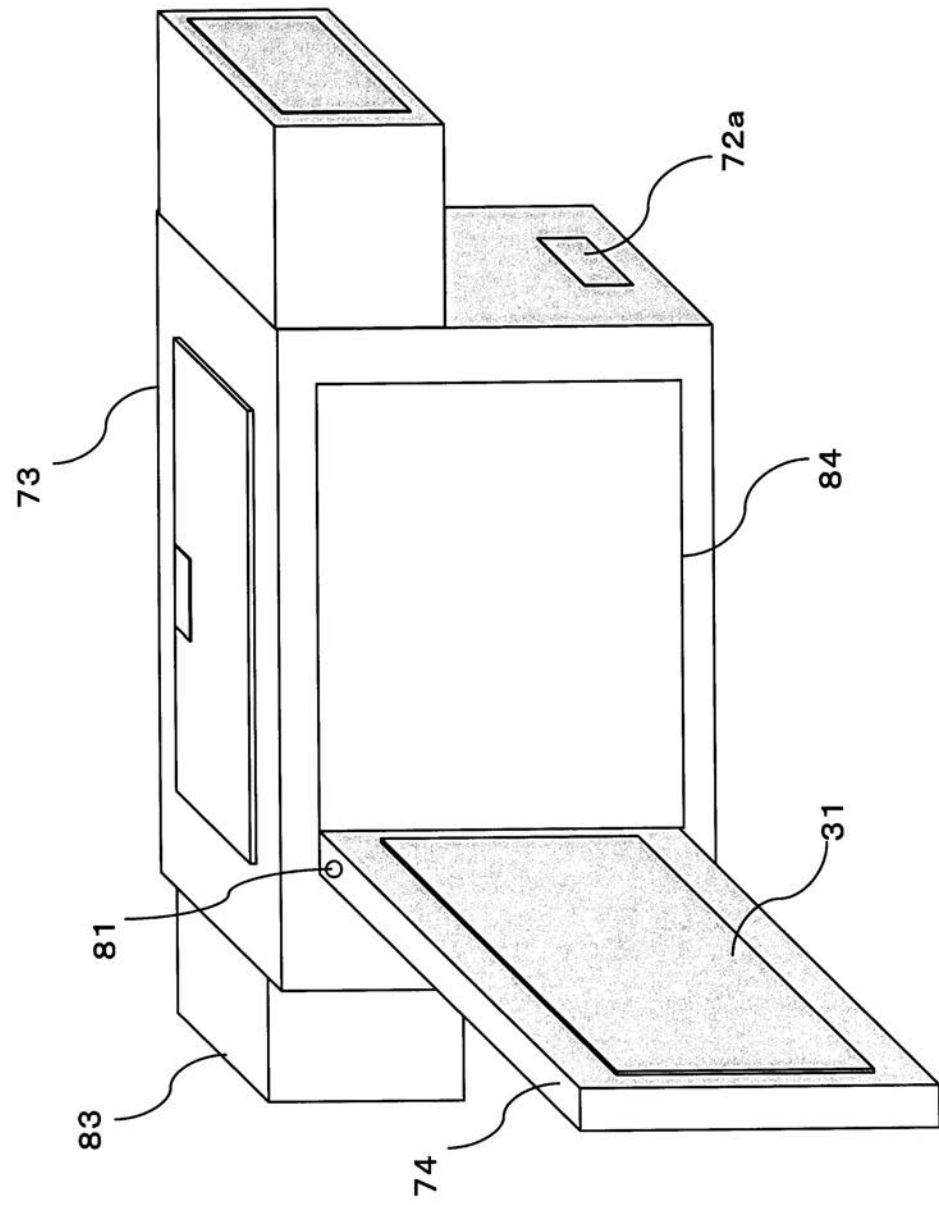


【図 51】

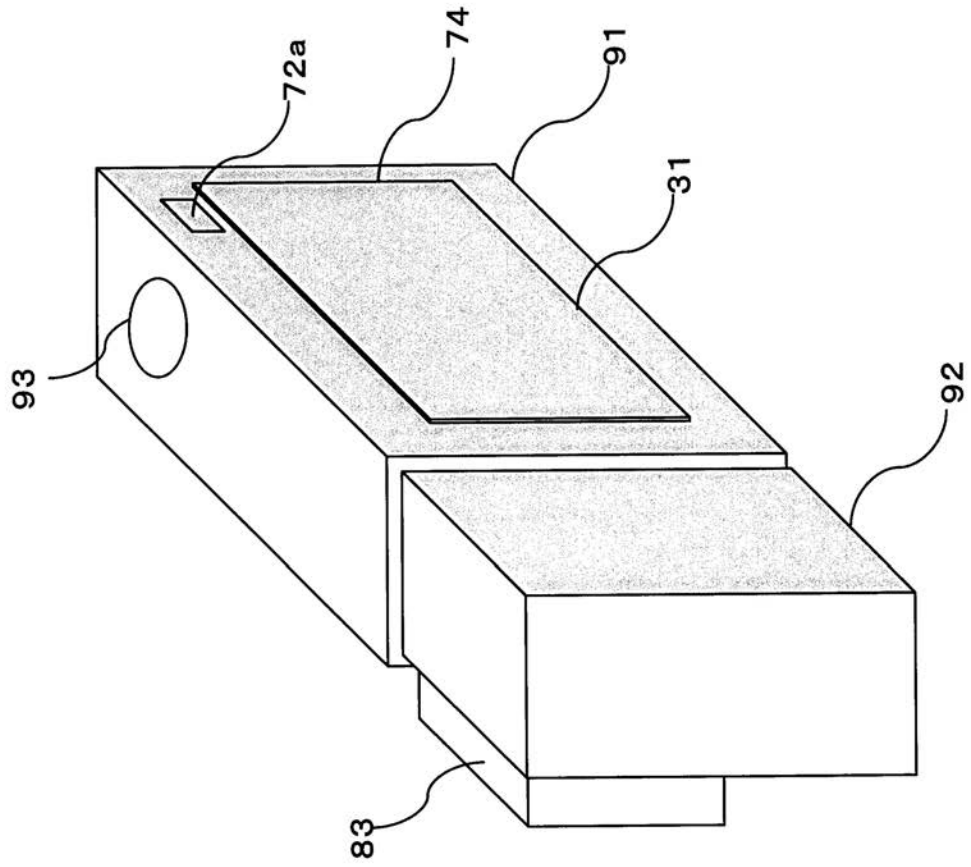


【図 8】

81 支点
83 撮影レンズ
84 格納部



【図 9】

91 本体
92 撮影部
93 シャッタスイッチ

フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 B

(72)発明者 高原 博司
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

審査官 山崎 仁之

(56)参考文献 特開2008-040443(JP,A)
特開2002-062518(JP,A)
特開2006-146219(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0
H 0 1 L 5 1 / 5 0
H 0 5 B 3 3 / 1 4