

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和3年10月28日(2021.10.28)

【公開番号】特開2019-75105(P2019-75105A)

【公開日】令和1年5月16日(2019.5.16)

【年通号数】公開・登録公報2019-018

【出願番号】特願2018-180268(P2018-180268)

【国際特許分類】

G 06 F 12/06 (2006.01)

G 06 F 12/00 (2006.01)

【F I】

G 06 F 12/06 5 1 5 H

G 06 F 12/00 5 6 4 B

G 06 F 12/00 5 9 7 U

【手続補正書】

【提出日】令和3年9月17日(2021.9.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリチップを備え、

前記メモリチップは、

入力信号及び出力信号を通信するように構成されたパッドを共有する複数のメモリプレーンを含むメモリセルアレイを含む第1半導体層と、

前記複数のメモリプレーンの動作をモニタリングしてモニタリング結果を取得し、前記複数のメモリプレーンの複数のピーク電力区間が少なくとも部分的に分散されるように、前記モニタリング結果に基づいて前記複数のメモリプレーンのうちの少なくとも1つのメモリプレーンの動作を制御するように構成された制御回路を含む第2半導体層と、を含み

、前記第1半導体層は、前記第2半導体層の上部に配置され、

前記メモリチップは、COP(Cell Over Periphery)構造を有することを特徴とする不揮発性メモリ装置。

【請求項2】

前記制御回路は、前記複数のメモリプレーンのうちの少なくとも一部のメモリプレーンの前記複数のピーク電力区間が互いに重畳する場合、前記複数のメモリプレーンのうちの少なくとも1つのメモリプレーンの動作を遅延させるように更に構成されることを特徴とする請求項1に記載の不揮発性メモリ装置。

【請求項3】

前記制御回路は、前記複数のメモリプレーンの各々の動作が前記複数のピーク電力区間のうちの該当するピーク電力区間に進入するか否かをモニタリングし、前記モニタリングの結果に基づいてモニタリング信号を生成するように更に構成されることを特徴とする請求項1に記載の不揮発性メモリ装置。

【請求項4】

前記複数のピーク電力区間は、プログラム動作のためのビットラインセットアップ区間、読み動作のためのビットラインプリチャージ区間、又は前記プログラム動作若しくは前

記読出動作の前のラッチ初期化区間のうちの少なくとも1つに該当することを特徴とする請求項1に記載の不揮発性メモリ装置。

【請求項5】

前記制御回路は、各々が前記複数のメモリプレーンのそれぞれのメモリプレーンに対応する複数の制御ロジックを含み、

前記複数の制御ロジックの各々は、前記それぞれのメモリプレーンの動作が前記複数のピーク電力区間のうちの1つのピーク電力区間に進入するか否かをモニタリングしてそれのモニタリング結果を取得し、前記それぞれのモニタリング結果に基づいてそれのモニタリング信号を生成し、前記それぞれのモニタリング信号を前記複数の制御ロジックの他の制御ロジックに提供するように構成されることを特徴とする請求項1に記載の不揮発性メモリ装置。

【請求項6】

前記複数の制御ロジックの各々は、優先順位情報を用いて前記複数のメモリプレーンの各々の優先順位を決定し、前記複数のメモリプレーンのうちの少なくとも1つのメモリプレーンよりも高い優先順位を有する前記複数のメモリプレーンのうちの他のメモリプレーンに関連するモニタリング信号に基づいて前記複数のメモリプレーンのうちの少なくとも1つのメモリプレーンの動作を制御するように更に構成されることを特徴とする請求項5に記載の不揮発性メモリ装置。

【請求項7】

前記複数のメモリプレーンは、第1メモリプレーン及び第2メモリプレーンを含み、

前記複数の制御ロジックは、前記第1メモリプレーンに対応する第1モニタリング信号を生成するように構成された第1制御ロジック、及び前記第2メモリプレーンに対応する第2モニタリング信号を生成するように構成された第2制御ロジックを含み、

前記第1制御ロジックは、前記第1メモリプレーンの動作が前記複数のピーク電力区間のうちの1つのピーク電力区間に進入すると、前記第2モニタリング信号に基づいて前記第1メモリプレーンの動作を制御することを特徴とする請求項6に記載の不揮発性メモリ装置。

【請求項8】

メモリチップを備え、

前記メモリチップは、

入力信号及び出力信号を通信するように構成されたパッドを共有する複数のメモリプレーンを含むメモリセルアレイと、

前記複数のメモリプレーンの複数のピーク電力区間が少なくとも部分的に分散されるように、前記複数のメモリプレーンのうちの少なくとも1つのメモリプレーンの動作を制御するように構成された制御回路と、を含み、

前記制御回路は、各々が前記複数のメモリプレーンのそれぞれのメモリプレーンに対応する複数の制御ロジックを含み、

前記複数のメモリプレーンは、第1メモリプレーン及び第2メモリプレーンを含み、前記複数の制御ロジックは、前記第1メモリプレーンに対応する第1モニタリング信号を生成するように構成された第1制御ロジック、及び前記第2メモリプレーンに対応する第2モニタリング信号を生成するように構成された第2制御ロジックを含み、前記第1制御ロジックは、前記第1メモリプレーンの動作が前記複数のピーク電力区間のうちの1つのピーク電力区間に進入すると、前記第2モニタリング信号に基づいて前記第1メモリプレーンの動作を制御することを特徴とする不揮発性メモリ装置。

【請求項9】

前記複数のメモリプレーンのうちの少なくとも1つのメモリプレーンは、前記複数のメモリプレーンの各々の優先順位情報を基づいて決定されることを特徴とする請求項8に記載の不揮発性メモリ装置。

【請求項10】

メモリチップを含む不揮発性メモリ装置の制御回路によって行われる動作方法であって

- 前記メモリチップに含まれる複数のメモリプレーンの動作をモニタリングする段階と、
前記複数のメモリプレーンのうちの少なくとも1つのメモリプレーンの動作がピーク電力区間に該当するか否かを判断する段階と、
前記複数のメモリプレーンのうちの少なくとも1つのメモリプレーンの動作が前記ピーク電力区間に該当する場合、前記複数のメモリプレーンのうちの他のメモリプレーンの動作が前記ピーク電力区間に該当するか否かを判断する段階と、
前記他のメモリプレーンの動作が前記ピーク電力区間に該当する場合、前記ピーク電力区間に含む複数のピーク電力区間が少なくとも部分的に分散されるように、前記複数のメモリプレーンの各々の優先順位情報に基づいて前記複数のメモリプレーンの動作を制御する段階と、を有することを特徴とする方法。