(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 103035615 B
(45)授权公告日 2020.07.21

(21)申请号 201210375078.2

(22)申请日 2012.09.27

(65)同一申请的已公布的文献号
申请公布号 CN 103035615 A

(43)申请公布日 2013.04.10

(30)优先权数据
2011-219843 2011.10.04 JP

(73)专利权人 索尼公司
地址 日本东京

(72)发明人 深沢正永

(74)专利代理机构 北京信慧永光知识产权代理有限责任公司 11290
代理人 褚海英 武玉琴

(51)Int.Cl.
H01L 23/528(2006.01)
H01L 21/768(2006.01)

(56)对比文件
US 2011/0171582 A1,2011.07.14,
US 2011/0171582 A1,2011.07.14,
JP 特开2010-153909 A,2010.07.08,
US 2009/0042365 A1,2009.02.12,
US 2011/0171827 A1,2011.07.14,
JP 特开2001-210627 A,2001.08.03,

审查员 曹毓涵

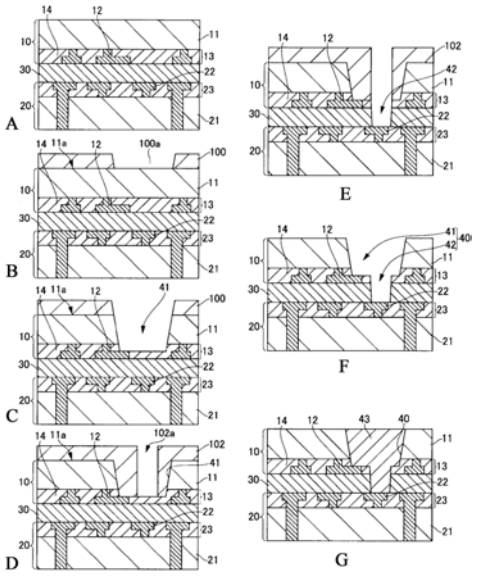
权利要求书3页 说明书18页 附图18页

(54)发明名称

半导体装置及其制造方法

(57)摘要

本发明公开了一种半导体装置及其制造方法，该装置包括：基板，其具有第一导电层和比第一导电层布置为更深的第二导电层；大直径凹部，其在基板的主面侧具有尺寸与第一导电层和第二导电层重叠的开口，使得第一导电层在大直径凹部的底部的部分露出；小直径凹部，其从大直径凹部延伸并挖掘至大直径凹部的底部而形成，使得第二导电层在小直径凹部的底部露出；以及导电部件，其设置于由大直径凹部和小直径凹部构成的连接孔中以将第一导电层和第二导电层连接。本发明可以防止比第二导电层设置为更浅的第一导电层受到过度蚀刻，于是确保了第一导电层的恰当导电性以及第一导电层和填充部件之间的恰当连接。因此，可实现半导体装置的产率提高。



CN 103035615 B

1.一种半导体装置的制造方法，该方法包括：

在基板中形成第一导电层和在所述第一导电层下方的第二导电层；

形成大直径凹部，所述大直径凹部被配置成仅露出所述第一导电层的上表面；

形成小直径凹部，所述小直径凹部被配置成穿过所述大直径凹部的底部，并且仅露出所述第二导电层的上表面；

形成所述大直径凹部，其中仅所述第一导电层的所述上表面在所述大直径凹部的底部露出；

形成所述小直径凹部，其中仅所述第二导电层的所述上表面在所述小直径凹部的底部露出；

形成大直径抗蚀剂图形，所述大直径抗蚀剂图形具有仅使得所述第一导电层和所述第二导电层的上部露出的开口，其中将所述大直径抗蚀剂图形用作掩模以形成所述大直径凹部；

形成小直径抗蚀剂图形，所述小直径抗蚀剂图形在形成有所述大直径凹部的范围内具有仅使得所述第二导电层的上部露出的开口，其中将所述小直径抗蚀剂图形用作掩模以形成所述小直径凹部，

其中，在所述基板上方隔着硬掩模层以形成所述大直径抗蚀剂图形，

在形成所述大直径凹部前，通过将所述大直径抗蚀剂图形用作掩模以进行蚀刻、对所述硬掩模层进行图形化以形成硬掩模，并且

接下来，通过将所述小直径抗蚀剂图形用作掩模而将所述基板蚀刻至不会露出所述第二导电层的深度、接着除去所述小直径抗蚀剂图形并从所述硬掩模上方进行蚀刻以露出所述第二导电层、从而形成所述小直径凹部，同时形成所述大直径凹部以使得所述第一导电层在所述大直径凹部中露出。

2.如权利要求1所述的半导体装置的制造方法，其中，

在将所述小直径抗蚀剂图形用作掩模以蚀刻所述基板时，使得所述第二导电层上方的所述小直径凹部的未蚀刻厚度与所述第一导电层上方的所述大直径凹部的未蚀刻厚度一致。

3.如权利要求1所述的半导体装置的制造方法，其中，

在通过将所述大直径抗蚀剂图形用作掩模以进行蚀刻、对所述硬掩模层进行图形化以形成所述硬掩模后，将所述基板蚀刻至不会露出所述第一导电层的深度。

4.如权利要求1所述的半导体装置的制造方法，其中，

所述基板在所述第一导电层上包括层间绝缘膜和半导体层；并且

在将所述大直径抗蚀剂图形用作掩模以进行蚀刻、对所述硬掩模层进行图形化以形成所述硬掩模后，将所述层间绝缘膜用作蚀刻阻挡层以蚀刻所述半导体层。

5.如权利要求1所述的半导体装置的制造方法，其中，

在形成所述大直径凹部和所述小直径凹部后，在由所述大直径凹部和所述小直径凹部构成的连接孔中形成仅连接至所述第一导电层的所述上表面和所述第二导电层的所述上表面的导电部件。

6.一种半导体装置的制造方法，该方法包括：

在基板中形成第一导电层和在所述第一导电层下方的第二导电层；

形成大直径凹部，所述大直径凹部被配置成仅露出所述第一导电层的上表面；

形成小直径凹部，所述小直径凹部被配置成穿过所述大直径凹部的底部，并且仅露出所述第二导电层的上表面；

形成所述大直径凹部，其中仅所述第一导电层的所述上表面在所述大直径凹部的底部露出；

形成所述小直径凹部，其中仅所述第二导电层的所述上表面在所述小直径凹部的底部露出；

形成大直径抗蚀剂图形，所述大直径抗蚀剂图形具有仅使得所述第一导电层和所述第二导电层的上部露出的开口，其中将所述大直径抗蚀剂图形用作掩模以形成所述大直径凹部；

形成小直径抗蚀剂图形，所述小直径抗蚀剂图形在形成有所述大直径凹部的范围内具有仅使所述第二导电层的上部露出的开口，其中将所述小直径抗蚀剂图形用作掩模以形成所述小直径凹部，

其中，在所述基板上方隔着硬掩模层以形成所述大直径抗蚀剂图形；

在形成所述大直径凹部前，通过将所述大直径抗蚀剂图形用作掩模以进行蚀刻、对所述硬掩模层进行图形化以形成硬掩模，接着还将所述基板蚀刻至不会露出所述第一导电层的深度；

除去所述大直径抗蚀剂图形，并且将填充部件填入所述基板的凹部中以进行平坦化，接着形成所述小直径抗蚀剂图形；并且

通过将所述小直径抗蚀剂图形用作掩模而将所述基板蚀刻至不会露出所述第二导电层的深度、接着除去所述小直径抗蚀剂图形并且从所述硬掩模上方进行蚀刻以使得所述第二导电层在所述小直径凹部的底部露出、从而形成所述小直径凹部，同时，形成所述大直径凹部以使所述第一导电层在所述大直径凹部中露出。

7.如权利要求6所述的半导体装置的制造方法，其中，

在形成所述大直径凹部和所述小直径凹部后，在由所述大直径凹部和所述小直径凹部构成的连接孔中形成仅连接至所述第一导电层的所述上表面和所述第二导电层的所述上表面的导电部件。

8.一种半导体装置的制造方法，该方法包括：

形成第一导电层和在所述第一导电层下方的第二导电层；

形成大直径凹部，所述大直径凹部被配置成仅露出所述第一导电层的上表面；

形成小直径凹部，所述小直径凹部被配置成穿过所述大直径凹部的底部，并且仅露出所述第二导电层的上表面；

形成所述大直径凹部，其中仅所述第一导电层的所述上表面在所述大直径凹部的底部露出；

形成所述小直径凹部，其中仅所述第二导电层的所述上表面在所述小直径凹部的底部露出；

形成大直径抗蚀剂图形，所述大直径抗蚀剂图形具有仅使得所述第一导电层和所述第二导电层的上部露出的开口，其中将所述大直径抗蚀剂图形用作掩模以形成所述大直径凹部；

形成小直径抗蚀剂图形，所述小直径抗蚀剂图形在形成有所述大直径凹部的范围内具有仅使所述第二导电层的上部露出的开口，其中将所述小直径抗蚀剂图形用作掩模以形成所述小直径凹部，

其中，在形成所述大直径抗蚀剂图形前，通过将所述小直径抗蚀剂图形用作掩模进行蚀刻以形成所述小直径凹部；并且

在形成所述大直径抗蚀剂图形时，在所述小直径凹部中残留抗蚀材料以覆盖所述第二导电层。

9.如权利要求8所述的半导体装置的制造方法，其中，

在形成所述大直径凹部和所述小直径凹部后，在由所述大直径凹部和所述小直径凹部构成的连接孔中形成仅连接至所述第一导电层的所述上表面和所述第二导电层的所述上表面的导电部件。

半导体装置及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请包含与2011年10月4日向日本专利局提交的日本专利申请JP2011-219843中公开的相关主题并要求其优先权，将其全部内容通过引用并入此处。

技术领域

[0003] 本发明涉及一种使不同高度处的导电层在连接孔中露出的半导体装置及其制造方法。

背景技术

[0004] LSI及其它半导体装置由于微细加工工艺所致的高密度集成化，从而实现了小型化和高性能化。在这种高密度集成的半导体装置中，提出了新的理念以减小多层布线的层间连接结构的必需面积。例如，日本专利特开1997-199586号公报公开了一种具有共用接触结构的半导体装置。在该半导体装置中，将不同高度处的导电材料层经由单个连接孔而连接在一起以在多层布线之间实现层间连接。因此，与为每个导电材料层设有连接孔时相比，共用接触结构确保了更小的必需面积，于是实现了高密度集成。

[0005] 如下所述，进行在共用接触结构中形成连接孔的步骤。首先，通过光刻法形成抗蚀剂图形，所述抗蚀剂图形具有与两个不同高度处的导电材料层重叠的开口图形。接下来，将抗蚀剂图形用作掩模以对层间绝缘膜进行蚀刻，直到露出浅层导电材料层为止。接下来，将已经露出的浅层导电材料层用作掩模以对周围的层间绝缘膜进行蚀刻，直到深层导电材料层露出为止。如上所述，使用单个抗蚀剂图形对层间绝缘膜进行蚀刻，于是，形成使得不同导电材料层在连接孔中露出的共用接触结构。

[0006] 然而，在相关技术中，在共用接触结构中形成连接孔的步骤使得在对层间绝缘膜进行蚀刻时，先前露出的浅层导电材料层在长时间段内暴露于等离子体，于是导致浅层导电材料层的过蚀刻。这样，导致在连接孔的侧壁上形成基于金属的沉积物。所述金属基沉积物在灰化处理或化学后处理后未被除去，从而生成粒子且导致产率下降。而且，这种对浅层导电材料层的过度蚀刻可引起导电材料层的彻底穿透。在此情况下，当将最终金属填入连接孔中时，所述金属可仅与导电材料层的侧面接触，于是导致电阻增大。

发明内容

[0007] 鉴于上述情况，本发明期望提供一种使得不同高度处的导电材料层在连接孔中露出的半导体装置。所述半导体装置通过抑制浅层导电材料层被过度蚀刻而提高产率。还期望提供一种该半导体装置的制造方法。

[0008] 根据本发明的实施方式，提供了一种包括基板和连接孔的半导体装置。基板具有第一导电层和比第一导电层设置为更深的第二导电层。连接孔由大直径凹部和小直径凹部构成。大直径凹部在基板的主面侧具有尺寸与第一导电层和第二导电层重叠的开口。第一导电层在大直径凹部的底部的部分露出。小直径凹部从大直径凹部延伸并挖掘至大直径凹

部的底部而形成。第二导电层在小直径凹部的底部露出。在由大直径凹部和小直径凹部构成的连接孔中设有适于将第一导电层和第二导电层连接的导电部件。

[0009] 而且，本发明还提供了一种上述配置的半导体装置的制造方法，所述制造方法包括以下步骤。在包括第一导电层和比第一导电层设置为更深的第二导电层的基板上形成大直径抗蚀剂图形。大直径抗蚀剂图形具有使第一导电层和第二导电层的上部露出的开口。基于将该大直径抗蚀剂图形用作掩模的蚀刻，以在基板中形成大直径凹部，使得第一导电层在大直径凹部的底部露出。在基板上形成小直径抗蚀剂图形。小直径抗蚀剂图形在形成有大直径凹部的范围内具有使第二导电层的上部露出的开口。基于将该小直径抗蚀剂图形用作掩模的蚀刻，以在基板中形成小直径凹部，以使得第二导电层在小直径凹部的底部露出。通过以上步骤获得了上述配置的半导体装置。

[0010] 在上述配置的半导体装置及其制造方法中，在形成用于构成连接孔的大直径凹部和小直径凹部时，将大直径抗蚀剂图形和小直径抗蚀剂图形用作掩模以进行蚀刻。因此，设置于不同深度处的第一导电层和第二导电层在连接孔中露出。此时，将覆盖第一导电层的独有的小直径抗蚀剂图形用作掩模而不是将在大直径凹部的底部露出的第一导电层用作掩模以进行蚀刻。这抑制了第一导电层在长时间段内暴露于蚀刻气氛中，于是可以防止第一导电层的过度蚀刻。

[0011] 于是，本发明在形成用于使得设置于不同深度处的第一导电层和第二导电层露出的连接孔时，可以防止比第二导电层设置为更浅的第一导电层受到过度蚀刻。这样，防止由于过度蚀刻而打薄第一导电层，于是确保了第一导电层的恰当导电性以及第一导电层和填充部件之间的恰当连接。因此，可实现半导体装置的产率提高。

附图说明

[0012] 图1为第一实施方式的半导体装置的主要部件的横截面图；

[0013] 图2A～图2G为表示第一实施方式的半导体装置的制造方法的横截面步骤图；

[0014] 图3A～图3G为表示第二实施方式的半导体装置的制造方法的横截面步骤图；

[0015] 图4A～图4G为表示第三实施方式的半导体装置的制造方法的横截面步骤图；

[0016] 图5A～图5H为表示第四实施方式的半导体装置的制造方法的横截面步骤图；

[0017] 图6A～图6F为表示第五实施方式的半导体装置的制造方法的横截面步骤图；

[0018] 图7A～图7F为表示第六实施方式的半导体装置的制造方法的横截面步骤图；并且

[0019] 图8A～图8F为表示第七实施方式的半导体装置的制造方法的横截面步骤图。

具体实施方式

[0020] 下面，说明本发明的优选实施方式。应当注意，以下列顺序进行说明：

[0021] 1.第一实施方式(半导体装置的结构)

[0022] 2.第一实施方式(在先前形成的大直径凹部的底部露出的第一布线被小直径抗蚀剂图形覆盖的制造方法)

[0023] 3.第二实施方式(中途停止蚀刻以使得第一布线和第二布线上方的未蚀刻厚度一致的制造方法)

[0024] 4.第三实施方式(将层间绝缘膜用作蚀刻阻挡层以中途停止蚀刻的制造方法)

[0025] 5.第四实施方式(将填充部件填入通过中途停止蚀刻所形成的凹部中的制造方法)

[0026] 6.第五实施方式(在先前形成的小直径凹部中残留用于覆盖第二布线的抗蚀材料的制造方法)

[0027] 7.第六实施方式(中途停止蚀刻以使得第一布线和第二布线上方的未蚀刻厚度一致的制造方法)

[0028] 8.第七实施方式(中途停止蚀刻以使得第一布线和第二布线上方的未蚀刻厚度一致且其中使用硬掩模的制造方法)

[0029] 应当注意,以相同的附图标记表示各实施方式和变型例中的类似部件,且省略了重复说明。

[0030] <1.第一实施方式(半导体装置的配置)>

[0031] 图1为第一实施方式的半导体装置的主要部件的横截面图。下面,基于该主要部件的横截面图以详述第一实施方式的半导体装置。

[0032] 图1所示的半导体装置1包括基板,该基板由隔着接合部30而接合在一起的第一基板10和第二基板20构成。第一基板10包含第一布线12,且第二基板20包含第二布线22。而且,第一基板10的第一布线12和第二基板20的第二布线22经由贯穿第一基板10的连接孔40而连接在一起。应当注意,第一布线和第二布线为一种形式的导电层。连接孔40的结构和制造方法为第一实施方式的区别特征。下面,以第一基板10、第二基板20和接合部30的顺序详述半导体装置1的配置。

[0033] [第一基板10]

[0034] 第一基板10包括半导体层11以及沉积于第二基板20侧的布线层13。

[0035] 半导体层11为例如由单晶硅制成的薄的半导体基板。此处未图示的晶体管的源极/漏极例如设置于半导体层11的与布线层13的界面侧。

[0036] 此处未图示的晶体管的栅极例如设置于布线层13的与半导体层11的界面侧。这些电极覆盖有例如由氧化硅制成的层间绝缘膜14。在层间绝缘膜14的凹槽图形中设有例如各由铜制成的多个填充布线。所述多个填充布线之一为第一布线(第一导电层)12。另一方面,虽然此处未图示,但某些填充布线连接至晶体管的源极/漏极和栅极。应当注意,布线层13可具有多层布线结构。在此情况下,第一布线12可设置于任意深度的层中。

[0037] [第二基板20]

[0038] 第二基板20包括半导体层21以及沉积于第一基板10侧的布线层23。

[0039] 半导体层21为例如由单晶硅制成的薄的半导体基板。此处未图示的晶体管的源极/漏极例如设置于半导体层21的与布线层23的界面侧。

[0040] 此处未图示的晶体管的栅极例如设置于布线层23的与半导体层21的界面侧。这些电极覆盖有例如由氧化硅制成的层间绝缘膜24。在层间绝缘膜24的凹槽图形中设有例如各由铜制成的多个填充布线。所述多个填充布线之一为第二布线(第二导电层)22。另一方面,虽然此处未图示,但某些填充布线连接至晶体管的源极/漏极和栅极。应当注意,布线层23可具有多层布线结构。在此情况下,第二布线22可设置于任意深度的层中。

[0041] 此外,贯穿半导体层21的贯穿孔25设置于第二基板20中且连接至布线层23中的某些填充布线。贯穿孔25例如由铜制成。

[0042] [接合部30]

[0043] 接合部30由粘接膜构成，该粘接膜将第一基板10和第二基板20接合在一起。第一基板10和第二基板20通过介于第一基板10的布线层13和第二基板20的布线层23之间的接合部30而接合在一起。

[0044] [连接孔40]

[0045] 连接孔40设置为贯穿第一基板10和接合部30，以在连接孔40的底部露出第一布线12和第二布线22。如上所述配置的连接孔40包括大直径凹部41和小直径凹部42。小直径凹部42从大直径凹部41延伸并进一步挖掘至大直径凹部41的底部而形成。

[0046] 大直径凹部41的开口设置于半导体层的露出面(以下称作正面11a)，且尺寸可与第一布线12和第二布线22重叠。即在平面图中观察基板时，大直径凹部41的开口的尺寸仅需覆盖第一布线12和第二布线22的接触部，且与第一布线12和第二布线22部分重叠。另一方面，从正面11a至第一布线12测量大直径凹部41的深度t1。深度t1可以为在某种程度下过蚀刻至第一布线12中的深度。在大直径凹部41的位于深度t1处的底部，层间绝缘膜14与第一布线12一起露出。此外，小直径凹部42的开口设置于所述底部处。即，大直径凹部41的位于深度t1处的底部包括第一布线12和层间绝缘膜14。

[0047] 另一方面，小直径凹部42从大直径凹部41延伸并挖掘至大直径凹部41的底部而形成。从大直径凹部41的底部至第二布线22测量小直径凹部42的深度t2。在小直径凹部42的底部露出第二布线22。应当注意，在小直径凹部42的底部，层间绝缘膜24可与第二布线22一起露出。

[0048] 如上所述，连接孔40的位于深度t1处的底部不仅包括第一布线12还包括层间绝缘膜14，而非仅包括第一布线12。

[0049] 此外，导电部件43设置于连接孔40中以将第一布线12和第二布线22连接。即，导电部件43将在不同深度处露出的第一布线12和第二布线22连接。可用作导电部件43的材料包括填入连接孔40中的填充金属以及设置于连接孔40的内壁上的导电膜。

[0050] [第一实施方式的半导体装置的有益效果]

[0051] 上述第一实施方式的半导体装置1具有层间绝缘膜14，在连接孔40的位于深度t1处的底部，层间绝缘膜14与第一布线12一起露出。即，通过将独有的图形用作掩模而不是将在大直径凹部41的底部露出的第一布线12用作掩模以进行蚀刻，从而形成构成连接孔40的小直径凹部42。

[0052] 因此，如在后述的制造方法的实施方式中所详述，半导体装置1包括连接孔40，连接孔40适于防止在深度t1处露出的第一布线12被过度蚀刻，于是避免了由这种过度蚀刻引起的缺陷并提高了产率。

[0053] <2.第一实施方式(在先前形成的大直径凹部的底部露出的第一布线被小直径抗蚀剂图形覆盖的制造方法)>

[0054] 下面，参照图2A～图2G所示的横截面步骤图，说明上述第一实施方式的半导体装置1的制造方法。

[0055] 如图2A所示，制造第一基板10和第二基板20。包含第一布线12的布线层13设置于第一基板10的半导体层11的一个主面侧。包含第二布线22的布线层23设置于第二基板20的半导体层21的一个主面侧。第一基板10和第二基板20通过介于布线层13和布线层23之间的

接合部30而接合在一起，于是制造接合后的基板。

[0056] 应当注意，对这一点之前的步骤不进行具体限制，且可使用通常的技术实施所述步骤。从这一点之后的形成连接孔的步骤为第一实施方式的区别特征。

[0057] 如图2B所示，在所制造的接合基板的半导体层11的露出面(正面11a)上形成有大直径抗蚀剂图形100。大直径抗蚀剂图形100具有使第一布线12和第二布线22的上部露出的开口100a。即，当在平面图中从正面11a侧观察半导体层11时，在第一布线12和第二布线22的接触部被覆盖的位置处形成有开口100a。

[0058] 如图2C所示，通过将大直径抗蚀剂图形100用作掩模以进行蚀刻，从而在接合基板中形成大直径凹部41。此时，将大直径抗蚀剂图形100用作掩模以蚀刻半导体层11，随后蚀刻层间绝缘膜14，直到露出第一布线12为止。当检测到第一布线12时，蚀刻终止。这里，将CF_4/Ar或CF_4/Ar/O_2用作蚀刻气体以进行蚀刻。然而，蚀刻气体不限于此。在蚀刻后，除去大直径抗蚀剂图形100。

[0059] 作为上述处理的结果，形成了大直径凹部41，大直径凹部41具有尺寸与第一布线12和第二布线22重叠的开口，且在底部的一部分露出第一布线12。

[0060] 如图2D所示，在半导体层11的正面11a上形成有新的小直径抗蚀剂图形102。在接合基板中形成有大直径凹部41的区域中，小直径抗蚀剂图形102具有不与第一布线12重叠而使第二布线22的上部露出的开口102a。即，小直径抗蚀剂图形102完全覆盖在大直径凹部41的底部露出的第一布线12。另一方面，形成于小直径抗蚀剂图形102中的开口102a使位于第二布线22上方的层间绝缘膜14露出。

[0061] 如图2E所示，通过将小直径抗蚀剂图形102用作掩模以进行蚀刻，在大直径凹部41的底部形成小直径凹部42。此时，通过将覆盖第一布线12的小直径抗蚀剂图形102用作掩模以蚀刻层间绝缘膜14，随后蚀刻接合部30。当检测到第二布线22时，蚀刻终止。这里，将CF_4/Ar或CF_4/Ar/O_2用作蚀刻气体以进行蚀刻。然而，蚀刻气体不限于此。

[0062] 作为上述处理的结果，小直径凹部42从大直径凹部41延伸并挖掘至大直径凹部42的底部而形成。在小直径凹部42的底部露出第二布线22。

[0063] 如图2F所示，除去抗蚀剂图形(102)。这样，完成了连接孔40的制造，使得第一布线12和第二布线22在连接孔40的底部露出。

[0064] 如图2G所示，将例如由铜制成的填充金属43作为导电部件填入连接孔40中，于是，经由被填充金属43填充的连接孔40而连接位于不同深度的第一布线12和第二布线22。应当注意，虽然此处将填充金属43用作导电部件，但导电部件不限于此。作为替代，可以在连接孔40的内壁上形成导电膜。因此，获得了参照图1所述的第一实施方式的半导体装置1。

[0065] [第一实施方式的半导体装置的制造方法的有益效果]

[0066] 在上述第一实施方式的制造方法中，分别将大直径抗蚀剂图形100和小直径抗蚀剂图形102用作掩模进行蚀刻以形成大直径凹部41和小直径凹部42的图形。当形成小直径凹部42的图形时，将覆盖第一布线12的独有的小直径抗蚀剂图形102用作掩模而不是将在大直径凹部41的底部露出的第一布线12用作掩模，从而进行蚀刻。这避免了第一布线12过度暴露于蚀刻气氛。

[0067] 因此，第一实施方式的制造方法可以防止通过对第一布线12的过度蚀刻所产生的反应生成物累积于连接孔40的侧壁上。而且，可防止由于过度蚀刻而将第一布线12打薄，于

是确保了第一布线12的恰当导电性以及第一布线12和填充金属43之间的恰当连接。

[0068] 这有助于提高半导体装置1的产率。

[0069] 此外，使用分别用于大直径凹部41和小直径凹部42的两个抗蚀剂图形以进行蚀刻。因此，相比于在所述处理中一直使用单个抗蚀剂图形进行蚀刻的情况，较薄的抗蚀剂膜即足够。这提高了用于形成连接孔40的抗蚀剂图形的图形化精度，于是有助于半导体装置的小型化。

[0070] <3.第二实施方式(中途停止蚀刻以使得第一布线和第二布线上方的未蚀刻厚度一致的制造方法)>

[0071] 下面，参照图3A～图3G所示的横截面步骤图，说明第二实施方式的半导体装置1的制造方法。应当注意，半导体装置1的最终配置与第一实施方式的半导体装置1的最终配置相同。

[0072] 首先，制造将第一基板10和第二基板20隔着接合部30而接合在一起的接合基板。随后的形成连接孔40的步骤为第二实施方式的区别特征。

[0073] 接下来，如图3A所示，在所制造的接合基板中的半导体层11的正面11a上形成硬掩模层200。硬掩模层200由诸如氮化钛(TiN)等材料制成，通过蚀刻产生的粒子不易于附着在所述材料上。而且，在硬掩模层200上形成具有开口100a的大直径抗蚀剂图形100。开口100a使第一布线12和第二布线22的上部露出。

[0074] 如图3B所示，将大直径抗蚀剂图形100用作掩模以蚀刻硬掩模层200，于是形成硬掩模200a。接下来，将大直径抗蚀剂图形100用作掩模以蚀刻半导体层11，于是在接合基板上形成大直径凹部41-2的图形。此时，在到达第一布线12之前终止对半导体层11的蚀刻，于是，在第一布线12的上部残留半导体层11和层间绝缘膜14。这里，例如，将Cl_2/BCl_3用作蚀刻气体以蚀刻由氮化钛(TiN)制成的硬掩模层200，并且将Cl_2/O_2用作蚀刻气体以蚀刻由硅(Si)制成的半导体层11。在蚀刻后，除去大直径抗蚀剂图形100。

[0075] 作为上述处理的结果，形成了大直径凹部41-2，大直径凹部41-2具有尺寸与第一布线12和第二布线22重叠的开口，且在第一布线12的上部所残留的未蚀刻厚度为“a”。

[0076] 如图3C所示，在硬掩模200a上重新形成小直径抗蚀剂图形102。在接合基板中形成有大直径凹部41-2的区域中，小直径抗蚀剂图形102具有不与第一布线12重叠而使第二布线22的上部露出的开口102a。

[0077] 如图3D所示，通过将小直径抗蚀剂图形102用作掩模以进行蚀刻，从而在大直径凹部41-2的底部形成小直径凹部42-2的图形。此时，将小直径抗蚀剂图形102用作掩模以依次蚀刻半导体层11、层间绝缘膜14和接合部30，并在到达第二布线22之前终止蚀刻。这里，进行蚀刻，直到第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)为止。例如，预先规定了使a＝b的蚀刻时间，且在经过了该时间段后，蚀刻终止。

[0078] 如图3E所示，除去抗蚀剂图形(102)。因此，在半导体层11的正面11a上设有硬掩模200a。硬掩模200a的大直径凹部41-2的深度不会露出第一布线12，且硬掩模200a的小直径凹部42-2的深度不会露出第二布线22，并且硬掩模200a与大直径凹部41-2的开口对准。在此条件下，第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)。

[0079] 如图3F所示，通过从硬掩模200a上方开始蚀刻，以便同时挖掘大直径凹部41-2的

底部和小直径凹部42-2的底部。此时，对半导体层11、层间绝缘膜14和接合部30进行蚀刻，直到第一布线12和第二布线22露出为止。这里，在实现以相同的蚀刻率挖掘半导体层11、层间绝缘膜14和接合部30的条件下进行蚀刻。例如，将CF_4/Ar或CF_4/Ar/O_2用作蚀刻气体以进行蚀刻。在蚀刻后，根据需要而除去硬掩模200a。这样，完成了连接孔40的制造，从而使第一布线12和第二布线22在连接孔40的底部露出。

[0080] 如图3G所示，将例如由铜制成的填充金属43作为导电部件填入连接孔40中，于是，经由填充被金属43填充的连接孔40以连接位于不同深度处的第一布线12和第二布线22。应当注意，虽然此处将填充金属43用作导电部件，但导电部件不限于此。作为替代，可在连接孔40的内壁上形成导电膜。

[0081] 由于上述步骤，完成了对第二实施方式的半导体装置1的制造。

[0082] [第二实施方式的半导体装置的制造方法的有益效果]

[0083] 在上述第二实施方式的制造方法中，如图3E所示，在不露出第一布线12和第二布线22的情况下，首先形成大直径凹部41-2和小直径凹部42-2以使得小直径凹部42-2从大直径凹部41-2的底部延伸。此时，进行蚀刻以使得第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)。在此条件下，以相同的蚀刻率蚀刻半导体层11、层间绝缘膜14和接合部30。因此，当第二布线22与第一布线12同时露出时，蚀刻终止。这样，确保了所述露出的第一布线12不会在长时间段内暴露于蚀刻气氛。

[0084] 因此，与第一实施方式的制造方法同样地，第二实施方式的制造方法防止了通过对第一布线12的过度蚀刻产生的反应生成物累积于连接孔40的侧壁上。而且，可防止由于过度蚀刻而打薄第一布线12，于是确保了第一布线12的恰当导电性以及第一布线12和填充金属43之间的恰当连接。

[0085] 这有助于提高半导体装置1的产率。

[0086] 进而，在第二实施方式的制造方法中，如图3B所示，大直径凹部41-2的未到达第一布线12的深度小于参照图1所示的大直径凹部41的在底部露出第一布线12的深度t1。

[0087] 这特别有助于使形成浅的大直径凹部41-2的图形所用的大直径抗蚀剂图形100的抗蚀剂膜更薄，于是，在制造大直径抗蚀剂图形100时提高了图形化精度。

[0088] 此外，如图3C所示，当在半导体层11的上面设有浅的大直径凹部41-2的正面11a上形成小直径抗蚀剂图形102时，通过光刻法使仅有小阶差的抗蚀剂膜图形化，于是确保了高的图形化精度。

[0089] 这有助于半导体装置的进一步小型化。

[0090] <4.第三实施方式(将层间绝缘膜用作蚀刻阻挡层而中途停止蚀刻的制造方法)>

[0091] 下面，参照图4A～图4G所示的横截面步骤图，说明第三实施方式的半导体装置1的制造方法。应当注意，半导体装置1的最终配置与第一实施方式的半导体装置1的最终配置相同。

[0092] 首先，制造用于将第一基板10和第二基板20隔着接合部30而接合在一起的接合基板。

[0093] 接下来，如图4A所示，在所制造的接合基板中的半导体层11的正面11a上形成硬掩模层200。而且，在硬掩模层200上形成大直径抗蚀剂图形100。大直径抗蚀剂图形100具有使得第一布线12和第二布线22的上部露出的开口100a。这一点之前的步骤与第二实施方式的

制造方法的步骤相同。后述的在形成大直径凹部的图形时终止蚀刻的时刻为第三实施方式的区别特征。

[0094] 如图4B所示，将大直径抗蚀剂图形100用作掩模以蚀刻硬掩模层200，于是形成硬掩模200a。接下来，在不同的蚀刻条件下，将大直径抗蚀剂图形100用作掩模以蚀刻半导体层11，于是在接合基板上形成大直径凹部41-3的图形。此时，将层间绝缘膜14用作蚀刻阻挡层，并且当层间绝缘膜14露出时，蚀刻终止。这样，这使得第一布线12上方残留的的层间绝缘膜14的未蚀刻厚度为“a”。在蚀刻后，除去大直径抗蚀剂图形100。

[0095] 因此，形成大直径凹部41-3，使得其底部位于半导体层11和层间绝缘膜14之间的界面处，大直径凹部41-3的开口具有与第一布线12和第二布线22重叠的尺寸。

[0096] 如图4C所示，在硬掩模200a上重新形成小直径抗蚀剂图形102。在接合基板中形成有大直径凹部41-3的区域中，小直径抗蚀剂图形102具有不与第一布线12重叠而使第二布线22的上部露出的开口102a。

[0097] 如图4D所示，通过将小直径抗蚀剂图形102用作掩模以进行蚀刻，从而在大直径凹部41-3的底部形成小直径凹部42-3的图形。此时，将小直径抗蚀剂图形102用作掩模以依次蚀刻层间绝缘膜14和接合部30，并且在到达第二布线22之前终止蚀刻。这里，与第二实施方式同样地进行蚀刻，直到第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)为止。

[0098] 如图4E所示，除去抗蚀剂图形(102)。因此，通过设置硬掩模200a，使得其大直径凹部41-3的深度不会使第一布线12露出，且其小直径凹部42-3的深度不会使第二布线22露出，并且硬掩模200a在半导体层11的正面11a上与大直径凹部41-3的开口对准。在此条件下，第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)。

[0099] 如图4F所示，从硬掩模200a上方进行蚀刻，同时挖掘大直径凹部41-3的底部和小直径凹部42-3的底部。此时，对层间绝缘膜14和接合部30进行蚀刻，直到第一布线12和第二布线22露出为止。这里，在实现以相同的蚀刻率挖掘层间绝缘膜14和接合部30的条件下进行蚀刻。在蚀刻后，根据需要而除去硬掩模200a。

[0100] 这样，完成了连接孔40的制造，使得第一布线12和第二布线22在连接孔40的底部露出。

[0101] 如图4G所示，将例如由铜制成的填充金属43作为导电部件填入连接孔40中，于是，经由被填充金属43填充的连接孔40以连接位于不同深度处的第一布线12和第二布线22。应当注意，虽然此处将填充金属43用作导电部件，但导电部件不限于此。作为替代，可在连接孔40的内壁上形成导电膜。

[0102] 由于上述步骤，完成了第三实施方式的半导体装置1的制造。

[0103] [第三实施方式的半导体装置的制造方法的有益效果]

[0104] 在上述第三实施方式的制造方法中，如图4E所示，首先，在不露出第一布线12和第二布线22的情况下形成大直径凹部41-3和小直径凹部42-3，以使得小直径凹部42-3从大直径凹部41-3的底部延伸。此时，进行蚀刻以使得第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)。在此条件下，以相同的蚀刻率蚀刻半导体层11、层间绝缘膜14和接合部30。因此，当第二布线22与第一布线12同时露出时，蚀刻终止。这确保了所露出的第一布线12不会在长时间段内暴露于蚀刻气氛。

[0105] 因此，与第一实施方式的制造方法同样地，第三实施方式的制造方法防止看通过对第一布线12的过度蚀刻所产生的反应生成物累积于连接孔40的侧壁上。而且，可防止由于过度蚀刻而打薄第一布线12，于是，确保了第一布线12的恰当导电性以及第一布线12和填充金属43之间的恰当连接。

[0106] 而且，在第三实施方式的制造方法中，如图4B所示，在形成大直径凹部41-3的图形时，将层间绝缘膜14用作蚀刻阻挡层，且当层间绝缘膜14露出时，蚀刻终止。这样，可在良好控制的情况下终止蚀刻，于是有助于半导体装置1的产率的提高。

[0107] 进而，大直径凹部41-3的未到达第一布线12的深度小于参照图1所述的大直径凹部41的使第一布线12在底部露出的深度t1。这样，与第二实施方式同样地，在形成大直径抗蚀剂图形100和小直径抗蚀剂图形102时提高了图形化精度。

[0108] 因此，可实现半导体装置的进一步小型化。

[0109] <5.第四实施方式(将填充部件填入通过中途停止蚀刻所形成的凹部中的制造方法)>

[0110] 下面，参照图5A～图5H所示的横截面步骤图，说明第四实施方式的半导体装置1的制造方法。应当注意，半导体装置1的最终配置与第一实施方式的半导体装置1的最终配置相同。

[0111] 首先，制造使得第一基板10和第二基板20隔着接合部30而接合在一起的接合基板。

[0112] 接下来，如图5A所示，在所制造的接合基板中的半导体层11的正面11a上形成硬掩模层200。用于随后形成的填充材料的待用作蚀刻掩模的材料可用作硬掩模层200。在可用作硬掩模层200的材料中有氮化钛(TiN)和氮化硅(SiN)。这里，将氮化硅(SiN)用作示例。接下来，在硬掩模层200上形成大直径抗蚀剂图形100。大直径抗蚀剂图形100具有使第一布线12和第二布线22的上部露出的开口100a。

[0113] 如图5B所示，将大直径抗蚀剂图形100用作掩模以蚀刻硬掩模层200，于是形成硬掩模200a。接下来，将大直径抗蚀剂图形100用作掩模以蚀刻半导体层11，于是在接合基板上形成大直径凹部41-4的图形。此时，在露出第一布线12之前终止蚀刻，于是，在第一布线12上方残留半导体层11和层间绝缘膜14。虽然在图5B所示的例子中仅残留了层间绝缘膜14，但半导体层11可与层间绝缘膜14一起残留。这里，将Cl_2/O_2用作蚀刻气体以进行蚀刻。在蚀刻后，除去大直径抗蚀剂图形100。

[0114] 因此，形成大直径凹部41-4，使得其底部位于半导体层11和层间绝缘膜14之间的界面处，大直径凹部41-4的开口具有与第一布线12和第二布线22重叠的尺寸。

[0115] 这一点之前的步骤与第三实施方式的制造方法的步骤相同。随后所述的填充大直径凹部41-4的步骤为第四实施方式的区别特征。

[0116] 如图5C所示，将填充部件400填入大直径凹部41-4中以进行平坦化。在随后进行的蚀刻步骤中，填充部件400针对硬掩模200a具有高的蚀刻选择比。在这种材料中有氧化硅(SiO_2)。

[0117] 如图5D所示，在硬掩模200a上形成新的小直径抗蚀剂图形102。在接合基板中形成有大直径凹部41-4的区域中，小直径抗蚀剂图形102具有不与第一布线12重叠而使第二布线22的上部露出的开口102a。

[0118] 如图5E所示，通过将小直径抗蚀剂图形102用作掩模以进行蚀刻，在填充有填充部件400的基板中形成小直径凹部42-4的图形。此时，将小直径抗蚀剂图形102用作掩模以蚀刻填充部件400，且在到达第二布线22之前终止蚀刻。这里，进行蚀刻，直到第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)为止。因此，根据需要而蚀刻层间绝缘膜14。

[0119] 如图5F所示，除去抗蚀剂图形(102)。因此，在大直径凹部41-4中设置填充部件400，在填充部件400中设置小直径凹部42-4，并且在半导体层11的正面11a上设置硬掩模200a。硬掩模200a与大直径凹部41-4的开口对准。在此条件下，第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)。

[0120] 如图5G所示，通过从硬掩模200a上方开始蚀刻，以便同时挖掘填充部件400的底部和小直径凹部42-4的底部。此时，对填充部件400、层间绝缘膜14和接合部30进行蚀刻，直到使第一布线12和第二布线22露出为止。这里，在实现以相同的蚀刻率挖掘填充部件400、层间绝缘膜14和接合部30的条件下进行蚀刻。例如，将$C_4F_8/Ar/O_2$用作蚀刻气体以进行蚀刻。在蚀刻后，根据需要而除去硬掩模200a。

[0121] 这样，完成了连接孔40的制造，使第一布线12和第二布线22在连接孔40的底部露出。

[0122] 如图5H所示，将例如由铜制成的填充金属43作为导电部件填入连接孔40中，于是，经由被填充金属43填充的连接孔40以连接位于不同深度处的第一布线12和第二布线22。应当注意，虽然此处将填充金属43用作导电部件，但导电部件不限于此。作为替代，可在连接孔40的内壁上形成导电膜。

[0123] 由于以上步骤，完成了第四实施方式的半导体装置1的制造。

[0124] [第四实施方式的半导体装置的制造方法的有益效果]

[0125] 在上述第四实施方式的制造方法中，如图5F所示，在不露出第一布线12和第二布线22的情况下，在填充部件400中设置小直径凹部42-4。此时，进行蚀刻以使得第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)。在此条件下，以相同的蚀刻率对填充部件400、层间绝缘膜14和接合部30进行蚀刻。因此，当第二布线22与第一布线12同时露出时，蚀刻终止。这确保了所露出的第一布线12不会在长时间段内暴露于蚀刻气氛，于是使得第一布线12的过度蚀刻最小化。

[0126] 因此，与第一实施方式的制造方法同样地，第四实施方式的制造方法防止通过对第一布线12的过度蚀刻所产生的反应生成物累积于连接孔40的侧壁上。此外，可防止由于过度蚀刻而打薄第一布线12，于是确保了第一布线12的恰当导电性以及第一布线12和填充金属43之间的恰当连接。

[0127] 这有助于提高半导体装置1的产率。

[0128] 而且，将填充部件400填入大直径凹部41-4中为第四实施方式的制造方法的区别特征。这样，如图5D所示，在硬掩模200a上形成小直径抗蚀剂图形102时，可在由填充部件400的表面和硬掩模200a的表面构成的平坦面上形成抗蚀剂膜。通过光刻法对没有阶差的抗蚀剂膜进行图形化。这样，即使对于小型凹部，也可在形成小直径抗蚀剂图形102时提高图形化精度。

[0129] 这有助于半导体装置的进一步小型化。

[0130] <6.第五实施方式(在先前形成的小直径凹部中残留用于覆盖第二布线的抗蚀材料的制造方法)>

[0131] 下面,参照图6A～图6F所示的横截面步骤图,说明第五实施方式的半导体装置1的制造方法。应当注意,半导体装置1的最终配置与第一实施方式的半导体装置1的最终配置相同。

[0132] 首先,制造使得第一基板10和第二基板20隔着接合部30而接合在一起的接合基板。

[0133] 接下来,如图6A所示,在所制造的接合基板中的半导体层11的正面11a上形成小直径抗蚀剂图形102。小直径抗蚀剂图形102具有使第二布线22的上部露出的开口102a。

[0134] 如图6B所示,通过将小直径抗蚀剂图形102用作掩模以进行蚀刻,从而在接合基板上形成小直径凹部42-5的图形。此时,将小直径抗蚀剂图形102用作掩模以依次蚀刻半导体层11、层间绝缘膜14和接合部30,且当第二布线22露出时,蚀刻终止。在蚀刻后,除去小直径抗蚀剂图形102。

[0135] 作为上述处理的结果,小直径凹部42-5形成为使第二布线22在其底部露出。

[0136] 如图6C所示,在半导体层11的正面11a上形成大直径抗蚀剂图形100。在包含所形成的小直径凹部42-5的开口的范围内,大直径抗蚀剂图形100具有使第一布线12和第二布线22的上部露出的开口100a。在形成大直径抗蚀剂图形100时,残留了用于覆盖在小直径凹部42-5中露出的第二布线22的抗蚀材料100b。

[0137] 如图6D所示,通过将大直径抗蚀剂图形100用作掩模以进行蚀刻,从而在接合基板上形成大直径凹部41-5的图形。此时,将大直径抗蚀剂图形100用作掩模以依次蚀刻半导体层11、层间绝缘膜14和接合部30,且当第一布线12露出时,蚀刻终止。在这种适于形成大直径凹部41-5的蚀刻中,将小直径凹部42-5中残留的抗蚀材料100b蚀刻并打薄。在蚀刻结束时,可完全除去抗蚀材料100b。或者,可残留一些抗蚀材料100b。

[0138] 作为上述处理的结果,大直径凹部41形成为使得第一布线12在大直径凹部41的底部的部分露出,大直径凹部41的开口具有与第一布线12和第二布线22重叠的尺寸。

[0139] 如图6E所示,除去抗蚀剂图形100(图6D所示)。此时,若有任何残余,则同时除去抗蚀材料100b(图6D所示)。这样,完成了连接孔40的制造,使第一布线12和第二布线22在连接孔40的底部露出。

[0140] 如图6F所示,将例如由铜制成的填充金属43作为导电部件填入连接孔40中,于是,经由被填充金属43填充的连接孔40以连接位于不同深度处的第一布线12和第二布线22。应当注意,虽然此处将填充金属43用作导电部件,但导电部件不限于此。作为替代,可在连接孔40的内壁上形成导电膜。

[0141] 由于以上步骤,完成了第五实施方式的半导体装置1的制造。

[0142] [第五实施方式的半导体装置的制造方法的有益效果]

[0143] 在上述第五实施方式的制造方法中,首先,形成小直径凹部42-5以露出第二布线22,然后,形成大直径凹部41-5以露出第一布线12,于是确保第一布线12不被过度蚀刻。

[0144] 而且,当形成大直径抗蚀剂图形100以形成大直径凹部41-5的图形时,以抗蚀材料100b覆盖在小直径凹部42-5的底部露出的第二布线22。在如上所述地覆盖第二布线22的情况下,将大直径抗蚀剂图形100用作掩模以进行蚀刻,直到露出第一布线12为止。在该时间

段内，将覆盖第二布线22的抗蚀材料100b蚀刻并打薄。然而，使抗蚀材料100b一直残留至蚀刻结束或者至少残留至蚀刻途中，于是抑制了第二布线22的过度蚀刻。

[0145] 因此，与第一实施方式的制造方法同样地，第五实施方式的制造方法防止通过对第一布线12的过度蚀刻所产生的反应生成物累积于连接孔40的侧壁上。而且，可防止由于过度蚀刻而打薄第一布线12，于是确保了第一布线12的恰当导电性以及第一布线12和填充金属43之间的恰当连接。

[0146] 这有助于提高半导体装置1的产率。

[0147] 此外，在第五实施方式的制造方法中，如图6D所示，在中途不停止的单个步骤中，进行从半导体层11的正面11a至第一布线12的蚀刻，于是露出第一布线12。相比之下，在第二实施方式～第四实施方式的制造方法中，在到达第一布线12之前中途停止蚀刻，并且再次进行蚀刻以露出第一布线12。即，在两个步骤中进行从半导体层11的正面11a至第一布线12的蚀刻，于是露出第一布线12。因此，第五实施方式的制造方法可比第二实施方式～第四实施方式的制造方法通过更少量的步骤以制造半导体装置1。

[0148] 〈7.第六实施方式(中途停止蚀刻以使得第一布线和第二布线上方的未蚀刻厚度一致的制造方法)〉

[0149] 下面，参照图7A～图7F所示的横截面步骤图，说明第六实施方式的半导体装置1的制造方法。应当注意，半导体装置1的最终配置与第一实施方式的半导体装置1的最终配置相同。

[0150] 首先，制造用于将第一基板10和第二基板20隔着接合部30而接合在一起的接合基板。

[0151] 接下来，如图7A所示，在所制造的接合基板中的半导体层11的正面11a上形成小直径抗蚀剂图形102。小直径抗蚀剂图形102具有使第二布线22的上部露出的开口102a。

[0152] 如图7B所示，通过将小直径抗蚀剂图形102用作掩模以进行蚀刻，从而在接合基板中形成小直径凹部42-6的图形。此时，将小直径抗蚀剂图形102用作掩模以依次蚀刻半导体层11和层间绝缘膜14，且在到达第二布线22之前终止蚀刻。这里，进行蚀刻，直到第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)为止。在蚀刻后，除去小直径抗蚀剂图形102。

[0153] 作为上述处理的结果，形成小直径凹部42-6，其中，第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)。

[0154] 如图7C所示，在半导体层11的正面11a上重新形成大直径抗蚀剂图形100。大直径抗蚀剂图形100在包含所形成的小直径凹部42-6的范围内具有使第一布线12和第二布线22的上部露出的开口100a。

[0155] 如图7D所示，通过将大直径抗蚀剂图形100用作掩模以进行蚀刻，从而在接合基板中形成大直径凹部41-6的图形，并且挖掘小直径凹部42-6的底部。此时，将大直径抗蚀剂图形100用作掩模以对半导体层11、层间绝缘膜14和接合部30进行蚀刻，直到露出第一布线12和第二布线22为止。这里，在实现以相同的蚀刻率挖掘半导体层11、层间绝缘膜14和接合部30的条件下进行蚀刻。

[0156] 作为上述处理的结果，形成大直径凹部41-6，使得第一布线12在底部的部分露出，大直径凹部41-6的开口具有与第一布线12和第二布线22重叠的尺寸。同时，在小直径凹部

42-6的底部使第二布线露出。

[0157] 如图7E所示，除去抗蚀剂图形(100)。这样，完成了连接孔40的制造，使第一布线12和第二布线22在连接孔40的底部露出。

[0158] 如图7F所示，将例如由铜制成的填充金属43作为导电部件填入连接孔40中，于是，经由填充金属43填充的连接孔40以连接位于不同深度处的第一布线12和第二布线22。应当注意，虽然此处将填充金属43用作导电部件，但导电部件不限于此。作为替代，可在连接孔40的内壁上形成导电膜。

[0159] 由于以上步骤，完成了第六实施方式的半导体装置1的制造。

[0160] [第六实施方式的半导体装置的制造方法的有益效果]

[0161] 在上述第六实施方式的制造方法中，如图7B所示，在不露出第一布线12和第二布线22的情况下，形成小直径凹部42-6。此时，进行蚀刻以使得第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)。因此，当第二布线22与第一布线12同时露出时，蚀刻终止。这确保了所露出的第一布线12不会在长时间段内暴露于蚀刻气氛。

[0162] 因此，与第一实施方式的制造方法同样地，第六实施方式的制造方法防止了通过对第一布线12的过度蚀刻所产生的反应生成物累积于连接孔40的侧壁上。而且，可防止由于过度蚀刻而打薄第一布线12，于是确保了第一布线12的恰当导电性以及第一布线12和填充金属43之间的恰当连接。

[0163] 这有助于提高半导体装置1的产率。

[0164] 此外，在第六实施方式的制造方法中，如图7D所示，在中途不停止的单个步骤中，进行从半导体层11的正面11a至第一布线12的蚀刻，于是使第一布线12露出。因此，第六实施方式的制造方法可比第二实施方式～第四实施方式的制造方法通过更少量的步骤以制造半导体装置1。

[0165] <8.第七实施方式(中途停止蚀刻以使得第一布线和第二布线上方的未蚀刻厚度一致且其中使用硬掩模的制造方法)>

[0166] 下面，参照图8A～图8F所示的横截面步骤图，说明第七实施方式的半导体装置1的制造方法。应当注意，半导体装置1的最终配置与第一实施方式的半导体装置1的最终配置相同。

[0167] 首先，制造使得第一基板10和第二基板20隔着接合部30而接合在一起的接合基板。

[0168] 接下来，如图8A所示，在所制造的接合基板中的半导体层11的正面11a上形成例如由氮化钛(TiN)制成的硬掩模层200。接下来，在硬掩模层200上形成小直径抗蚀剂图形102。小直径抗蚀剂图形102具有使第二布线22的上部露出的开口102a。

[0169] 如图8B所示，通过将小直径抗蚀剂图形102用作掩模以进行蚀刻，从而在接合基板上形成小直径凹部42-7的图形。此时，将小直径抗蚀剂图形102用作掩模以依次蚀刻硬掩模层200、半导体层11和层间绝缘膜14，且在到达第二布线22之前终止蚀刻。这里，进行蚀刻，直到第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)为止。在蚀刻后，除去小直径抗蚀剂图形102。

[0170] 作为上述处理的结果，形成小直径凹部42-7，其中，第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)。

[0171] 如图8C所示，在硬掩模层200上重新形成大直径抗蚀剂图形100。大直径抗蚀剂图形100在包含所形成的小直径凹部42-6的范围内具有使第一布线12和第二布线22的上部露出的开口100a。这里，在形成大直径抗蚀剂图形100时，通过光刻法对具有大阶差的抗蚀剂膜进行图形化。因此，可在小直径凹部42-7中的底部附近残留抗蚀材料100b。接着，将大直径抗蚀剂图形100用作掩模以对硬掩模层200进行蚀刻，于是形成硬掩模(200a)。

[0172] 如图8D所示，除去抗蚀剂图形(100)。此时，同时除去在小直径凹部42-7中残留的抗蚀材料(100b)。这样，在半导体层11的正面11a上露出硬掩模200a。硬掩模200a具有使第一布线12和第二布线22的上部露出的开口。

[0173] 如图8E所示，通过将硬掩模200a用作掩模以进行蚀刻，从而在接合基板上形成大直径凹部41-7的图形，并且挖掘小直径凹部42-7的底部。此时，将硬掩模200a用作掩模以对半导体层11、层间绝缘膜14和接合部30进行蚀刻，直到露出第一布线12和第二布线22为止。这里，在实现以相同的蚀刻率挖掘半导体层11、层间绝缘膜14和接合部30的条件下进行蚀刻。在蚀刻后，根据需要而除去硬掩模200a。

[0174] 作为上述处理的结果，形成大直径凹部41-7，使得第一布线12在大直径凹部41-7的底部的部分露出，大直径凹部41-7的开口具有与第一布线12和第二布线22重叠的尺寸，于是完成了连接孔40的制造。

[0175] 如图8F所示，将例如由铜制成的填充金属43作为导电部件填入连接孔40中，于是，经由被填充金属43填充的连接孔40以连接位于不同深度处的第一布线12和第二布线22。应当注意，虽然此处将填充金属43用作导电部件，但导电部件不限于此。作为替代，可在连接孔40的内壁上形成导电膜。

[0176] 由于以上步骤，完成了第七实施方式的半导体装置1的制造。

[0177] [第七实施方式的半导体装置的制造方法的有益效果]

[0178] 在上述第七实施方式的制造方法中，如图8B所示，在不露出第一布线12和第二布线22的情况下，形成小直径凹部42-7。此时，进行蚀刻以使得第一布线12上方的未蚀刻厚度“a”与第二布线22上方的未蚀刻厚度“b”一致(即a＝b)。因此，当第二布线22与第一布线12同时露出时，蚀刻终止。这确保了所露出的第一布线12不会在长时间段内暴露于蚀刻气氛。

[0179] 因此，与第一实施方式的制造方法同样地，第七实施方式的制造方法防止了通过对第一布线12的过度蚀刻所产生的反应生成物累积于连接孔40的侧壁上。而且，可防止由于过度蚀刻而打薄第一布线12，于是确保了第一布线12的恰当导电性以及第一布线12和填充金属43之间的恰当连接。

[0180] 这有助于提高半导体装置1的产率。

[0181] 此外，在第七实施方式的制造方法中，如图8D所示，使用硬掩模200a而非大直径抗蚀剂图形100进行蚀刻以形成大直径凹部41-7的图形。因此，如图8C所示，即使在形成大直径抗蚀剂图形100时残留了用于覆盖先前形成的小直径凹部42-7中的第二布线22的抗蚀材料100b，仍可随后顺利地进行适于形成大直径凹部41-7的图形的蚀刻。即，在形成大直径凹部41-7的图形之前，除去大直径抗蚀剂图形100。同时，除去所残留的抗蚀材料100b。然后，使用硬掩模200a以形成大直径凹部41-7的图形。因此，在形成大直径抗蚀剂图形100时，不必考虑与具有大阶差的下层相关的光刻精度，于是可易于设定光刻条件。

[0182] 此外，在第七实施方式的制造方法中，如图8E所示，在中途不停止的单个步骤中进

行从半导体层11的正面11a至第一布线12的蚀刻，于是露出第一布线12。因此，与第五实施方式的制造方法同样地，第七实施方式的制造方法可比第二实施方式～第四实施方式的制造方法通过更少量的步骤以制造半导体装置1。

[0183] 应当注意，在第七实施方式中，如图8C所示，在形成小直径凹部42-7后，通过将大直径抗蚀剂图形100用作掩模以进行蚀刻，从而形成硬掩模200a。然而，第七实施方式的制造方法不限于此。例如，可在形成小直径凹部42-7之前形成硬掩模200a。此时，首先，在硬掩模层200上形成大直径抗蚀剂图形100，接着进行蚀刻，于是形成硬掩模200a。然后，除去大直径抗蚀剂图形100，接着形成新的抗蚀剂图形102，于是，形成小直径凹部42-7。

[0184] 在第二实施方式～第四实施方式以及第七实施方式的制造方法中，说明了以下情况。即，调整第一布线12上方的未蚀刻厚度“a”和第二布线22上方的未蚀刻厚度“b”以使得这些厚度一致(即a＝b)。在此条件下，即使第一布线12和第二布线22上方的蚀刻后残留的膜由不同材料制成，仍可在实现以相同的蚀刻率挖掘这些膜的条件下进行蚀刻。使第一布线12和第二布线22同时露出，然后终止蚀刻。

[0185] 然而，当第一布线12和第二布线22上方残留的各膜的蚀刻率不同时，第二实施方式～第四实施方式以及第七实施方式的制造方法仍可适用。在此情况下，仅需将各个膜间的蚀刻率的差异列入考虑因素以调整两个时间段、即时间段“A”和时间段“B”，从而使时间段“A”和时间段“B”相等，时间段“A”表示在使第一布线12露出之前对第一布线12上方的残余膜蚀刻的时长，时间段“B”表示在使第二布线22露出之前对第二布线22上方的残余膜蚀刻的时长。即，仅需调整未蚀刻厚度“a”和未蚀刻厚度“b”，从而使时间段“A”和时间段“B”相等。这些步骤还可获得与第二实施方式～第四实施方式以及第七实施方式的制造方法同样的有益效果。

[0186] 在上述各实施方式中，说明了具有连接孔40的半导体装置的配置和制造方法，在连接孔40中，在大直径凹部41的底部使单个第一布线12与层间绝缘膜14一起露出，且在小直径凹部42的底部使单个第二布线22露出。通过挖掘至大直径凹部41的底部以设置小直径凹部42。

[0187] 然而，本发明在适用上不仅仅限于这些配置。作为替代，本发明可适用于其中在大直径凹部41的底部使多个第一布线12与层间绝缘膜14一起露出的配置，或者可适用于其中在小直径凹部42的底部使多个第二布线22露出的配置。

[0188] 可通过同样的制造方法以制造具有任何这些配置的半导体装置1，于是获得同样的有益效果。

[0189] 此外，本发明可适用于这样的配置，其中，大直径凹部41使得其底部在两个不同的深度处形成以使第一布线12在每个深度处露出。

[0190] 可通过同样的制造方法制造即便如此配置的半导体装置。仅在大直径凹部41的底部的最深位置处使第一布线12与层间绝缘膜14一起露出，并且浅底部仅包含第一布线12。即使在这种情况下，在大直径凹部41的浅底部露出的第一布线12也在某种程度上被过度蚀刻。然而，可防止第一布线12受到用于使位于较深位置处的第二布线22露出的蚀刻的影响，于是获得了同样的有益效果。

[0191] 应当注意，本发明还可适用于这样的配置，其中，小直径凹部42使得其底部在两个不同的深度处形成，且第二布线22在每个深度处露出。可通过同样的制造方法以制造如此

配置的半导体装置。

[0192] 此外，在上述各实施方式中，说明了具有连接孔40的半导体装置的配置和制造方法，在连接孔40中，使得第一基板10上设有的第一布线12和第二基板22上设有的第二布线22露出。

[0193] 然而，本发明在适用上不仅仅限于这些配置。作为替代，本发明可适用于这样的配置，其中，在单个半导体层中，第一布线和比第一布线设置更深的第二布线在连接孔中露出。

[0194] 可通过同样的制造方法以制造如此配置的半导体装置1，于是获得同样的有益效果。

[0195] 虽然在上述实施方式中说明了其中第一导电层和第二导电层为布线的情况，但本发明在适用上不仅仅限于这种配置。作为替代，例如，第一导电层和第二导电层可以为形成于半导体层中的扩散层。即使在此情况下，本发明仍获得了同样的有益效果。

[0196] 应当注意，本发明可具有以下配置。

[0197] (1)一种半导体装置，其包括：

[0198] 基板，其具有第一导电层和比所述第一导电层设置为更深的第二导电层；

[0199] 大直径凹部，其在基板的主面侧具有尺寸与所述第一导电层和所述第二导电层重叠的开口，所述第一导电层在所述大直径凹部的底部的部分露出；

[0200] 小直径凹部，其从所述大直径凹部延伸并通过挖掘至所述大直径凹部的底部而形成，所述第二导电层在所述小直径凹部的底部露出；以及

[0201] 导电部件，其设置于由所述大直径凹部和所述小直径凹部构成的连接孔中以将所述第一导电层和所述第二导电层连接。

[0202] (2)如(1)所述的半导体装置，其中，

[0203] 所述基板为接合基板，该接合基板将包含所述第一导电层的基板和包含所述第二导电层的基板接合在一起。

[0204] (3)一种半导体装置的制造方法，该方法包括：

[0205] 在具有第一导电层和比所述第一导电层设置为更深的第二导电层的基板的主面侧形成大直径抗蚀剂图形，所述大直径抗蚀剂图形具有使得所述第一导电层和所述第二导电层的上部露出的开口；

[0206] 基于将所述大直径抗蚀剂图形用作掩模的蚀刻以在所述基板中形成大直径凹部，所述第一导电层在所述大直径凹部的底部露出；

[0207] 在所述基板的主面侧形成小直径抗蚀剂图形，该小直径抗蚀剂图形在形成有所述大直径凹部的范围内具有使所述第二导电层的上部露出的开口；并且

[0208] 基于将所述小直径抗蚀剂图形用作掩模的蚀刻以在所述基板中形成小直径凹部，所述第二导电层在所述小直径凹部的底部露出。

[0209] (4)如(3)所述的半导体装置的制造方法，其中，

[0210] 在形成所述大直径凹部后，形成所述小直径抗蚀剂图形以覆盖所述第一导电层；并且

[0211] 通过将所述小直径抗蚀剂图形用作掩模进行蚀刻以形成所述小直径凹部。

[0212] (5)如(3)所述的半导体装置的制造方法，其中，

[0213] 在所述基板上方隔着硬掩模层以形成所述大直径抗蚀剂图形；

[0214] 在形成所述大直径凹部前，通过将所述大直径抗蚀剂图形用作掩模以进行蚀刻、对所述硬掩模层进行图形化以形成硬掩模；并且

[0215] 接下来，通过将所述小直径抗蚀剂图形用作掩模而将所述基板蚀刻至不会露出所述第二导电层的深度、接着除去所述小直径抗蚀剂图形并从所述硬掩模上方进行蚀刻以露出所述第二导电层、从而形成所述小直径凹部，同时形成所述大直径凹部以使得所述第一导电层在所述大直径凹部中露出。

[0216] (6)如(5)所述的半导体装置的制造方法，其中，

[0217] 在将所述小直径抗蚀剂图形用作掩模以蚀刻所述基板时，使得所述第二导电层上方的所述小直径凹部的未蚀刻厚度与所述第一导电层上方的所述大直径凹部的未蚀刻厚度一致。

[0218] (7)如(5)所述的半导体装置的制造方法，其中，

[0219] 在通过将所述大直径抗蚀剂图形用作掩模以进行蚀刻、对所述硬掩模层进行图形化以形成所述硬掩模后，将所述基板蚀刻至不会露出所述第一导电层的深度。

[0220] (8)如(5)所述的半导体装置的制造方法，其中，

[0221] 所述基板在所述第一导电层上包括层间绝缘膜和半导体层；并且

[0222] 在将所述大直径抗蚀剂图形用作掩模以进行蚀刻、对所述硬掩模层进行图形化以形成所述硬掩模后，将所述层间绝缘膜用作蚀刻阻挡层以蚀刻所述半导体层。

[0223] (9)如(3)所述的半导体装置的制造方法，其中，

[0224] 在所述基板上方隔着硬掩模层以形成所述大直径抗蚀剂图形；

[0225] 在形成所述大直径凹部前，通过将所述大直径抗蚀剂图形用作掩模以进行蚀刻、对所述硬掩模层进行图形化以形成硬掩模，接着还将所述基板蚀刻至不会露出所述第一导电层的深度；

[0226] 除去所述大直径抗蚀剂图形，并且将填充部件填入所述基板的凹部中以进行平坦化，接着形成所述小直径抗蚀剂图形；并且

[0227] 通过将所述小直径抗蚀剂图形用作掩模而将所述基板蚀刻至不会露出所述第二导电层的深度、接着除去所述小直径抗蚀剂图形并且从所述硬掩模上方进行蚀刻以使得所述第二导电层在所述小直径凹部的底部露出、从而形成所述小直径凹部，同时，形成所述大直径凹部以使所述第一导电层在所述大直径凹部中露出。

[0228] (10)如3所述的半导体装置的制造方法，其中，

[0229] 在形成所述大直径抗蚀剂图形前，通过将所述小直径抗蚀剂图形用作掩模进行蚀刻以形成所述小直径凹部；并且

[0230] 在形成所述大直径抗蚀剂图形时，在所述小直径凹部中残留抗蚀材料以覆盖所述第二导电层。

[0231] (11)如(3)所述的半导体装置的制造方法，其中，

[0232] 在形成所述大直径抗蚀剂图形前，将所述小直径抗蚀剂图形用作掩模而将所述基板蚀刻至不会露出所述第二导电层的深度；并且

[0233] 然后，通过将所述大直径抗蚀剂图形用作掩模以进行蚀刻以形成所述大直径凹部，以使得所述第一导电层在所述大直径凹部中露出，同时形成所述小直径凹部，以使得所

述第二导电层在所述小直径凹部中露出。

[0234] (12)如(11)所述的半导体装置的制造方法，其中，

[0235] 在将所述小直径抗蚀剂图形用作掩模以蚀刻所述基板时，使得所述第二导电层上方的所述小直径凹部的未蚀刻厚度与所述第一导电层上方的所述大直径凹部的未蚀刻厚度一致。

[0236] (13)如(11)所述的半导体装置的制造方法，其中，

[0237] 所述基板在所述第一导电层上包括所述层间绝缘膜和半导体层，并且

[0238] 在将所述小直径抗蚀剂图形用作掩模以蚀刻所述基板时，将所述层间绝缘膜用作蚀刻阻挡层以蚀刻所述半导体层。

[0239] (14)如(3)所述的半导体装置的制造方法，其中，

[0240] 在形成所述大直径凹部和所述小直径凹部后，在由所述大直径凹部和所述小直径凹部构成的连接孔中形成连接至所述第一导电层和所述第二导电层的所述导电部件。

[0241] 本领域的技术人员应当明白，在不脱离所附权利要求及其等同物的范围内，取决于设计需要和其它因素可出现各种变化、组合、子组合和替代。

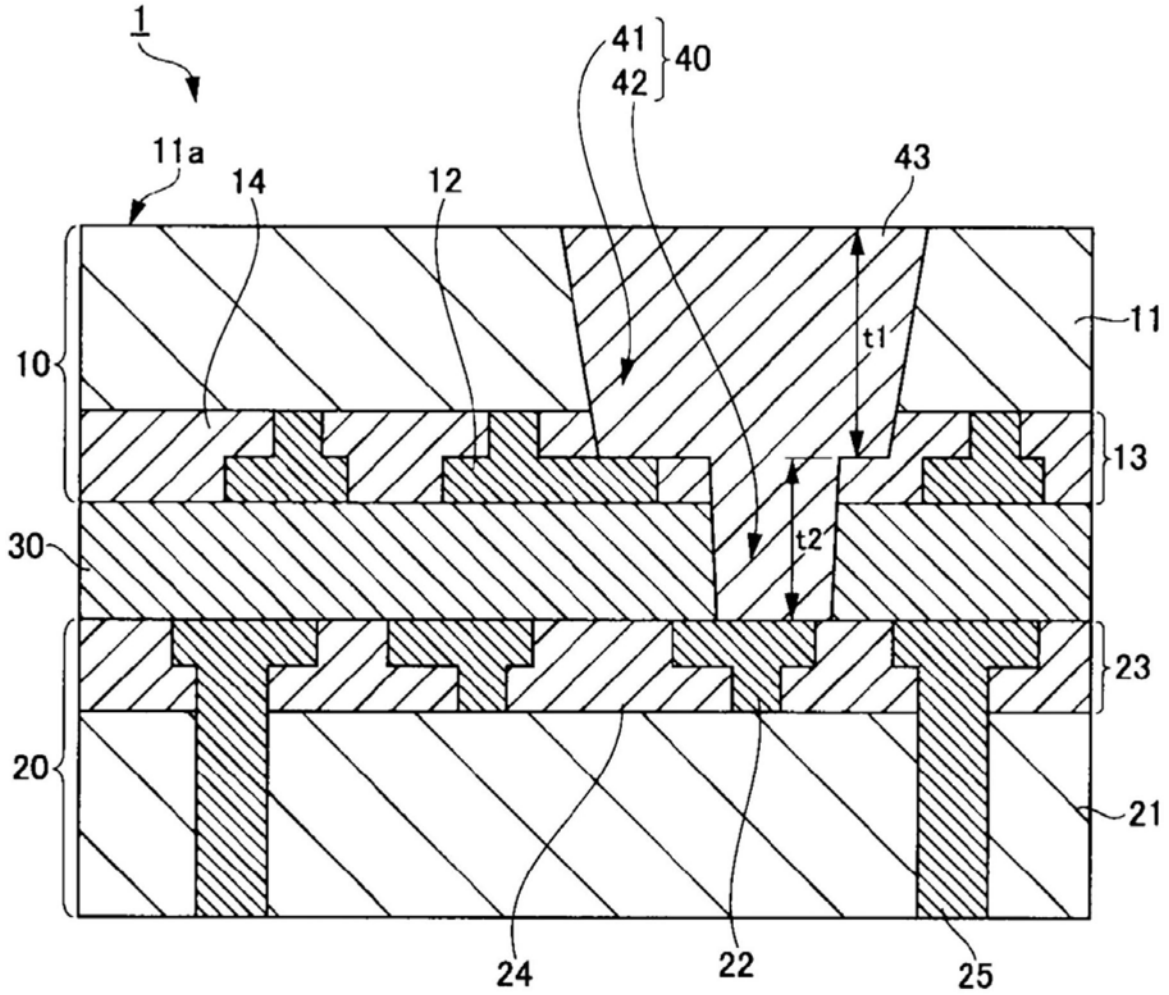

1
41
42
40
11a
14
12
43
11
t1
10
13
30
t2
23
20
21
24
22
25

图1

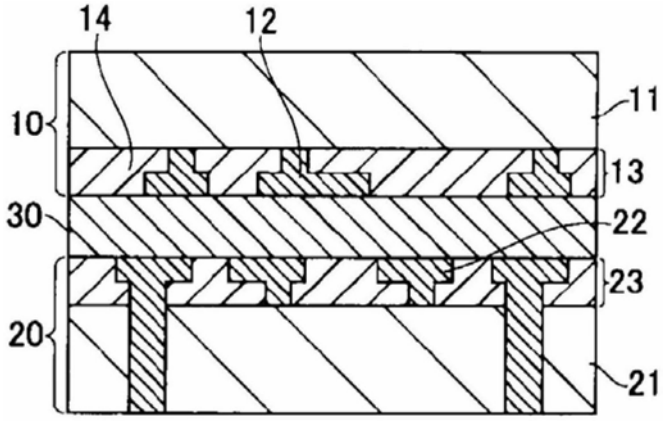

14
12
11
10
13
30
22
23
20
21

图2A

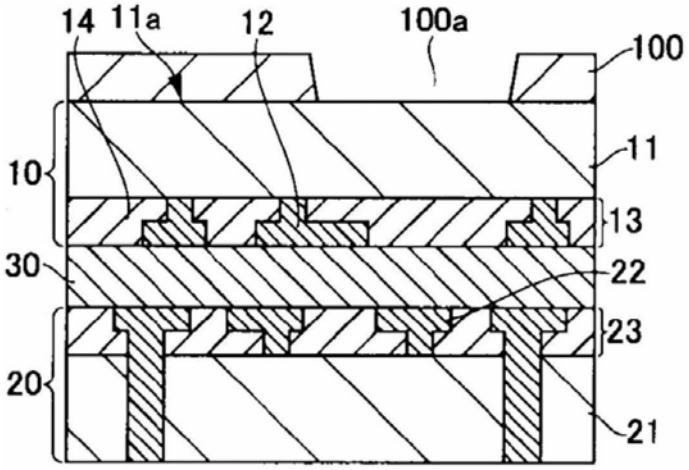

14
11a
12
100a
100
11
10
13
30
22
23
20
21

图2B

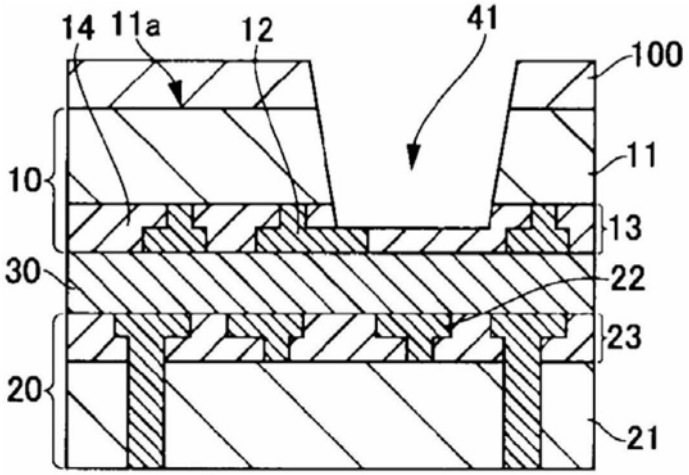

14
11a
12
41
100
11
10
13
30
22
23
20
21

图2C

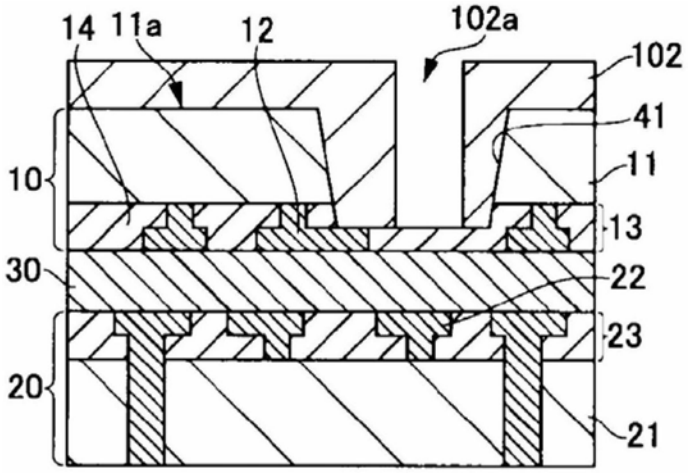

14
11a
12
102a
102
41
11
10
13
30
22
23
20
21

图2D

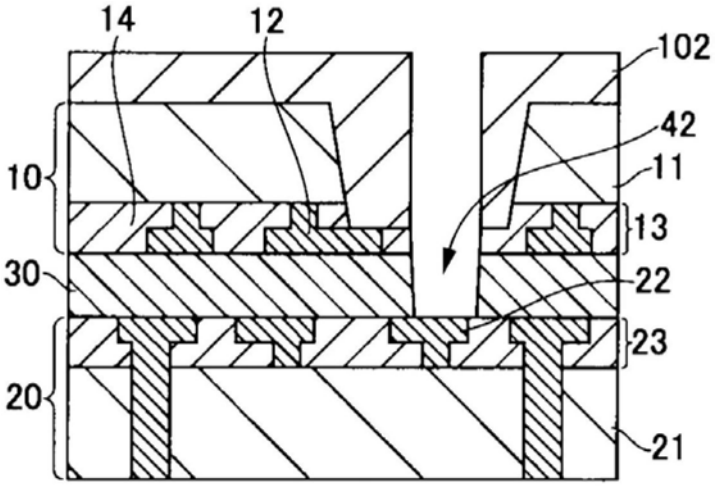

14
12
102
42
11
10
13
30
22
23
20
21

图2E

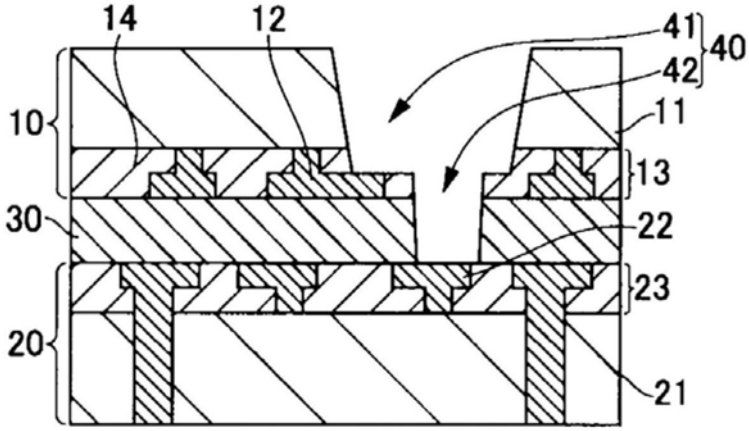

14
12
41
40
42
11
10
13
30
22
23
20
21

图2F

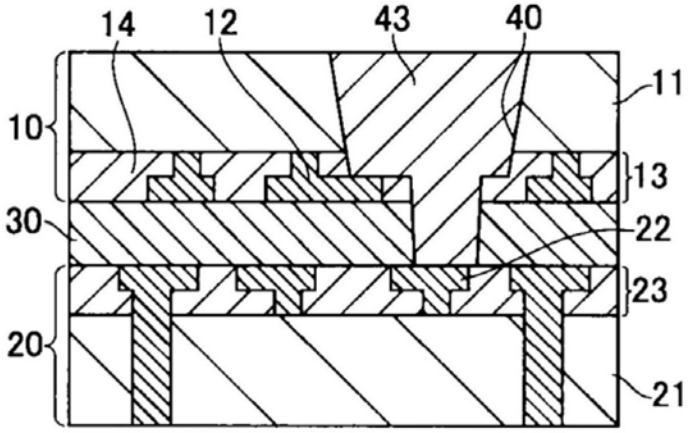

14
12
43
40
11
10
13
30
22
23
20
21

图2G

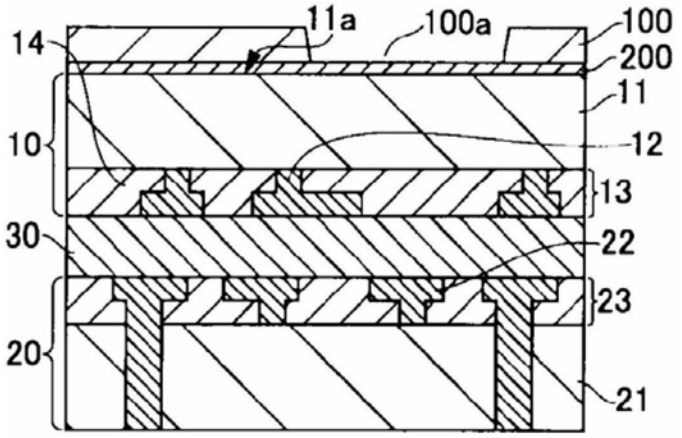

11a
100a
100
14
200
11
10
12
13
30
22
23
20
21

图3A

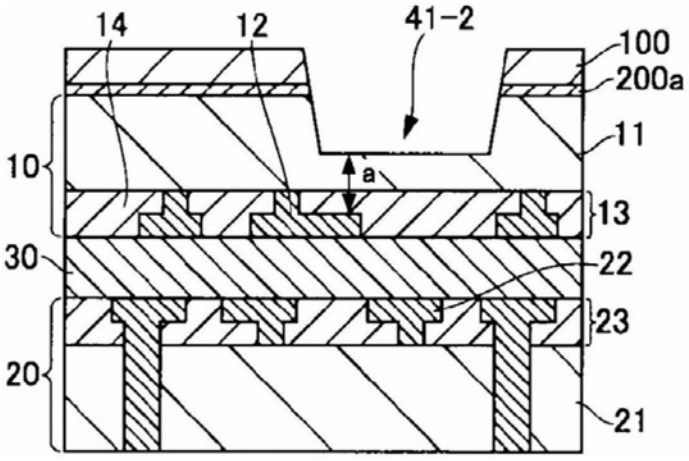

14
12
41-2
100
200a
11
10
a
13
30
22
23
20
21

图3B

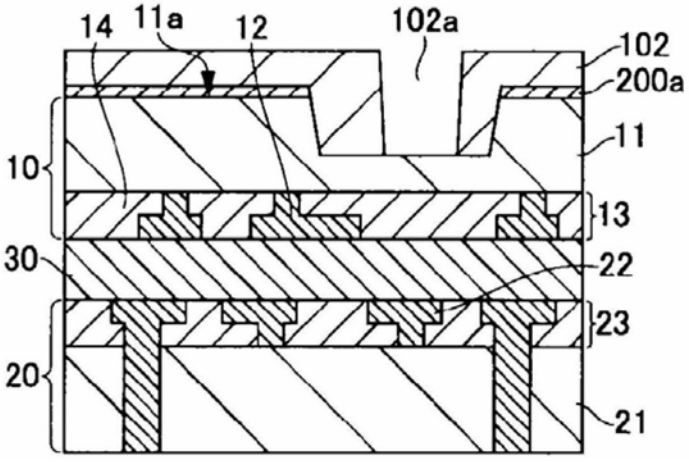

14
11a
12
102a
102
200a
11
10
13
30
22
23
20
21

图3C

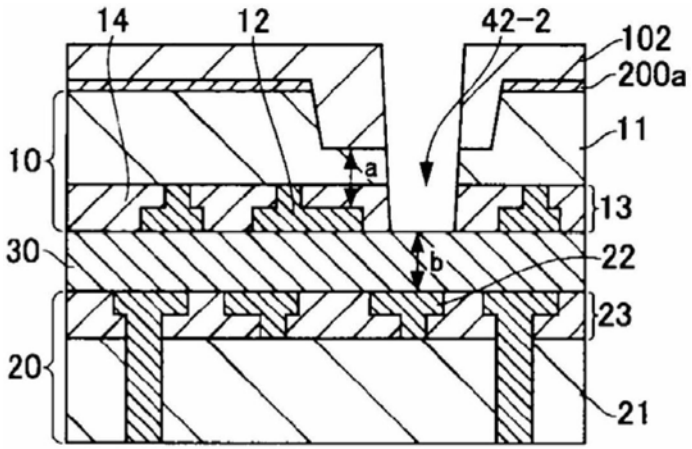

14
12
42-2
102
200a
11
10
a
13
30
b
22
23
20
21

图3D

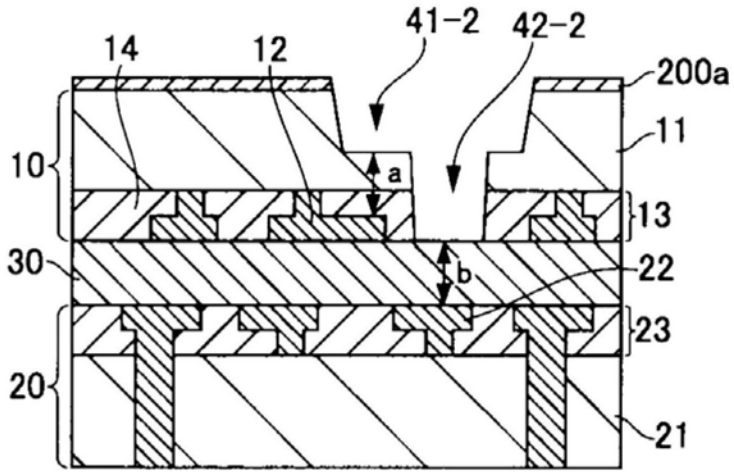

41-2
42-2
14
12
200a
11
10
a
13
30
b
22
23
20
21

图3E

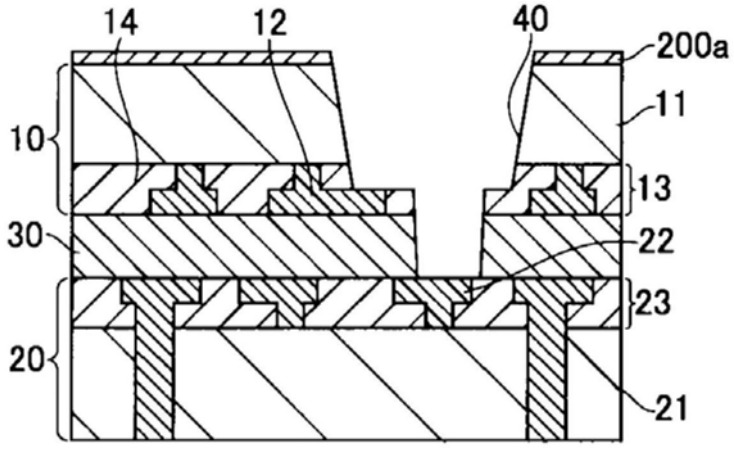

14
12
40
200a
11
10
13
30
22
23
20
21

图3F

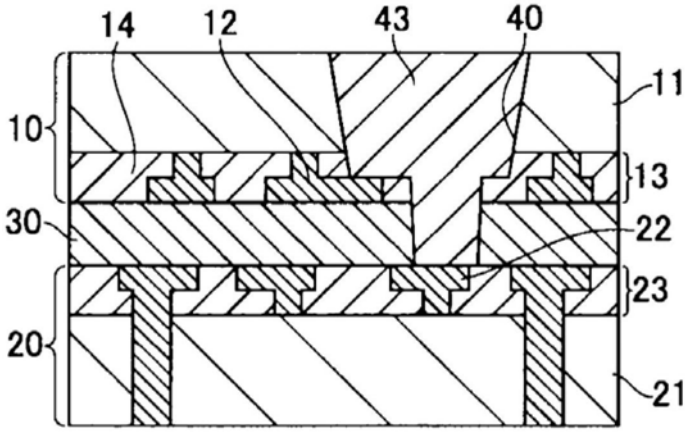

14
12
43
40
11
10
13
30
22
23
20
21

图3G

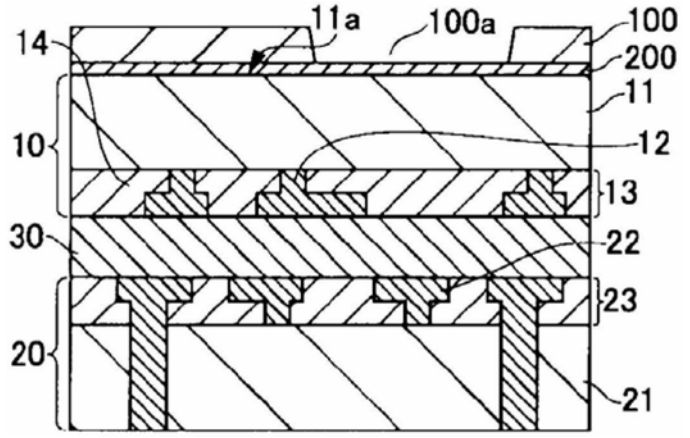

11a
100a
100
14
200
11
10
12
13
30
22
23
20
21

图4A

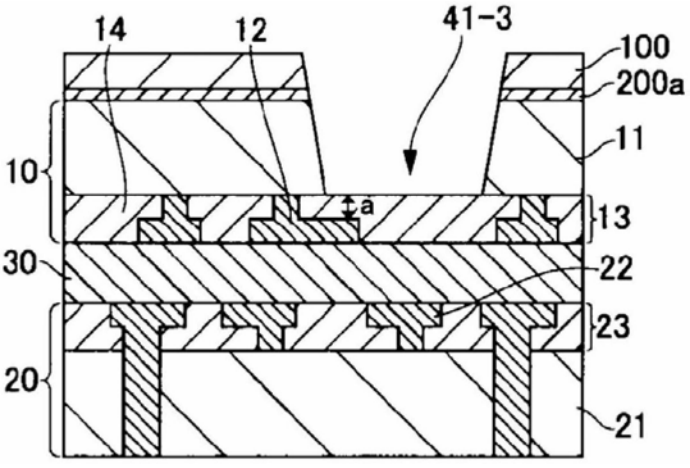

14
12
41-3
100
200a
11
10
a
13
30
22
23
20
21

图4B

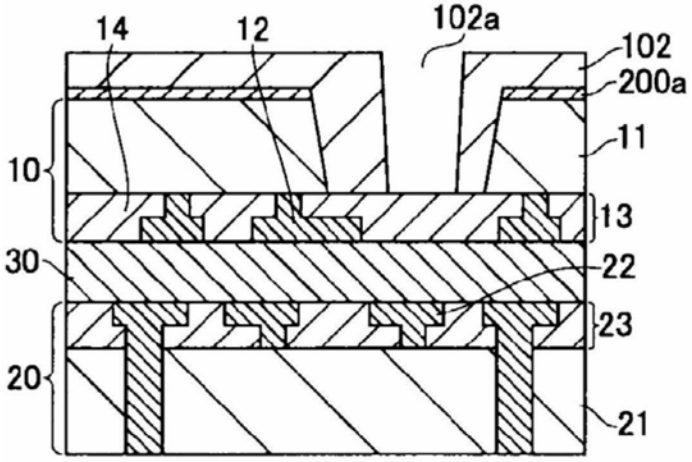

14
12
102a
102
200a
11
10
13
30
22
23
20
21

图4C

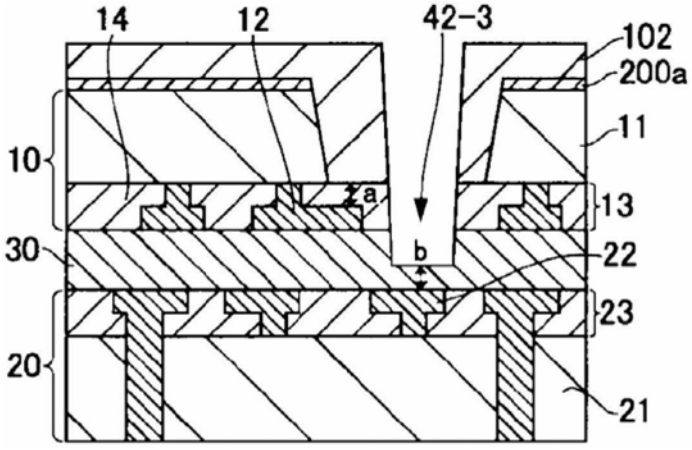

14
12
42-3
102
200a
11
10
a
13
30
b
22
23
20
21

图4D

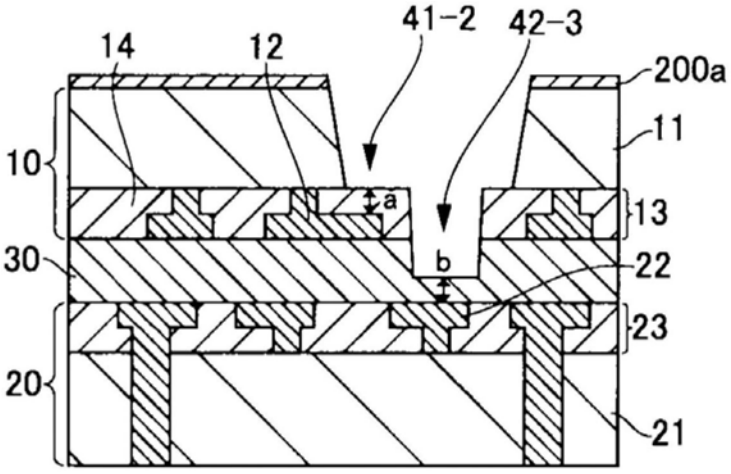

41-2
42-3
14
12
200a
11
10
a
13
30
b
22
23
20
21

图4E

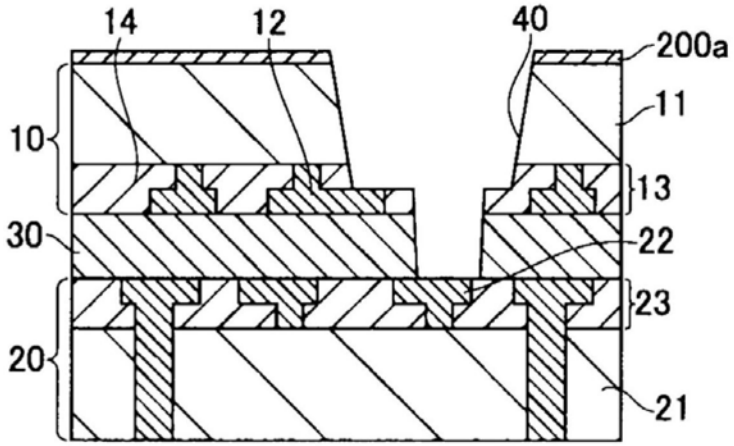

14
12
40
200a
11
10
13
30
22
23
20
21

图4F

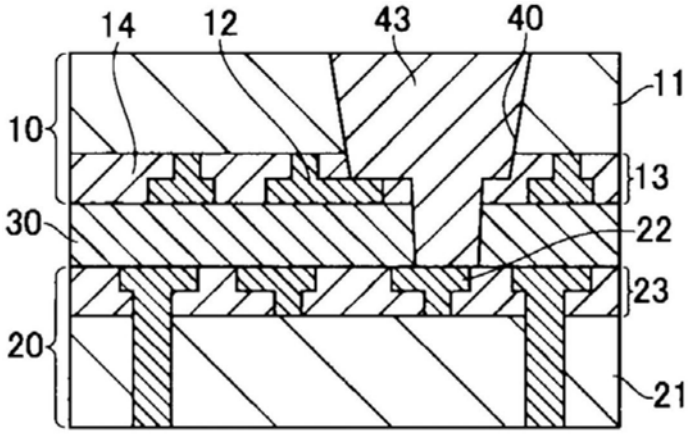

14
12
43
40
11
10
13
30
22
23
20
21

图4G

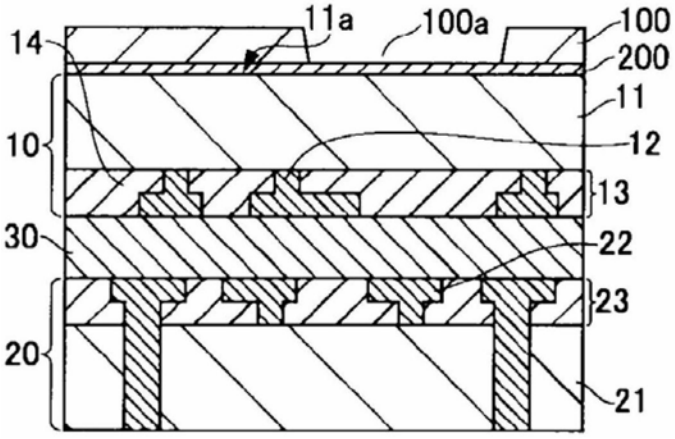

11a
100a
100
14
200
11
10
12
13
30
22
23
20
21

图5A

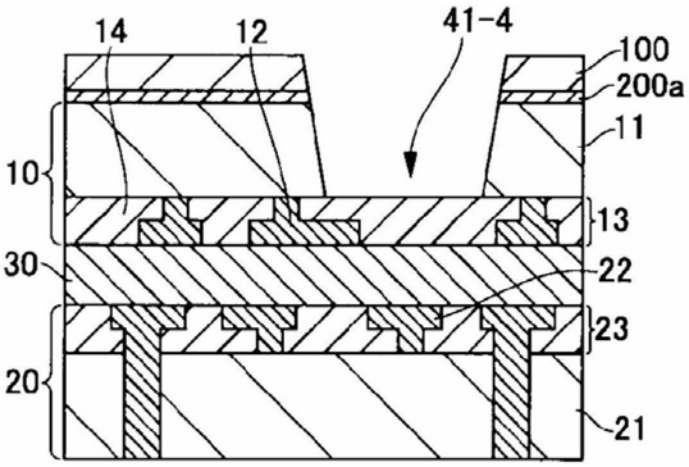

14
12
41-4
100
200a
11
10
13
30
22
23
20
21

图5B

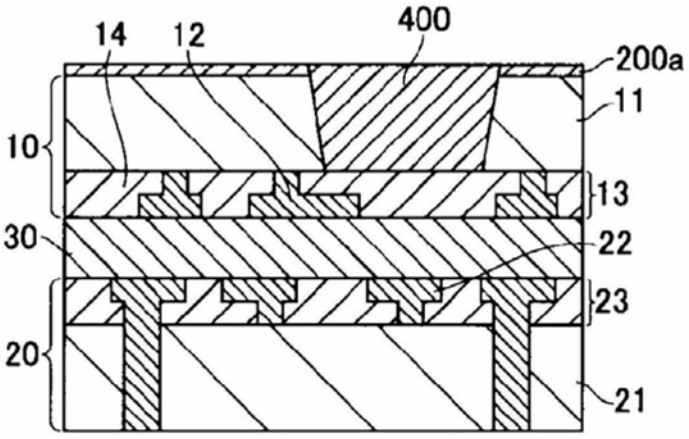

14
12
400
200a
11
10
13
30
22
23
20
21

图5C

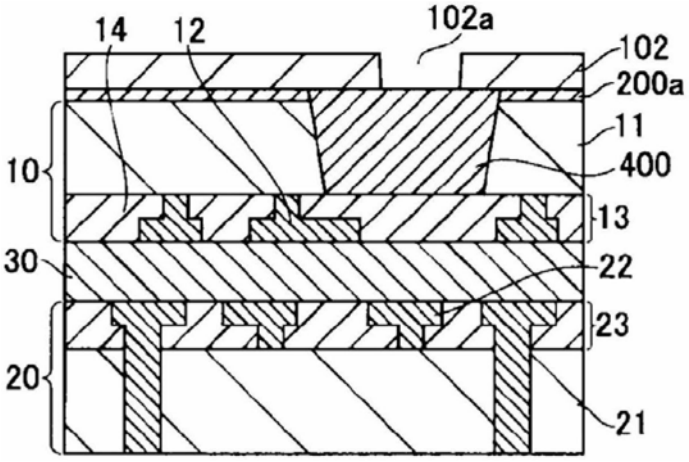

14
12
102a
102
200a
11
400
10
13
30
22
23
20
21

图5D

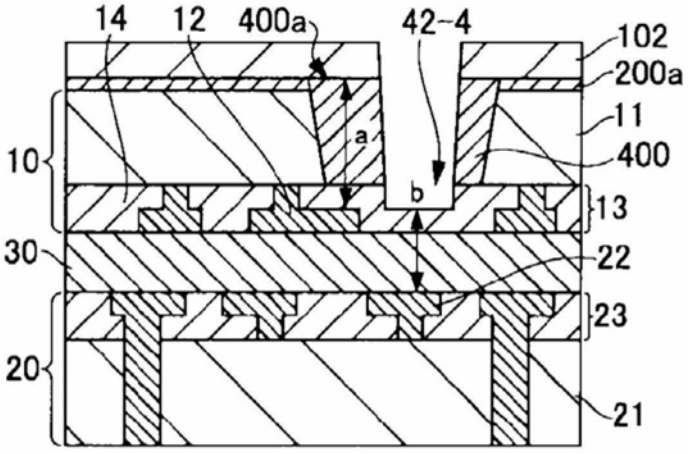

14
12
400a
42-4
102
200a
11
400
a
b
10
13
30
22
23
20
21

图5E

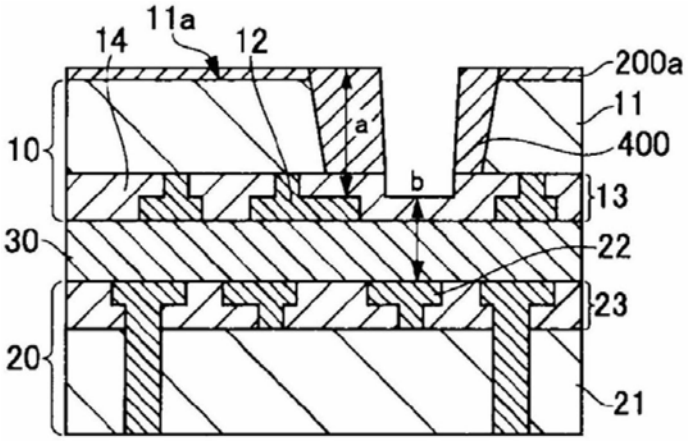

11a
14
12
200a
11
400
a
b
10
13
30
22
23
20
21

图5F

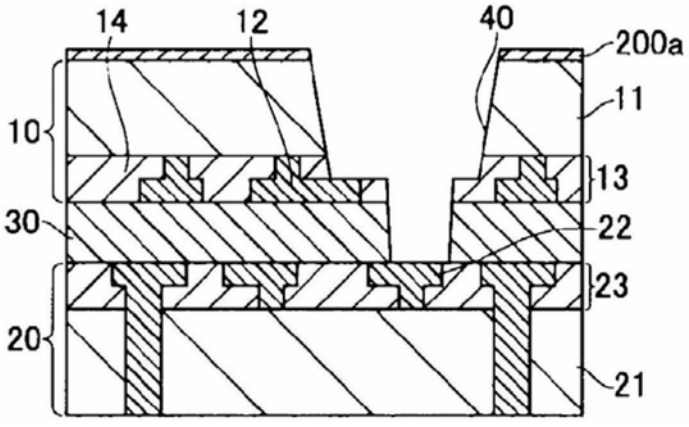

14
12
40
200a
11
10
13
30
22
23
20
21

图5G

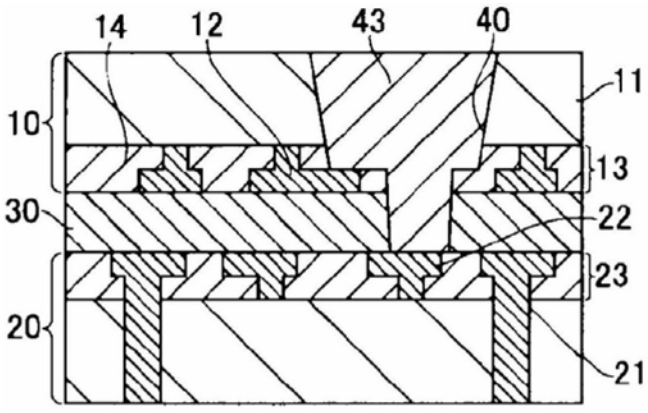

14
12
43
40
11
10
13
30
22
23
20
21

图5H

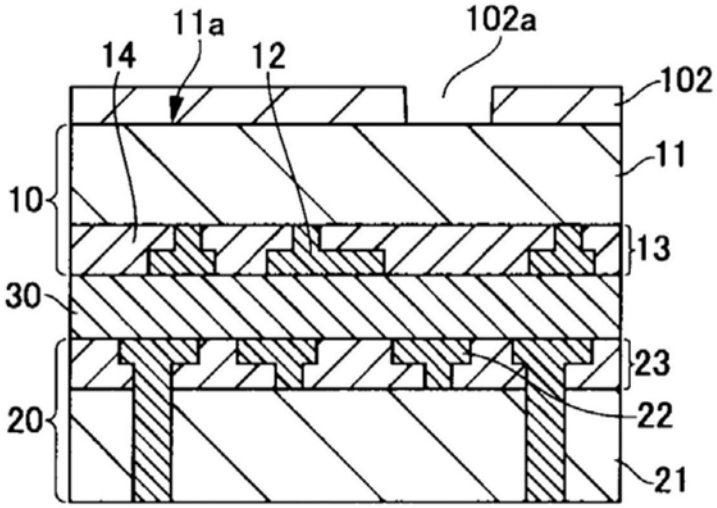

11a
102a
14
12
102
11
10
13
30
23
22
20
21

图6A

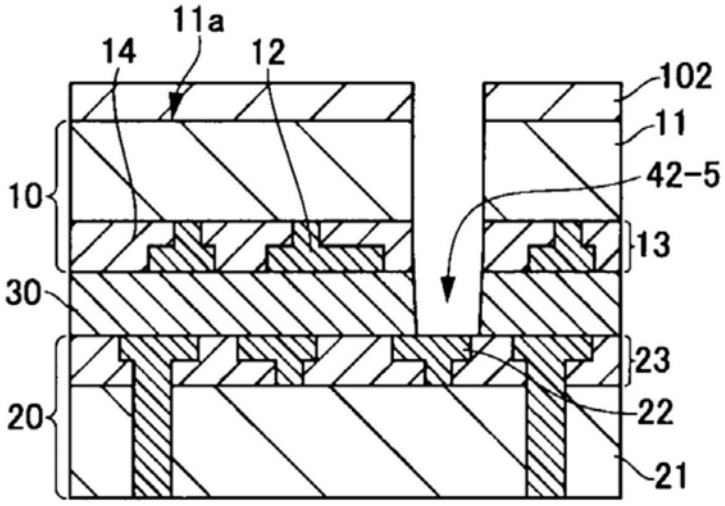

11a
14
12
102
11
42-5
10
13
30
23
22
20
21

图6B

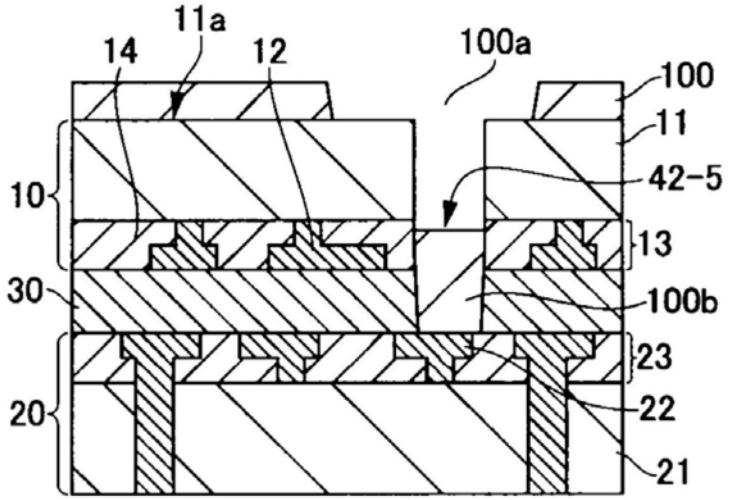

11a
14
12
100a
100
11
42-5
10
13
30
100b
23
20
22
21

图6C

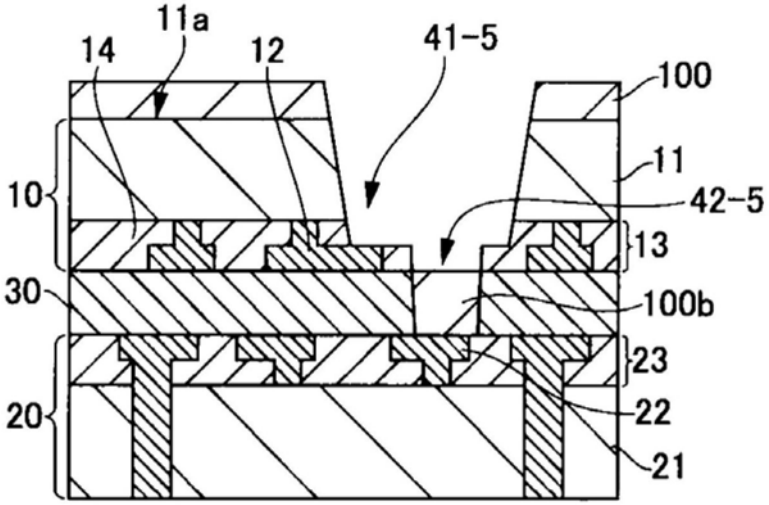

11a
14
12
41-5
100
11
10
42-5
13
30
100b
23
20
22
21

图6D

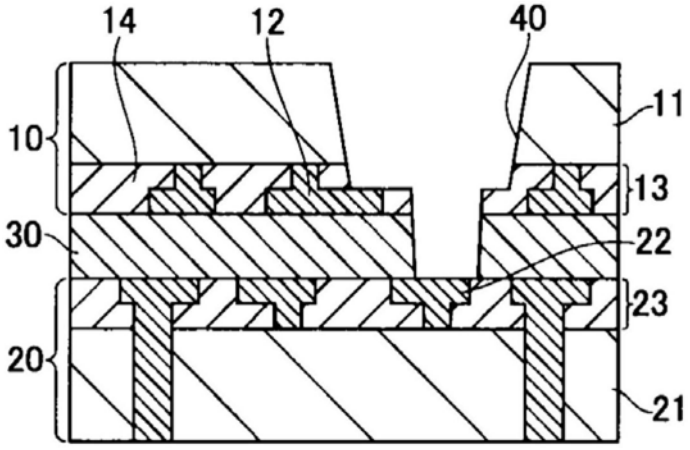

14
12
40
11
10
13
30
22
23
20
21

图6E

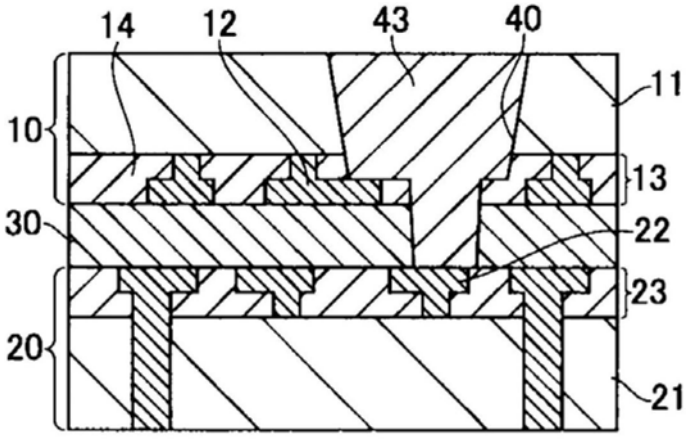

14
12
43
40
11
10
13
30
22
23
20
21

图6F

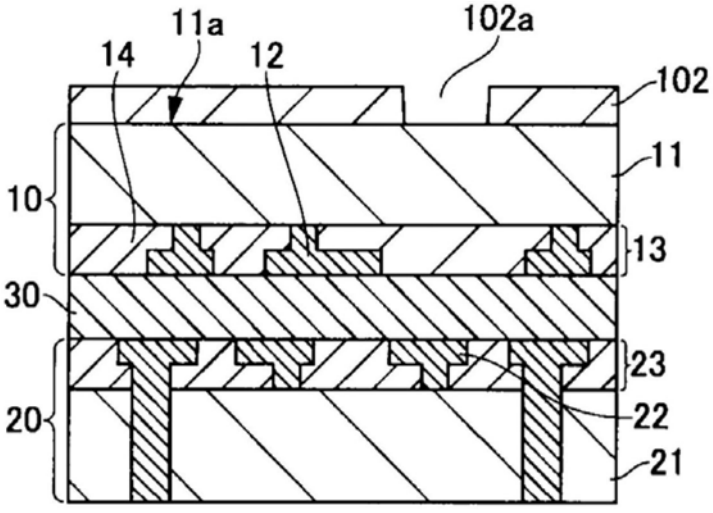

11a
102a
14
12
102
11
10
13
30
23
22
20
21

图7A

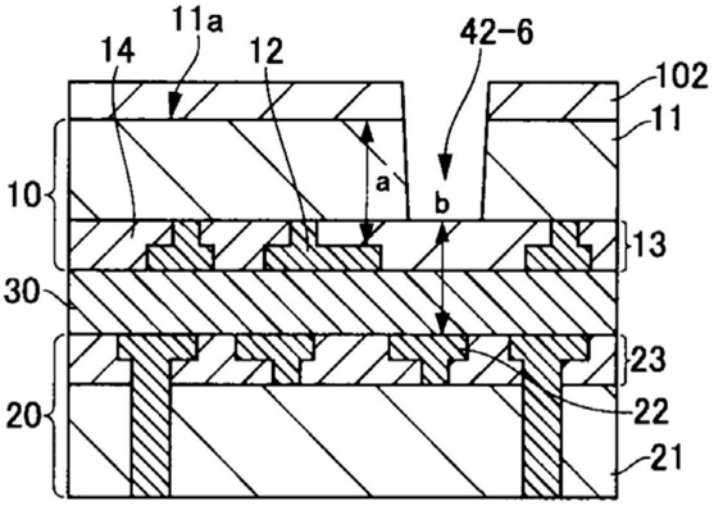

11a
14
12
42-6
102
11
a
b
10
13
30
23
22
20
21

图7B

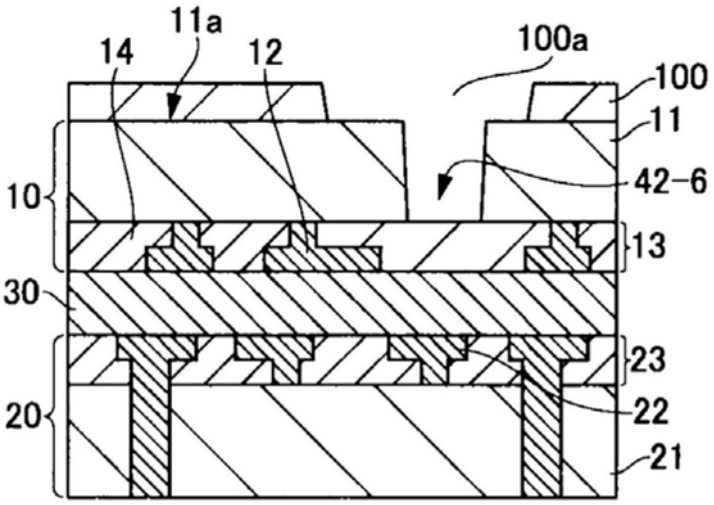

11a
14
12
100a
100
11
42-6
10
13
30
23
22
20
21

图7C

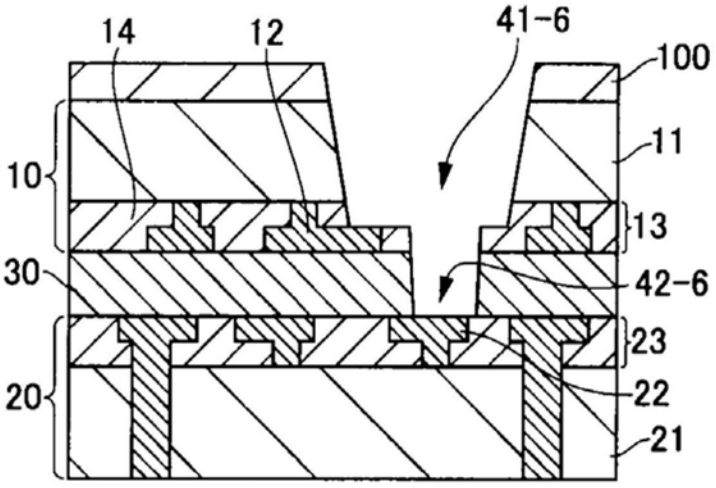

14
12
41-6
100
11
10
13
30
42-6
23
20
22
21

图7D

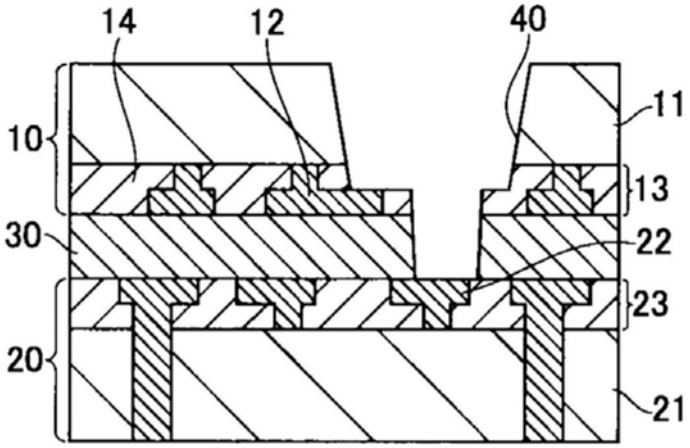

14
12
40
11
10
13
30
22
23
20
21

图7E

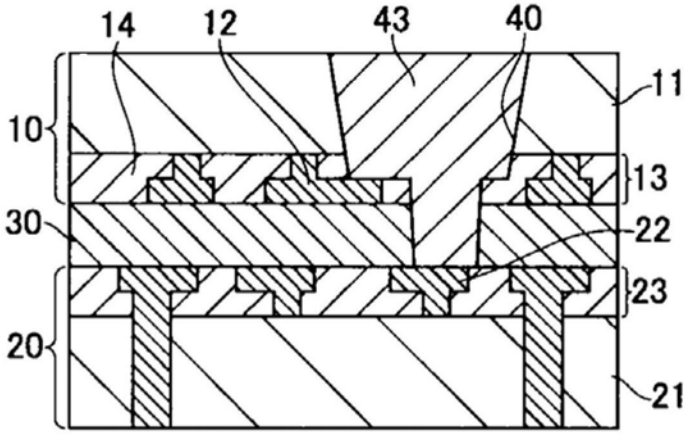

14
12
43
40
11
10
13
30
22
23
20
21

图7F

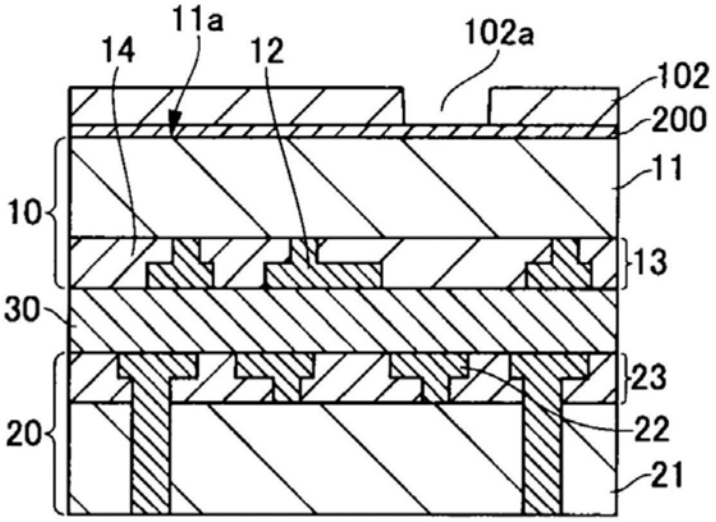

11a
14
12
102a
102
200
11
10
13
30
23
20
22
21

图8A

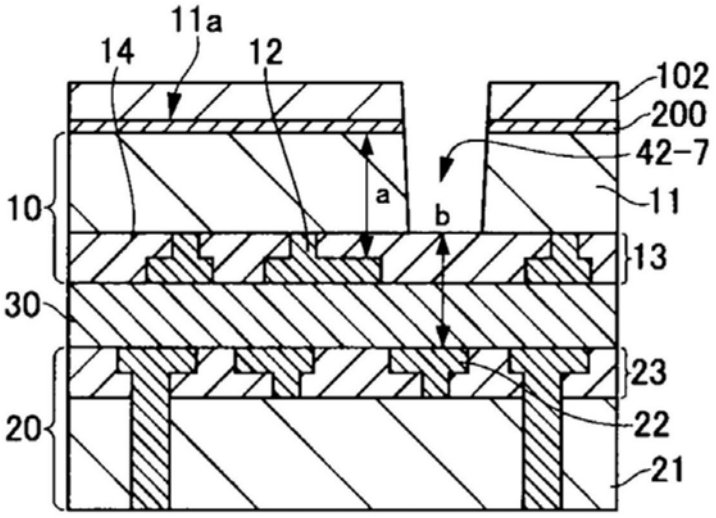

11a
14
12
102
200
42-7
a
b
11
10
13
30
23
20
22
21

图8B

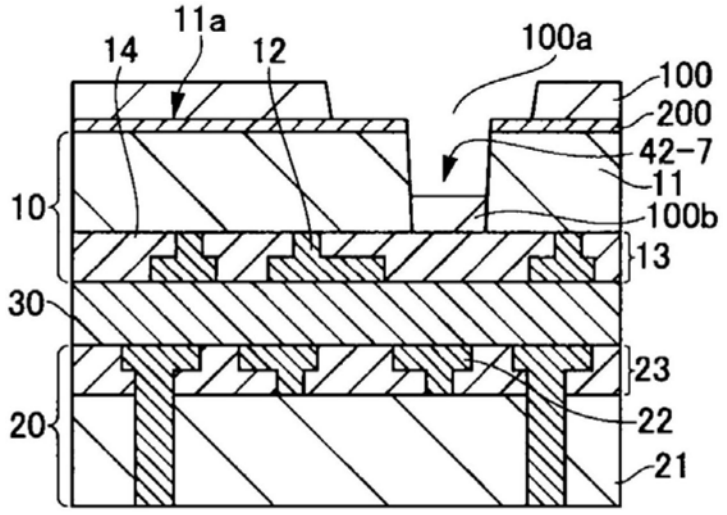

11a
14
12
100a
100
200
42-7
11
100b
13
10
30
23
20
22
21

图8C

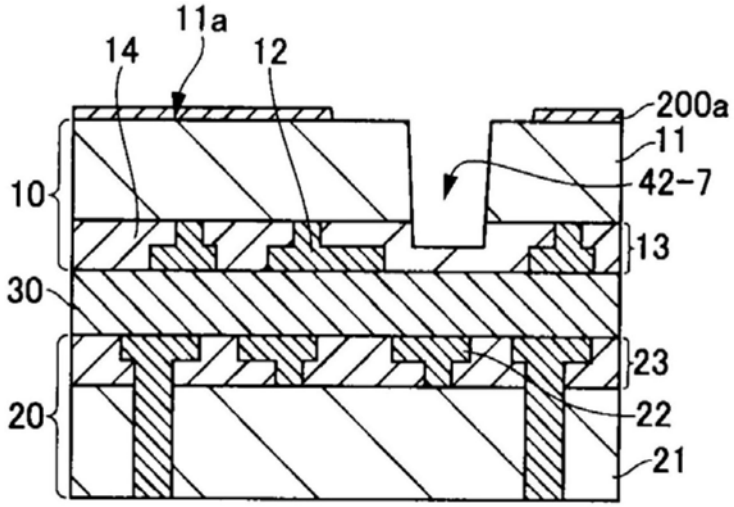

11a
14
12
200a
11
42-7
13
10
30
23
20
22
21

图8D

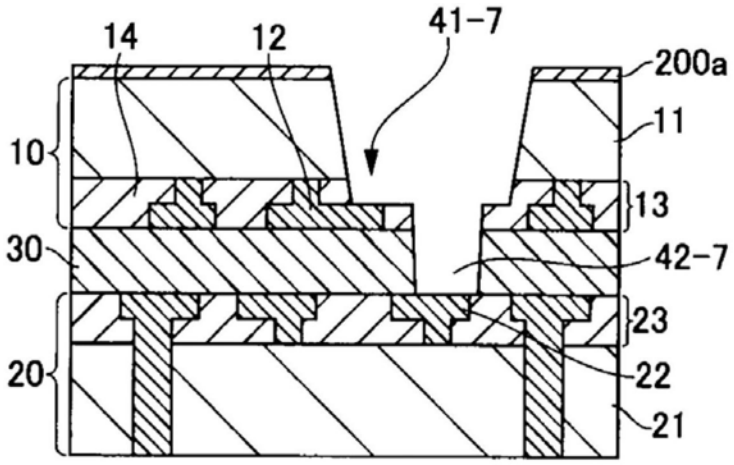

14
12
41-7
200a
11
10
13
30
42-7
23
20
22
21

图8E

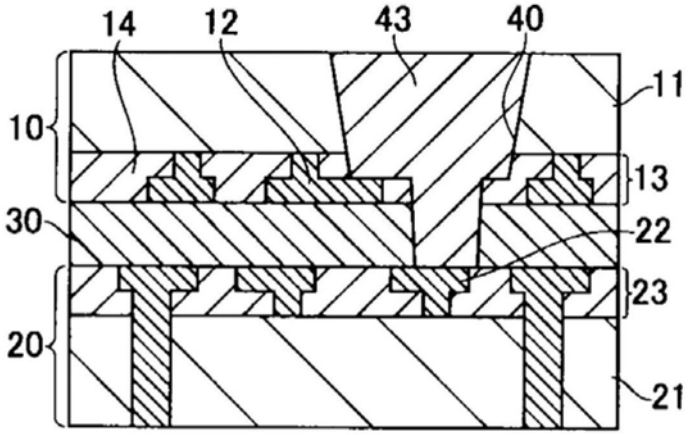

14
12
43
40
11
10
13
30
22
23
20
21

图8F