

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成26年11月6日 (2014.11.6)

【公表番号】特表2014-513853(P2014-513853A)
 【公表日】平成26年6月5日 (2014.6.5)
 【年通号数】公開・登録公報2014-029
 【出願番号】特願2014-511476(P2014-511476)
 【国際特許分類】

G 0 6 F 9/45 (2006.01)

【 F I 】

G 0 6 F 9/44 3 2 2 F

G 0 6 F 9/44 3 2 2 L

【手続補正書】

【提出日】平成26年9月19日 (2014.9.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の命令を含む計算カーネル内の位置であって、前記計算カーネルの実行中に前記計算カーネルの実行が移行可能な位置を、前記計算カーネルのコンパイル中に特定するステップと、

前記計算カーネルのコンテキストを維持及び移行するためのデータ構造を作成するステップと、

第 1 のマイクロアーキテクチャを有する第 1 のプロセッサコア上で実行するために、前記位置前の前記計算カーネル内のコードをスケジュールするステップと、

移行条件を満たしているという指標を受信したことに応じて、

前記コンテキストを、前記第 1 のマイクロアーキテクチャとは異なる第 2 のマイクロアーキテクチャを有する第 2 のプロセッサコアがアクセス可能な位置に移動させるステップと、

前記位置後の前記計算カーネル内のコードを、前記第 2 のプロセッサコアにスケジュールするステップと、

を含み、

前記移行条件を満たしていることを判定するために、出口点に到達した前記計算カーネルの並列実行反復回数が所与の閾値を超えているか判定するステップをさらに含む、

方法。

【請求項 2】

前記第 1 のプロセッサコアに対応する前記計算カーネルの第 1 のバージョンのコードを生成するステップと、

前記第 2 のプロセッサコアに対応する前記計算カーネルの第 2 のバージョンのコードを生成するステップと、をさらに含む、請求項 1 に記載の方法。

【請求項 3】

前記第 1 のマイクロアーキテクチャは、単一命令複数データ (SIMD) マイクロアーキテクチャであり、前記第 2 のマイクロアーキテクチャは、汎用マイクロアーキテクチャである、請求項 2 に記載の方法。

【請求項 4】

プロファイルランタイム情報及び静的情報の少なくとも1つに基づいて前記特定を行うステップをさらに含む、請求項2に記載の方法。

【請求項5】

前記移行条件を満たしているか否かを判定する命令を用いて、前記第1のプロセッサコアの第1のバージョンのコードを計測するステップと、

前記データ構造によって示された位置でライブ値を検出するとともに実行を開始する命令を用いて、前記第2のプロセッサコアの第2のバージョンのコードを計測するステップと、

をさらに含む、請求項2に記載の方法。

【請求項6】

前記位置は、条件付き分岐命令の直前である、請求項1に記載の方法。

【請求項7】

異種マルチコアアーキテクチャを含むコンピューティングシステムであって、

第1のマイクロアーキテクチャを有する第1のプロセッサコアと、

前記第1のマイクロアーキテクチャとは異なる第2のマイクロアーキテクチャを有する第2のプロセッサコアと、

複数の命令を含む計算カーネルであって、前記計算カーネルの実行中に前記計算カーネルの実行が移行可能な位置を含む計算カーネルと、

前記計算カーネルのコンテキストの維持及び移行に使用可能なデータ構造と、

スケジューラを含むオペレーティングシステムと、を備え、

前記スケジューラは、

第1のマイクロアーキテクチャを有する第1のプロセッサコア上で実行するために、前記位置前の前記計算カーネル内のコードをスケジュールし、

移行条件を満たしたという指標を受信したことに応じて、

前記コンテキストを、前記第1のマイクロアーキテクチャとは異なる第2のマイクロアーキテクチャを有する第2のプロセッサコアがアクセス可能な位置に移動させ、

前記位置後の前記計算カーネル内のコードを、前記第2のプロセッサコアにスケジュールするように構成されており、

前記第1のプロセッサコア及び前記第2のプロセッサコアの各々は、前記移行条件を満たしていることを判定するために、出口点に到達した前記計算カーネルの並列実行反復回数が所与の閾値を超えているか判定するように構成されている、

コンピューティングシステム。

【請求項8】

前記第1のプロセッサに対応する前記計算カーネルの第1のバージョンのコードを生成し、前記第2のプロセッサに対応する前記計算カーネルの第2のバージョンのコードを生成するように構成されたコンパイラをさらに含む、

請求項7に記載のコンピューティングシステム。

【請求項9】

前記第1のマイクロアーキテクチャは、単一命令複数データ(SIMD)マイクロアーキテクチャであり、前記第2のマイクロアーキテクチャは、汎用マイクロアーキテクチャである、請求項8に記載のコンピューティングシステム。

【請求項10】

前記コンパイラは、プロファイルランタイム情報及び静的情報の少なくとも1つに基づいて前記特定を行うように構成されている、請求項8に記載のコンピューティングシステム。

【請求項11】

前記コンパイラは、

前記移行条件を満たしているか否かを判定する命令を用いて、前記第1のプロセッサコアの第1のバージョンのコードを計測し、

前記データ構造によって示された位置でライブ値を検出するとともに実行を開始する命

令を用いて、前記第 2 のプロセッサコアの第 2 のバージョンのコードを計測するように構成されている、

請求項 8 に記載のコンピューティングシステム。

【請求項 1 2】

前記コンパイラは、

前記計算カーネルの後の並列実行反復回数が前記移動条件を満たすという予測に応じて、前記計算カーネルを前記位置で 2 つの計算サブカーネルに分割し、

前記位置前のコードを含む第 1 の計算サブカーネルを、前記第 1 のプロセッサコアにスケジュールし、

前記位置後のコードを含む第 2 の計算サブカーネルを、前記第 2 のプロセッサコアにスケジュールするように構成されている、

請求項 7 に記載のコンピューティングシステム。

【請求項 1 3】

前記位置は、条件付き分岐命令の直前である、請求項 7 に記載のコンピューティングシステム。

【請求項 1 4】

プログラム命令を記憶するコンピュータ可読記憶媒体であって、

前記プログラム命令は、

複数の命令を含む計算カーネル内の位置であって、前記計算カーネルの実行中に前記計算カーネルの実行が移行可能な位置を、前記計算カーネルのコンパイル中に特定し、

前記計算カーネルのコンテキストを維持及び移行するためのデータ構造を作成し、

第 1 のマイクロアーキテクチャを有する第 1 のプロセッサコア上で実行するために、前記位置前の前記計算カーネル内のコードをスケジュールし、

移行条件を満たしているという指標を受信したことに応じて、

前記コンテキストを、前記第 1 のマイクロアーキテクチャとは異なる第 2 のマイクロアーキテクチャを有する第 2 のプロセッサコアがアクセス可能な位置に移動させ、

前記位置後の前記計算カーネル内のコードを、前記第 2 のプロセッサコアにスケジュールし、

前記移行条件を満たしていることを判定するために、出口点に到達した前記計算カーネルの並列実行反復回数が所与の閾値を超えているか判定するように実行可能である、

コンピュータ可読記憶媒体。

【請求項 1 5】

前記プログラム命令は、前記第 1 のプロセッサコアに対応する前記計算カーネルの第 1 のバージョンのコードを生成し、前記第 2 のプロセッサコアに対応する前記計算カーネルの第 2 のバージョンのコードを生成するように実行可能である、請求項 1 4 に記載のコンピュータ可読記憶媒体。

【請求項 1 6】

前記プログラム命令は、

前記移行条件を満たしているか否かを判定する命令を用いて、前記第 1 のプロセッサコアの第 1 のバージョンのコードを前記位置で計測し、

前記データ構造によって示された位置でライブ値を検出するとともに実行を開始する命令を用いて、前記第 2 のプロセッサコアの第 2 のバージョンのコードを前記位置で計測するように実行可能である、

請求項 1 4 に記載のコンピュータ可読記憶媒体。

【請求項 1 7】

複数の命令を含む計算カーネル内の位置であって、前記計算カーネルの実行中に前記計算カーネルの実行が移行可能な位置を、前記計算カーネルのコンパイル中に特定するステップと、

前記計算カーネルのコンテキストを維持及び移行するためのデータ構造を作成するステップと、

前記計算カーネルの後の並列実行反復回数が移動条件を満たすという予測に応じて、前記計算カーネルを前記位置で２つの計算サブカーネルに分割するステップと、

前記位置前のコードを含む第１の計算サブカーネルを、第１のプロセッサコアにスケジュールするステップと、

前記位置後のコードを含む第２の計算サブカーネルを、第２のプロセッサコアにスケジュールするステップと、

を含む、方法。

【請求項１８】

異種マルチコアアーキテクチャを含むコンピューティングシステムであって、

第１のマイクロアーキテクチャを有する第１のプロセッサコアと、

前記第１のマイクロアーキテクチャとは異なる第２のマイクロアーキテクチャを有する第２のプロセッサコアと、

複数の命令を含む計算カーネルであって、前記計算カーネルの実行中に前記計算カーネルの実行が移行可能な位置を含む計算カーネルと、

前記計算カーネルのコンテキストの維持及び移行に使用可能なデータ構造と、

前記計算カーネルの後の並列実行反復回数が移動条件を満たすという予測に応じて、前記計算カーネルを前記位置で２つの計算サブカーネルに分割するように構成されたコンパイラと、

スケジューラを含むオペレーティングシステムと、を備え、

前記スケジューラは、

前記位置前のコードを含む第１の計算サブカーネルを、第１のプロセッサコアにスケジュールし、

前記位置後のコードを含む第２の計算サブカーネルを、第２のプロセッサコアにスケジュールする、ように構成されている、

コンピューティングシステム。