(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-166541
(P2012-166541A)
(43)公開日　平成24年9月6日(2012.9.6)

(51)Int.Cl.		F I			テーマコード（参考）
B41J 2/44	(2006.01)	B41J	3/21	L	2C162
B41J 2/45	(2006.01)	H01L	33/00	400	5C051
B41J 2/455	(2006.01)	H04N	1/036	A	5F041
H01L 33/48	(2010.01)				
H04N 1/036	(2006.01)				

審査請求 未請求　請求項の数 7　ＯＬ　（全 25 頁）

(21)出願番号　特願2011-191019 (P2011-191019)
(22)出願日　平成23年9月1日 (2011.9.1)
(31)優先権主張番号　特願2011-15409 (P2011-15409)
(32)優先日　平成23年1月27日 (2011.1.27)
(33)優先権主張国　日本国 (JP)

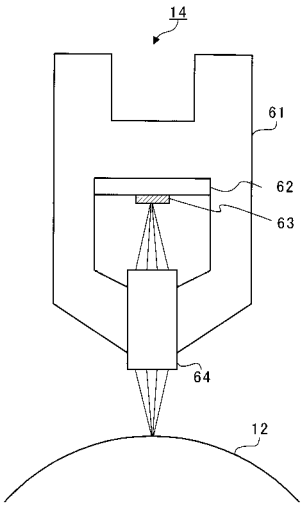
(71)出願人　000005496
富士ゼロックス株式会社
東京都港区赤坂九丁目７番３号
(74)代理人　100104880
弁理士　古部　次郎
(74)代理人　100125346
弁理士　尾形　文雄
(74)代理人　100166981
弁理士　砂田　岳彦
(72)発明者　土屋　健
神奈川県横浜市西区みなとみらい六丁目１番　富士ゼロックス株式会社内

Ｆターム(参考)　2C162 AE04 AE21 AE28 AE40 AE47 AF03 AF07 AF13 AF24 FA04 FA17 FA44 FA50

最終頁に続く

(54)【発明の名称】発光素子ヘッド、発光素子アレイチップおよび画像形成装置

(57)【要約】
【課題】形成される画像の乱れを抑制しつつ、主走査方向の倍率の補正を行なうことができる発光素子ヘッド等を提供する。
【解決手段】主走査方向に列状に配される発光素子からなる第１の発光素子列と主走査方向に列状に配される発光素子からなり第１の発光素子列と少なくとも一部が副走査方向に重複して配される第２の発光素子列とを備える発光部６３と、発光素子の光出力を結像させて感光体を露光し静電潜像を形成させるためのロッドレンズアレイ６４と、を備え、第１の発光素子列の発光素子の間隔と第２の発光素子列の発光素子の間隔とは、第１の発光素子列と第２の発光素子列とが重複する箇所において異なることを特徴とする発光素子ヘッド１４。
【選択図】図２



【特許請求の範囲】
【請求項１】
主走査方向に列状に配される発光素子からなる第１の発光素子列と、
主走査方向に列状に配される発光素子からなり、前記第１の発光素子列と少なくとも一部が副走査方向に重複して配される第２の発光素子列と、
前記発光素子の光出力を結像させて感光体を露光し静電潜像を形成させるための光学素子と、
を備え、
前記第１の発光素子列の発光素子の間隔と前記第２の発光素子列の発光素子の間隔とは、当該第１の発光素子列と当該第２の発光素子列とが重複する箇所において異なることを特徴とする発光素子ヘッド。
【請求項２】
前記発光素子の発光を制御する制御部を更に備え、
前記制御部は、前記第１の発光素子列と前記第２の発光素子列とが重複する箇所の前記発光素子については、当該第１の発光素子列または当該第２の発光素子列の一方に属するものを選択して発光させる制御を行なうことを特徴とする請求項１に記載の発光素子ヘッド。
【請求項３】
前記第１の発光素子列と前記第２の発光素子列とが重複する箇所の前記発光素子は、当該第１の発光素子列に属するものと当該第２の発光素子列に属するものとで予め定められた整数比による個数で配されることを特徴とする請求項１または２に記載の発光素子ヘッド。
【請求項４】
主走査方向に列状に配される複数の発光素子と、
前記発光素子を駆動する信号を入出力するための電極部と、
を備え、
前記発光素子は、
予め定められた第１の間隔にて連続して配される第１の発光素子群と、
前記第１の発光素子群の主走査方向両端部の少なくとも一方に前記第１の間隔とは異なる間隔で配される第２の発光素子群と、
を備えることを特徴とする発光素子アレイチップ。
【請求項５】
前記第２の発光素子群は、前記第１の発光素子群の主走査方向両端部の一方で前記第１の間隔より狭い第２の間隔で配されるものと、他方で前記第１の間隔より広い第３の間隔で配されるものとからなることを特徴とする請求項４に記載の発光素子アレイチップ。
【請求項６】
前記第２の間隔で配される発光素子群を構成する発光素子は、前記第１の間隔で配される発光素子群を構成する発光素子より光量が小さく、前記第３の間隔で配される発光素子群を構成する発光素子は、当該第１の間隔で配される発光素子群を構成する発光素子より光量が大きいことを特徴とする請求項５に記載の発光素子アレイチップ。
【請求項７】
トナー像を形成させるトナー像形成手段と、
前記トナー像を記録媒体に転写する転写手段と、
前記トナー像を記録媒体に定着する定着手段と、を有し、
前記トナー像形成手段は、
主走査方向に列状に配される発光素子からなる第１の発光素子列と、主走査方向に列状に配される発光素子からなり当該第１の発光素子列と少なくとも一部が副走査方向に重複して配される第２の発光素子列と、当該発光素子の光出力を結像させて感光体を露光し静電潜像を形成させるための光学素子と、を備え、当該第１の発光素子列の発光素子の間隔と当該第２の発光素子列の発光素子の間隔とは、当該第１の発光素子列と当該第２の発光

素子列とが重複する箇所において異なる発光素子ヘッドを備えることを特徴とする画像形成装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、発光素子ヘッド、発光素子アレイチップ、画像形成装置に関する。

【背景技術】

【０００２】

電子写真方式を採用した、プリンタや複写機、ファクシミリ等の画像形成装置では、一様に帯電された感光体上に、画像情報を光記録手段によって照射することにより静電潜像を得た後、この静電潜像にトナーを付加して可視化し、記録紙上に転写して定着することによって画像形成が行なわれる。かかる光記録手段として、レーザを用いて主走査方向にレーザ光を走査させて露光する光走査方式の他、近年では、ＬＥＤ(Light Emitting Diode：発光ダイオード)アレイ光源を主走査方向に多数、配列してなるＬＥＤヘッドを用いた光記録手段が採用されている。

【０００３】

特許文献１には、画像形成装置内に配置された光書込みヘッドであり、画像形成時に常温よりも高い温度になっている状態が大部分を占めることより、常温よりも高い温度で発光素子アレイチップの配置間隔が正確で、倍率誤差の絶対値が小さい光書込みヘッドが開示されている。

また特許文献２には、１２００ｄｐｉの解像度に対応した間隔で一列に配列される２６０個の発光サイリスタをそれぞれ有する６０個の発光チップと、６００ｄｐｉの解像度に対応した発光信号を各発光チップに供給するとともに、各発光チップにおいて連続する２個の発光サイリスタを組とする複数の組に組分けし、複数の組に組分けされた２個の発光サイリスタを、組を単位として発光または非発光に設定し、且つ、各発光チップにおける２６０個の発光サイリスタの組分けを、１個の発光サイリスタを単位として補正する発光信号生成部とを備える発光装置が開示されている。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開２００９－２１４３９６号公報

【特許文献２】特開２０１０－６４３３８号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

ここで、使用環境や製造上のばらつき等により、発光素子アレイからの光出力により感光体上に静電潜像を形成するにあたり、主走査方向に対する露光範囲が予め定められた範囲からずれることがある。つまり主走査方向における倍率が予め定められた倍率に対してずれることがある。ところが主走査方向の倍率のずれを補正する際に、形成される画像に乱れが生じることがあった。

本発明の目的は、形成される画像の乱れを抑制しつつ、主走査方向の倍率の補正を行なうことができる発光素子ヘッド等を提供することにある。

【課題を解決するための手段】

【０００６】

請求項１に記載の発明は、主走査方向に列状に配される発光素子からなる第１の発光素子列と、主走査方向に列状に配される発光素子からなり、前記第１の発光素子列と少なくとも一部が副走査方向に重複して配される第２の発光素子列と、前記発光素子の光出力を結像させて感光体を露光し静電潜像を形成させるための光学素子と、を備え、前記第１の発光素子列の発光素子の間隔と前記第２の発光素子列の発光素子の間隔とは、当該第１の発光素子列と当該第２の発光素子列とが重複する箇所において異なることを特徴とする発

光素子ヘッドである。
【０００７】
請求項２に記載の発明は、前記発光素子の発光を制御する制御部を更に備え、前記制御部は、前記第１の発光素子列と前記第２の発光素子列とが重複する箇所の前記発光素子については、当該第１の発光素子列または当該第２の発光素子列の一方に属するものを選択して発光させる制御を行なうことを特徴とする請求項１に記載の発光素子ヘッドである。
請求項３に記載の発明は、前記第１の発光素子列と前記第２の発光素子列とが重複する箇所の前記発光素子は、当該第１の発光素子列に属するものと当該第２の発光素子列に属するものとで予め定められた整数比による個数で配されることを特徴とする請求項１または２に記載の発光素子ヘッドである。
【０００８】
請求項４に記載の発明は、主走査方向に列状に配される複数の発光素子と、前記発光素子を駆動する信号を入出力するための電極部と、を備え、前記発光素子は、予め定められた第１の間隔にて連続して配される第１の発光素子群と、前記第１の発光素子群の主走査方向両端部の少なくとも一方に前記第１の間隔とは異なる間隔で配される第２の発光素子群と、を備えることを特徴とする発光素子アレイチップである。
【０００９】
請求項５に記載の発明は、前記第２の発光素子群は、前記第１の発光素子群の主走査方向両端部の一方で前記第１の間隔より狭い第２の間隔で配されるものと、他方で前記第１の間隔より広い第３の間隔で配されるものとからなることを特徴とする請求項４に記載の発光素子アレイチップである。
請求項６に記載の発明は、第２の間隔で配される発光素子群を構成する発光素子は、第１の間隔で配される発光素子群を構成する発光素子より光量が小さく、第３の間隔で配される発光素子群を構成する発光素子は、第１の間隔で配される発光素子群を構成する発光素子より光量が大きいことを特徴とする請求項５に記載の発光素子アレイチップである。
【００１０】
請求項７に記載の発明は、トナー像を形成させるトナー像形成手段と、前記トナー像を記録媒体に転写する転写手段と、前記トナー像を記録媒体に定着する定着手段と、を有し、前記トナー像形成手段は、主走査方向に列状に配される発光素子からなる第１の発光素子列と、主走査方向に列状に配される発光素子からなり当該第１の発光素子列と少なくとも一部が副走査方向に重複して配される第２の発光素子列と、当該発光素子の光出力を結像させて感光体を露光し静電潜像を形成させるための光学素子と、を備え、当該第１の発光素子列の発光素子の間隔と当該第２の発光素子列の発光素子の間隔とは、当該第１の発光素子列と当該第２の発光素子列とが重複する箇所において異なる発光素子ヘッドを備えることを特徴とする画像形成装置である。
【発明の効果】
【００１１】
請求項１の発明によれば、本構成を採用しない場合に比較して、形成される画像の乱れを抑制しつつ、主走査方向の倍率の補正を行なうことができる発光素子ヘッドを提供できる。
請求項２の発明によれば、副走査方向に重複して配される発光素子を選択して発光させることにより、主走査方向の倍率の補正を行なうことができる。
請求項３の発明によれば、本構成を採用しない場合に比較して、形成される画像の乱れをより抑制することができる。
請求項４の発明によれば、本構成を採用しない場合に比較して、発光素子アレイチップの製造歩留まりをより高くすることができる。
請求項５の発明によれば、本構成を採用しない場合に比較して、主走査方向の倍率を縮小する補正と拡大する補正の双方を行なうことができる。
請求項６の発明によれば、本構成を採用しない場合に比較して、主走査方向の光量のばらつきを抑制することができる。

請求項７の発明によれば、本構成を採用しない場合に比較して、より良好な画質を得ることができる画像形成装置を提供することができる。

【図面の簡単な説明】

【００１２】

【図１】本実施の形態が適用される画像形成装置の全体構成の一例を示した図である。

【図２】本実施の形態が適用される発光素子ヘッドの構成を示した図である。

【図３】発光素子ヘッドにおける回路基板および発光部の上面図である。

【図４】（ａ）～（ｂ）は、本実施の形態が適用される発光チップの構造を説明した図である。

【図５】発光チップとして自己走査型発光素子アレイチップを採用した場合の信号発生回路の構成および回路基板の配線構成を示した図である。

【図６】発光チップの回路構成を説明するための図である。

【図７】（ａ）～（ｃ）は、従来の倍率補正の第１の例について説明した図である。

【図８】（ａ）～（ｃ）は、従来の倍率補正の第２の例について説明した図である。

【図９】（ａ）～（ｂ）は、本実施の形態で使用する発光チップの発光サイリスタの配列の例について説明した図である。

【図１０】発光チップの発光サイリスタを駆動するための信号発生回路を説明した図である。

【図１１】（ａ）～（ｃ）は、本実施の形態の倍率補正の第１の例について説明した図である。

【図１２】（ａ）～（ｂ）は、発光チップの境界部について発光サイリスタを点灯させる順序について説明した図である。

【図１３】（ａ）～（ｃ）は、本実施の形態の倍率補正の第２の例について説明した図である。

【図１４】（ａ）～（ｂ）は、発光チップの境界部について発光サイリスタを点灯させる順序について説明した図である。

【図１５】タイミングチャートについて説明した図である。

【図１６】（ａ）～（ｄ）は、発光サイリスタの配列のパターンについての他の例について説明した図である。

【図１７】（ａ）～（ｃ）は、発光サイリスタの配列のパターンについての更に他の例を説明した図である。

【図１８】副走査方向に重複して配される発光サイリスタの個数の整数比として、３：４または４：３を採る場合を説明した図である。

【発明を実施するための形態】

【００１３】

以下、添付図面を参照して、本発明の実施の形態について詳細に説明する。

＜画像形成装置の説明＞

図１は本実施の形態が適用される画像形成装置の全体構成の一例を示した図である。

図１に示す画像形成装置１は、一般にタンデム型と呼ばれる画像形成装置である。この画像形成装置１は、各色の画像データに対応して画像形成を行なう画像形成プロセス部１０、画像形成プロセス部１０を制御する画像出力制御部３０、例えばパーソナルコンピュータ（ＰＣ）２や画像読取装置３に接続され、これらから受信された画像データに対して予め定められた画像処理を施す画像処理部４０を備えている。

【００１４】

画像形成プロセス部１０は、一定の間隔を置いて並列的に配置される複数のエンジンからなる画像形成ユニット１１を備えている。この画像形成ユニット１１は、トナー像形成手段の一例である４つの画像形成ユニット１１Ｙ、１１Ｍ、１１Ｃ、１１Ｋから構成されている。画像形成ユニット１１Ｙ、１１Ｍ、１１Ｃ、１１Ｋは、それぞれ、静電潜像を形成してトナー像を保持する像保持体の一例としての感光体ドラム１２、感光体ドラム１２の表面に塗布された感光体を予め定められた電位で帯電する帯電器１３、帯電器１３によ

って帯電された感光体を露光し静電潜像を形成する発光素子ヘッド１４、発光素子ヘッド１４によって形成された静電潜像を現像する現像手段の一例としての現像器１５を備えている。ここで、各画像形成ユニット１１Ｙ、１１Ｍ、１１Ｃ、１１Ｋは、現像器１５に収納されたトナーを除いて、構成に違いはない。そして、画像形成ユニット１１Ｙ、１１Ｍ、１１Ｃ、１１Ｋは、それぞれがイエロー（Ｙ）、マゼンタ（Ｍ）、シアン（Ｃ）、黒（Ｋ）のトナー像を形成する。

また、画像形成プロセス部１０は、各画像形成ユニット１１Ｙ、１１Ｍ、１１Ｃ、１１Ｋの感光体ドラム１２にて形成された各色のトナー像を記録媒体の一例としての記録用紙に多重転写させるために、この記録用紙を搬送する用紙搬送ベルト２１と、用紙搬送ベルト２１を駆動させるロールである駆動ロール２２と、感光体ドラム１２のトナー像を記録用紙に転写させる転写手段の一例としての転写ロール２３と、記録用紙にトナー像を定着させる定着手段の一例としての定着器２４とを備えている。

【００１５】

この画像形成装置１において、画像形成プロセス部１０は、画像出力制御部３０から供給される各種の制御信号に基づいて画像形成動作を行う。そして、画像出力制御部３０による制御の下で、パーソナルコンピュータ（ＰＣ）２や画像読取装置３から受信された画像データは、画像処理部４０によって画像処理が施され、画像形成ユニット１１に供給される。そして、例えば黒（Ｋ）色の画像形成ユニット１１Ｋでは、感光体ドラム１２が矢印Ａ方向に回転しながら、帯電器１３により予め定められた電位に帯電され、画像処理部４０から供給された画像データに基づいて発光する発光素子ヘッド１４により露光される。これにより、感光体ドラム１２上には、黒（Ｋ）色画像に関する静電潜像が形成される。そして、感光体ドラム１２上に形成された静電潜像は現像器１５により現像され、感光体ドラム１２上には黒（Ｋ）色のトナー像が形成される。同様に、画像形成ユニット１１Ｙ、１１Ｍ、１１Ｃにおいても、それぞれイエロー（Ｙ）、マゼンタ（Ｍ）、シアン（Ｃ）の各色トナー像が形成される。

【００１６】

各画像形成ユニット１１で形成された感光体ドラム１２上の各色トナー像は、矢印Ｂ方向に移動する用紙搬送ベルト２１の移動に伴って供給された記録用紙に、転写ロール２３に印加された転写電界により、順次静電転写され、記録用紙上に各色トナーが重畳された合成トナー像が形成される。

その後、合成トナー像が静電転写された記録用紙は、定着器２４まで搬送される。定着器２４に搬送された記録用紙上の合成トナー像は、定着器２４によって熱および圧力による定着処理を受けて記録用紙上に定着され、画像形成装置１から排出される。

【００１７】

＜発光素子ヘッドの説明＞

図２は、本実施の形態が適用される発光素子ヘッド１４の構成を示した図である。この発光素子ヘッド１４は、ハウジング６１と、発光素子として複数のＬＥＤを備えた発光部６３と、発光部６３や信号発生回路１００（後述の図３参照）等を搭載する回路基板６２と、ＬＥＤから出射された光出力を結像させて感光体を露光し静電潜像を形成させるための光学素子の一例としてのロッドレンズ（径方向屈折率分布型レンズ）アレイ６４とを備えている。

【００１８】

ハウジング６１は、例えば金属で形成され、回路基板６２およびロッドレンズアレイ６４を支持し、発光部６３の発光点とロッドレンズアレイ６４の焦点面とが一致するように設定されている。また、ロッドレンズアレイ６４は、感光体ドラム１２の軸方向（主走査方向）に沿って配置されている。

【００１９】

＜発光部の説明＞

図３は、発光素子ヘッド１４における回路基板６２および発光部６３の上面図である。

図３に示すように、発光部６３は、回路基板６２上に、６０個の発光素子アレイチップ

の一例としての発光チップＣ（Ｃ１～Ｃ６０）を、主走査方向に二列に向かい合わせて千鳥状に配置して構成されている。さらに、回路基板６２は、発光チップＣの発光素子アレイ（後述の図４参照）の発光を制御する制御部の一例としての信号発生回路１００を搭載している。

【００２０】

＜発光素子アレイチップの説明＞

図４（ａ）～（ｂ）は、本実施の形態が適用される発光チップＣの構造を説明した図である。

図４（ａ）は、発光チップＣをＬＥＤの光が出射する方向から見た図である。また図４（ｂ）は、図４（ａ）のＩＶｂ－ＩＶｂ断面図である。

発光チップＣには、発光素子アレイの一例として主走査方向に列状に配される複数のＬＥＤ７１が直線状に等間隔で配されている。また基板７０の両側に発光素子アレイを駆動する信号を入出力するための電極部の一例としてのボンディングパッド７２が発光素子アレイを挟むようにして配されている。そしてそれぞれのＬＥＤ７１には光が出射する側にマイクロレンズ７３が形成されている。このマイクロレンズ７３により、ＬＥＤ７１から出射した光は集光され、感光体ドラム１２（図２参照）に対して、効率よく光を入射させることができる。

このマイクロレンズ７３は、光硬化性樹脂等の透明樹脂からなり、より効率よく光を集光するためその表面は非球面形状をとることが好ましい。また、マイクロレンズ７３の大きさ、厚さ、焦点距離等は、使用されるＬＥＤ７１の波長、使用される光硬化性樹脂の屈折率等により決定される。

【００２１】

＜自己走査型発光素子アレイチップの説明＞

なお、本実施の形態では、発光チップＣとして例示した発光素子アレイチップとして自己走査型発光素子アレイ（ＳＬＥＤ：Self-Scanning Light Emitting Device）チップを使用するのが好ましい。自己走査型発光素子アレイチップは、発光素子アレイチップの構成要素としてｐｎｐｎ構造を持つ発光サイリスタを用い、発光素子の自己走査が実現できるように構成したものである。

【００２２】

図５は、発光チップＣとして自己走査型発光素子アレイチップを採用した場合の信号発生回路１００の構成および回路基板６２の配線構成を示した図である。

信号発生回路１００には、画像出力制御部３０（図１参照）より、ライン同期信号Ｌｓｙｎｃ、画像データＶｄａｔａ、クロック信号ｃｌｋ、およびリセット信号ＲＳＴ等の各種制御信号が入力されるようになっている。そして、信号発生回路１００は、外部から入力されてくる各種制御信号に基づいて、例えば画像データＶｄａｔａの並べ替えや出力値の補正等を行い、各発光チップＣ（Ｃ１～Ｃ６０）のそれぞれに対して発光信号φＩ（φＩ１～φＩ６０）を出力する。なお、本実施の形態では、各発光チップＣ（Ｃ１～Ｃ６０）のそれぞれに、１個ずつ発光信号φＩ（φＩ１～φＩ６０）が供給されるようになっている。

【００２３】

また、信号発生回路１００は、外部から入力されてくる各種制御信号に基づき、各発光チップＣ１～Ｃ６０に対してスタート転送信号φＳ、第１転送信号φ１および第２転送信号φ２を出力する。

【００２４】

回路基板６２には、各発光チップＣ１～Ｃ６０のＶｃｃ端子に接続される電力供給用のＶｃｃ＝－５．０Ｖの電源ライン１０１およびＧＮＤ端子に接続される接地用の電源ライン１０２が設けられている。また、回路基板６２には、信号発生回路１００のスタート転送信号φＳ、第１転送信号φ１、第２転送信号φ２を送信するスタート転送信号ライン１０３、第１転送信号ライン１０４、第２転送信号ライン１０５も設けられている。さらに、回路基板６２には、信号発生回路１００のから各発光チップＣ（Ｃ１～Ｃ６０）に対し

て発光信号φＩ（φＩ１～φＩ６０）を出力する６０本の発光信号ライン１０６（１０６_１～１０６_６０）も設けられている。なお、回路基板６２には、６０本の発光信号ライン１０６（１０６_１～１０６_６０）に過剰な電流が流れるのを防止するための６０個の発光電流制限抵抗ＲＩＤが設けられている。また、発光信号φＩ１～φＩ６０は、それぞれ、後述するようにハイレベル（Ｈ）およびローレベル（Ｌ）の２状態を取りうる。そして、ローレベルは－５．０Ｖの電位、ハイレベルは±０．０Ｖの電位となっている。

【００２５】

図６は、発光チップＣ（Ｃ１～Ｃ６０）の回路構成を説明するための図である。

発光チップＣは、６５個の転送サイリスタＳ１～Ｓ６５、６５個の発光サイリスタＬ１～Ｌ６５を備えている。なお、発光サイリスタＬ１～Ｌ６５は、転送サイリスタＳ１～Ｓ６５と同様のｐｎｐｎ接続を有しており、その中のｐｎ接続を利用することで発光ダイオード（ＬＥＤ）としても機能するようになっている。また、発光チップＣは、６４個のダイオードＤ１～Ｄ６４および６５個の抵抗Ｒ１～Ｒ６５を備えている。さらに、発光チップＣは、第１転送信号φ１、第２転送信号φ２、そしてスタート転送信号φＳが供給される信号線に、過剰な電流が流れるのを防止するための転送電流制限抵抗Ｒ１Ａ、Ｒ２Ａ、Ｒ３Ａを有している。なお、発光素子アレイ８１を構成する発光サイリスタＬ１～Ｌ６５は、図中左側からＬ１、Ｌ２、…、Ｌ６４、Ｌ６５の順で配列され、発光素子列すなわち発光素子アレイ８１を形成している。また、転送サイリスタＳ１～Ｓ６５も、図中左側からＳ１、Ｓ２、…、Ｓ６４、Ｓ６５の順で配列され、スイッチ素子列すなわちスイッチ素子アレイ８２を形成している。さらに、ダイオードＤ１～Ｄ６４も、図中左からＤ１、Ｄ２、…、Ｄ６３、Ｄ６４の順で配列されている。さらにまた、抵抗Ｒ１～Ｒ６５も、図中左からＲ１、Ｒ２、…Ｒ６４、Ｒ６５の順で配列されている。

【００２６】

では次に、発光チップＣにおける各素子の電気的な接続について説明する。

各転送サイリスタＳ１～Ｓ６５のアノード端子は、ＧＮＤ端子に接続されている。このＧＮＤ端子には、電源ライン１０２（図５参照）が接続され、接地される。

【００２７】

また、奇数番目の転送サイリスタＳ１、Ｓ３、…、Ｓ６５のカソード端子は、転送電流制限抵抗Ｒ１Ａを介してφ１端子に接続されている。このφ１端子には、第１転送信号ライン１０４（図５参照）が接続され、第１転送信号φ１が供給される。

【００２８】

一方、偶数番目の転送サイリスタＳ２、Ｓ４、…、Ｓ６４のカソード端子は、転送電流制限抵抗Ｒ２Ａを介してφ２端子に接続されている。このφ２端子には、第２転送信号ライン１０５（図５参照）が接続され、第２転送信号φ２が供給される。

【００２９】

また、各転送サイリスタＳ１～Ｓ６５のゲート端子Ｇ１～Ｇ６５は、各転送サイリスタＳ１～Ｓ６５に対応して設けられた抵抗Ｒ１～Ｒ６５をそれぞれ介してＶｃｃ端子に接続されている。このＶｃｃ端子には、電源ライン１０１（図５参照）が接続され、電源電圧Ｖｃｃ（－５．０Ｖ）が供給される。

【００３０】

さらに、各転送サイリスタＳ１～Ｓ６５のゲート端子Ｇ１～Ｇ６５は、対応する同番号の発光サイリスタＬ１～Ｌ６５のゲート端子に、１対１でそれぞれ接続されている。

【００３１】

また、各転送サイリスタＳ１～Ｓ６４のゲート端子Ｇ１～Ｇ６４には、ダイオードＤ１～Ｄ６４のアノード端子が接続されており、これらダイオードＤ１～Ｄ６４のカソード端子は、それぞれに隣接する次段の転送サイリスタＳ２～Ｓ６５のゲート端子Ｇ２～Ｇ６５に接続されている。すなわち、各ダイオードＤ１～Ｄ６４は、転送サイリスタＳ１～Ｓ６５のゲート端子Ｇ１～Ｇ６５を挟んで直列接続されている。

【００３２】

そして、ダイオードＤ１のアノード端子すなわち転送サイリスタＳ１のゲート端子Ｇ１

は、転送電流制限抵抗Ｒ３Ａを介してφＳ端子に接続されている。このφＳ端子には、スタート転送信号ライン１０３（図５参照）を介してスタート転送信号φＳが供給される。

【００３３】

次に、各発光サイリスタＬ１～Ｌ６５のアノード端子は、各転送サイリスタＳ１～Ｓ６５のアノード端子と同様に、ＧＮＤ端子に接続されている。

【００３４】

また、各発光サイリスタＬ１～Ｌ６５のカソード端子は、φＩ端子に接続されている。このφＩ端子には、発光信号ライン１０６（発光チップＣ１の場合は発光信号ライン１０６_１：図５参照）が接続され、発光信号φＩ（発光チップＣ１の場合は発光信号φＩ１）が供給される。なお、他の発光チップＣ２～Ｃ６０には、それぞれ、対応する発光信号φＩ２～φＩ６０が供給される。

【００３５】

＜倍率補正の説明＞

次に発光素子ヘッド１４における主走査方向の位置ずれについて説明を行なう。

発光素子ヘッド１４への発光チップＣの取り付け精度および各発光チップＣにおける発光サイリスタＬの形成精度には限界がある。また上述したロッドレンズアレイ６４（図２参照）には、焦点位置のばらつきが存在する。更に発光チップＣが配される回路基板６２（図２参照）に温度むらが生じることにより各発光チップＣに熱膨張のむらが生じることがある。このような原因により感光体ドラム１２の表面の主走査方向に対する露光範囲が予め定められた範囲から変化することがある。つまり主走査方向において倍率が変化する。そのためこの主走査方向における倍率の変化を補正する必要が生じる。なお以下、この主走査方向における倍率の変化の補正を単に「倍率補正」と言うことにする。

【００３６】

図７（ａ）～（ｃ）は、従来の倍率補正の第１の例について説明した図である。

図７（ａ）～（ｃ）では、斜線の画像形成を行なう場合を例として挙げている。そして倍率が主走査方向で拡大して変化したときに、主走査方向で画像を縮小することで倍率補正する方法について説明している。ここで図７（ｂ）では、倍率補正前の画像を概念的に図示しており、図７（ｃ）では、倍率補正後の画像を概念的に図示している。そして図７（ａ）では、図７（ｂ）～（ｃ）の画像を形成する発光サイリスタＬを対応して図示している。

【００３７】

図７（ｂ）で示すように、各発光サイリスタＬの点灯のタイミングを制御することで、各発光サイリスタＬにより斜め状に連続してドットを描画し、画像を形成することができる。これは人間の目には連続した斜線として認識される。一方図７（ｃ）は、倍率補正を行なうために１つの点灯データを削除した場合である。この場合、形成される画像をこの削除した分だけ主走査方向に縮小することができる。つまり形成する画像を主走査方向で縮小する倍率補正をすることができる。一方、この場合、点灯データが１つ欠けているため、描画された画像においてもこの分についてのドットが欠如する。そのため副走査方向においてドットが連続せず空隙が生ずる。図７（ｃ）では、この空隙は、点線による円内に生じている。そしてこの空隙に起因して、人間の目には形成される画像に乱れが生じ、例えば、白スジが入っているように見える。

【００３８】

更に図８（ａ）～（ｃ）は、従来の倍率補正の第２の例について説明した図である。

図８（ａ）～（ｃ）では、斜線の画像形成を行なう場合を例として挙げている。そして倍率が主走査方向で縮小して変化したときに、主走査方向で画像を拡大することで倍率補正する方法について説明している。ここで図８（ｂ）は、図７（ｂ）と同様の図であり、倍率補正前の画像を概念的に図示している。そして図８（ｃ）では、倍率補正後の画像を概念的に図示している。そして図８（ａ）は、図７（ａ）と同様の図であり、図８（ｂ）～（ｃ）の画像を形成する発光サイリスタＬを対応して図示している。

【００３９】

ここで図８（ｃ）は、倍率補正を行なうために１つの点灯データを追加した場合である。この場合、形成される画像をこの追加した分だけ主走査方向に拡大することができる。つまり形成する画像を主走査方向で拡大する倍率補正をすることができる。一方、この場合、点灯データは、この前後の何れかの発光サイリスタＬの点灯データと同じであるため、描画された画像においてこの分についてのドットが連続する。そしてこれに起因して、人間の目には形成される画像に乱れが生じ、例えば、黒スジが入っているように見える。

【００４０】

本実施の形態では、図７（ａ）～（ｃ）および図８（ａ）～（ｃ）で上述した現象を抑制するため、以下の構造で発光サイリスタＬを配した発光チップＣを使用する。

図９（ａ）～（ｂ）は、本実施の形態で使用する発光チップＣの発光サイリスタＬの配列の例について説明した図である。

図９（ａ）では、発光チップＣの発光サイリスタＬの配列と共に、発光チップＣ同士の配列についても併せて説明している。ここで図９（ａ）では、発光チップＣ１と発光チップＣ２、および発光チップＣ２と発光チップＣ３の境界部について例示しているが、他の発光チップＣ同士についても同様の関係が繰り返されるパターンとなっている。

図９（ａ）に示すように発光チップＣ１，Ｃ２，Ｃ３には、それぞれ発光サイリスタＬ１～Ｌ６５が配置されている。まず発光チップＣ１，Ｃ３について説明すると、発光サイリスタＬ３～Ｌ６２は、予め定められた第１の間隔にて連続して配される第１の発光素子群の一例である。また発光サイリスタＬ１～Ｌ２および発光サイリスタＬ６３～Ｌ６５は、第１の発光素子群の主走査方向両端部に第１の間隔（図９（ｂ）におけるピッチＰ１）とは異なる間隔で配される第２の発光素子群の一例である。このうち発光サイリスタＬ６３～Ｌ６５は、発光サイリスタＬ３～Ｌ６２の主走査方向両端部の一方で第１の間隔より狭い第２の間隔（図９（ｂ）におけるピッチＰ２）で配されるものである。更に発光サイリスタＬ１～Ｌ２は、発光サイリスタＬ３～Ｌ６２の主走査方向両端部の他方で第１の間隔より広い第３の間隔（図９（ｂ）におけるピッチＰ３）で配されるものである。

また発光チップＣ２は、発光チップＣ１，Ｃ３と基本的に同様の構成を採るが、発光サイリスタＬ１～Ｌ６５の配列が発光チップＣ１，Ｃ３とは逆順となっている。つまり発光チップＣ２は、発光チップＣ１，Ｃ３を１８０°回転させて配したものである。

【００４１】

また発光チップＣ１，Ｃ２，Ｃ３の発光サイリスタＬ１～Ｌ６５は副走査方向の一部に重複して配される。本実施の形態では、発光チップＣ１の発光サイリスタＬ６１～Ｌ６５と発光チップＣ２の発光サイリスタＬ１～Ｌ５は、副走査方向において重複して配置されている。更に発光チップＣ２の発光サイリスタＬ６１～Ｌ６５と発光チップＣ３の発光サイリスタＬ１～Ｌ５は、副走査方向において重複して配置されている。そしてこれらの発光サイリスタＬは、予め定められた整数比による個数で配される。本実施の形態では、発光チップＣ１の発光サイリスタＬ６１～Ｌ６２と発光チップＣ２の発光サイリスタＬ１～Ｌ３の占める主主査方向の長さはほぼ同じとなるように配されており、この場合予め定められた整数比は、２：３である。同様に発光チップＣ１の発光サイリスタＬ６３～Ｌ６５と発光チップＣ２の発光サイリスタＬ４～Ｌ５、発光チップＣ２の発光サイリスタＬ６１～Ｌ６３と発光チップＣ３の発光サイリスタＬ１～Ｌ２、発光チップＣ２の発光サイリスタＬ６４～Ｌ６５と発光チップＣ３の発光サイリスタＬ３～Ｌ５は、それぞれ３：２、３：２、２：３の整数比による個数で配される。また発光チップＣを千鳥状に配列させたときに以上のように発光サイリスタＬが配列する構成は、発光サイリスタＬが、主走査方向に列状に配される発光サイリスタＬからなる第１の発光素子列と、主走査方向に列状に配される発光サイリスタＬからなり第１の発光素子列と少なくとも一部が副走査方向に重複して配される第２の発光素子列からなるとして捉えることができる。そしてこの場合、第１の発光素子列の発光サイリスタＬの間隔と第２の発光素子列の発光サイリスタＬの間隔とは、第１の発光素子列と第２の発光素子列とが重複する箇所において異なる。そして更に第１の発光素子列と第２の発光素子列とが重複する箇所の発光サイリスタＬは、第１の発光素子列に属するものと第２の発光素子列に属するものとで予め定められた整数比によ

る個数で配される。

【００４２】

次にこの構成で配した発光チップＣの発光サイリスタＬの動作の一例について説明を行なう。

図１０は、発光チップＣの発光サイリスタＬを駆動するための信号発生回路１００を説明した図である。

図１０に示した信号発生回路１００は、倍率を補正するための倍率補正データを格納する倍率補正データ記憶部１１１から必要に応じ倍率補正データを読み出す倍率補正データ読み込み部１１２と、入力されるシリアル信号としての画像データＶｄａｔａを並び替える画像データ並び替え部１１３と、画像データ並び替え部１１３からパラレル信号として送られる駆動信号を受信し、各発光チップＣ（Ｃ１～Ｃ６０）の各発光サイリスタＬを駆動させるための発光信号を生成する発光信号生成部１１４＿１～１１４＿６０とを備える。

【００４３】

ここで、画像データ並び替え部１１３では、画像データを並び替える際に、発光チップＣの発光サイリスタＬが副走査方向において重複する箇所において、発光サイリスタＬを発光させる場合は、どちらか一方の列の発光サイリスタＬには、点灯データを挿入するが、他方には空白データを挿入する。これにより重複する箇所において、どちらか一方の発光チップＣに属する発光サイリスタＬが点灯することになる。これは、発光チップＣを千鳥状に配列させることにより発光サイリスタＬが、第１の発光素子列と第２の発光素子列の二列に配されるとして捉えたときに、信号発生回路１００は、第１の発光素子列と第２の発光素子列とが重複する箇所の発光サイリスタＬについては、第１の発光素子列または第２の発光素子列の一方に属するものを選択して発光させる制御を行なうとして捉えることもできる。

【００４４】

次に上述したように発光サイリスタＬを点灯させる制御を行なった場合に形成される画像について説明を行なう。

図１１（ａ）～（ｃ）は、本実施の形態の倍率補正の第１の例について説明した図である。

図１１（ａ）～（ｃ）では、図７（ａ）～（ｃ）で説明した場合と同様に、斜線の画像形成を行なう場合を例として挙げている。そして同様に倍率が主走査方向で拡大して変化したときに画像を主走査方向で縮小することで倍率補正する方法について説明している。ここで図１１（ｂ）では、倍率補正前の画像を概念的に図示しており、図７（ｂ）で図示したものと同様である。また図１１（ｃ）では、本実施の形態の倍率補正後の画像を概念的に図示している。そして図１１（ａ）では、図１１（ｂ）～（ｃ）の画像を形成する発光サイリスタＬを対応して図示している。なお図１１（ａ）は、図９（ａ）における発光チップＣ１と発光チップＣ２の境界部を拡大した図である。

【００４５】

本実施の形態では、発光チップＣ１および発光チップＣ２の副走査方向に重複する箇所の発光サイリスタＬのうち発光チップＣ１の発光サイリスタＬ６１～Ｌ６５を使用し、発光チップＣ２の発光サイリスタＬ１～Ｌ５を使用していない。つまりこれにより発光チップＣ２では、発光サイリスタＬ１～Ｌ５は、点灯せず、点灯しうる発光サイリスタＬは、発光サイリスタＬ６以降のものとなる。これは、図７で説明した場合と比較すると、図７（ｃ）では、発光チップＣ２の発光サイリスタＬ１～Ｌ２を使用していたが、これに対し、図１１においては、その代わりに発光チップＣ１の発光サイリスタＬ６３～Ｌ６５を使用すると見ることもできる。

【００４６】

図１２（ａ）～（ｂ）は、発光チップＣ１と発光チップＣ２の境界部について発光サイリスタＬを点灯させる順序について説明した図である。ここで図１２（ａ）は、倍率補正を行なわない場合の発光サイリスタＬが点灯する順序を説明している。また図１２（ｂ）

は、倍率補正を行なう場合の発光サイリスタＬが点灯する順序を説明している。そして図１２（ａ）～（ｂ）において各発光サイリスタＬ内に記載した数字が点灯の順序である。

ここで図１２（ａ）と図１２（ｂ）とを比較すると、例えば、１０番目に点灯する発光サイリスタＬを見た場合、発光サイリスタＬの１つ分図中左側にずれていることがわかる。つまり主走査方向に倍率を縮小して発光サイリスタＬを点灯させることができる。

【００４７】

そしてこのように発光サイリスタＬを点灯させる制御を行なうことで、図１１（ｃ）のような画像が形成できる。つまり前述の図７（ｃ）では、１つの点灯データを削除すると、本来３つの点灯データにより斜線が描かれるべきところに２つの点灯データにより斜線を描くために形成される画像に隙間が生じる。対して本実施の形態では、点灯データの削除は行なわず、その点灯データにより発光チップＣ１の発光サイリスタＬ６３～Ｌ６５を点灯させる。発光チップＣ１の発光サイリスタＬ６３～Ｌ６５のそれぞれの間隔は、発光チップＣ１の他の発光サイリスタＬの間隔より狭いため、発光チップＣ１の発光サイリスタＬ６３～Ｌ６５を使用して形成される画像は、主走査方向に倍率が縮小したものとなる。つまり形成する画像を主走査方向で縮小する倍率補正をすることができる。また本実施の形態の場合、点灯データの削除は行なっていないため形成される画像に隙間が生じない。そのため形成される画像に例えば、白スジが入る等の画像の乱れを抑制することができる。

【００４８】

なお本実施の形態では、このような倍率補正は、発光チップＣ１と発光チップＣ２の境界部のみならず、他の箇所で行なうこともできる。つまり発光チップＣ３と発光チップＣ４の境界部、発光チップＣ５と発光チップＣ６の境界部、…、発光チップＣ５７と発光チップＣ５８の境界部、発光チップＣ５９と発光チップＣ６０の境界部においても行なうことができる。よって倍率補正を行ないたい箇所や倍率補正を行ないたい程度に応じて上記発光チップＣ間の境界部を選択し、主走査方向に倍率を縮小する倍率補正を行なうことができる。

また本実施の形態では、発光チップＣ２の発光サイリスタＬ１～Ｌ３は使用せずに主走査方向に倍率を縮小する倍率補正を行なったが、これを使用してもよい。つまり、上述した例では、発光チップＣ１の発光サイリスタＬ６３～Ｌ６５を使用していたが、その代わりに発光チップＣ２の発光サイリスタＬ１～Ｌ３を使用しても同様のことが実現できる。更に発光チップＣ１の発光サイリスタＬ６３～Ｌ６５および発光チップＣ２の発光サイリスタＬ１～Ｌ３の双方を使用することで、一方を使用する場合に比較して２倍の倍率補正が可能となる。

【００４９】

図１３（ａ）～（ｃ）は、本実施の形態の倍率補正の第２の例について説明した図である。

図１３（ａ）～（ｃ）では、図８（ａ）～（ｃ）で説明した場合と同様に、斜線の画像形成を行なう場合を例として挙げている。そして同様に倍率が主走査方向で縮小して変化したときに画像を主走査方向で拡大することで倍率補正する方法について説明している。ここで図１３（ｂ）では、倍率補正前の画像を概念的に図示しており、図８（ｂ）で図示したものと同様である。また図１３（ｃ）では、本実施の形態の倍率補正後の画像を概念的に図示している。そして図１３（ａ）では、図１３（ｂ）～（ｃ）の画像を形成する発光サイリスタＬを対応して図示している。なお図１３（ａ）は、図９（ａ）における発光チップＣ２と発光チップＣ３の境界部を拡大した図である。

【００５０】

本実施の形態では、発光チップＣ２および発光チップＣ３の副走査方向に重複する箇所の発光サイリスタＬのうち発光チップＣ２の発光サイリスタＬ６４～Ｌ６５を使用し、発光チップＣ３の発光サイリスタＬ１～Ｌ５を使用しない。つまりこれにより発光チップＣ３では、発光サイリスタＬ１～Ｌ５は、点灯せず、点灯しうる発光サイリスタＬは、発光サイリスタＬ６以降のものとなる。これは、図８で説明した場合と比較すると、図８（ｃ

）では、発光チップＣ２の発光サイリスタＬ１～Ｌ３を使用していたが、これに対し、図１３においては、その代わりに発光チップＣ２の発光サイリスタＬ６４～Ｌ６５を使用すると見ることもできる。

【００５１】

図１４（ａ）～（ｂ）は、発光チップＣ２と発光チップＣ３の境界部について発光サイリスタＬを点灯させる順序について説明した図である。ここで図１４（ａ）は、倍率補正を行なわない場合の発光サイリスタＬが点灯する順序を説明している。また図１４（ｂ）は、倍率補正を行なう場合の発光サイリスタＬが点灯する順序を説明している。そして図１４（ａ）～（ｂ）において各発光サイリスタＬ内に記載した数字が点灯の順序である。

ここで図１４（ａ）と図１４（ｂ）とを比較すると、例えば、１０番目に点灯する発光サイリスタＬを見た場合、発光サイリスタＬの１つ分図中右側にずれていることがわかる。つまり主走査方向に倍率を拡大して発光サイリスタＬを点灯させることができる。

【００５２】

このように発光サイリスタＬを点灯させる制御を行なうことで、図１３（ｃ）のような画像が形成できる。つまり前述の図８（ｃ）では、１つの点灯データを追加すると、本来３つの点灯データにより斜線が描かれるべきところに２つの点灯データにより斜線を描くために形成される画像として重複するドットを描画する箇所が生じる。対して本実施の形態では、点灯データの追加は行なわず、その点灯データにより発光チップＣ２の発光サイリスタＬ６４～Ｌ６５を点灯させる。発光チップＣ２の発光サイリスタＬ６４～Ｌ６５のそれぞれの間隔は、発光チップＣ１の他の発光サイリスタＬの間隔より広いため、発光チップＣ２の発光サイリスタＬ６４～Ｌ６５を使用して形成される画像は、主走査方向に倍率が拡大したものとなる。つまり形成する画像を主走査方向で拡大する倍率補正をすることができる。また本実施の形態の場合、点灯データの追加は行なっていないため形成される画像に重複箇所を生じさせる必要はない。そのため形成される画像に例えば、黒スジが入る等の画像の乱れを抑制することができる。

【００５３】

なお本実施の形態では、このような倍率補正は、発光チップＣ２と発光チップＣ３の境界部のみならず、他の箇所で行なうこともできる。つまり発光チップＣ４と発光チップＣ５の境界部、発光チップＣ６と発光チップＣ７の境界部、…、発光チップＣ５６と発光チップＣ５７の境界部、発光チップＣ５８と発光チップＣ５９の境界部においても行なうことができる。よって倍率補正を行ないたい箇所や倍率補正を行ないたい程度に応じて上記発光チップＣ間の境界部を選択し、主走査方向に倍率を拡大する倍率補正を行なうことができる。

また本実施の形態では、発光チップＣ３の発光サイリスタＬ１～Ｌ２は使用せずに主走査方向に倍率を拡大する倍率補正を行なったが、これを使用してもよい。つまり、上述した例では、発光チップＣ２の発光サイリスタＬ６４～Ｌ６５を使用していたが、その代わりに発光チップＣ３の発光サイリスタＬ１～Ｌ２を使用しても同様のことが実現できる。更に発光チップＣ２の発光サイリスタＬ６４～Ｌ６５および発光チップＣ３の発光サイリスタＬ１～Ｌ２の双方を使用することで、一方を使用する場合に比較して２倍の倍率補正が可能となる。

【００５４】

以上のような配列で発光サイリスタＬが配された発光チップＣを使用することで、発光チップＣの取り付け精度、各発光チップＣにおける発光サイリスタＬの形成精度、およびロッドレンズアレイ６４（図２参照）の焦点位置のばらつきの程度に対する要求は、より低くなる。つまり発光素子ヘッド１４（図２参照）を製造後に検査を行ない、その結果により、上述した倍率補正を行なうことで、主走査方向の倍率のばらつきの少ない発光素子ヘッドを製造することができる。そのため発光チップＣや発光素子ヘッド１４の製造歩留まりをより高くすることができる。

更に、温度変化に起因する主走査方向における倍率の変化に対しても、例えば、発光素子ヘッド等の機内温度に対応して、上述した倍率補正を行なうことで、主走査方向におけ

る倍率の変化がより少ない発光素子ヘッド１４を提供することができる。

【００５５】

なお発光サイリスタＬの光量は、発光サイリスタＬが配置する間隔に比例して増加させることが好ましい。より具体的には、図９（ｂ）に示した発光チップＣ１を例に取り説明すると、発光サイリスタＬ３～Ｌ６２が配される間隔（ピッチＰ１）に対し、これより狭い間隔（ピッチＰ２）で配される発光サイリスタＬ６３～Ｌ６５は、発光サイリスタＬ３～Ｌ６２より光量を小さくするようにする。一方、発光サイリスタＬ３～Ｌ６２が配される間隔（ピッチＰ１）に対し、これより広い間隔（ピッチＰ３）で配される発光サイリスタＬ１～Ｌ２は、発光サイリスタＬ３～Ｌ６２より光量を大きくするようにする。このようにすることで、発光サイリスタＬから発する光の主走査方向に対するばらつきがより小さくなり、より均一な光出力を得ることができる。即ち発光サイリスタＬから発する光の光量が、発光サイリスタＬの間隔により依存しにくくなる。

これを実現するためには、例えば、発光サイリスタＬの間隔に応じて発光面積を調整すればよい。つまり発光サイリスタＬの間隔が狭い場合は、この間隔に応じて発光サイリスタＬの発光面積を小さくし、光サイリスタＬの間隔が広い場合は、この間隔に応じて発光サイリスタＬの発光面積を大きくする。

また以上のことは、第２の間隔（ピッチＰ２）で配される発光素子群を構成する発光サイリスタＬは、第１の間隔（ピッチＰ１）で配される発光素子群を構成する発光サイリスタＬより光量が小さく、第３の間隔（ピッチＰ３）で配される発光素子群を構成する発光サイリスタＬは、第１の間隔（ピッチＰ１）で配される発光素子群を構成する発光サイリスタＬより光量が大きいと言い換えることもできる。

【００５６】

次に、図１５に示すタイミングチャートを参照しながら、露光動作における発光チップＣの動作を詳細に説明する。なお、図１５では、図１１（ａ）～（ｃ）および図１２（ａ）～（ｂ）で説明したような画像を主走査方向で縮小することで倍率補正するときの発光サイリスタＬを点灯させるためのタイミングチャートの例を示している。そして説明の便宜上、それぞれの発光サイリスタＬを主走査方向で順に点灯させる場合について説明を行なう。また発光サイリスタＬの点灯パターンは、図１２（ｂ）で説明した場合と同様であるとする。

図中発光チップＣ１～Ｃ２の発光信号φＩとして発光信号φＩ１～φＩ２を図示している。なお説明をわかりやすくするため発光信号φＩ１～φＩ２については並行して図示しているが、それぞれの発光信号φＩ１～φＩ２について、このように互いに時間的に同時性を有して信号が送られるとは限らない。

【００５７】

ここで初期状態においては、スタート転送信号φＳがローレベル（Ｌ）に、第１転送信号φ１がハイレベル（Ｈ）に、第２転送信号φ２がローレベルに、そして発光信号φＩ（φＩ１～φＩ２）がハイレベルに、それぞれ設定されているものとする。

【００５８】

動作の開始に伴い、信号発生回路１００から入力されるスタート転送信号φＳが、ローレベルからハイレベルに変更される。これにより、発光チップＣの転送サイリスタＳ１のゲート端子Ｇ１にハイレベルのスタート転送信号φＳが供給される。このとき、ダイオードＤ１～Ｄ６４を介して、他の転送サイリスタＳ２～Ｓ６５のゲート端子Ｇ２～Ｇ６５にもスタート転送信号φＳが供給される。ただし、各ダイオードＤ１～Ｄ６４でそれぞれ電圧降下が生じるため、転送サイリスタＳ１のゲート端子Ｇ１にかかる電圧が最も高くなる。

【００５９】

そして、スタート転送信号φＳがハイレベルとなっている状態で、信号発生回路１００から入力される第１転送信号φ１が、ハイレベルからローレベルに変更される。また、第１転送信号φ１がローレベルに変更されてから第１の期間ｔａが経過した後、第２転送信号φ２が、ローレベルからハイレベルに変更される。

【００６０】
このように、スタート転送信号φＳがハイレベルとなっている状態において、ローレベルの第１転送信号φ１が供給されると、発光チップＣでは、ローレベルの第１転送信号φ１が供給される奇数番目の転送サイリスタＳ１、Ｓ３、…、Ｓ６５のうち、ゲート電圧が最も高く、閾値以上となる転送サイリスタＳ１がターンオンする。また、このとき、第２転送信号φ２はハイレベルとなっているので、偶数番目の転送サイリスタＳ２、Ｓ４、…、Ｓ６４のカソード電圧は高いままとなり、ターンオフの状態が維持される。このとき、発光チップＣでは、奇数番目の転送サイリスタＳ１のみがターンオンした状態になる。これに伴い、奇数番目の転送サイリスタＳ１とゲート同士が接続された発光サイリスタＬ１がターンオンし、発光可能な状態におかれる。

【００６１】
転送サイリスタＳ１がターンオンしている状態において、第２転送信号φ２がハイレベルに変更されてから第２の期間ｔｂが経過した後、第２転送信号φ２がハイレベルからローレベルに変更される。すると、ローレベルの第２転送信号φ２が供給される偶数番目の転送サイリスタＳ２、Ｓ４、…、Ｓ６４のうち、ゲート電圧が最も高く、閾値以上となる転送サイリスタＳ２がターンオンする。このとき、発光チップＣでは、奇数番目の転送サイリスタＳ１とこれに隣接する偶数番目の転送サイリスタＳ２とが、共にターンオンした状態になる。これに伴い、既にターンオンしている発光サイリスタＬ１に加えて、偶数番目の転送サイリスタＳ２とゲート同士が接続された発光サイリスタＬ２がターンオンし、共に発光可能な状態におかれる。

【００６２】
転送サイリスタＳ１および転送サイリスタＳ２が共にターンオンしている状態において、第２転送信号φ２がローレベルに変更されてから第３の期間ｔｃが経過した後、第１転送信号φ１がローレベルからハイレベルに変更される。これに伴い、奇数番目の転送サイリスタＳ１はターンオフし、偶数番目の転送サイリスタＳ２のみがターンオンした状態になる。これに伴い、奇数番目の発光サイリスタＬ１はターンオフして発光不能な状態におかれ、偶数番目の発光サイリスタＬ２のみがターンオンを維持して発光可能な状態におかれる。なお、この例では、第１転送信号φ１がハイレベルに変更されるのに合わせて、スタート転送信号φＳがハイレベルからローレベルに変更されている。

【００６３】
転送サイリスタＳ２がターンオンしている状態において、第１転送信号φ１がハイレベルに変更されてから第４の期間ｔｄが経過した後、第１転送信号φ１がハイレベルからローレベルに変更される。これに伴い、ローレベルの第１転送信号φ１が供給される奇数番目の転送サイリスタＳ１、Ｓ３、…、Ｓ６５のうち、ゲート電圧が最も高い転送サイリスタＳ３がターンオンする。このとき、発光チップＣでは、偶数番目の転送サイリスタＳ２とこれに隣接する奇数番目の転送サイリスタＳ３とが、共にターンオンした状態になる。これに伴い、既にターンオンしている発光サイリスタＬ２に加えて、奇数番目の転送サイリスタＳ３とゲート同士が接続された発光サイリスタＬ３がターンオンし、共に発光可能な状態におかれる。

【００６４】
転送サイリスタＳ２および転送サイリスタＳ３が共にターンオンしている状態において、第１転送信号φ１がローレベルに変更されてから第５の期間ｔｅが経過した後、第２転送信号φ２がローレベルからハイレベルに変更される。これに伴い、偶数番目の転送サイリスタＳ２はターンオフし、奇数番目の転送サイリスタＳ３のみがターンオンした状態になる。これに伴い、偶数番目の発光サイリスタＬ２はターンオフして発光不能な状態におかれ、奇数番目の発光サイリスタＬ３のみがターンオンを維持して発光可能な状態におかれる。

【００６５】
このように、発光チップＣでは、第１転送信号φ１および第２転送信号φ２が共にローレベルに設定される重なり期間を設けつつ、交互にハイレベル、ローレベルが切り換えら

れることにより、転送サイリスタＳ１～Ｓ６５が番号順に順次ターンオンする。また、これに伴い、発光サイリスタＬ１～Ｌ６５も番号順に順次ターンオンする。このとき、第２の期間ｔｂでは、奇数番目の転送サイリスタ（例えば転送サイリスタＳ１）のみがターンオンし、第３の期間ｔｃでは、奇数番目の転送サイリスタおよび次段に設けられた偶数番目の転送サイリスタ（例えば転送サイリスタＳ１および転送サイリスタＳ２）がターンオンし、第４の期間ｔｄでは、偶数番目の転送サイリスタ（例えば転送サイリスタＳ２）のみがターンオンし、第５の期間ｔｅでは、偶数番目の転送サイリスタおよび次段に設けられた奇数番目の転送サイリスタ（例えば転送サイリスタＳ２および転送サイリスタＳ３）がターンオンし、その後、再び第２の期間ｔｂにおいて奇数番目の転送サイリスタ（例えば転送サイリスタＳ３）のみがターンオンする、という過程を繰り返すことになる。

【００６６】

一方、発光信号φＩ１～φＩ２は、基本的に、奇数番目の転送サイリスタが単独でターンオンする第２の期間ｔｂおよび偶数番目の転送サイリスタが単独でターンオンする第４の期間ｔｄにおいて、ハイレベルからローレベルへの変更およびローレベルからハイレベルへの変更が行われる。

【００６７】

ただし、発光信号φＩ１においては、左端の２個の転送サイリスタＳ１～Ｓ２がターンオンする期間については、このような変更は行われない。これにより発光チップＣ１では、発光サイリスタＬ３、Ｌ４、…、Ｌ６４、Ｌ６５が、１個ずつ順番に発光する。つまり本実施の形態では、画像を主走査方向で拡大することで倍率補正するための発光サイリスタＬ１～Ｌ２は使用しないため、この２個の発光サイリスタＬ１～Ｌ２を点灯させない制御を行なう。一方、画像を主走査方向で縮小することで倍率補正するための発光サイリスタＬ６３～Ｌ６５は使用するため、これについては点灯させる。

【００６８】

また発光信号φＩ２においては、左端の２個の転送サイリスタＳ１～Ｓ５がターンオンする期間、および右端の２個の転送サイリスタＳ６４～Ｓ６５がターンオンする期間については、このような変更は行われない。これにより発光チップＣ２では、発光サイリスタＬ６、Ｌ７、…、Ｌ６２、Ｌ６３が、１個ずつ順番に発光する。つまり本実施の形態では、画像を主走査方向で拡大することで倍率補正するための発光サイリスタＬ６４～Ｌ６５は使用しないため、この２個の発光サイリスタＬ６４～Ｌ６５を点灯させない制御を行なう。更に画像を主走査方向で縮小することで倍率補正するための発光サイリスタＬ１～Ｌ３についても本実施の形態では使用せず、発光サイリスタＬ４～Ｌ５についても使用しないため、この５個の発光サイリスタＬ１～Ｌ５を点灯させない制御を行なう。

【００６９】

なお本実施の形態において、発光サイリスタＬの配列のパターンについては、上述した例に限られるものではない。

【００７０】

図１６は、（ａ）～（ｄ）は、発光サイリスタＬの配列のパターンについての他の例について説明した図である。

【００７１】

図１６（ａ）で示した発光サイリスタＬの配列のパターンは、図９（ａ）で説明したものと同様である。ただし、発光チップＣの配列のパターンについては、図９（ａ）で示した場合とは異なり、発光チップＣは、偶数番目（図中では発光チップＣ２）と奇数番目（図中では発光チップＣ１，Ｃ３）の双方において同様の向きで配される。つまり偶数番目の発光チップＣについては、図９（ａ）で示した場合に対し、１８０°回転させて配される。

【００７２】

発光チップＣや発光サイリスタＬがこのような配列を採る場合、主走査方向に倍率を縮小する倍率補正を行なう場合は、それぞれの発光チップＣの発光サイリスタＬ３～Ｌ４を点灯させる代わりに、それぞれの発光チップＣの発光サイリスタＬ６３～Ｌ６５を点灯さ

せる制御を行なえばよい。一方、主走査方向に倍率を拡大する倍率補正を行なう場合は、それぞれの発光チップＣの発光サイリスタＬ６０～Ｌ６２を点灯させる代わりに、それぞれの発光チップＣの発光サイリスタＬ１～Ｌ２を点灯させる制御を行なえばよい。

【００７３】

しかしながら本実施の形態の場合、奇数番目に配される発光チップＣと偶数番目に配される発光チップＣとで異なるため、２種類の発光チップＣを用意する必要がある。つまり図示はしていないが、発光チップＣに接続する配線は、奇数番目の発光チップＣについては、図中上方向に配され、偶数番目の発光チップＣについては、図中下方向に配される。そのため奇数番目の発光チップＣと偶数番目の発光チップＣでは、配線が接続される向きが１８０°異なる。そのため発光チップＣ上の配線のパターンも奇数番目のものと偶数番目のものとで異ならせる必要があるため、発光チップＣは２種類必要となる。

一方、図９（ａ）で示した発光チップＣや発光サイリスタＬの配列のパターンでは、配線が接続される向きは、奇数番目の発光チップＣと偶数番目の発光チップＣとで同様に１８０°異なる。ただし奇数番目の発光チップＣは偶数番目の発光チップＣに対して１８０°回転して配される。そのため結局、発光チップＣ上の配線のパターンも奇数番目のものと偶数番目のものとで異ならせる必要はなく、発光チップＣの種類は１種類ですむ。

【００７４】

図１６（ｂ）で示した発光サイリスタＬの配列のパターンは、奇数番目の発光チップＣ（図中では発光チップＣ１，Ｃ３）については、図９（ａ）で説明したものに対し、主走査方向に倍率を縮小する倍率補正を行なうための発光サイリスタＬが削除された構造となっている。また偶数番目の発光チップＣ（図中では発光チップＣ２）については、主走査方向に倍率を縮小する倍率補正を行なうための発光サイリスタＬのみならず主走査方向に倍率を拡大する倍率補正を行なうための発光サイリスタＬについても削除されている。つまり、奇数番目の発光チップＣでは、発光サイリスタＬは６２個であり、発光サイリスタＬ１～Ｌ６２が配される。また偶数番目の発光チップＣでは、発光サイリスタＬは６０個であり、発光サイリスタＬ１～Ｌ６０が配される。

発光チップＣや発光サイリスタＬの間隔がこのような配列を採る場合、主走査方向に倍率を拡大する倍率補正を行なうことはできるが、画像の乱れを抑制しつつ主走査方向に倍率を縮小する倍率補正を行なうことは困難である。

【００７５】

図１６（ｃ）で示した発光サイリスタＬの配列のパターンは、図１６（ｂ）における奇数番目の発光チップＣ（図中では発光チップＣ１，Ｃ３）について、主走査方向に倍率を拡大する倍率補正を行なうための発光サイリスタＬの代わりに主走査方向に倍率を縮小する倍率補正を行なうための発光サイリスタＬを配した場合である。この場合、奇数番目の発光チップＣでは、発光サイリスタＬは６３個であり、発光サイリスタＬ１～Ｌ６３が配される。また偶数番目の発光チップＣは、図１６（ｂ）の場合と同様である。即ち発光サイリスタＬは６０個であり、発光サイリスタＬ１～Ｌ６０が配される。

発光チップＣや発光サイリスタＬの間隔がこのような配列を採る場合、主走査方向に倍率を縮小する倍率補正を行なうことはできるが、画像の乱れを抑制しつつ主走査方向に倍率を拡大する倍率補正を行なうことは困難である。

【００７６】

図１６（ｄ）で示した発光チップＣの発光サイリスタＬのパターンは、図９（ａ）で説明したものに対し、主走査方向終端に配される倍率補正用の発光サイリスタＬを削除した場合である。この場合、奇数番目の発光チップＣでは、発光サイリスタＬは６２個であり、発光サイリスタＬ１～Ｌ６２が配される。また偶数番目の発光チップＣでは、発光サイリスタＬは６３個であり、発光サイリスタＬ１～Ｌ６３が配される。

発光チップＣや発光サイリスタＬの間隔がこのような配列を採る場合でも、主走査方向に倍率を縮小する倍率補正および主走査方向に倍率を拡大する倍率補正の双方を行なうことが可能である。

【００７７】

なお図１６（ｂ）～（ｄ）で説明した何れの場合も発光チップＣの発光サイリスタＬの配列のパターンは、奇数番目と偶数番目で異なるため、発光チップＣは２種類必要となる。

【００７８】

また副走査方向に重複して配される発光サイリスタＬは、一部である必要でなく全てでもよい。

図１７（ａ）～（ｃ）は、発光サイリスタの配列のパターンについての更に他の例を説明した図である。

図１７（ａ）では、奇数番目に配される発光チップＣ（図中では発光チップＣ１，Ｃ３）の発光サイリスタＬと偶数番目に配される発光チップＣ（図中では発光チップＣ２，Ｃ４）の発光サイリスタＬは、全て重複している。そして、偶数番目に配される発光チップＣの発光サイリスタＬの間隔は、奇数番目に配される発光チップＣの発光サイリスタＬの間隔より狭くなっている。これにより主走査方向に倍率を縮小する倍率補正を行なうことができる。

【００７９】

図１７（ｂ）では、図１７（ａ）の場合と同様に、奇数番目に配される発光チップＣ（図中では発光チップＣ１，Ｃ３）の発光サイリスタＬと偶数番目に配される発光チップＣ（図中では発光チップＣ２，Ｃ４）の発光サイリスタＬは、全て重複している。一方、偶数番目に配される発光チップＣの発光サイリスタＬの間隔は、奇数番目に配される発光チップＣの発光サイリスタＬの間隔より広くなっている。これにより主走査方向に倍率を拡大する倍率補正を行なうことができる。

【００８０】

また２つの発光チップＣに分けて上述した発光サイリスタＬが重複して配される箇所を設ける必要はなく、１つの発光チップＣ上に二列の発光サイリスタＬを配してもよい。

図１７（ｃ）では、１つの発光チップＣ１上に二列の発光サイリスタＬを配した例である。

ここでは、図中下の列の発光サイリスタＬの間隔は、図中上の列の発光サイリスタＬの間隔より狭くなっている。これにより主走査方向に倍率を縮小する倍率補正を行なうことができる。

【００８１】

図９等で説明を行なった発光チップＣでは、各発光チップＣの境界部でないと倍率補正ができなかったが、図１７（ａ）～（ｃ）の発光チップＣでは、各発光チップＣの境界部に限られることなく倍率補正が可能となる。

【００８２】

また副走査方向に重複して配される発光サイリスタＬの個数の整数比は、上述した例では、２：３または３：２であったが、これに限られるものではない。

図１８は、副走査方向に重複して配される発光サイリスタＬの個数の整数比として、３：４または４：３を採る場合を説明した図である。

図１８に示すように発光チップＣ１，Ｃ２，Ｃ３には、それぞれ発光サイリスタＬ１～Ｌ６７が配置されている。まず発光チップＣ１，Ｃ３について説明すると、発光サイリスタＬ４～Ｌ６３は、予め定められた第１の間隔にて連続して配される第１の発光素子群の一例である。また発光サイリスタＬ１～Ｌ３および発光サイリスタＬ６４～Ｌ６７は、第１の発光素子群の主走査方向両端部に第１の間隔とは異なる間隔で配される第２の発光素子群の一例である。このうち発光サイリスタＬ６４～Ｌ６７は、発光サイリスタＬ４～Ｌ６３の主走査方向両端部の一方で第１の間隔より狭い第２の間隔で配されるものである。更に発光サイリスタＬ１～Ｌ３は、発光サイリスタＬ４～Ｌ６３の主走査方向両端部の他方で第１の間隔より広い第３の間隔で配されるものである。

また発光チップＣ２は、発光チップＣ１，Ｃ３と基本的に同様の構成を採るが、発光サイリスタＬ１～Ｌ６７の配列が発光チップＣ１，Ｃ３とは逆順となっている。つまり発光チップＣ２は、発光チップＣ１，Ｃ３を１８０°回転させて配したものである。

【００８３】
そして本実施の形態では、発光チップＣ１の発光サイリスタＬ６１～Ｌ６７と発光チップＣ２の発光サイリスタＬ１～Ｌ７は、副走査方向において重複して配置されている。更に発光チップＣ２の発光サイリスタＬ６１～Ｌ６７と発光チップＣ３の発光サイリスタＬ１～Ｌ７は、副走査方向において重複して配置されている。本実施の形態では、発光チップＣ１の発光サイリスタＬ６１～Ｌ６３と発光チップＣ２の発光サイリスタＬ１～Ｌ４の占める主査方向の長さはほぼ同じとなるように配されており、この場合予め定められた整数比は、３：４である。同様に発光チップＣ１の発光サイリスタＬ６４～Ｌ６７と発光チップＣ２の発光サイリスタＬ５～Ｌ７、発光チップＣ２の発光サイリスタＬ６１～Ｌ６４と発光チップＣ３の発光サイリスタＬ１～Ｌ３、発光チップＣ２の発光サイリスタＬ６５～Ｌ６７と発光チップＣ３の発光サイリスタＬ４～Ｌ７は、それぞれ４：３、４：３、３：４の整数比による個数で配される。

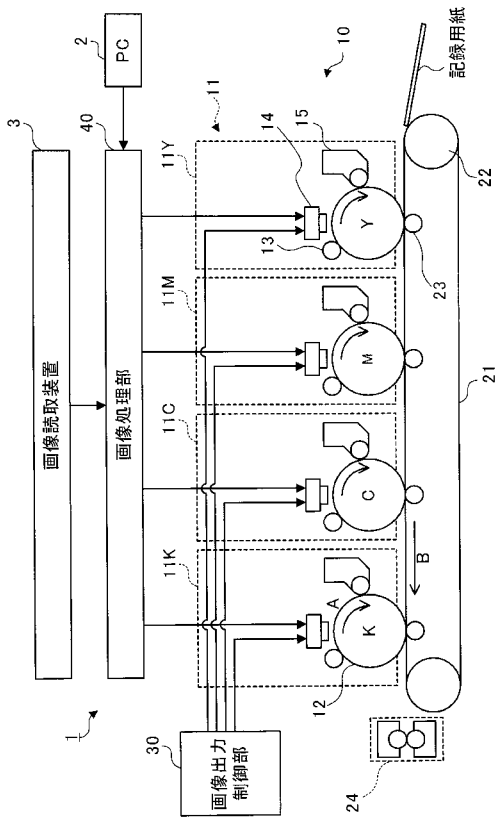
【００８４】
このような配列の発光サイリスタＬを配する発光チップＣにおいても、副走査方向に重複して配される発光サイリスタＬのうち一方の列に属するものを選択して発光させる制御を行なうことで、主走査方向の倍率補正が可能である。

しかしながらこのような発光チップＣの場合、発光サイリスタＬの個数が増加することにより、発光チップＣの製造に要する費用が増大しやすくなる。またこの構成を採ることにより更に大きく画質が向上する効果は期待しにくい。そのため発光チップＣの製造に要する費用を抑制しつつ、本実施の形態の手法による主走査方向の倍率補正を行なうには、発光チップＣとして、上述した副走査方向に重複して配される発光サイリスタＬの個数の整数比が、２：３または３：２のものを使用することが好ましい。

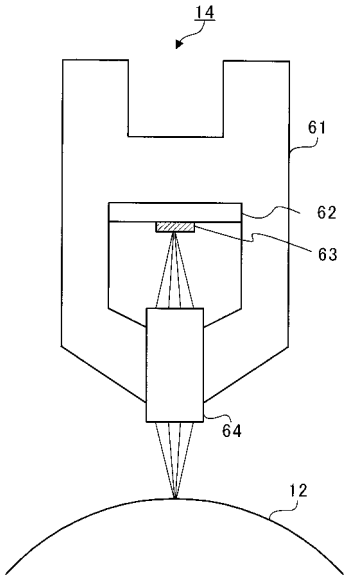
【符号の説明】

【００８５】
１…画像形成装置、１２…感光体ドラム、１４…発光素子ヘッド、２３…転写ロール、２４…定着器、６４…ロッドレンズアレイ、８１…発光素子アレイ、１００…信号発生回路、Ｃ１～Ｃ６０…発光チップ、Ｓ１，Ｓ２，Ｓ３，…，Ｓ６５…転送サイリスタ、Ｌ１，Ｌ２，Ｌ３，…，Ｌ６７…発光サイリスタ

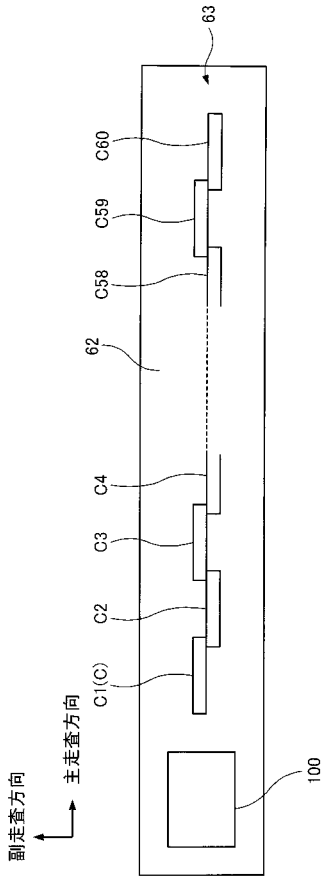
【図１】


PC
画像読取装置
画像処理部
画像出力制御部
記録用紙
Y
M
C
K
B

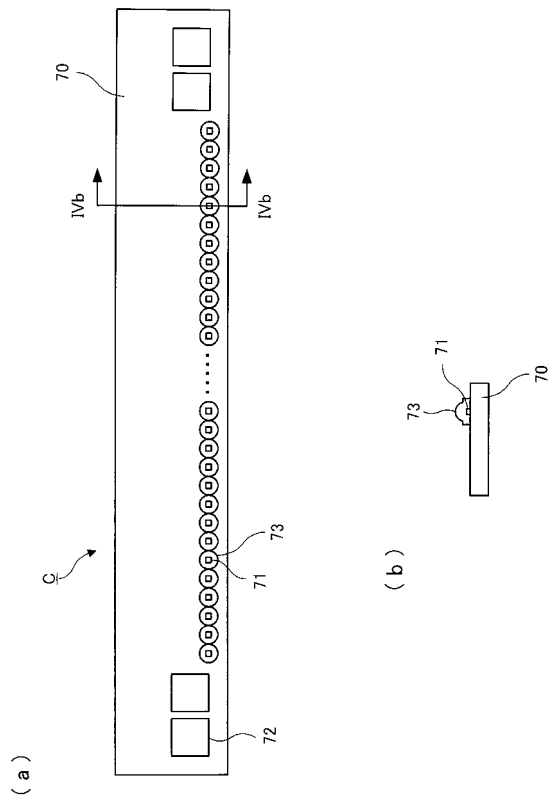
【図２】


14
61
62
63
64
12

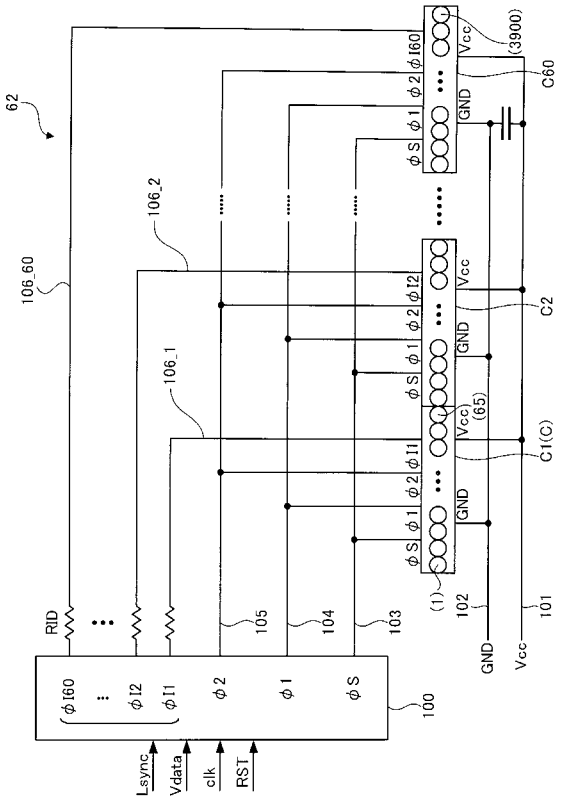
【図３】


副走査方向
主走査方向
C1(C)
C2
C3
C4
C58
C59
C60
62
63
100

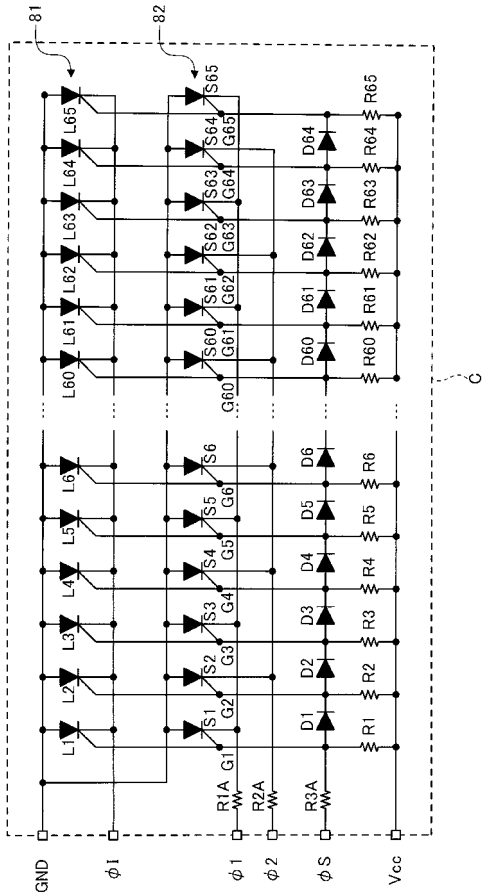
【図４】


70
IVb
IVb
71
72
73
(a)
(b)

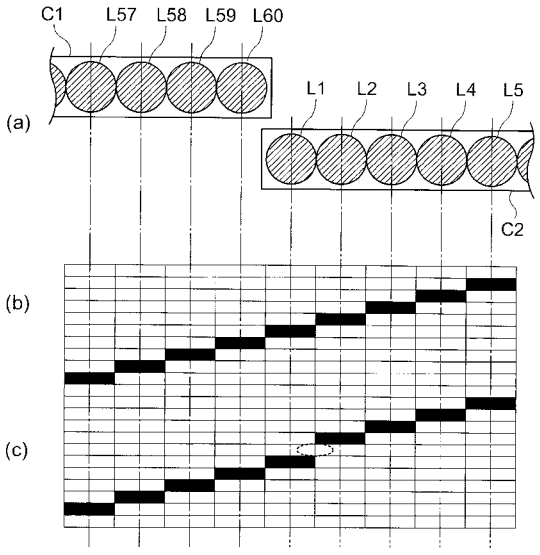
【図５】


62
106_60
106_2
106_1
RID
105
104
103
102
101
100
C60
C2
C1(C)
(3900)
(65)
(1)
Vcc
GND
φS
φ1
φ2
φI1
φI2
φI60
Lsync
Vdata
clk
RST

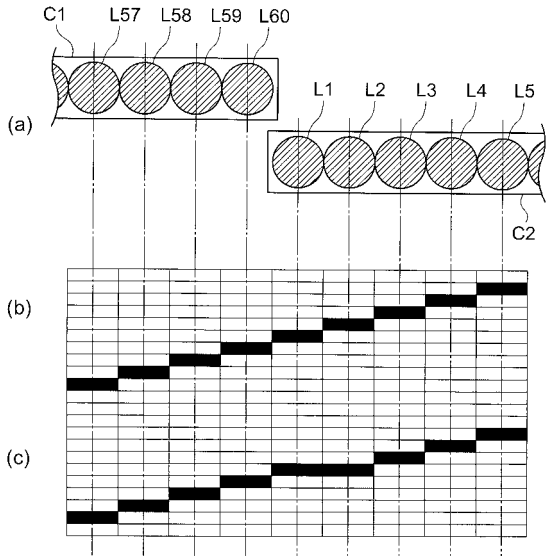
【図６】


81
82
C
GND
φI
φ1
φ2
φS
Vcc
R1A
R2A
R3A

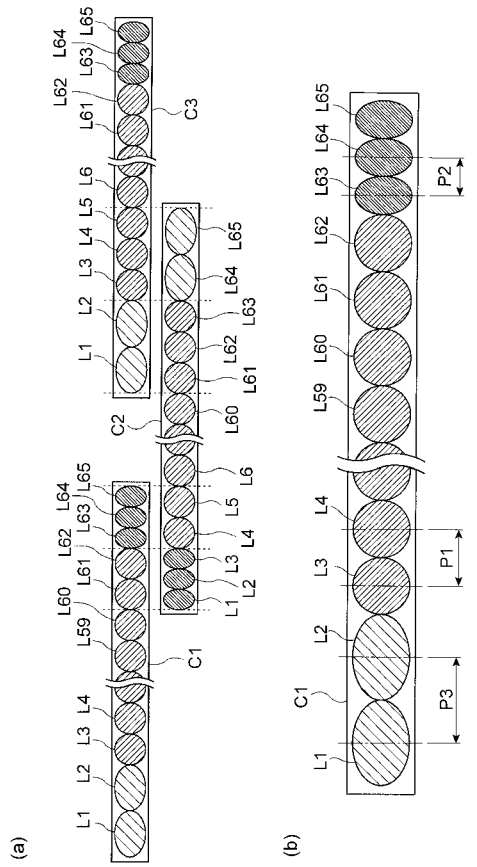
【図７】


C1
L57
L58
L59
L60
L1
L2
L3
L4
L5
C2
(a)
(b)
(c)

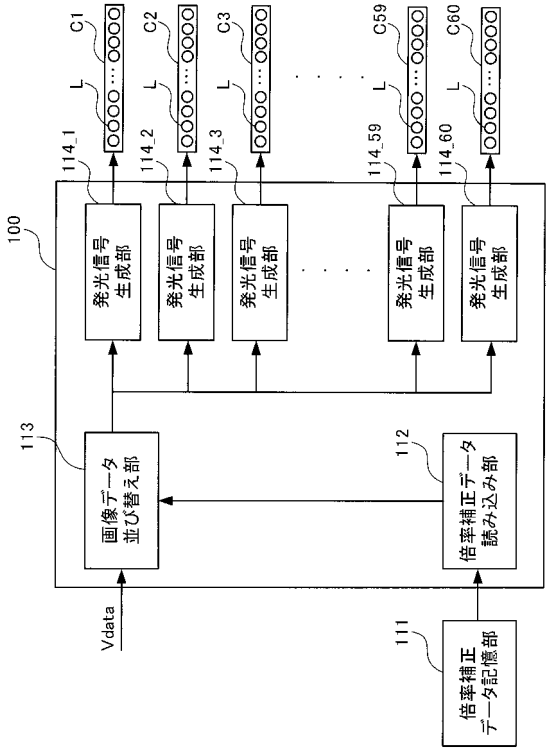
【図８】


C1
L57
L58
L59
L60
L1
L2
L3
L4
L5
C2
(a)
(b)
(c)

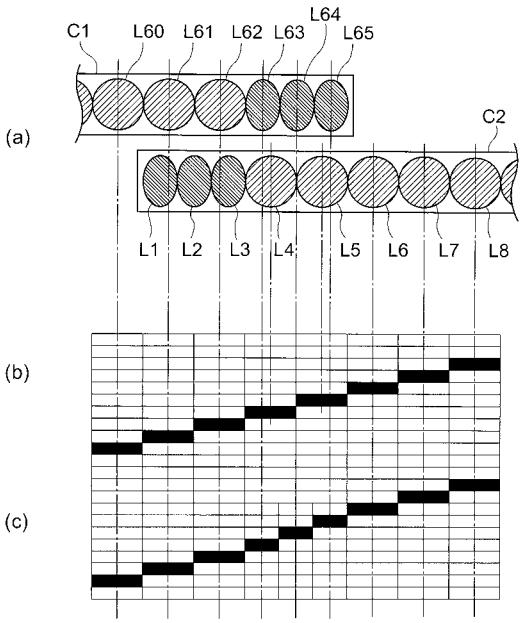
【図９】



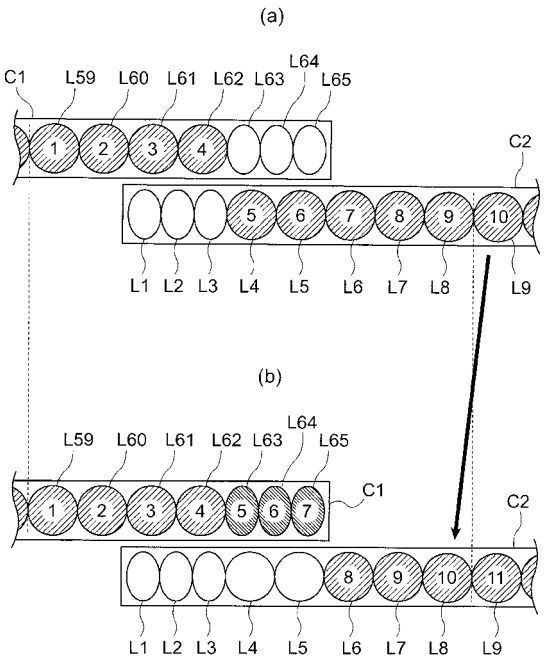
【図１０】



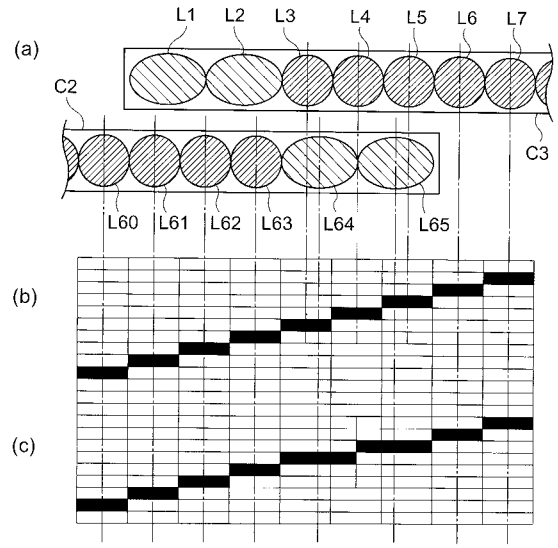
【図１１】



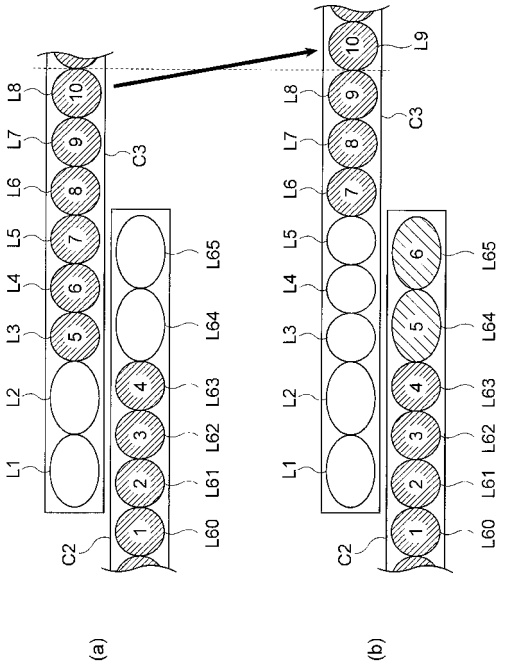
【図１２】



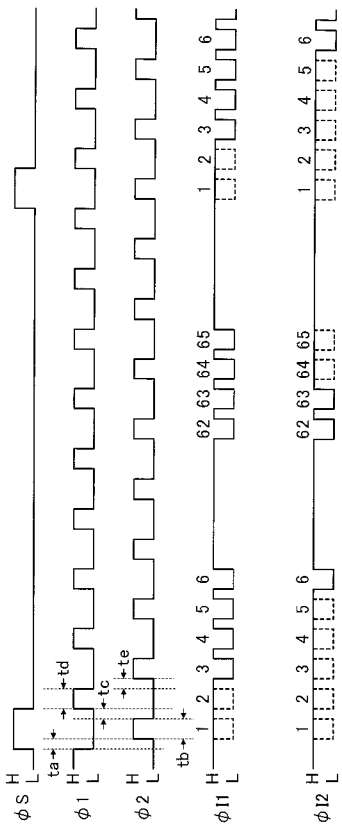
【図１３】



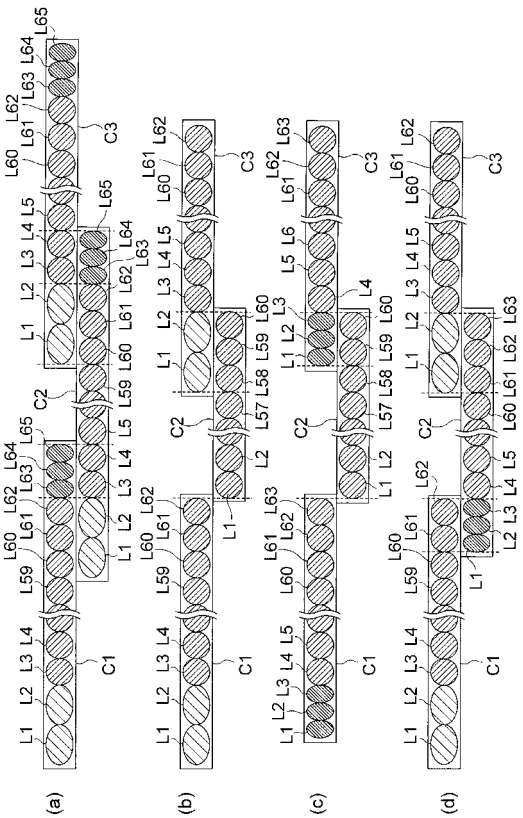
【図１４】



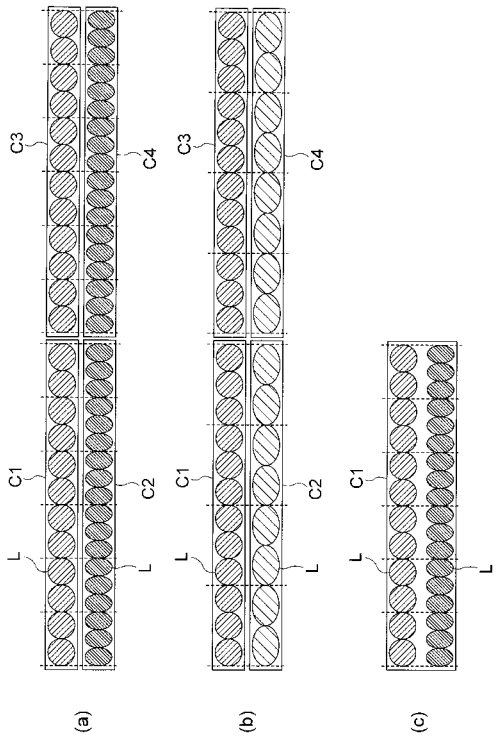
【図１５】



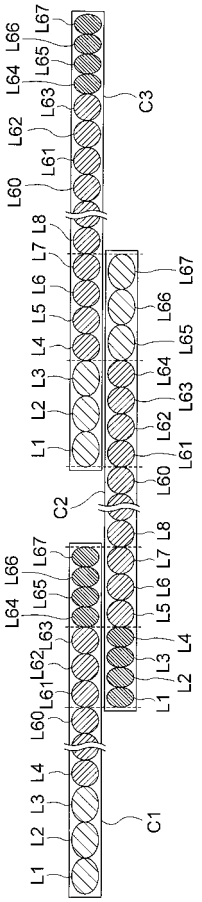
【図１６】



【図１７】


C3
C4
C1
C2
L
(a)
(b)
(c)

【図１８】


C3
C1
C2
L1
L2
L3
L4
L5
L6
L7
L8
L60
L61
L62
L63
L64
L65
L66
L67

フロントページの続き

Ｆターム(参考) 5C051 AA02 CA08 DA04 DA09 DA10 DB02 DB08 DB22 DB29 DC01
DC07 DE07 EA01
5F041 CA07 CB22 FF13