



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년02월24일
(11) 등록번호 10-1361440
(24) 등록일자 2014년02월04일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2013-0033474
(22) 출원일자 2013년03월28일
심사청구일자 2013년03월28일
(56) 선행기술조사문헌
KR1020110003775 A
KR1020100028347 A
JP2010156963 A
WO2007004729 A1

(73) 특허권자
경상대학교산학협력단
경상남도 진주시 진주대로 501 (가좌동)
(72) 발명자
마대영
경남 진주시 진양호로51번길 6-7, 102동 1205호
(판문동, 현대아파트)
(74) 대리인
원성수, 박종경

전체 청구항 수 : 총 8 항

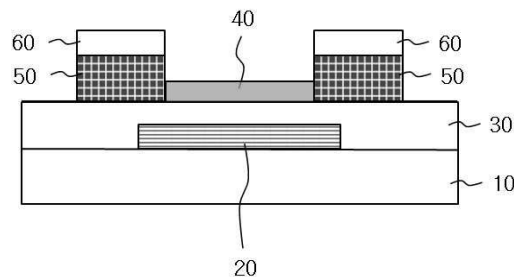
심사관 : 설관식

(54) 발명의 명칭 금속박막을 확산 소스로 이용하는 투명 박막트랜지스터 및 그 제조방법

(57) 요약

본 발명은 금속 박막을 확산 소스로 이용하여 소스 및 드레인 영역에 고농도 불순물을 도핑하여 투명 박막트랜지스터의 특성을 개선한 것이다. 본 발명의 투명 박막트랜지스터는 ZnO계 활성층에 금속박막을 형성하고 그 위에 ZnO계 활성층을 적층 형성하여 열처리함으로써 고농도 불순물이 도핑된 n-타입 박막을 형성하며, n-타입 박막 상에 소스 및 드레인 전극을 형성하여 제조한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 2012-0423

부처명 교육과학기술부

연구사업명 기초연구사업

연구과제명 플렉서블 기관용 ZnGaSnO 비정질투명박막트랜지스터의 개발 (3차년도)

기 여 율 1/1

주관기관 경상대학교

연구기간 2012.05.01 ~ 2013.04.30

특허청구의 범위

청구항 1

ZnO계 제1활성층을 형성하고,

상기 제1활성층의 상부 영역 중 소스 전극 및 드레인 전극에 대응하는 복수 영역 상에 금속박막을 형성하며,

상기 금속박막 상에 ZnO계 제2활성층을 형성하고,

적층된 제1활성층과 금속박막과 제2활성층을 열처리하여 상기 제1활성층과 상기 제2활성층에 상기 금속박막의 금속원자들을 확산시켜 n-타입 박막을 형성하며,

상기 n-타입 박막 상에 소스 전극과 드레인 전극을 형성하는 것을 특징으로 하는 금속박막을 확산소스로 이용하는 투명 박막트랜지스터의 제조방법.

청구항 2

제1항에 있어서,

상기 금속박막은 인듐과 안티몬을 포함한 3족 원소의 금속을 증착하여 형성하는 것을 특징으로 하는 금속박막을 확산소스로 이용하는 투명 박막트랜지스터의 제조방법.

청구항 3

제1항에 있어서,

상기 금속박막의 두께는 10 내지 50 nm 인 것을 특징으로 하는 금속박막을 확산소스로 이용하는 투명 박막트랜지스터의 제조방법.

청구항 4

제1항에 있어서,

상기 열처리는 300℃ 내지 400℃에서 10분 내지 30분 동안 수행하는 것을 특징으로 하는 금속박막을 확산소스로 이용하는 투명 박막트랜지스터의 제조방법.

청구항 5

제1항에 있어서,

상기 ZnO계 제1 및 제2 활성층은 ZnInO, ZnSnO, ZnGaO 로 이루어진 군에서 하나 이상 선택되는 박막인 것을 특징으로 하는 금속박막을 확산소스로 이용하는 투명 박막트랜지스터의 제조방법.

청구항 6

ZnO계 제1활성층과 금속박막 및 ZnO계 제2활성층을 적층구조로 순차 형성하고, 열확산법을 이용하여 상기 제1 및 제2활성층에 상기 금속박막의 금속원자들을 확산시켜 형성한 n-타입 박막; 및

상기 n-타입 박막 상에 형성된 드레인 전극 및 소스 전극;을 포함하는 것을 특징으로 하는 금속박막을 확산 소스로 이용하는 투명 박막트랜지스터.

청구항 7

제6항에 있어서,

상기 금속박막은 인듐과 안티몬을 포함한 3족 원소의 금속을 증착하여 형성하는 것을 특징으로 하는 금속박막을 확산소스로 이용하는 투명 박막트랜지스터.

청구항 8

제6항에 있어서,

상기 ZnO계 제1 및 제2 활성층은 ZnInO, ZnSnO, ZnGaO 로 이루어진 군에서 하나 이상 선택되는 박막인 것을 특징으로 하는 금속박막을 확산소스로 이용하는 투명 박막트랜지스터.

명세서

기술분야

[0001] 본 발명은 투명 박막트랜지스터 및 그 제조방법에 관한 것으로, 더욱 상세하게는 금속박막을 확산 소스로 하여 투명 박막트랜지스터의 소스 및 드레인 영역에 고농도의 불순물을 도핑하여 소스 및 드레인 영역의 접촉저항을 낮추어 투명 박막트랜지스터의 전자 이동도를 높임으로써 투명 박막트랜지스터의 특성을 향상하는 것이다.

배경기술

[0002] 투명 박막트랜지스터(Transparent Thin Film Transistor)는 트랜지스터의 구동부를 구성하는 물질이 모두 투명한 경우이며, 특히 활성층을 구성하는 물질이 ZnO와 같은 투명한 물질인 경우 가능한 응용분야이다. 투명 박막트랜지스터는 발광소자, 태양전지 등 다양한 응용 분야에 적용될 수 있을 것으로 예상되고 있다.

[0003] ZnO 박막은 낮은 온도에서 성막하여도 높은 이동도(mobility)를 얻을 수 있어 박막 트랜지스터로의 응용에 많은 관심을 끌고 있다. 특히 ZnO 박막의 산소함량에 따라 저항변화가 크기 때문에 원하는 물성을 얻기에 매우 용이하고, ZnO의 투명한 성질은 투명 디스플레이에 응용할 수 있는 장점도 가지고 있다.

[0004] [문헌1]은 박막 트랜지스터의 투명반도체재료로서 ZnO를 사용하는 기술을 개시한 바 있다.

[0005] 그러나 불순물(dopant)이 첨가되지 않은 순수한 ZnO 박막의 경우 대기 중에 장시간 노출되었을 경우 산소의 영향으로 Zn과 O의 정량비(stoichiometry)가 변화면서 전기적 성질이 변하는 문제가 있다. 이러한 단점을 해결하기 위해서 Al, Ga, In 등의 불순물을 도핑함으로써 전하 농도 및 전기 전도도를 높여주고, 내구성 및 수명이 강한 고품위 박막을 제조함으로써 대기중에서도 안정한 성질을 지닐 수 있도록 하는 연구가 활발히 진행되고 있다.

[0006] 예를 들어 [문헌2]에서 국부이온주입법(ion implantation) 또는 확산법(diffusion)을 이용하여 투명한 금속산화물층에 국부적으로 도핑시켜 고농도 불순물층을 만들어 도핑된 투명한 금속산화물층은 소스/드레인 전극 및 투명화소 전극으로 이용하고 도핑되지 않은 투명한 금속산화물층 부분은 채널 영역으로 이용하는 박막트랜지스터의 제조방법이 알려져 있다. 그러나 국부이온주입법은 불순물을 얇게 도핑하는데 유리하나 고가 장비를 사용하여야 하고 이온 주입시 반도체 격자의 손상을 초래할 수 있다. 또한 확산법은 넓은 영역의 도핑에 일반적으로 적용하는 것으로, 고농도 불순물을 국부적으로 도핑하기 위한 구체적인 공정 조건을 제시하지 않았기 때문에 실제 적용되기 까지 많은 문제를 초래할 수 있다.

[0007] 다른 종래기술의 예로서 [문헌3]에는 원자층 증착법에 의하여 기판의 표면에 Zn 전구체를 흡착시켜 Zn를 포함하는 원자층을 형성하고 질소 전구체 및 산소 전구체를 각각 주입하여 기판에 흡착된 Zn 전구체와 질소 전구체 및 산소 전구체 간의 표면 화학반응을 이용하여 질소가 도핑된 n-타입 ZnO 반도체 박막을 형성하는 방법을 제시하고 있다. 그러나 [문헌3]에서 적용하는 원자층 증착법(ALD)이 박막 증착에 유리하나 원료를 주기적으로 공급하고 여분을 제거하는 과정을 계속 반복하여야 하기 때문에 증착속도가 느려 양산라인에 광범위하게 적용하기 힘든 단점이 있다.

[0008] 또 다른 종래기술의 예로서 [문헌4]에는 금속이 도핑된 투명 전도성 산화물 박막을 적용한 박막 트랜지스터가 알려져 있고, 이러한 투명 전도성 산화물 박막은 ZnO 막 형성과 동시에 Mo가 ZnO 막 속으로 도핑되도록 Mo과 ZnO 를 동시에 증착하여 Mo-도핑된 ZnO 막을 형성하고, Mo-도핑된 ZnO 막 상에 Mo로 금속막을 코팅하고 나서 Mo 금속막이 코팅된 Mo-도핑된 ZnO 막을 250 내지 350℃의 온도에서 열처리하는 단계를 포함하여 형성하게 된다.

[0009] 상기 문헌들에서 소스 영역과 드레인 영역에 불순물을 도핑하기 위하여 활성층(채널층) 위에 금속막을 증착하여 열처리하거나, 금속과 ZnO 막을 동시에 증착하여 열처리하는 방법을 제시하고 있다. 이런 방법으로 열처리하는 경우에는 금속막과 활성층 사이의 계면 접착력을 일부 개선할 수 있으나, 금속원자의 확산에 의한 접촉저항의 급격한 감소효과를 기대하기 어렵다. 왜냐하면 금속원자의 확산을 위해서는 열처리 온도를 금속막의 융점(melting point)에 가깝게 높여야 하는데, 이때 금속박막이 공기 중으로 증발되거나 활성층과의 열팽창계수차이로 인하여 벗겨지게 되므로 활성층으로 금속원자의 확산이 미약하게 되는 문제가 있다.

[0010] 앞서 설명한 선행문헌들을 포함한 종래 기술과 연결하여 이들 및 기타 문제점을 해결하기 위하여 구현이 용이하고 실용성이 높은 열확산법을 이용하여 소스 및 드레인 영역에 고농도 불순물을 선택적으로 도핑할 필요성이 존재한다.

선행기술문헌

특허문헌

- [0011] (특허문헌 0001) [문헌1] 한국등록특허 제10-0490924호(2005.05.24)
 (특허문헌 0002) [문헌2] 한국등록특허 제10-0847846호(2008.07.23)
 (특허문헌 0003) [문헌3] 한국공개특허 제10-2010-0055655호(2010.05.27)
 (특허문헌 0004) [문헌4] 한국등록특허 제10-0999501호(2010.12.09)

비특허문헌

- [0012] (비특허문헌 0001) 없음

발명의 내용

해결하려는 과제

- [0013] 본 발명의 일측면은 금속 박막을 확산 소스로 이용하기 위하여 활성층과 금속박막 및 활성층을 적층구조로 증착한 후 열확산법을 이용하여 소스 및 드레인 영역에 고농도 불순물을 선택적으로 도핑함으로써 활성층과 접합되는 계면의 접촉저항을 낮추어 고이동도의 투명 박막트랜지스터를 제공하는 것이다.

과제의 해결 수단

- [0014] 상기와 같은 본 발명의 실시예에 따른 금속박막을 확산소스로 이용하는 투명 박막트랜지스터의 제조방법은, ZnO계 제1활성층을 형성하고, 상기 제1활성층의 상부 영역 중 소스 전극 및 드레인 전극에 대응하는 복수 영역 상에 금속박막을 형성하며, 상기 금속박막 상에 ZnO계 제2활성층을 형성하고, 적층된 제1활성층과 금속박막과 제2활성층을 열처리하여 상기 제1활성층과 상기 제2활성층에 상기 금속박막의 금속원자들을 확산시켜 n-타입 박막을 형성하며, 상기 n-타입 박막 상에 소스 전극과 드레인 전극을 형성하는 것을 특징으로 한다.

- [0015] 상기와 같은 본 발명의 실시예에 따른 금속박막을 확산소스로 이용하는 투명 박막트랜지스터는, ZnO계 제1활성층과 금속박막 및 ZnO계 제2활성층을 적층구조로 순차 형성하고, 열확산법을 이용하여 상기 제1 및 제2활성층에 상기 금속박막의 금속원자들을 확산시켜 형성한 n-타입 박막; 및 상기 n-타입 박막 상에 형성된 드레인 전극 및 소스 전극;을 포함하는 것을 특징으로 한다.

발명의 효과

- [0016] 이와 같은 본 발명은 활성층과 금속박막 및 활성층을 적층구조로 증착한 후 열처리하여 n-타입 금속막을 형성하고, 이러한 n-타입 금속막을 투명 박막트랜지스터에 적용하는 경우 소스 및 드레인 영역에 고농도 불순물이 선택적으로 도핑됨으로써 활성층과 접합되는 계면의 접촉저항을 낮추어 전하이동도를 높임으로써 투명 박막트랜지스터의 특성을 개선할 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 실시예에 따른 금속박막을 확산소스로 이용하는 투명 박막트랜지스터의 단면도이다.
- 도 2a 내지 도 2f는 본 발명의 실시예에 따른 금속박막을 확산소스로 이용하는 투명 박막트랜지스터의 제조방법의 공정도를 단계별로 나타내는 도면이다.
- 도 3은 본 발명의 실시예에 따른 ZnO계 활성층 사이에 금속박막을 증착하고 열처리한 후 측정된 XPS 분석결과를 나타내는 그래프이다.
- 도 4는 본 발명의 실시예에 따른 금속박막을 확산소스로 이용하는 투명 박막트랜지스터의 전기적 특성을 설명하기 위한 전달특성 곡선을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명의 실시예에 따른 금속박막을 확산소스로 이용하는 투명 박막트랜지스터는 ZnO계 활성층에 금속박막을 형성하고 그 위에 ZnO계 활성층을 적층 형성하여 열처리함으로써 고농도 불순물이 도핑된 n-타입 박막을 형성하며, n-타입 박막 상에 소스 및 드레인 전극을 형성하는 것이다.
- [0019] n-타입 박막은 소스 영역 및 드레인 영역에 각각 형성되며, 이러한 n-타입 박막에 사용되는 금속박막은 인듐(In)이나 안티몬(Sb) 등 3족 원소의 금속막을 10 내지 50 nm의 두께 범위에서 증착하여 형성할 수 있다. 여기서 금속박막의 두께는 투명 박막의 두께에 따라서 달라질 수 있다.
- [0020] ZnO계 활성층이 상부와 하부에 형성된 금속박막은 열처리를 거치면서 금속박막의 금속원자들이 상부 및 하부의 ZnO계 활성층으로 확산되어 고농도 불순물이 도핑된 n-타입 박막을 형성하게 된다. 박막 트랜지스터의 종류에 따라 ZnO계 활성층 위에 n-타입 박막을 형성하거나 소스·드레인 전극을 형성한 후 그 위에 n-타입 박막을 형성할 수도 있다.
- [0021] 본 발명에 따른 투명 박막트랜지스터는 도 1과 같은 구조를 가질 수 있다. 도 1을 참조하면, 기판(10) 상에 순차적으로 게이트 전극(20), 게이트 절연막(30), 그리고 활성층(40) 및 적층 구조의 n-타입 박막(50)과 소스·드레인 전극(60)이 형성되어 있는 스테거드 바텀 게이트형(staggered bottom-gate type) 구조를 가질 수 있다.
- [0022] 실시예에서는 도시하지 않았으나, 스테거드 톱 게이트형(staggered top-gate type) 구조, 코플래너 바텀 게이트형(co-planar bottom-gate type) 구조, 코플래너 톱 게이트형(co-planar top-gate type) 구조를 가질 수도 있다.
- [0023] 설명의 편의를 위해, 도 1의 스테거드 톱 게이트형 구조의 투명 박막트랜지스터를 참조하여, 도 2 a 내지 도 2f에 따라 각 층의 제조공정을 상세히 설명한다.
- [0024] 상기 기판(10)으로는 유리, 실리콘 및 플라스틱이 사용될 수 있지만, 투명 소재를 이용할 수 있으면 특정하게 제한되는 것은 아니다.
- [0025] 상기 기판(10) 상의 게이트 전극(20)은 ITO, IZO 등과 같은 투명 산화물, Mo, Pt, Ti, Ag, Al, Cr, Ni 등과 같은 여러 종류의 저항이 낮은 금속 또는 전도성 고분자가 사용될 수 있지만, 이것으로 제한되는 것은 아니다. 상기 게이트 전극(20)은 이 분야의 통상적인 두께로 스퍼터링법, 원자층 증착법(ALD) 또는 화학기상 증착법(CVD) 등의 공정을 통해 형성된 후 패터닝된다.
- [0026] 상기 기판(10) 및 게이트 전극(20) 상에 형성되는 게이트 절연막(30)은 투명한 산화물 또는 절화물, 예를 들면 SiNx, AlO₃, TiO₂, AlOx, TaOx 및 기타 고유전상수(high-k) 물질들 중 어느 하나 이상을 포함할 수 있다.
- [0027] 도 2a와 같이, 상기 게이트 절연막(30) 상에 형성되는 상기 ZnO계 활성층(40)은 소스 전극과 드레인 전극의 채

널층 역할을 하는 것으로, ZnO계 물질을 사용하여 스퍼터링법, 레이저 증착법 등과 같은 공정으로 이 분야의 통상적인 두께로 형성될 수 있으며, 예를 들어 ZnO계 물질은 ZnInO, ZnSnO, ZnGaO 등으로 이루어진 군에서 하나 이상 선택될 수 있다.

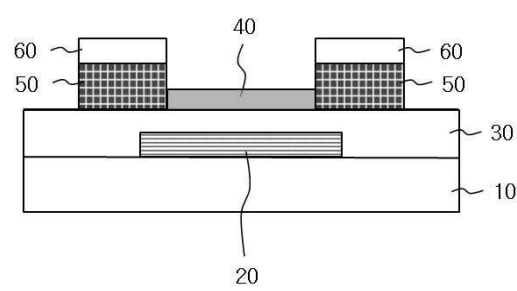
- [0028] 상기 게이트 절연막(30) 상에 형성되는 상기 n-타입 박막(50)과 상기 소스·드레인 전극(60)은 적층 구조로 순차적으로 형성되는데, 도 2b 내지 도 2e에 따라 n-타입 박막(50)을 형성한 후 그 위에 소스·드레인 전극(60)을 형성한다. 여기서 상기 n-타입 박막(50)은 소스 및 드레인의 도핑 영역으로, 먼저 도 2b와 같이 상기 ZnO계 활성층(30)의 상부 영역 중 소스 전극과 드레인 전극에 대응하는 복수 영역에 금속박막(51)을 형성한다. 금속박막(51)은 인듐(In)과 안티몬(Sb)을 포함한 3족 금속을 증착하여 형성한다. 금속박막의 두께는 10 내지 50 nm 범위인 것이 바람직하다.
- [0029] 그런 다음 도 2c와 같이 금속박막(51) 상에 ZnO계 활성층(52)을 적층하여 형성하는데, ZnO계 물질을 사용하여 스퍼터링법, 레이저 증착법 등과 같은 공정으로 형성될 수 있으며, 예를 들어 ZnO계 물질은 ZnInO, ZnSnO, ZnGaO 등으로 이루어진 군에서 하나 이상 선택될 수 있다.
- [0030] 그런 다음 도 2d와 같이 열처리한다. 여기서 열처리는 300℃ 내지 400℃의 온도에서 10분 내지 30분 동안 수행한다. 열처리에 의하여 금속박막(51)의 금속원자들은 하부의 ZnO 활성층(40)과 상부의 ZnO 활성층(52) 안으로 확산되어 도 2e와 같이 고농도 불순물이 도핑된 n-타입 박막(50)이 형성된다.
- [0031] 그런 다음 도 2f와 같이 채널층(40) 양측에 접합된 n-타입 박막(50) 상에 각각 소스·드레인 전극(60)을 형성한다.
- [0032] 열처리를 이용하여 금속원자를 확산시키는 열확산법을 적용하여 형성한 n-타입 박막(50)에 대한 특성을 알아보기 위한 실험 결과를 다음과 같이 얻을 수 있었다.
- [0033] 도 3은, ZnO 박막과 금속박막 및 ZnO계 박막을 적층하고, 예를 들어 10 내지 50 nm의 두께로 인듐(In)을 증착하여 형성한 금속박막의 상부와 하부에 각각 ZnO계 활성층이 위치한 적층구조에 대해 300℃ 내지 400℃ 온도에서 10분 내지 30분 동안 열처리 한 후 측정한 XPS 분석결과이다. 도 3의 그래프에서 인듐(In)이 ZnO 박막에 도핑되었음을 알 수 있다.
- [0034] 도 4는 본 발명에 따른 n-타입 박막을 적용한 투명 박막트랜지스터의 전기적 특성을 설명하기 위한 전달특성 곡선을 나타낸 그래프로서, 열처리를 통하여 소스 및 드레인 영역과 ZnO계 활성층의 계면 접촉저항이 감소됨에 의하여 드레인 전류가 증가되었으며, 전자이동도가 14 cm²/Vsec에서 22 cm²/Vsec로 증가됨을 알 수 있었다.
- [0035] 이상 본 발명의 특정 실시예를 도시하고 설명하였으나, 본 발명의 기술사상은 첨부된 도면과 상기한 설명내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변형이 가능함은 이 분야의 통상의 지식을 가진 자에게는 자명한 사실이며, 이러한 형태의 변형은, 본 발명의 정신에 위배되지 않는 범위 내에서 본 발명의 특허청구범위에 속한다고 볼 것이다.

부호의 설명

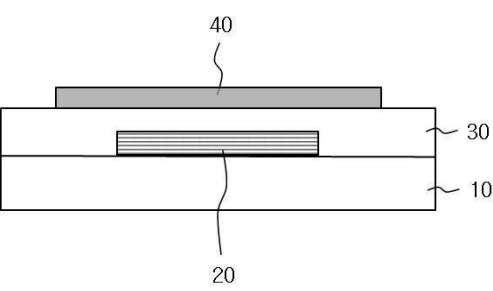
- [0036] 10 : 기판
 20 : 게이트 전극
 30 : 게이트 절연막
 40 : ZnO계 활성층
 50 : n-타입 박막
 51 : 금속박막
 52 : ZnO계 활성층
 60 : 소스 전극, 드레인 전극

도면

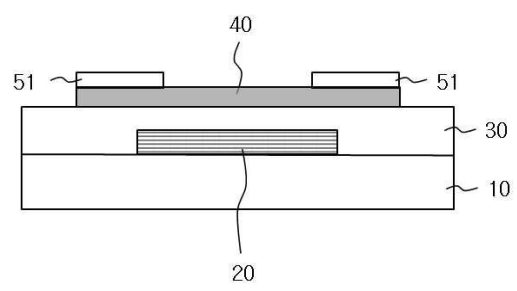
도면1



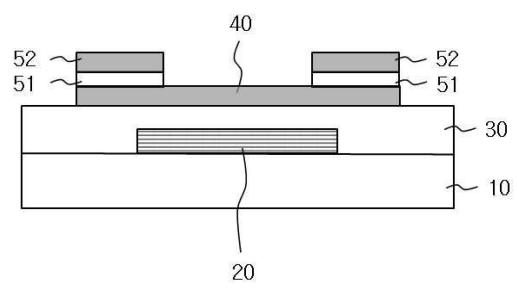
도면2a



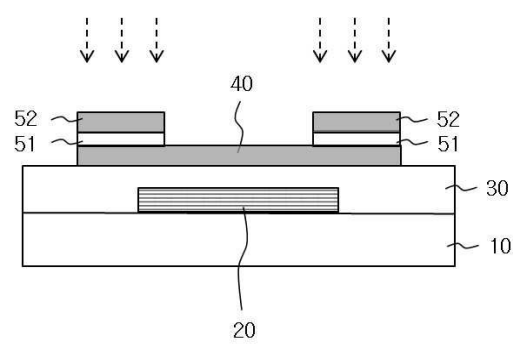
도면2b



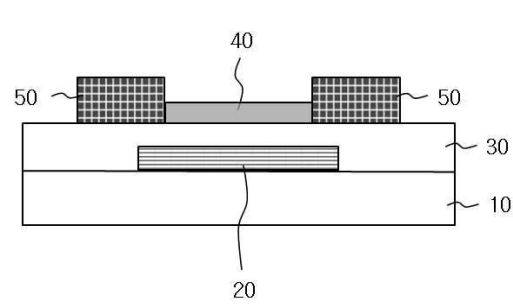
도면2c



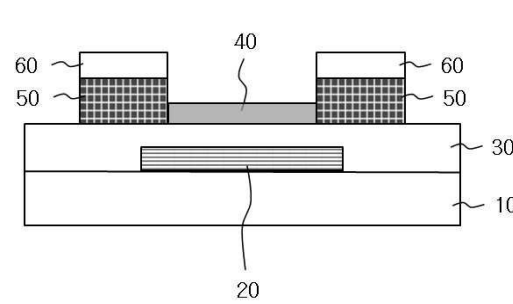
도면2d



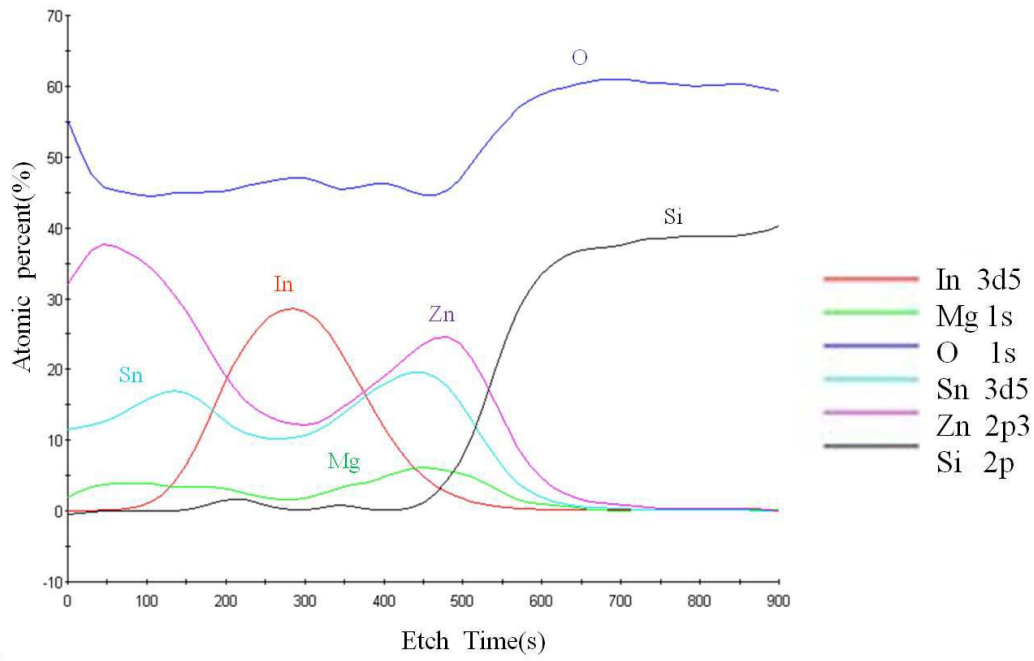
도면2e



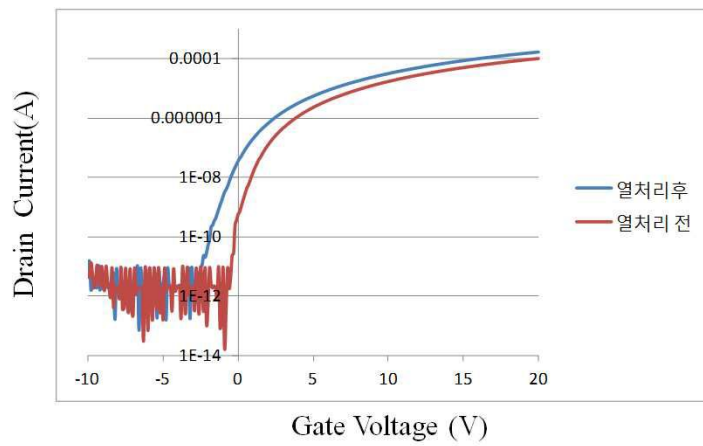
도면2f



도면3



도면4



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 요약서

【보정세부항목】 청구항 1

【변경전】

상기 적층된

【변경후】

적층된