

|      |                                      |
|------|--------------------------------------|
| 申請日期 | 86. 9. 25                            |
| 案 號  | 86111645                             |
| 類 別  | 1+01L <sup>21</sup> / <sub>335</sub> |

A4  
C4

(以上各欄由本局填註)

| 發 明 專 利 說 明 書 |               |                                                                                                              |
|---------------|---------------|--------------------------------------------------------------------------------------------------------------|
| 一、發明<br>新 型   | 中 文           | 閘極氧化物擴散障壁特性增進方法                                                                                              |
|               | 英 文           | METHOD OF IMPROVING THE DIFFUSING BARRIER PROPERTIES OF GATE OXIDES                                          |
| 二、發明<br>創 作 人 | 姓 名           | 何索馬<br>Thomas C. Holloway                                                                                    |
|               | 國 籍           | 美國籍                                                                                                          |
| 三、申請人         | 住、居所          | 美國德州慕富市摩賴街134號<br>134 Moonlight Dr., Murphy, TX 75094, USA                                                   |
|               | 姓 名<br>(名稱)   | 美商德州儀器公司<br>Texas Instruments Incorporated                                                                   |
|               | 國 籍           | 美國                                                                                                           |
|               | 住、居所<br>(事務所) | 美國德克薩斯州達拉斯城北方大廈655474號信箱<br>P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA |
|               | 代 表 人<br>姓 名  | 郝威廉(William E. Hiller)                                                                                       |

406340

裝

訂

線

406340

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大 類：      |
| I P C 分類： |

A6  
B6

本案已向：

美 國 ( 地 區 ) 申 請 專 利 , 申 請 日 期 : 西 元 1996 年 案 號 : 60/023,752 , ☒ 有 ☐ 無 主 張 優 先 權  
8 月 12 日

有 關 微 生 物 已 寄 存 於 :

, 寄 存 日 期 :

, 寄 存 號 碼 :

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

## 發明之背景

## 發明之領域

本發明係關於一種增進閘極氧化物擴散障壁特性之方法。

## 先前技藝之簡要說明

連續縮小MOSFET電晶體之幾何結構曾導致需要連續較短之閘極長度( $<0.3$ 微米)。此種幾何結構縮小也需要閘極氧化物厚度縮小至約為5毫微米，及操作供給電壓之減低，以便支持最小之閘極長度，而無過高之界限電壓。自從n-型及p-型多晶矽(polysilicon)在MOSFET普遍使用作為閘電極材料，並且高閘電極摻雜為使在閘電極之耗盡層深度減至最小所必不可少以來，自多晶矽之摻雜物擴散通過閘極氧化物並進入MOSFET之溝道部位，變成縮小閘極氧化物厚度之一項逐漸增加之問題。對於硼摻雜多晶矽閘極在p-溝道MOSFET有一p-型多晶矽閘電極之情形，此問題特別具有決定性。

在製造現代化MOSFET電晶體時，嘗試使此問題減至最小，通常涉及改進閘氧化物之擴散障壁特性。對MOS電晶體之閘極氧化物提供改良之擴散障壁特性，先前技藝方法包括在處理過程中，在閘極氧化物之表面露出時，氮以 $N_2$ 及/或氮氧化物( $N_2O$ )之形式導入環境中。雖然在閘極氧化物之露出表面形成羥基氮化物，藉以對閘極氧化物提供合宜之擴散障壁特性，但由於在溝道/閘極氧化物( $Si/SiO_2$ )介面存在有氮，此方法也導致表面載體流動性之減

## 五、發明說明(2)

低。

人們也曾嘗試使用再氧化，氮化之氧化物(ROXNOX)，及使用氮氧化物環境增長之氧化物，改進 $\text{SiO}_2$ 之障壁特性。在該二情況，重氮化部位靠近 $\text{Si}/\text{SiO}_2$ 溝道介面，並使載體流動性衰變。在離開溝道介面之閘極氧化物包括有一羥基氮化物部位，諸如羥基氮化物數著或習知離子植入之其他方法，蒙受氧化物薄(10毫微米或更薄)，而致其需要非常精密之數著控制或非常低離子植入能量之問題。因此顯然需要改進之程序，供新世代之MOSFET形成擴散障壁。發明之概述

根據本發明，提供一種增進 $\text{SiO}_2$ 之擴散障壁特性之方法，此為使用等離子體放電產生氮之自由基所完成，環境中之氮之自由基使露出之閘極氧化物之表面轉化為羥基氮化物。再者，如果等離子體反應器構形為正常供反應離子蝕刻(reactive ion etch, 簡稱RIE)所使用者，則需要約50 eV至1000 eV，較佳約300 eV之很低能量，供氮離子之離子植入至閘極氧化物之表面，以露出之閘極氧化物之表面轉化為羥基氮化物。該程序包括將其上有閘極氧化物之晶圓自約 $27^\circ\text{C}$ 之低溫加熱至約為 $800^\circ\text{C}$ ，對於氧化物中包括有較高之氮，以較高之溫度為較佳，但 $300^\circ\text{C}$ 或更低與RIE設備更為相容。一較佳之折衷溫度約為 $650^\circ\text{C}$ 。結果為氮保留至閘極氧化物之表面部位。主要之考慮為防止氮達到 $\text{SiO}_2$ 閘極層之底部，因為在MOSFET之表面載體流動性然後將會衰變。因之，藉至少一原子單層(約0.3毫微米)

## 五、發明說明(3)

使氮保持離開開極氧化物/矽基片介面。所產生之可接受深度範圍因之依目標開極氧化物厚度而定，但對於4毫微米開極氧化物，可接受之深度範圍自約一原子層至約3.5毫微米，自表面之較佳尖峰濃度深度為1毫微米。

簡要而言，以習知方式部份製成MOSFET，直到並包括在矽基片上形成一薄開極氧化物。露出之開極氧化物之表面然後予以處理，以便形成羥基氮化物表面部位。

根據一種較佳實施例，使開極氧化物表面暴露至等離子體放電，以氮氣( $N_2$ )及/或氮氧化物( $N_2O$ )作為放電主要氣體或諸氣體，藉以形成羥基氮化物部位。自此放電所產生之 $N^+$ 自由基使表面之 $SiO_2$ 分離，以形成表面羥基氮化物。

另外，根據本發明之第二實施例，如果等離子體反應器係呈反應離子蝕刻構形，基片為在供電之電極上，將會發生氮離子對開極氧化物之表面轟擊，導致氧化物表面之很低能量離子植入。此離子植入之能量被相對於等離子體之基片電位所控制，其受反應器功率密度及氣體壓力所控制。氮自由基轉化或離子轟擊或二者之組合可用以將薄開極氧化物之表面轉化為羥基氮化物，其將會抑制摻雜物雜質自開電極擴散。MOSFET處理流程然後以標準方式繼續，以完成其製造。

## 較佳實施例之說明

根據本發明，MOSFET之製造利用標準處理流程，直到並包括形成開極氧化物，但不包括開電極敷著，其中以標準

## 五、發明說明(4)

方式將矽基片上之氧化物層作成圖案及蝕刻，藉以形成一其上有開極氧化物之矽基片或層。然後只使用自由基，只使用離子或自由基及離子之組合，將開極氧化物之露出表面轉化為羥基氮化物。根據本發明之第一實施例，此為將晶圓加熱至溫度約為 $650^{\circ}\text{C}$ ，並在等離子體室藉微波等離子體配合 $\text{N}_2$ 氣體源在遠處產生自由基所完成。根據本發明之第二實施例，此為將晶圓加熱至溫度約為 $400^{\circ}\text{C}$ ，然後並提供一平行板反應器，有RF功率電容性耦合至存在有 $\text{N}_2$ 氣體源之基片(亦即RIE模式)所完成。 $\text{N}_2$ 氣體壓力及RF功率予以設定為獲得約-300伏DC基片電極偏壓，以提供露出氧化物層之氮離子轟擊。可同時提供第一及第二實施例之組合作為第三實施例。繼開電極數著在其表面形成羥基氮化物之後，為其餘標準MOSFET處理流程，以完成裝置製造。

雖然本發明業經參照特定較佳實施例予以說明，但精於此項技藝者將會立刻明白很多變化及修正。因此後附之申請專利範圍意為考慮先前技藝儘可能予以廣義解釋為包括所有此等變化及修正。

## 四、中文發明摘要(發明之名稱 閘極氧化物擴散障壁特性增進方法)

一種提供一具有增進之閘極氧化物擴散障壁特性之 MOSFET 之方法，其包含提供一部份製成，有一露出之閘極氧化物表面之 MOSFET。在 MOSFET 製造期間，露出之閘極氧化物表面藉施加氮之離子或自由基之一或二者至露出之閘極氧化物表面而轉化至羥基氮化物。然後，以標準方式完成 MOSFET 之製造。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱)

METHOD OF IMPROVING THE DIFFUSING  
BARRIER PROPERTIES OF GATE OXIDES

A method of providing a MOSFET having improved gate oxide diffusion barrier properties, which comprises providing a partially fabricated MOSFET having an exposed gate oxide surface. During MOSFET fabrication, the surface of the exposed gate oxide is converted to an oxynitride by applying one or both of ions or free radicals of nitrogen to the exposed gate oxide surface. Fabrication of the MOSFET is then completed in standard manner.

專利  
代理人  
曾代  
律師

訂

線

## 六、申請專利範圍

1. 一種提供具有增進閘極氧化物擴散障壁特性之MOSFET之方法，包含下列步驟：

(a)提供一部份製成，有露出之閘極氧化物表面之MOSFET；

(b)施加氮之離子或自由基之一或二者至該露出之閘極氧化物表面，藉以將該表面轉化至羥基氮化物；以及

(c)完成該MOSFET之製造。

2. 一種提供具有增進閘極氧化物擴散障壁特性之MOSFET之方法，包含下列步驟：

(a)提供一部份製成，有露出之閘極氧化物表面之MOSFET；

(b)藉氮之低能量植入至該露出之閘極氧化物表面，自約50 eV至約1000 eV，將該表面轉化至羥基氮化物；以及

(c)完成該MOSFET之製造。

3. 根據申請專利範圍第2項之方法，其中該低能量植入為反應離子蝕刻植入。

4. 一種製造閘極氧化物，供一其上有擴散障壁之MOSFET之方法，包含下列步驟：

(a)提供一部份製成之MOSFET半導體裝置，有一層絕緣體材料及一露出之閘極氧化物在該層絕緣體材料形成一有該半導體層之介面；以及

(b)使該露出之表面承受至少氮之自由基或離子之一，以在該閘極氧化物之露出表面形成一羥基氮化物部位。



## 六、申請專利範圍

5. 根據申請專利範圍第4項之方法，其中該羥基氮化物與介面間隔至少一原子單層。
6. 根據申請專利範圍第4項之方法，其中藉將部份製成之MOSFET半導體裝置加熱至溫度約 $27^{\circ}\text{C}$ 至約 $800^{\circ}\text{C}$ 之範圍，並且在微波等離子體提供氮氣，藉以產生並施加自由基至該露出之閘極氧化物之步驟，使該露出之表面承受自由基。
7. 根據申請專利範圍第6項之方法，其中該溫度約為 $650^{\circ}\text{C}$ 。
8. 根據申請專利範圍第4項之方法，其中羥基氮化物部位之深度係自接近零之有限距離至羥基氮化物層之露出表面之表面至該介面之距離之約百分之90。
9. 根據申請專利範圍第6項之方法，其中羥基氮化物部位之深度係自接近零之有限距離至羥基氮化物層之露出表面之表面至該介面之距離之約百分之90。
10. 根據申請專利範圍第7項之方法，其中基羥基氮化物部位之深度係自接近零之有限距離至羥基氮化物層之露出表面之表面至該介面之距離之約百分之90。
11. 根據申請專利範圍第4項之方法，其中藉將部份製成之MOSFET半導體裝置加熱至約 $400^{\circ}\text{C}$ 之溫度，在 $\text{N}_2$ 氣體中提供一平行板反應器，使RF功率電容性耦合至該已加熱之部份製成之MOSFET半導體裝置，並且導使該反應器提供離子之步驟，使該露出之表面承受離子。
12. 根據申請專利範圍第11項之方法，其中該 $\text{N}_2$ 氣體之

## 六、申請專利範圍

壓力及RF功率予以設定為在該裝置獲得約-300伏DC偏壓，以提供露出之氧化物層之氮離子轟擊。

13. 根據申請專利範圍第4項之方法，其中該露出之表面經受氮之自由基或離子二者，以在該閘極氧化物之露出表面形成羥基氮化物部位。
14. 根據申請專利範圍第13項之方法，其中藉將部份製成之MOSFET半導體裝置加熱至約400°C之溫度，在N<sub>2</sub>氣體中提供一平行板反應器使RF功率電容性耦合至該已加熱之部份製成之MOSFET半導體裝置，並導使該反應器提供離子之步驟，使該露出之表面承受離子；以及其中藉將部份製成之MOSFET半導體裝置加熱至溫度約27°C至約800°C之範圍，並在微波等離子體提供氮氣藉以產生並施加自由基至該露出之閘極氧化之步驟，使該露出之表面承受自由基。