

**(19) 대한민국특허청(KR)**  
**(12) 특허공보(B1)**

(51) Int. Cl.<sup>5</sup>

G11B 5/09

G11B 20/10

(21) 출원번호

특1987-0010796

(22) 출원일자

1987년09월29일

(45) 공고일자 1991년05월28일

(11) 공고번호 91-003378

(30) 우선권주장

234958 1986년10월02일 일본(JP)

242522 1986년10월13일 일본(JP)

(71) 출원인

니뽕 빅터 가부시끼가이샤 이노우에 도시야

일본국 가나가와쿄 요꼬하마시 가나가와구 모리야쵸 3쵸메 12반지

(72) 발명자

히까와 가즈오

일본국 가나가와쿄 요꼬하마시 가나가와구 모리야쵸 3쵸메 12반지 니뽕  
빅터 가부시끼가이샤 나이

(74) 대리인

이병호, 최달용

**심사관 : 강용선 (책자공보 제2307호)**

**(54) 디지털 신호 복조 및 재생장치**

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

디지털 신호 복조 및 재생장치

[도면의 간단한 설명]

제 1 도는 본 발명의 장치의 블럭 어드레스 재상부의 한가지.

제 2 도는 제 1 도에 도시된 장치 각 부분의 신호 타임 채트.

제 3 도는 제 1 도에 도시된 블럭 어드레스의 보호회로를 도시한 도면.

제 4 도는 제 3 도에 도시된 ROM의 어드레스 데이터와의 관계를 도시한 도면.

제 5 도는 PCM 데이터의 신호 포맷을 설명한 도면.

제 6 도 및 제 7 도는 각각은 서브코드 데이터의 신호 포맷을 설명하는 도면.

제 8 도는 종래장치의 블럭 어드레스 재생부의 한가지 실시예의 블럭 계통도.

제 9 도는 본 발명의 장치의 한가지 실시예의 블럭 계통도.

제 10 도는 본 발명의 장치 및 종래 장치의 동작 타이밍 채트.

제 11 도는 본 발명의 장치의 서브 영역 기록을 설명하기 위한 도면.

제 12 도는 종래 장치의 한가지 실시예의 일부의 블럭 계통도.

\* 도면의 주요부분에 대한 부호의 설명

20 : 블럭 어드레스 재생회로

21 : 패리티 검사회로

23 : NAND 회로

26 : 블럭 어드레스 보호회로

27 : 계수기

28 : ROM

101 : 자기테이프

102 : 회전헤드

104 : 데이터 식별회로

105 : 복조회로

106 : 블럭 재생회로

108 : RAM

109 : ATF 검출회로

111 : 타이밍 발생 계수기

112 : 논리회로

113 : 블럭 어드레스 계수기

115 : RAM 기력 어드레스 제어회로 118 : 싱크 검출, 심볼 계수기

## [발명의 상세한 설명]

본 발명은 디지털 신호 복조장치 및 재생장치에 관한 것으로 특히 회전헤드에 의해 자기테이프에 기록된 신호 즉, 디지털 신호를 복조 및 재생하는 장치에 관한 것이다.

종래에는 회전헤드를 사용하여 디지털 오디오 신호를 자기테이프에 기록하고 또한 재생하는 디지털 오디오 테이프 레코더(이하 "R-DAT"라 함)가 개발되어 있다. 상기 R-DAT에 있어서는 회전헤드로서 자기테이프에 기록되어 있는 한쌍의 트랙마다 196블럭 길이의 디지털 신호가 기록되어 있고, 128블럭의 PCM 데이터 영역과 그 전후의 영역에 배치된 각 8개 블럭의 서브코드 영역이 그 바깥에 있다. 제 5 도는 상기 PCM 데이터중의 1블럭의 구성을 도시하며, 1블럭의 최초에는 동기신호(싱크)가 배치되고, 이하 ID 코드, 블럭 어드레스, 패리티, 전부로서 32개 심볼(1개 심볼은 8비트)의 PCM 데이터의 순서로 배치되어 있다. PCM 데이터는 아날로그 오디오 신호를 펄스 부로 변조(PCM)로서 얻어진 디지털 및 그의 패리티 부호 및 정정보호 등이 있다. 3개 심볼내의 블럭 어드레스는 그 중에서 하위 7비트로서 128개 블럭의 PCM 데이터에 있는 위치를 표시한다. 4개 심볼에는 패리티와 ID코드 및 블럭 어드레스의 오류 검출용 패리티 부호로서 존재한다. 따라서, ID 코드, 블럭 어드레스 및 패리티는 이들의 각 비트 단위로서 2를 가지며 가산치가 제로되면 올바른 것으로 판단한다.

또한 서브코드 영역의 1개 블럭의 신호 포맷은 제 6 도에 도시되어 있고, 동기신호, 각 1개의 심볼로 나누어진 워드 W1, W2, 패리티, 서브코드 데이터 PC1 내지 PC7 및 PC 패리티 등이 있다. 워드 W1은 ID 코드로 있고, W2의 하위 4비트는 블럭 어드레스를 표시한다. 또한, 4개 심볼내의 패리티는 워드 W1 및 W2의 에러를 검출하기 위해 존재하며, PC 패리티는 서브코드 데이터 PC1내지 P7의 에러 검출용의 패리티 부호로써 존재한다. PC1 내지 PC7 패리티 등이 있는 8개 바이트는 1개 팩으로 이루어지고, 1개 블럭중에는 전부 4개 팩이 시간 계열적으로 배치되어 있다. 또한 서브코드 영역에 있어서는 제 7 도에 도시된 바와 같이, 서로 인접한 2개 블럭에 있어서, 데이터가 완결되는 것에 의해 이루어지고, 팩 1 내지 7에 있어서, 블럭 2n+1의 최후의 팩에는 에러 정정 코드로서 C1코드가 부가되어 있다. 이것으로서, PCM 데이터 영역의 각 블럭의 32개 심볼의 PCM 데이터는 버스트 에러 방지를 위해서 인터리브되어 있고, 이것을 복조할 시에 상기 PCM 데이터는 물론 재생된 PCM 데이터의 절대적인 위치마다 있는 블럭 어드레스가 중요한 요소가 된다. 제 8 도는 종래의 디지털 신호 복조장치 블럭 어드레스 재생부의 일예의 블럭 계통도를 도시한다. 상기 도면에서 회전헤드(5)를 포함하여 전부 2개의 회전헤드에 의해 상호재생된 기록된 자기테이프(6)상의 이미 기록된 기록신호는 재생증폭기(10)를 통해서 파형 등화회로(11)에 공급되고, 이것으로 소정의 파형 등화를 행한 후, 위상 고정 루프(PLL)(12)에 공급된다. PLL(12)에 의해 재생 데이터와 이것에 위상동기된 클럭이 추출되어 직렬-병렬 변환기(13)에 제공된다.

직렬-병렬 변환기(13)는 직렬로 입력된 재생신호의 각 10비트의 직렬 데이터를 10비트 병렬로 변환하여 복조회로(14)에 제공된다. 복조회로(14)는 8내지 10개 복조에 의해 10비트 병렬 데이터를 8비트 병렬로 변환되어 블럭 어드레스 재생회로(15)에 제공된다.

직렬-병렬 변환기(13)는 직렬로 입력된 재생신호의 각 10비트의 직렬 데이터를 10비트 병렬로 변환하여 복조회로(14)에 제공된다. 복조회로(14)는 8내지 10개 복조에 의해 10비트 병렬 데이터를 8비트 병렬로 변환되어 블럭 어드레스 재생회로(15)에 제공된다.

블럭 어드레스 재생회로(15)는 패리티 검사회로(16), 계수기(17)등에 의해 구성된다. 패리티 검사회로(16)는 ID코드, 블럭 어드레스, 패리티 각각의 8비트의 모듈 2의 가산을 행하여, 그 연산결과가 전체 비트 '0'로 되면 계수기(17)에 로드신호를 제공한다. 검사회로(16)는 복조기회로(14)에 의해 블럭 어드레스를 래치시키고, 상기 블럭 어드레스는 절환회로(41)에 의해 서브코드 영역 재생시에 상위비트를 '0'으로 하고, 또한 PCM 데이터 영역 재생시 그 각각 계수기(17)에 제공된다. 계수기(17)는 로드신호의 입력시에 블럭 어드레스를 래치시키고, 로드신호가 공급되면 블럭 어드레스의 재생시에 동기된 단자(18)에 의해 제공되는 계수 클럭신호에 의해 1이 카운트 업되고, 그 계수치를 재생 블럭 어드레스로서 단자(19)에 의해 출력된다.

또한 제 12 도는 종래 장치의 한가지 예의 일부의 블럭 계통도를 도시하며, 예를 들면, 특개소 61-107506호 공보에 공개된 것이다. 상기 도면에 있어서 자기테이프(101)로부터 회전헤드(112)에 의해 재생된 신호는 제 10a 도에 도시된 구조으로 되어 있고 1트랙중에는 SUB영역(8블럭) 2개 및 PCM 영역(128블럭) 1개를 가지고 있으며, 특히, PCM영역은 인터리브 및 에러 검출과 정정을 위해 재생된 데이터가 어느 블럭내에 있는가를 알 필요가 있고, 통상 RAM영역은 재생된 블럭 어드레스 및 1블럭의 심볼 어드레스의 순서로 결정된다. 회전헤드(102)로부터 신호는 재생회로(103)를 통하여 데이터 식별회로(104)에 공급되어 디지털 신호를 식별한다. 데이터 식별회로(104)의 출력신호는 복조회로(105)에 의해서 복조되는 한편 동기검출, 블럭 어드레스 재생회로(106)에서 동기신호 및 블럭 어드레스를 검출하여 RAM에 기록하고, 어드레스 제어회로(107)에 제공된다. RAM 기록 및 어드레스 제어회로(107)에는 동기신호를 기준으로 하여 심볼 어드레스 계수기를 동작시키고, 이들의 계수기의 출력을 모두 RAM에 기록하는 어드레스를 결정한다. 한편, 재생회로(103)의 신호는 트랙킹 제어신호 ATF 검출회로(109)에서 ATF신호를 검출하고, 데이터 영역 판별회로(110)에 제공된다. 데이터 영역 판별회로(110)에서는 ATF의 위치에 의해 디지털 신호가 기록폭 영역의 위치를 추정하는 것에 의해 데이터 영역 판별신호(제 10b 도)가 형성되고, 동기검출 블럭 어드레스 재생회로(106)에 있는 동기 검출 및 RAM 기록 어드레스 제어회로(107)에 의해 (108)에 기록을 행하는 기간을 각각 결정한다.

자기테이프(6)상의 상처 또는 오염 등에 의해 동기신호의 재생 직후의 드롭 아웃의 발생하는 경우, 또는 드롭 아웃에 의해 동기신호 패턴이 발생하는 경우가 있다. 이러한 경우에는  $1/2^{\circ}$ 의 확률로 패

리티 검사회로(16)는 로드신호를 발생한다. 그 경우 블럭 어드레스는 에러가 있는 것으로 판단하고, 계수기(17)는 에러 블럭 어드레스를 출력한다. 이것에 의해서 후속의 32심볼의 PCM데이터는 디인터리브용 메모리에 에러가 있는 어드레스를 기록하는 것이 문제점이다.

본 발명의 상기의 점을 감안하여 에러가 없는 블럭 어드레스를 재생하는 디지털 신호 복조장치를 제공하는 것을 목적으로 한다. 또한 종래장치는 RAM 기록 어드레스 제어회로(107)내의 어드레스 계수기는 제 10c 도에 도시된 바와 같이 0블럭으로부터 392블럭까지 동작하도록 구성되어 있어서 PCM 영역의 최초의 계수출력은 제 10 도 중에서 시각  $t_0$ 를 기점(0)으로 하는 계수치까지 진행되고, 이 때 문에 RAM(108) 기록시에 RAM(108)을 효율적으로 사용하기 위해서는 상기 어드레스 계수 출력치를 어떤 형태로 디코드할 장치가 필요하다는 문제점이다.

또, 일반적으로 종래 장치에서도 후술하는 본 발명의 장치에서도 PCM 영역(또는 SUB영역)의 도중에 블럭 어드레스가 올바르게 재생된 때에 그 값을 어드레스 계수기에 로드하지만, 종래의 장치에서는 시각  $t_0$ 를 기점으로 하여 PCM 영역(또는 SUB영역)의 처음에 있는 계수치까지 진행하여 시각  $t_0$ 로부터 PCM영역(또는 SUB영역)의 최초까지 계수를 나누어 재생 블럭 어드레스값에 가산하여 그 가산된 값을 로드값으로 되지 않도록 하기 위해 상기와 같이 가산 디코드 회로가 필요하다는 문제점이 있다.

즉, PCM영역의 개시 시각  $t_1$  종료 시각  $t_2$ (블럭)으로 하고 재생 블럭 어드레스가  $\Phi$ 일 때는 로드값  $(0+t_1)$  블럭으로 되지 않는다. 또 RAM(108)에 데이터를 기록할 시에는 계수기의 출력으로 이용하고, RAM(108)의 영역은 어드레스 8로부터  $t_1-1$ 블럭분은 사용되지 않고,  $t_1$  블럭으로부터  $t_2$  블럭분을 어드레스에 기록하는 일이 있다. 따라서 RAM영역을 많이 필요로 하고, 그리고 RAM(108)영역을 삭제하는 경우(즉  $\Phi$ 로부터 기록하는 경우)에는 계수기의 출력치에서  $t_1$  블럭분을 감산하기 위해 감산 디코드 회로가 필요로 하는 문제점이 있다. 또한 데이터 영역 판별회로(110)에 있어서 SUB영역, PCM영역의 판별신호(제 10b 도)를 생성하는 경우에도 이것에 의해 만들어지는 계수기 출력치를 디코더로서 타이밍을 발생할 필요가 있고, 특별히 디코더 회로를 필요로 하는 문제점이 있다. 이에 의해 종래 장치는 상기 각 디코더 회로를 필요로 하기 때문에 구성이 복잡해지는 등의 문제점이 있다.

본 발명은 상기의 각종 디코더 회로를 필요로 하지 않고 간단히 회로구성으로 디지털 데이터 영역의 식별 및 기록용 RAM의 어드레스를 얻는 것이 가능한 디지털 신호 재생장치를 제공하는 것을 목적으로 한다.

본 발명에 있어서 에러 검출 수단은 재생된 블럭의 해당 에러 검사부호를 이용하여 해당 블럭 어드레스의 에러 유무를 검사한다. 판별 수단은 재생된 각 블럭 어드레스값이 이전의 블럭의 재생 블럭 어드레스의 값보다 예측된 범위내에 있는가를 판별한다. 계수기 수단은 에러 검사 수단에 의해 에러가 없고, 또한 판별 수단에 의해 해당 범위내에 판별된 때 재생된 각 블럭의 블럭 어드레스를 주출할 뿐 그 이외의 때는 각 블럭의 재생시마다 공급되는 클럭신호로서 1씩 계수하여 재생 블럭 어드레스를 출력한다.

제 9 도에 있어서, 데이터 식별회로(104)는 재생신호에 의해 디지털 신호를 식별하는 식별회로, RAM(108)은 식별회로에 의해 식별된 디지털 신호를 기억하는 기억회로, 블럭 재생회로(106)는 디지털 신호중의 블럭 어드레스를 검출하는 검출회로, ATF검출회로(109)는 재생신호에 의해 상기 트랙킹 제어신호를 검출하는 트랙킹 제어신호 검출회로, 타이밍 발생 계수기(111)는 검출된 트랙킹 제어신호의 타이밍에 의해 디지털 신호로 기록되어 있는 복수의 각 영역의 개시위치를 추정하여 영역 개시 위치 신호를 검출하는 영역개시위치 예측회로, 블럭 어드레스 계수기(113)는 추정된 복수의 각 영역의 직전에 각각 리셋트되고 상기 복수의 각 영역에 들어온 다음 상기 동기신호 블럭 어드레스 검출회로에 의해 검출된 동기신호 및 블럭 어드레스에 의해 계수치를 보정하고 계수치가 예정된 값에 도달하였을 시에 계수를 정지하며, 상기 기억회로로의 기록 어드레스를 출력하는 블럭 어드레스 계수기, 싱크검출, 심볼 계수기(118)는 동기신호를 데이터 식별회로로부터 검출된 데이터 식별 타이밍, 기억회로의 기록 타이밍 등의 타이밍을 결정하는 각 타이밍 신호를 출력하는 한가지 실시예이다.

본 발명에 있어서 에러검사로서 에러가 없는 것으로 판단되어도 재생된 각 블럭의 블럭 어드레스의 값이 이전의 블럭의 재생 블럭 어드레스의 값으로부터 예측범위내에 있을 때 뿐만 아니라 재생된 각 블럭 어드레스가 정확한 것으로 판단하여 계수기 수단에 입력된다. 각 디지털 신호의 기록된 각 영역의 이전으로 각각 리셋트되어 계수를 개시하고 영역이 끝난 곳에서 계수를 정지하도록된 구성의 블럭 어드레스 계수기를 이용하며, 디코드 회로를 이용하지 않고도 재생된 블럭 어드레스를 보정하여 RAM에 기록을 행한다.

제 1 도는 본 발명의 장치의 블럭 어드레스 재생부의 한가지 실시예의 블럭 계통도를 도시한다. 상기 도면중에서 제 8 도와 동일한 부분에 대해서는 동일 부호를 사용하며 그 설명은 생략한다. 상기 도면중에서 복조회로(14)의 출력인 8비트 데이터는 블럭 어드레스 복조회로(20)를 구성하는 패리티 검사회로(21) 및 래치회로(22) 각각에 공급된다.

패리티 검사회로(21)는 제 2a 도에 도시된 바와 같이 PCM 데이터 영역의 각 블럭의 동기신호로 동기된 제 2c 도에 도시된 패리티 삭제회로(PCL)를 복조회로(14)로부터 공급되고 내부 상태를 삭제하며, 그후 각 블럭의 ID코드, 블럭 어드레스 패리티의 각 심볼에 동기된 제 2d 도에 도시된 패리티 클럭신호(PCK)를 복조회로(14)에 의해 공급되며, 각 블럭의 ID코드, 블럭 어드레스, 패리티의 각 8비트의 모듈 2의 가산을 행하지 않고, 가산결과가 전체 비트 0일 때 값1의 패리티 검사신호를 생성하여 NAND 회로(23)에 공급한다.

래치회로(22)는 PCM데이터 영역의 각 블럭의 블럭 어드레스에 동기된 제 2b도에 도시된 래치 펄스(LP)를 복조회로(14)로부터 공급되어 블럭 어드레스를 래치시키고, 그 출력 블럭 어드레스를 절환회로(24)에 공급한다. 또한 복조회로(14)는 서브코드 영역에 있어서도 제 2b 도 내지 2d 도에 도시된 형태의 래치 펄스 패리티 삭제신호 패리티 클럭신호를 생성한다. 이와 같이 패리티 클럭신호는 워드 W1,W2,패리티에 동기된다. 절환회로(24)는 단자(25)를 통하여 외부의 타이밍신호 발생회로(도시하지

않았음)로부터 서브코드 영역의 재생시에 값 0으로, PCM데이터 영역의 재생시에 값 1로 절환신호를 공급한다. 절환회로(24)는 래치회로(22)로부터 8비트의 블럭 어드레스 뿐만 아니라 상위 4비트 절환 신호와 논리적 연산을 행하며, 이리하여 얻어진 블럭 어드레스를 블럭 어드레스 보호회로(26) 및 계수기(27)에 공급된다.

판별 수단으로써 있는 블럭 어드레스 보호회로(26)에는 절환회로의 출력인 블럭 어드레스(이하 블럭

**A** 어드레스 라 함) 이외에 계수기(27)의 출력인 재생 블럭 어드레스(이하 블럭 어드레스 라 함)가 공급된다. 블럭 어드레스 보호회로(26)를 예를 들면 제 3 도에 도시된 14비트로 액세스된

**A** ROM(28)으로 구성된다. 블럭 어드레스 **B** 의 하위 7비트가 어드레스 내지  $A_0$  내지  $A_6$ 로서

공급되고, 블럭 어드레스 **B** 의 하위 7비트가 어드레스  $A_7$  내지  $A_{13}$ 으로서 공급된다. ROM(28)에는 제 4 도에 도시된 바와 같이 어드레스  $A_0$  내지  $A_{13}$ 에 대응되고 0 또는 1이 기억된다. 제 4 도에 있어서 어드레스  $A_0$  내지  $A_6$  어드레스  $A_7$  내지  $A_{13}$ 의 각 난은 10진수로 표시되어 있다.

ROM(28)은 블럭 어드레스 **B** 의 값이 1내지 127이면 블럭 어드레스 **B** 의 값을 1씩 증가시킨 값을

**A**  $\alpha$ 로 하고, 블럭 어드레스 **B** 의 값이 ( $\alpha \pm 2$ )의 범위로서 단자  $D_0$ 로부터 1을 출력하며, 그 이외에는 단자  $D_0$ 로부터 0을 출력한다. 즉, 다시말해서, 블럭 어드레스 **B** 의 값이 예를 들면 3으로 되고

블럭 어드레스 **A** 의 값이 2내지 6의 범위내에 있을 때 1을 출력한다. 또한 블럭 어드레스 **B** 의

값이 0으로 되면 블럭 어드레스 **A**의 값이 0 내지 4의 범위로될 때 1을 출력한다. 그 경우에 블

럭 어드레스 **A**의 값 4도 1을 출력하는 범위내에 있으면, 다음의 계수 삭제신호(CCL)가 드럼회전이 갖는 지터의 영향에 의해 수블럭분이 되는 가능성이 있어서 그 정도분의 여유도를 하도록 하기 위한 것이다.

이와 같이 하여 블럭 어드레스 보호회로(26)는 계수기(27)의 출력인 블럭 어드레스 **B**에 대해서

**A** 절환회로(24)의 출력인 블럭 어드레스 **B** 가 소정의 범위내의 값일 때는 값 1의 허가신호를 출력하며, 상기 허가신호는 NAND회로(23)에 공급된다.

NAND회로(23)는 상기 허가신호가 1로서 또한 패리티 검사신호가 1일 때에만 값 0의 로드신호를 발생하여 계수기(27)의 로드단자 LD에 공급된다.

계수기(27)은 단자(29)를 통해서 외부의 타이밍신호 발생회로로부터 서브코드 영역, PCM데이터 영역 각각의 재생 개시 직전에 계수 삭제신호 CCL을 공급하고, 이것에 의해 상기 계수치를 삭제한다. 상기 후 계수기(27)는 NAND회로(23)로부터 로드신호 0를 제공할 때, 절환회로의 출력인 블럭 어드레스를 로드한다. 또한, 로드신호 0가 제공되지 않는 동시에 제 2e 도에 도시된 바와 같이 PCM 데이터 영역의 각 블럭 패리티에 동기된 계수 클럭신호 CCK을 복조회로(14)로부터 공급되어서 1씩 카운터

업한다. 계수기(27)의 출력하는 8비트의 재생 블럭 어드레스(블럭 어드레스 **B**)는 블럭 어드레스 보호회로(26)에 공급됨과 동시에 단자(30)로부터 출력된다.

이와 같이, 패리티 검사회로(21)로서 예러 유무를 판별하고 블럭 어드레스 **A**의 값이 블럭 어드

레스 **B**의 값 정도로 예측된 범위내에 있으면 블럭 어드레스 **A**가 계수기에 로드되지 않는다. 따라서 동기신호의 재생 직후에 드롭 아웃이 발생된 경우 등으로 예를 들어 패리티 검사로서 정확하

다고 판단되어도 상기 블럭 어드레스 **A**는 랜덤값으로서 블럭 어드레스 **B**의 값만큼 예측된 범

위내에 있을 때 계수기(27)에 로드되지 않는다. 이리하여 블럭 어드레스 **B**의 신뢰성이 향상되고, 디인터리브 영의 메모리상에 기록할 때 어드레스에 데이터가 기록되기전의 데이터가 남아 있다. 또한 기록되지 않는 어드레스에는 데이터가 기록되는 것을 방지하는 것이 가능하다.

또한 제 4 도에 있어서, 블럭 어드레스 **B**의 값에 대응하여 1을 출력하는 블럭 어드레스 **A**의

값은( $\alpha \pm 2$ )의 범위내로 한정한다. 드럼회전에 포함된 지터 등 디지털 신호 복조장치의 각 부분의 정밀도에 대응하여 임의로 설정하는 것이 바람직하고 상기 실시예에만 한정되지 않는다.

제 9 도는 본 발명의 장치의 일실시예의 블럭 계통도를 도시하며, 상기 도면중에서 제 12 도와 동일한 구성 부분에는 동일부호를 사용하며 그 설명은 생략한다. 제 12 도에 도시된 종래 장치의 어드레스 계수기는 제 10c 도에 도시된 바와 같이 0블럭으로부터 392블럭까지 동작하도록 구성된 것에 대응하며, 본 발명의 장치의 어드레스 계수기는 종래와 같이 제 10d 도에 도시된 바와 같이 각 디지털 신호가 기록되는 영역 이전으로 리셋트되고 영역이 끝나는 위치까지 작동장치(예를들면 128블럭)되도록 구성되어 있다. 제 9 도에 있어서 ATF 검출회로(109)로부터 추출된 ATF 검출신호는 타이밍 발생 계수기(111)에 공급되고, 타이밍 발생 계수기(111)는 상기 ATF 검출신호의 위치를 기준위치로 계

## SUB/PCM

수동작을 행하지 않고 그 계수치를 디코드하여 신호(제 10f 도) 및 리셋트 신호(제 10e 도)를 생성한다. 또한 ATF 검출회로(109)에 있어서, ATF 신호 검출 불능시에는 드럼 펄스로

## SUB/PCM

부터 계수를 행하지 않고, 상기 각 신호를 생성하는 것이 좋다. 신호는 서브 영역으로 H레벨, PCM 영역으로서 L레벨로 되는 신호가 있다. 또 상기 리셋트 신호는 서브 영역의 직전 및 PCM 영역 직전에 각 L레벨 리셋트 신호(1트랙중 3개소)가 되고 논리회로(112)에 공급이 된다. 상기 리셋트 신호의 타이밍은 메카니즘계의 지터 등을 고려하여 그외의 영역으로부터 없는 범위가 바람직하다. 상기 리셋트 신호를 얻는 경우에 타이밍 발생 계수기(111)에는 상기 1트랙중 3개소에 타이밍 코드를 필요로 하지만, 아직은 필요치 않다. 또한 리셋트 신호는 지연회로(116)에 타이밍 신호를 가산하고, 싱크검출, 심볼 계수기(118)로부터 추출된 타이밍신호(1블럭당 1회 발생된 클럭)과 동시에 OR 게이트(117)를 통해 블럭 어드레스 계수기(113)에 공급된다. 싱크검출, 심볼 계수기(118)로부터 타이밍신호는 데이터 식별회로(104), 블럭 발생회로(106) 및 패리티 검사회로(14)에 공급된다.

타이밍 발생 계수기(111)로부터의 리셋트 신호 및 블럭 재생회로(6)로부터 어드레스는 논리회로(112)의 AND 게이트에 공급되고 블럭 어드레스 계수기(113)의 어드레스 입력 0(LSB)로부터 어드레스 입력(102)까지는 다시 OR 게이트를 통해 블럭 어드레스 계수기(113)에 각각 공급된다. 또한 어드레스 입력(107)(MSB)는 L레벨로 된다. 블럭 어드레스 계수기(113)는 상기 리셋트 신호로부터 PCM 영역에는 상기 영역의 개시된 직전에 리셋트되고 그 후 블럭단위로 1씩 카운터 업한다.(제 10d 도).

PCM영역에 들어온 후에 블럭 어드레스가 정확하게 재생될 때, 패리티 검사회로(114)로부터 논리회로에 부극성 논리 OR게이트를 통해 추출된 신호에 의해서 그 값이 블럭 어드레스 계수기(113)에 로드되고, 블럭 어드레스 계수기(113)는 재생된 블럭 어드레스를 이용하여 계수기의 계수치를 보정한다. 그 경우, 블럭 어드레스 계수기(113)에는 PCM영역의 개시된 직전에 0으로 리셋트되어 종래 장치보다 재상 블럭 어드레스값을 가산하여, 그 값을 디코드하는 회로를 필요로 하지 않는다. 블럭 어드레스 계수기(113)는 PCM영역에 들려온 후 소정의 계수치(예를들면 128블럭)까지 계수되고, 계수동작은 정지되며 그 때, 어드레스 출력(107)(MSB)는 H레벨로 계속된다. 상기 어드레스 출력(107)(MSB) 신호는 종래 장치의 데이터 영역 판별회로(제 2b 도)와 실제로 동일하다.

블럭 어드레스 계수기(103)로부터 나온 어드레스는 RAM 기록 어드레스 제어회로(115)에 있어서 RAM 기록 어드레스 제어신호(상위측)으로 되고, RAM(108)에 공급된다. 데이터 영역 판별신호 및

## SUB/PCM

신호를 사용하면 PCM신호 및 서브 영역의 서브코드 데이터의 RAM 기록 시간을 정확히 제한할 때 그 경우, 종래 장치와 같이 계수치를 디코드하지 않고, 계수치를 어드레스된 RAM(108)에 기록하는 것이 가능하다. 또한, 하위측 어드레스는 1블럭중의  $D_0$  내지  $D_{31}$ 로 식별된다(하위 5비트에서  $D_0=00000$ ,  $D_{31}=11111$ ).

또 최초에는 어드레스 0으로부터 개시되기 위해, 실제의 어드레스 0이 재생될 수 없어도 RAM(108)의 어드레스 0의 데이터는 적당한 데이터에 기록하고, 전 트랙의 데이터는 랜덤한 데이터 또는 블럭 어드레스 0의 재생 데이터에 의해서 소거되기 위해서는 재생시에 다른 음을 발생하는 확률이 없다. 다음, 서브 영역에서 설명한다. 타이밍 발생 계수기(111)로부터 추출된 H레벨의

## SUB/PCM

신호(제 10f 도)는 논리회로(112)의 OR 게이트에 공급되고, OR게이트 출력은 그 전단의 AND 게이트의 출력의 어느 것에 같은가에 따라 H레벨로 되고, 블럭 어드레스 계수기(113)의 어드레스 입력(103)으로부터 어드레스 입력(106)은 H레벨로 된다. 이것에 의해, 블럭 어드레스 계수기(113)는 0에 리셋트되어 120에 리셋트된다. 그 후 어드레스 데이터가 바르게 재생되고 블럭 어드레스 계수기(113)에 블럭 어드레스 값이 로드되지만, 그 때 로드 값의 어드레스 입력(103)으로부터 어드레스 입력(106)은 H레벨로 되며, 블럭 어드레스 계수기(113)은 제 11도에 도시된 바와 같이 120 블럭으로부터 계수기 동작이 계수된다.

이와 같이, 서브 영역에는 120블럭으로 리셋트된 후 PCM 영역과 같이 계수동작을 계속한다. 128블럭에 도달하면 계수동작은 정지된다. 다시말해 8블럭의 서브 영역을 계수하여 128블럭으로 계수정지하기 위해서는 120블럭으로서 계수를 개시할 필요가 있다.

제 10d 도중 ☆표는 계수정지를 도시하며, 블럭 어드레스가 128로 되는 계수정지 시기는 데이터 영역판별에 있어서 디지털로 되지 않는 시기이다.

상술한 바와 같이, 본 발명에 의하면 동기신호의 재생 직후에 드롭 아웃이 발생한 패리티 검사하여

예러가 없는 것으로 판별한 경우도 있고, 예러가 있는 블럭 어드레스를 방지할 수 있고, 출력된 재생 블럭 어드레스의 신뢰성을 향상시킨다.

또한 발명에 의하면 각 디지털 신호가 기록되는 영역의 직전에 리셋트되고, 영역이 끝나는 것에 의해 계수가 정지되는 블럭 어드레스 계수기를 사용하기 위해 특히 예를 들면, PCM 영역에는 계수치를 어드레스하여 RAM 기록을 행하고 종래 장치보다 각종 디코드 회로를 필요로 하지 않는다. 종래 장치에 비해서 간단한 회로구성으로써 데이터 영역의 식별 및 RAM 기록 어드레스를 얻는 것이 가능한 등의 특징을 갖는다.

## (57) 청구의 범위

## 청구항 1

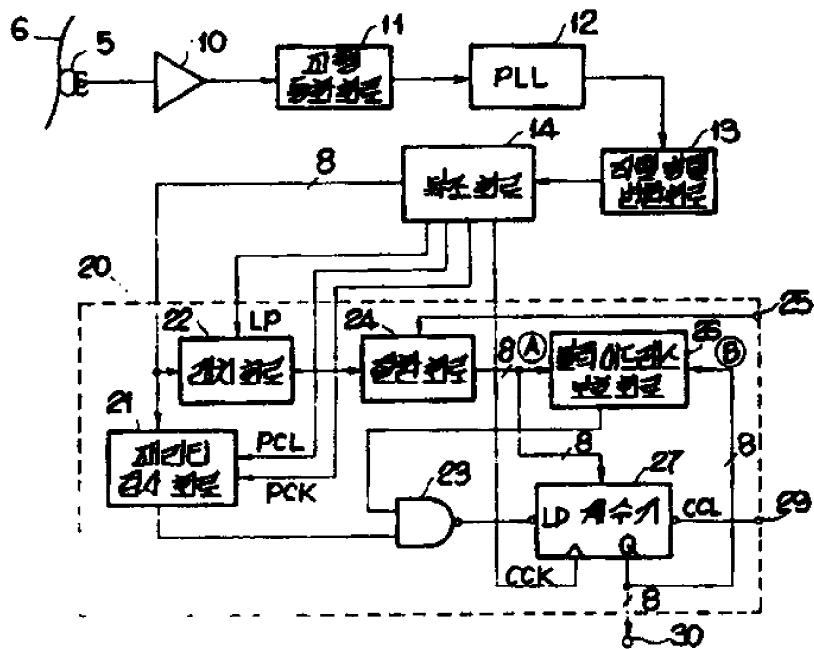
디지털 데이터에 동기신호, 블럭의 위치를 일련번호로 표시한 블럭 어드레스, 에러 검사부호 등의  
긴 비트를 부가하여 1블럭을 구성하고 상기 블럭 단위로서 시간 단계적으로 합성된 디지털 신호가  
기록된 사전 기록된 자기테이프로부터 회전헤드에 의해 재생된 디지털 신호를 복조하는 회전헤드형  
디지털 신호 복조장치에 있어서, 재생된 각 블럭의 에러 검사부호를 이용하여 블럭 어드레스의 에러  
유무를 검사하는 에러 검사 수단과, 재생된 각 블럭의 블럭 어드레스의 값이 직전의 블럭 재생 블럭  
어드레스의 값보다 예측 범위내에 있는 것을 판별하는 판별 수단과, 상기 에러 검사 수단에 의해 에  
러가 없고, 또한 상기 판별 수단에 의해 상기 범위로 판별된 때, 상기 재생된 각 블럭의 블럭 어드  
레스를 입력시키고, 그 외의 때는 각 블럭의 재생시마다 공급되는 블럭신호로서 1씩 카운트 업하며,  
재생 블럭 어드레스를 출력하는 계수기 수단을 구비한 것을 특징으로 하는 디지털 신호 복조장치.

## 청구항 2

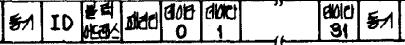
복수의 디지털 신호에 동기신호, 블럭 어드레스를 부가하여 1블럭으로 하고, 복수의 블럭 및 트랙킹 제어신호를 1트랙의 기록신호로 하여 회전헤드로서 자기기록 매체상에 기록된 디지털 신호를 재생하는 디지털 신호 재생장치에 있어서, 재생신호에 의해 디지털 신호를 식별하는 식별회로와, 식별회로에 의해 식별된 디지털 신호를 기억하는 기억회로와, 디지털 신호중에서 블럭 어드레스를 검출하는 블럭 어드레스 검출회로와, 재생신호에 의해 상기 트랙킹 제어신호를 검출하는 트랙킹 제어신호 검출회로와, 상기 검출된 트랙킹 제어신호의 타이밍에 의해 디지털 신호의 기록되는 복수의 각 영역의 직전에 각각 리셋트된 상기 복수의 영역에 들어간 후에 상기 검출회로에 의해 검출된 블럭 어드레스에 의해 계수치를 보정하고, 계수치가 미리 설정된 값에 도달할 때 계수를 정지하고, 상기 기억회로에 기록 어드레스를 출력하는 블럭 어드레스 계수기와, 동기신호를 검출하고, 데이터 식별 타이밍 기억회로에 기록 타이밍 등의 타이밍을 결정하는 각 타이밍 신호를 출력하는 싱크(동기), 심볼 계수기로 구성된 것을 특징으로 하는 디지털 신호 재생장치.

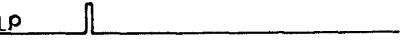
## 도면

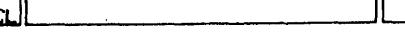
## 도면1



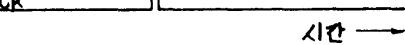
## 도면2

제2A도 

제2B도 LP 

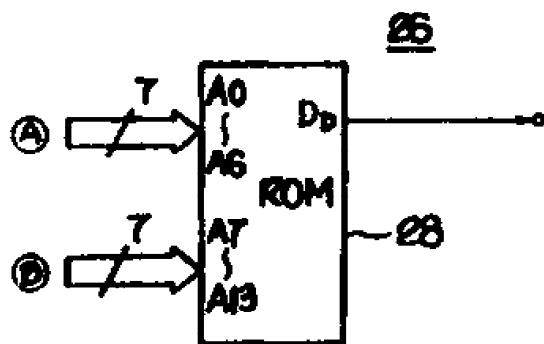
제2C도 PCL 

제2D도 PCK 

제2E도 CCK 

시간 —————

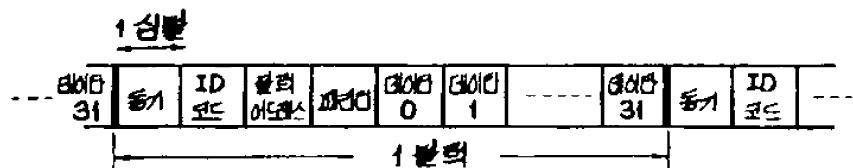
## 도면3



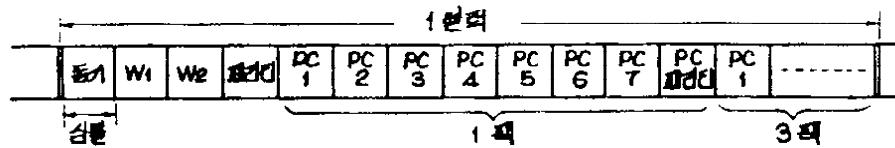
## 도면4

주소	0	1	2	3	4	5	6	7	8	...	127
0	1	1	1	1	1	0	0	0	0	...	0
1	1	1	1	1	1	0	0	0	0	...	0
2	0	1	1	1	1	1	0	0	0	...	0
3	0	0	1	1	1	1	1	0	0	...	0
4	0	0	0	1	1	1	1	1	0	...	0
5	0	0	0	0	1	1	1	1	0	...	0
...	...	...	...	...	...	...	...	...	...	...	...
127	0	—	—	—	—	—	—	—	—	—	0 0 1 1

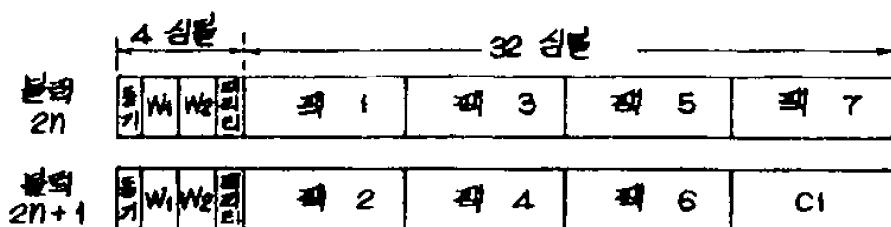
## 도면5



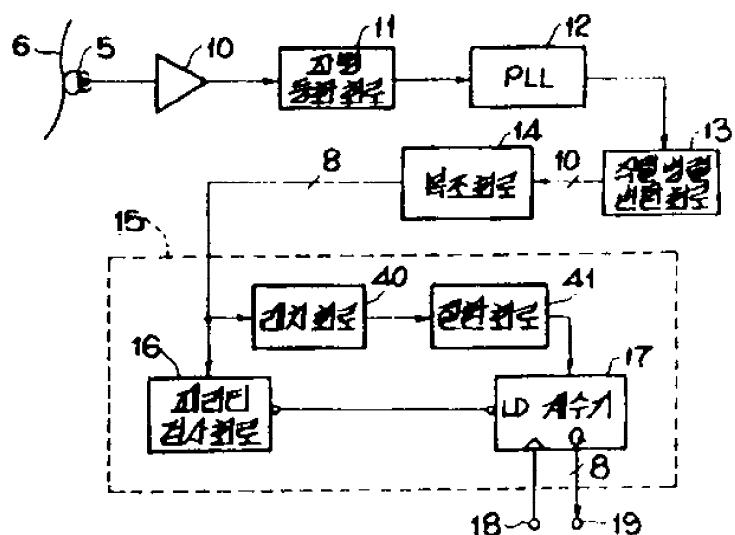
## 도면6



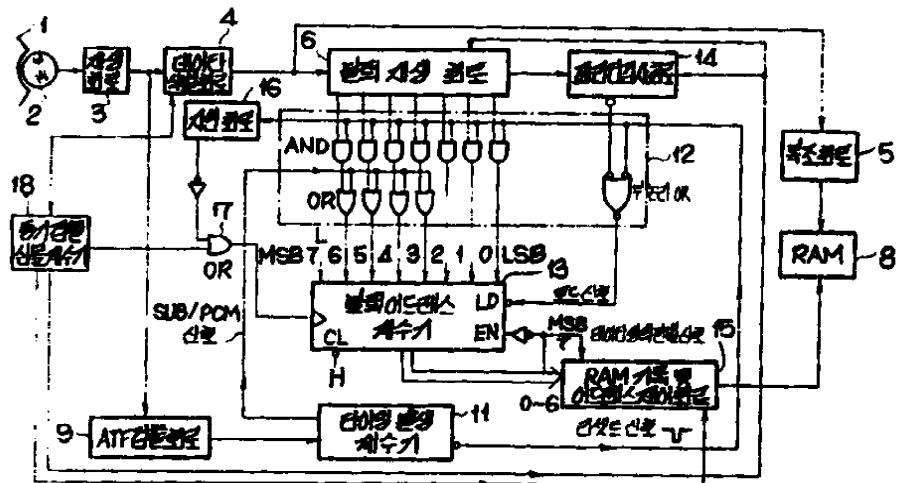
도면7



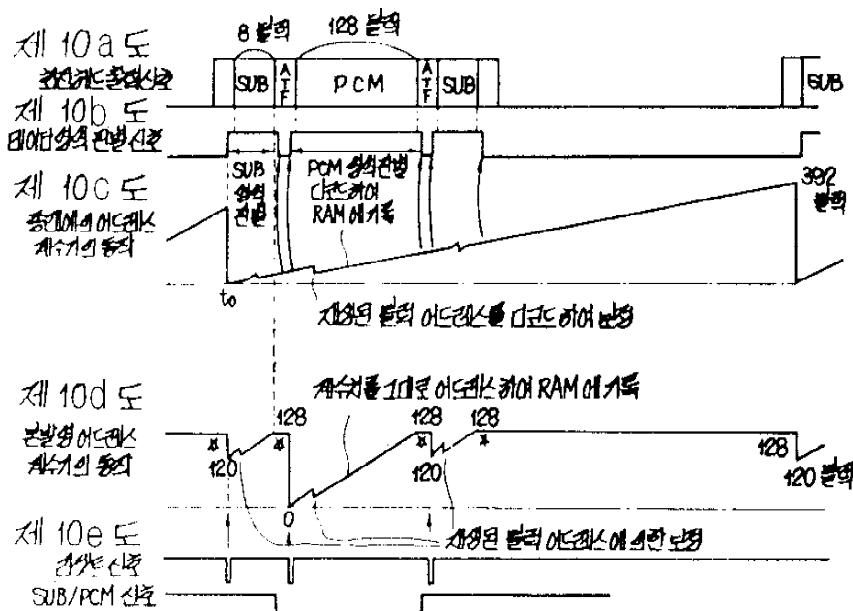
### 도면8



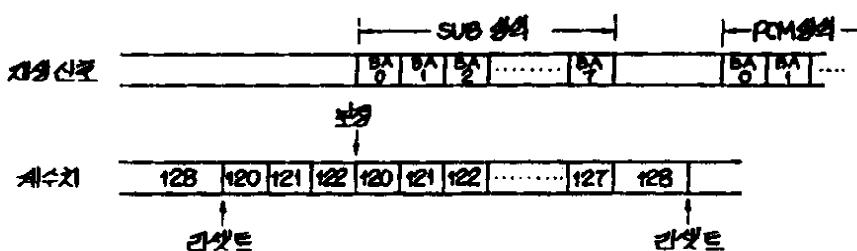
도면9



도면10



도면11



도면12

