

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-143189

(P2017-143189A)

(43) 公開日 平成29年8月17日(2017.8.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO1L 27/146 (2006.01)	HO1L 27/14 A	4M118
HO4N 5/361 (2011.01)	HO4N 5/335 610	5C024
HO4N 5/369 (2011.01)	HO4N 5/335 690	
HO4N 5/374 (2011.01)	HO4N 5/335 740	

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2016-23788 (P2016-23788)  
 (22) 出願日 平成28年2月10日 (2016.2.10)

(71) 出願人 302062931  
 ルネサスエレクトロニクス株式会社  
 東京都江東区豊洲三丁目2番24号  
 (74) 代理人 110001195  
 特許業務法人深見特許事務所  
 (72) 発明者 飯田 哲也  
 茨城県ひたちなか市堀口751番地 ルネ  
 サスセミコンダクタマニュファクチュア  
 リング株式会社内  
 (72) 発明者 中柴 康▲隆▼  
 茨城県ひたちなか市堀口751番地 ルネ  
 サスセミコンダクタマニュファクチュア  
 リング株式会社内  
 Fターム(参考) 4M118 AA05 AB01 BA14 CA03 CA18  
 DD04 FA06 FA34

最終頁に続く

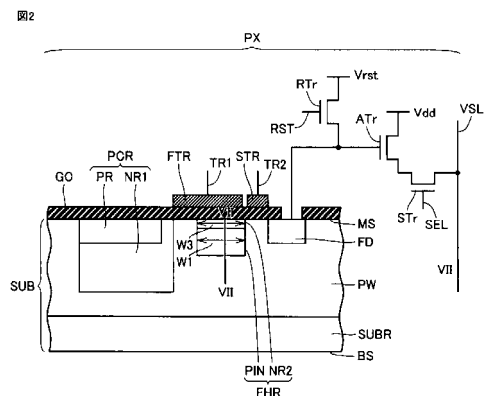
(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【課題】グローバルシャッター動作時において暗電流を抑制しつつ転送不良を抑制することができる固体撮像素子を提供する。

【解決手段】一実施形態に係る固体撮像素子は、主表面と裏面とを有する半導体基板と、半導体基板中において主表面に接して配置され第1の導電型を有するウエル領域と、ウエル領域中において主表面に接して配置され第2の導電型を有する光電変換領域と、ウエル領域中において主表面に接して配置されたピンニング領域とn型領域とを有する電荷保持領域と、ウエル領域中において主表面に接して配置され第2の導電型を有する浮遊拡散領域と、主表面上において光電変換領域と電荷保持領域との間のウエル領域及び電荷保持領域の各々と絶縁しながら対向するように形成されている第1の転送ゲートと、主表面上において電荷保持領域と浮遊拡散領域との間のウエル領域と絶縁しながら対向するように形成されている第2の転送ゲートとを備えている。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

主表面と、前記主表面の反対側の面である裏面とを有する半導体基板と、  
前記半導体基板中において前記主表面に接して配置され、第 1 の導電型を有するウエル領域と、

前記ウエル領域中において前記主表面に接して配置され、第 2 の導電型を有する光電変換領域と、

前記ウエル領域中において前記主表面に接して配置された電荷保持領域と、

前記ウエル領域中において前記主表面に接して配置され、第 2 の導電型を有する浮遊拡散領域と、

前記主表面上において、前記光電変換領域と前記電荷保持領域との間の前記ウエル領域及び前記電荷保持領域の各々と絶縁しながら対向するように形成されている第 1 の転送ゲートと、

前記主表面上において、前記電荷保持領域と前記浮遊拡散領域との間の前記ウエル領域と絶縁しながら対向するように形成されている第 2 の転送ゲートとを備え、

前記電荷保持領域は、前記主表面に接して形成されたピンニング領域と、前記ピンニング領域の前記裏面側に接して形成された n 型領域とを有している、固体撮像素子。

**【請求項 2】**

前記ピンニング領域の導電型及び前記第 2 の導電型は p 型であり、

前記ピンニング領域の不純物濃度は、前記ウエル領域の不純物濃度よりも低い、請求項 1 に記載の固体撮像素子。

**【請求項 3】**

前記ピンニング領域の幅は、前記 n 型領域の幅以上の寸法を有している、請求項 1 に記載の固体撮像素子。

**【請求項 4】**

前記ピンニング領域の導電型は n 型であり、

前記ピンニング領域の不純物濃度は、前記 n 型領域の不純物濃度よりも低く、

前記第 1 の転送ゲートには、オフ時に前記ピンニング領域をピンニングさせる負の電位が印加される、請求項 1 に記載の固体撮像素子。

**【請求項 5】**

前記 n 型領域の不純物濃度は、前記浮遊拡散領域の不純物濃度よりも低い、請求項 1 に記載の固体撮像素子。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、固体撮像素子に関し、特に CMOS (Complementary Metal Oxide Semiconductor) イメージセンサに関する。

**【背景技術】****【0002】**

固体撮像素子においては、フォトダイオードが二次元状に配列されている。CMOS イメージセンサの場合、通常、ライン毎に露光及び読み出しが行われる。そのため、CMOS イメージセンサを用いて高速で回転している被写体等を撮像する場合、被写体が歪んだように撮像される。このような現象は、ローリングシャッターとして知られている。

**【0003】**

他方、CCD (Charge Coupled Device) イメージセンサの場合、フレーム毎に露光及び読み出しが行われる。そのため、CCD イメージセンサを用いる場合、たとえ被写体が高速で回転しているような場合であっても、被写体は歪まない。このような現象は、グローバルシャッターとして知られている。

**【0004】**

CMOS イメージセンサにおいても、グローバルシャッターが要求される場合がある。

10

20

30

40

50

CMOSイメージセンサにおいてグローバルシャッターを実現する構成として、例えば特許文献1（特開2012-129797号公報）記載の構成がある。

【0005】

特許文献1記載のCMOSイメージセンサは、基板を有している。基板は、主表面と裏面とを有している。基板中には、フォトダイオードと、電荷保持部と、浮遊拡散領域とが形成されている。電荷保持部は、主表面側にp型領域を有している。主表面上には、ゲート絶縁膜が形成されている。ゲート絶縁膜上には、第1の転送ゲートと、第2の転送ゲートとが形成されている。

【0006】

特許文献1記載のCMOSイメージセンサにおいては、入射光がフォトダイオードにおいて電荷に光電変換される。フォトダイオードにおいて光電変換された電荷は、全ての単位画素において同時に、第1の転送ゲートにより、電荷保持部に転送される。その後、第2の転送ゲートにより、ライン毎に順次読み出しが行われる。これにより、特許文献1記載のCMOSイメージセンサはグローバルシャッターを実現している。

10

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2012-129797号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0008】

特許文献1記載のCMOSイメージセンサにおいては、第1の転送ゲートは、ゲート絶縁膜上であって、フォトダイオードと電荷保持部との間の領域に形成されている。そのため、第1の転送ゲートがオンされた場合であっても、p型領域は空乏化されない。その結果、空乏化されないp型領域が障害となり、フォトダイオードから電荷保持部への電荷転送の不良が生じるおそれがある。

【0009】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

30

【0010】

一実施形態に係る固体撮像素子は、主表面と、主表面の反対側の面である裏面とを有する半導体基板と、半導体基板中において主表面に接して配置され、第1の導電型を有するウエル領域と、ウエル領域中において主表面に接して配置され、第2の導電型を有する光電変換領域と、ウエル領域中において主表面に接して配置された電荷保持領域と、ウエル領域中において主表面に接して配置され、第2の導電型を有する浮遊拡散領域と、主表面上において、光電変換領域と電荷保持領域との間のウエル領域及び電荷保持領域の各々と絶縁しながら対向するように形成されている第1の転送ゲートと、主表面上において、電荷保持領域と浮遊拡散領域との間のウエル領域と絶縁しながら対向するように形成されている第2の転送ゲートとを備えている。電荷保持領域は、主表面に接して形成されたピンニング領域と、ピンニング領域の裏面側に接して形成されたn型領域とを有している。

40

【発明の効果】

【0011】

本発明の一実施形態に係る固体撮像素子によると、グローバルシャッター動作時において暗電流を抑制しつつ転送不良を抑制することができる。

【図面の簡単な説明】

【0012】

【図1】実施形態に係る固体撮像素子の全体構造を示す模式図である。

【図2】実施形態に係る固体撮像素子の単位画素構造を示す模式図である。

【図3】実施形態に係る固体撮像素子のグローバルシャッター動作時におけるタイミング

50

チャートである。

【図4】実施形態に係る固体撮像素子のグローバルシャッター動作時におけるポテンシャル図である。

【図5】ピンニング領域におけるポテンシャルと第1転送信号の電圧の関係を示す模式図である。

【図6】第1の比較例に係る固体撮像素子の単位画素構造を示す模式図である。

【図7】図2のV I I - V I Iに沿ったポテンシャルの変化を示す模式図である。

【図8】第2の比較例に係る固体撮像素子の単位画素構造を示す模式図である。

【図9】第2の比較例に係る固体撮像素子のポテンシャル図である。

【発明を実施するための形態】

【0013】

以下、実施形態について、図を参照して説明する。なお、各図中同一または相当部分には同一符号を付している。また、以下に記載する実施形態の少なくとも一部を任意に組み合わせてもよい。

【0014】

(実施形態に係る固体撮像素子の全体構造)

以下に、実施形態に係る固体撮像素子の全体構造について説明する。

【0015】

図1に示すように、第1の実施形態に係る固体撮像素子は、画素アレイ部P X Aと、垂直駆動部V Dと、カラム処理部C Pと、水平駆動部H Dと、システム制御部S Cと、出力部O U Tとを有している。

【0016】

画素アレイ部P X Aには、単位画素P X (図2参照)が、行列状に配置されている。各単位画素P Xには、入射光を光電変換し、入射光に応じた電荷を蓄積する光電変換領域P C Rが含まれている。なお、単位画素P Xの構造については、後述する。

【0017】

画素アレイ部P X Aは、画素駆動線P D Lを有している。画素駆動線P D Lは、単位画素P Xの行毎に設けられている。なお、図1においては図示されていないが、各単位画素P Xに対応する画素駆動線P D Lの各々には、第1転送線T R 1 (図2参照)、第2転送線T R 2 (図2参照)、リセット線R S T (図2参照)及び行選択線S E L (図2参照)が含まれている。画素駆動線P D Lの一方端は、垂直駆動部V Dに接続されている。

【0018】

画素アレイ部P X Aは、垂直信号線V S Lを有している。垂直信号線V S Lは、単位画素P Xの列毎に設けられている。垂直信号線V S Lには、垂直信号線V S Lの一方端は、カラム処理部C Pに接続されている。

【0019】

垂直駆動部V Dは、各単位画素P Xを、全画素同時又は行単位で駆動する。すなわち、垂直駆動部V Dは、各単位画素P Xに対し、全画素同時又は行単位で、リセット又は転送を行う。垂直駆動部V Dは、例えばシフトレジスタ、アドレスデコーダ等により構成される。

【0020】

カラム処理部C Pには、画素アレイ部P X Aの列毎に対応した単位回路を有している。この単位回路は、垂直信号線V S Lに接続されている。この単位回路は、各単位画素P Xに蓄積された電荷に応じた信号に対して、信号処理を行う。この信号処理には、ノイズ除去処理が含まれる。ノイズ除去処理は、例えばC D S (Correlated Double Sampling) 処理である。なお、この単位回路が行う信号処理には、アナログデジタル変換処理が含まれていてもよい。また、この単位回路は、信号処理後の信号を一時的に保持する。

【0021】

水平駆動部H Dは、カラム処理部C P中の各単位回路を順次選択する。これにより、カラム処理部C Pに一時的に保持された信号処理後の信号は、出力部O U Tに順次出力され

10

20

30

40

50

る。水平駆動部 H D は、シフトレジスタ、アドレスデコーダ等によって構成される。

【 0 0 2 2 】

システム制御部 S C は、例えばタイミングジェネレータを有している。タイミングジェネレータは、各種のタイミング信号を生成する。このタイミングジェネレータで生成された各種のタイミング信号は、垂直駆動部 V D、カラム処理部 C P 及び水平駆動部 H D に供給される。これにより、垂直駆動部 V D、カラム処理部 C P 及び水平駆動部 H D の駆動が行われる。

【 0 0 2 3 】

(実施形態に係る固体撮像素子の単位画素の構造)

以下に、実施形態に係る固体撮像素子の単位画素 P X の構造について説明する。

10

【 0 0 2 4 】

図 2 に示すように、実施形態に係る固体撮像素子は、半導体基板 S U B を有している。半導体基板 S U B は、主表面 M S と、裏面 B S とを有している。ここで、裏面 B S は、主表面 M S の反対側の面である。

【 0 0 2 5 】

半導体基板 S U B 内には、基板領域 S U B R が形成されている。基板領域 S U B R は、半導体基板 S U B の裏面 B S に接して配置されている。半導体基板 S U B 内には、p 型ウエル領域 P W が形成されている。p 型ウエル領域 P W は、半導体基板 S U B の主表面 M S に接して設けられている。半導体基板 S U B の主表面 M S 上には、ゲート絶縁膜 G O が形成されている。ゲート絶縁膜 G O には、例えば S i O<sub>2</sub> (二酸化珪素) が用いられる。

20

【 0 0 2 6 】

実施形態に係る固体撮像素子の単位画素 P X は、光電変換領域 P C R と、電荷保持領域 E H R と、浮遊拡散領域 F D と、第 1 の転送ゲート F T R と、第 2 の転送ゲート S T R とを有している。また、第 1 の実施形態に係る固体撮像素子の単位画素 P X は、さらに増幅トランジスタ A T r と、リセットトランジスタ R T r と、行選択トランジスタ S T r とを有している。

【 0 0 2 7 】

光電変換領域 P C R には、入射光により半導体基板 S U B 中で光電変換された電荷が蓄積される。光電変換領域 P C R は、p 型ウエル領域 P W 中において主表面 M S に接して形成されている。光電変換領域 P C R は、例えば埋込フォトダイオードである。すなわち、光電変換領域 P C R は、p 型領域 P R と第 1 の n 型領域 N R 1 とを有している。

30

【 0 0 2 8 】

p 型領域 P R は、p 型ウエル領域 P W 中において、主表面 M S に接して(すなわちゲート絶縁膜 G O に接して)形成されている。p 型領域 P R は、その側部において、p 型ウエル領域 P W と接している。第 1 の n 型領域 N R 1 は、p 型ウエル領域 P W 中において、p 型領域 P R の裏面 B S 側に接して形成されている。

【 0 0 2 9 】

p 型領域 P R は、半導体基板 S U B の主表面 M S とゲート絶縁膜 G O の界面において発生する暗電流が、第 1 の n 型領域 N R 1 側に流入することを抑止する。

【 0 0 3 0 】

電荷保持領域 E H R は、光電変換領域 P C R から転送された電荷を一時的に保持する。電荷保持領域 E H R は、p 型ウエル領域 P W 中において主表面 M S に接して形成されている。電荷保持領域 E H R は、光電変換領域 P C R との間の間隔が置いて配置されている。電荷保持領域 E H R は、ピンニング領域 P I N と第 2 の n 型領域 N R 2 とを有している。

40

【 0 0 3 1 】

ピンニング領域 P I N は、p 型ウエル領域 P W 中において、主表面 M S に接して(すなわちゲート絶縁膜 G O に接して)形成されている。ピンニング領域 P I N は、その側部において p 型ウエル領域 P W に接している。第 2 の n 型領域 N R 2 は、p 型ウエル領域 P W 中において、ピンニング領域 P I N の裏面 B S 側に接して形成されている。

【 0 0 3 2 】

50

ピンニング領域 P I N は、第 1 の幅 W 1 と第 2 の幅 W 2 ( 図示しない ) を有している。第 2 の n 型領域 N R 2 は、第 3 の幅 W 3 と第 4 の幅 W 4 ( 図示しない ) とを有している。第 1 の幅 W 1 及び第 3 の幅は、第 1 の転送ゲート F T R のゲート長方向の幅である。第 2 の幅 W 2 及び第 4 の幅は、第 1 の転送ゲートのゲート幅方向の幅である。

【 0 0 3 3 】

第 1 の幅 W 1 は、第 3 の幅 W 3 以上の寸法を有していることが好ましい。第 2 の幅 W 2 は、第 4 の幅 W 4 以上の寸法を有していることが好ましい。このことを別の観点からみれば、第 2 の n 型領域 N R 2 には、半導体基板 S U B の主表面 M S と接している ( ゲート絶縁膜 G O と接している ) 箇所がない。すなわち、ピンニング領域 P I N の側部は、全周にわたって p 型ウエル領域 P W に接している。

10

【 0 0 3 4 】

ピンニング領域 P I N は、例えば p 型の導電型を有している。ピンニング領域 P I N が p 型の導電型を有している場合、ピンニング領域 P I N の p 型不純物の濃度は、p 型ウエル領域 P W の p 型不純物の不純物濃度よりも低いことが好ましい。ピンニング領域 P I N の不純物濃度の 1 例としては、 $1 \times 10^{16} / \text{cm}^3$  である。

【 0 0 3 5 】

なお、ピンニング領域 P I N の導電型は、p 型に限られるものではない。ピンニング領域 P I N の導電型は、n 型であってもよい。ピンニング領域 P I N の導電型が n 型である場合、ピンニング領域 P I N の n 型不純物の濃度は、第 2 の n 型領域 N R 2 の n 型不純物の濃度よりも低い。

20

【 0 0 3 6 】

第 2 の n 型領域 N R 2 の n 型不純物の濃度は、浮遊拡散領域 F D の n 型不純物の濃度よりも低いことが好ましい。第 2 の n 型領域 N R 2 の n 型不純物の濃度は、浮遊拡散領域 F D にリセットトランジスタ R T r を介して印加されるリセット電位  $V_{rst}$  により、完全に空乏化するように設定されることが好ましい。第 2 の n 型領域 N R 2 の n 型不純物の濃度の 1 例としては、 $1 \times 10^{17} / \text{cm}^3$  である。

【 0 0 3 7 】

浮遊拡散領域 F D は、電荷保持領域 E H R から転送された電荷を保持する。浮遊拡散領域 F D は、n 型の導電型を有している。浮遊拡散領域 F D は、p 型ウエル領域中において主表面 M S に接して形成されている。

30

【 0 0 3 8 】

浮遊拡散領域 F D は、増幅トランジスタ A T r のゲートに接続されている。増幅トランジスタ A T r のドレインは、固定電位  $V_{dd}$  に接続されている。増幅トランジスタ A T r のソースは、行選択トランジスタ S T r のドレインに接続されている。行選択トランジスタのソースは、垂直信号線 V S L に接続されている。図 2 において図示されていないが、垂直信号線 V S L 上には負荷トランジスタが形成されている。行選択トランジスタ S T r のゲートは、行選択線 S E L に接続されている。

【 0 0 3 9 】

そのため、行選択トランジスタ S T r がオンされている状態においては、浮遊拡散領域 F D に保持されている電荷は、増幅トランジスタ A T r のソースフォロア動作により、電圧に変換される。これにより、単位画素 P X に蓄積された電荷に対応した信号が、垂直信号線 V S L に出力される。

40

【 0 0 4 0 】

浮遊拡散領域 F D は、リセットトランジスタ R T r のソースとなっている。リセットトランジスタ R T r のドレインは、リセット電位  $V_{rst}$  が印加されている。リセットトランジスタ R T r のゲートは、リセット線 R S T に接続されている。リセットトランジスタ R T r がオンすることにより ( リセット線 R S T がハイ状態とされることにより ) 、浮遊拡散領域 F D から電荷が排出される。これにより、浮遊拡散領域 F D がリセットされる。

【 0 0 4 1 】

第 1 の転送ゲート F T R は、第 1 転送線 T R 1 に接続されている。第 1 の転送ゲート F

50

TRは、オンされることにより（第1転送線TR1がオン状態とされることにより）、光電変換領域PCRに蓄積された電荷を、電荷保持領域EHRに転送する。なお、第1の転送ゲートFTRのオン状態及びオフ状態において印加される電圧については、後述する。

【0042】

第1の転送ゲートFTRは、ゲート絶縁膜GO上に形成されている。より具体的には、第1の転送ゲートFTRは、光電変換領域PCRと電荷保持領域EHRとの間のp型ウエル領域PW及び電荷保持領域EHRの各々と絶縁しながら対向するよう形成されている。なお、第1の転送ゲートFTRは、電荷保持領域EHR上の全てにおいて形成されていなくてもよい。第1の転送ゲートFTRは、例えば不純物がドーピングされた多結晶シリコン(Si)が用いられる。

10

【0043】

第2の転送ゲートSTRは、第2転送線TR2に接続されている。第2の転送ゲートSTRは、オンされることにより（第2転送線TR2がオン状態とされることにより）、電荷保持領域EHRに保持されている電荷を、浮遊拡散領域FDに転送する。

【0044】

第2の転送ゲートSTRは、ゲート絶縁膜GO上に形成されている。より具体的には、第2の転送ゲートSTRは、電荷保持領域EHRと浮遊拡散領域FDとの間のp型ウエル領域PWと絶縁しながら対向するよう形成されている。第2の転送ゲートSTRには、例えば不純物がドーピングされた多結晶Siが用いられる。

20

【0045】

図2においては図示されていないが、ゲート絶縁膜GO、第1の転送ゲートFTR、第2の転送ゲートSTRは、SiO<sub>2</sub>等の層間絶縁膜により被覆されている。図2においては図示されていないが、層間絶縁膜上には、Al（アルミニウム）、Cu（銅）等の配線が形成されている。電荷保持領域EHRの上方及び浮遊拡散領域FDの上方は、配線により遮光されている。

【0046】

（実施形態に係る固体撮像素子の動作）

以下に、実施形態に係る固体撮像素子のグローバルシャッター動作について説明する。

【0047】

図3に示すように、時刻 $t_0$ に、全ての単位画素PXにおいて、リセット線RST、第1転送線TR1及び第2転送線TR2がオン状態とされる。これにより、光電変換領域PCR、電荷保持領域EHR及び浮遊拡散領域FDに残存している電荷が掃き出される。すなわち、光電変換領域PCR、電荷保持領域EHR及び浮遊拡散領域FDはリセットされる。

30

【0048】

時刻 $t_1$ に、リセット線RST、第1転送線TR1及び第2転送線TR2が再びオフ状態とされる。そのため、時刻 $t_1$ において、電荷の蓄積が開始される。すなわち、時刻 $t_1$ において、光電変換領域PCRにおいて、入射光の光電変換及び光電変換された電荷の蓄積が開始される。この光電変換及び電荷の蓄積は、時刻 $t_2$ まで継続する。その結果、時刻 $t_1$ と時刻 $t_2$ の間の時間が、蓄積時間となる。

40

【0049】

時刻 $t_2$ と時刻 $t_3$ の間に、全ての単位画素PXにおいて、第1転送線TR1がオン状態となる。これにより、全ての単位画素PXにおいて、蓄積時間の間に光電変換領域PCRに蓄積された電荷が、電荷保持領域EHRに転送される。その後、第1転送線TR1はオフ状態を維持する。

【0050】

時刻 $t_3$ から時刻 $t_4$ の間に、第1行目から第 $(k-1)$ 行目（なお、 $k$ は2以上の整数である。）に属する単位画素PXにおける読出し動作が行われる。時刻 $t_4$ から時刻 $t_9$ の間に、第 $k$ 行目に属する単位画素PXにおける読出しが行われる。

【0051】

50

第1行目から第(k-1)行目に属する単位画素PXの読出し動作と、第k行目に属する単位画素PXの読出し動作は同一である。そのため、図3においては、第1行目から第(k-1)行目に属する単位画素PXの読出し動作は省略してある。

【0052】

時刻 $t_4$ において、第k行目に属する単位画素PXのリセット線RSTがオン状態とされる。これにより、第k行目に属する単位画素PXの浮遊拡散領域FDがリセット状態とされる。続いて、時刻 $t_5$ において、第k行目に属する単位画素PXの行選択線SELがオン状態とされる。

【0053】

これにより、増幅トランジスタATr及び行選択トランジスタSTrを介して、第k行目に属する単位画素PXの浮遊拡散領域FDのリセットレベルに対応する信号が垂直信号線VSL上に読み出される。読み出された信号は、カラム処理部CPにおいて一時的に保持される。その後、時刻 $t_6$ に、第k行目に属する単位画素PXのリセット線RST及び行選択線SELは、オフ状態とされる。

【0054】

続いて、時刻 $t_7$ において、第k行目に属する単位画素PXの第2転送線TR2がオン状態とされる。これにより、第k行目に属する単位画素PXの電荷保持領域EHRに保持されていた電荷が、第k行目に属する単位画素PXの浮遊拡散領域FDに転送される。

【0055】

さらに、時刻 $t_8$ において、第k行目に属する単位画素PXの行選択線SELがオン状態とされる。これにより、増幅トランジスタATr及び行選択トランジスタSTrを介して、第k行目に属する単位画素PXの浮遊拡散領域FDに転送された電荷に対応する信号が垂直信号線VSL上に読み出される。

【0056】

この読み出された電荷に対応する信号及びリセットレベルに対応する信号を用いて、カラム処理部CPはCD動作を行う。これにより、カラム処理部CPは、ノイズキャンセルされた後の電荷に対応する信号を取得する。時刻 $t_9$ に、第k行目に属する単位画素PXの行選択線SEL及び第2転送線TR2がオフ状態とされる。以上により、第k行目に属する単位画素PXからの読出し動作が完了する。

【0057】

以上の動作によると、全ての単位画素PXにおいて、時刻 $t_1$ から時刻 $t_2$ までの間が蓄積時間となるため、蓄積時間の同時性が確保される。すなわち、このような実施形態に係る固体撮像素子の動作により、グローバルシャッター動作が実現されている。

【0058】

以下に、実施形態に係る固体撮像素子の電荷転送動作について説明する。

図4(A)は、蓄積時間が終了した時点におけるポテンシャル図である。図4(A)に示すように、光電変換領域PCRに形成されているポテンシャル井戸内においては、入射光によって光電変換された電荷が蓄積されている。

【0059】

図4(B)は、第1の転送ゲートFTRがオンされた状態におけるポテンシャル図である。図4(B)に示すように、第1の転送ゲートFTRがオン状態とされることにより、光電変換領域PCRと電荷保持領域EHRの間のポテンシャル障壁が押し下げられる。また、上記のとおり、第1の転送ゲートFTRは、電荷保持領域EHR上にも形成されている。そのため、電荷保持領域EHRのポテンシャルは、光電変換領域PCRのポテンシャルよりも深くなっている。このポテンシャル勾配に従って、光電変換領域PCRに蓄積された電荷は、電荷保持領域EHRに転送される。

【0060】

図4(C)は、第2の転送ゲートSTRがオンされた状態におけるポテンシャル図である。図4(C)に示すように、第2の転送ゲートSTRがオン状態とされることにより、電荷保持領域EHRと浮遊拡散領域FDの間のポテンシャル障壁は押し下げられる。上記

10

20

30

40

50

のとおり、第2の転送ゲートSTRがオンされている状態においては、第1の転送ゲートFTRはオフ状態となっている。そのため、電荷保持領域EHRのポテンシャルは、浮遊拡散領域FDのポテンシャルよりも浅くなっている。このポテンシャル勾配に従って、電荷保持領域EHRに保持されている電荷は、浮遊拡散領域FDに転送される。以上の動作により、光電変換領域PCRに蓄積された電荷は、電荷保持領域EHRを経由して、浮遊拡散領域FDに転送される。

【0061】

以下に、実施形態に係る固体撮像素子の第1転送ゲートに印加される電圧について説明する。

【0062】

第1の転送ゲートFTRがオン状態となる電圧には、ピンニング領域PINが空乏化する電圧が選択される。第1の転送ゲートFTRがオフ状態とされる電圧には、ピンニング領域PINがピンニングされた状態となる電圧が選択される。

10

【0063】

この点を、以下に具体的に説明する。図5に示すように、ピンニング領域PINは、閾値電圧 $V_{th}$ よりも低い電圧が印加される場合、第1の転送ゲートFTRに印加される電圧にかかわらず、一定のポテンシャルを示す。すなわち、この状態においては、ピンニング領域PINはピンニングされた状態となっている。他方、ピンニング領域PINは、閾値電圧 $V_{th}$ よりも高い電圧が印加される場合、第1の転送ゲートFTRに印加される電圧が上昇するに従ってポテンシャルが上昇する。

20

【0064】

オフ状態において第1の転送ゲートFTRに印加される電圧は、ピンニング領域PINが第1の転送ゲートFTRに印加される電圧に関わらず一定のポテンシャルを示す範囲から選択される。換言すれば、オフ状態において第1の転送ゲートFTRに印加される電圧は、ピンニング領域PINがピンニングされるような電圧が選択される。他方、オン状態において第1の転送ゲートFTRに印加される電圧は、第1の転送ゲートFTRに印加される電圧が上昇するに従ってピンニング領域PINのポテンシャルが上昇する範囲から選択される。

【0065】

なお、ピンニング領域PINがn型の導電型を有している場合については、第1の転送ゲートFTRがオフ状態となる電圧が、負の電圧となる。これは、ピンニング領域PINがピンニングされた状態とするためには、第1の転送ゲートFTRに負の電圧を印加することにより、周囲からピンニング領域PINにホールを注入する必要があるからである。

30

【0066】

(実施形態に係る固体撮像素子の効果)

以下に、実施形態に係る固体撮像素子の効果について説明する。

【0067】

実施形態に係る固体撮像素子によると、グローバルシャッター動作時において、暗電流の発生を抑制しつつ、転送不良も抑制することが可能となる。この効果の詳細について、以下に詳述する。

40

【0068】

まず、暗電流発生の抑制に関して第1の比較例と対比しながら説明する。図6に示すように、第1の比較例に係る固体撮像素子は、半導体基板SUBを有している。半導体基板SUBは、主表面MSと裏面BSとを有している。主表面MS上には、ゲート絶縁膜GOが形成されている。半導体基板SUB中には、光電変換領域PCRと、電荷保持領域EHRと、浮遊拡散領域FDとが設けられている。これらの点において、第1の比較例に係る固体撮像素子は、実施形態に係る固体撮像素子と同様である。

【0069】

しかしながら、第1の比較例に係る固体撮像素子は、ピンニング領域PINを有していない点において、実施形態に係る固体撮像素子と異なっている。

50

## 【0070】

第1の比較例に係る固体撮像素子の電荷保持領域EHRは、第1の転送ゲートFTRがオフ状態において、深さ方向（主表面MSから裏面BSに向かう方向）に沿って、図7中の点線で示されるポテンシャルプロファイルを示す。他方、実施形態に係る固体撮像素子の電荷保持領域EHRは、第1の転送ゲートFTRのオフ状態において、深さ方向に沿って図7中の実線で示されるポテンシャルプロファイルを示す。

## 【0071】

上記のとおり、実施形態に係る固体撮像素子においては、第1の転送ゲートFTRがオフ状態においてピンニング領域PINがピンニングされている。そのため、半導体基板SUBの主表面MSとゲート絶縁膜GOの界面での界面準位等に起因した電子の発生、ひいては暗電流の発生が抑制されることになる。

10

## 【0072】

他方、第1の比較例に係る固体撮像素子においては、電荷保持領域EHRは、ピンニング領域PINを有していないため、半導体基板SUBの主表面MSとゲート絶縁膜GOの界面において電子の発生が抑制されない。そして、発生した電子は、ポテンシャルプロファイルに沿って、暗電流として電荷保持領域EHRに流入する。

## 【0073】

グローバルシャッター動作を行う場合、電荷保持領域EHRには、光電変換領域PCRから転送された電荷が、最大約1フレーム時間保持されることになる。実施形態に係る固体撮像素子においては、上記のとおり電荷保持領域EHRへの流入が抑制される。そのため、実施形態に係る固体撮像素子をグローバルシャッター動作させ、電荷保持領域EHRに長時間電荷が保持されていたとしても、暗電流の影響は受けにくい。

20

## 【0074】

次に、転送不良の抑制について説明する。第1の転送ゲートFTRがオン状態となり光電変換領域PCRに蓄積された電荷が電荷保持領域EHRに転送される際には、ピンニング領域PINが空乏化する。その結果、ピンニング領域PINを有していても、転送不良が生じにくい。以上のように、実施形態に係る固体撮像素子によると、グローバルシャッター動作時において、暗電流の発生を抑制しつつ、転送不良も抑制することができる。

## 【0075】

以下に、実施形態に係る固体撮像素子の付加的な効果について説明する。実施形態に係る固体撮像素子において、ピンニング領域PINの不純物濃度をp型ウエルの不純物濃度よりも低くした場合、光電変換領域PCRに蓄積された電荷が電荷保持領域EHRに転送される際に、ピンニング領域PINを容易に空乏化させることができる。そのため、この場合には、転送不良をより抑制することが可能となる。

30

## 【0076】

実施形態に係る固体撮像素子において、第2のn型領域NR2の不純物濃度を浮遊拡散領域FDの不純物濃度よりも小さくした場合、電荷保持領域EHRと浮遊拡散領域FDの間のポテンシャル勾配が大きくなる。その結果、電荷保持領域EHRと浮遊拡散領域FDの間の電荷の完全転送がより確実に実現される。

## 【0077】

実施形態に係る固体撮像素子において、ピンニング領域PINの幅を第2のn型領域NR2の幅と同じか、第2のn型領域NR2の幅よりも広くした場合、転送不良をより抑制することができる。この効果については、第2の比較例と対比することにより、以下に詳述する。

40

## 【0078】

第2の比較例に係る固体撮像素子は、図8に示すように、半導体基板SUBを有している。半導体基板SUBは、主表面MSと裏面BSとを有している。主表面MS上には、ゲート絶縁膜GOが形成されている。半導体基板SUB中には、光電変換領域PCRと、電荷保持領域EHRと、浮遊拡散領域FDとが設けられている。電荷保持領域EHRは、ピンニング領域PINを有している。これらの点において、第2の比較例に係る固体撮像素

50

子は実施形態に係る固体撮像素子と同様である。

【0079】

しかしながら、第2の比較例に係る固体撮像素子においては、実施形態に係る固体撮像素子と異なり、ピンニング領域PINの幅を第2のn型領域NR2の幅よりも狭い。

【0080】

その結果、第2の比較例に係る固体撮像素子においては、図9に示すように、電荷保持領域EHRのポテンシャル井戸の端部に、ポテンシャルディップPTDが形成される。ポテンシャルディップPTDは、電荷保持領域EHRの他の部分よりもポテンシャルが深くなっている。

【0081】

このようなポテンシャルディップPTDが形成された場合、光電変換領域PCRから電荷保持領域EHRに電荷が転送された際に、一部の電荷がポテンシャルディップPTDにトラップされてしまう。ポテンシャルディップPTDにトラップされた電荷は、ポテンシャルディップPTDが電荷保持領域EHRの他の部分よりもポテンシャルが深いため、電荷保持領域EHRから浮遊拡散領域FDに電荷を転送する際にも残存しやすい。

【0082】

しかしながら、実施形態に係る固体撮像素子においてピンニング領域PINの幅を第2のn型領域NR2の幅と同じか、第2のn型領域NR2の幅よりも広くした場合、このようなポテンシャルディップは形成されない。そのため、この場合には、転送不良をさらに抑制することが可能となる。

【0083】

実施形態に係る固体撮像素子において、ピンニング領域PINをp型の導電型とし、かつピンニング領域PINのp型不純物の濃度がp型ウエル領域PWのp型不純物の濃度よりも低い場合、第1の転送ゲートFTRのオン時に、ピンニング領域PINが確実に空乏化される。そのため、この場合には、転送不良をさらに抑制することが可能となる。

【0084】

実施形態に係る固体撮像素子において、ピンニング領域PINをn型の導電型とした場合、ピンニング領域PINを形成するために第2のn型領域NR2とは別にp型の不純物のイオン注入を行う必要がない。そのため、この場合には、ピンニング領域PINの形成を簡略化することができる。

【0085】

実施形態に係る固体撮像素子において、第2のn型領域NR2のn型不純物の濃度を、浮遊拡散領域FDのn型不純物の濃度よりも低くした場合、電荷保持領域EHRと浮遊拡散領域との間のポテンシャル勾配が大きくなる。そのため、より確実に電荷の完全転送を行うことが可能となる。

【0086】

今回開示された実施形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0087】

A Tr 増幅トランジスタ、B S 裏面、C P カラム処理部、E H R 電荷保持領域、F D 浮遊拡散領域、F T R 第1の転送ゲート、G O ゲート絶縁膜、H D 水平駆動部、M S 主表面、N R 1 第1のn型領域、N R 2 第2のn型領域、O U T 出力部、P C R 光電変換領域、P D L 画素駆動線、P I N ピンニング領域、P R p型領域、P T D ポテンシャルディップ、P W p型ウエル領域、P X 単位画素、P X A 画素アレイ部、R S T リセット線、R T r リセットトランジスタ、S C システム制御部、S E L 行選択線、S T R 第2の転送ゲート、S T r 行選択トランジスタ、S U B 半導体基板、S U B R 基板領域、T R 1 第1転送線、T R 2 第2転送線、

10

20

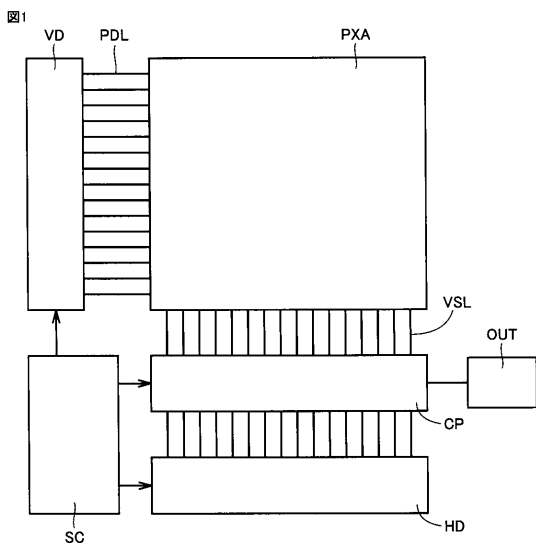
30

40

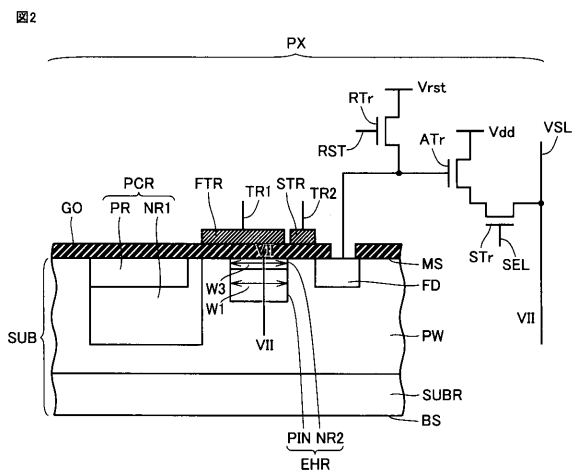
50

V D 垂直駆動部、V r s t リセット電位、V S L 垂直信号線、V d d 固定電位、  
V t h 閾値電圧、W 1 第1の幅、W 2 第2の幅、W 3 第3の幅、W 4 第4の幅  
。

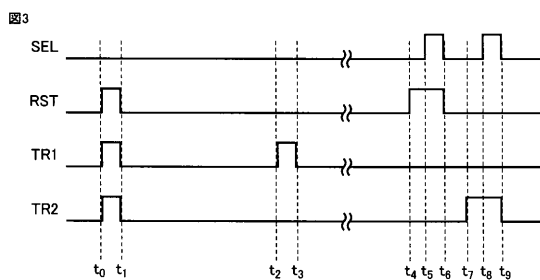
【 図 1 】



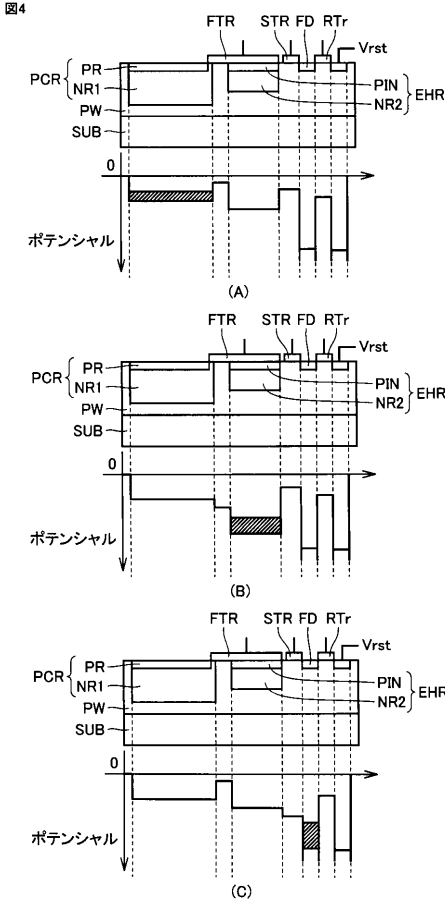
【 図 2 】



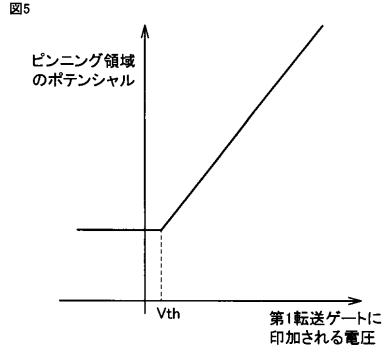
【 図 3 】



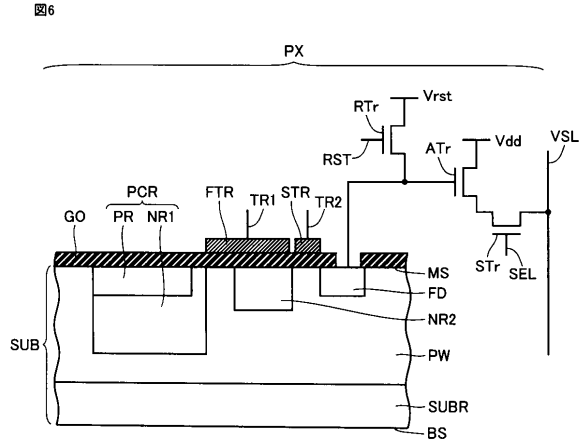
【 図 4 】



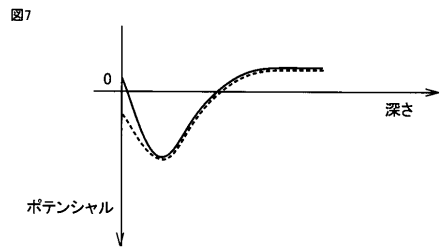
【 図 5 】



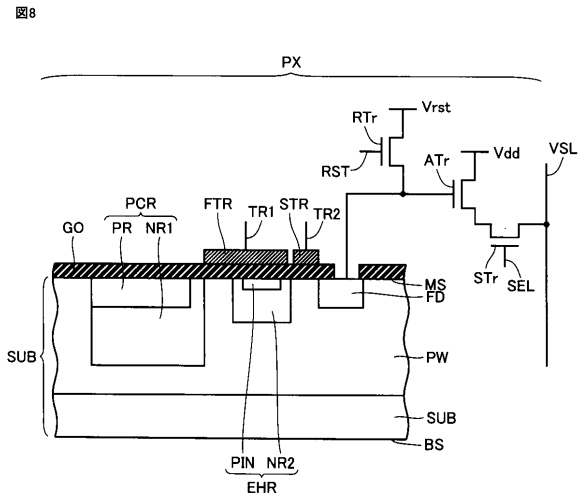
【 図 6 】



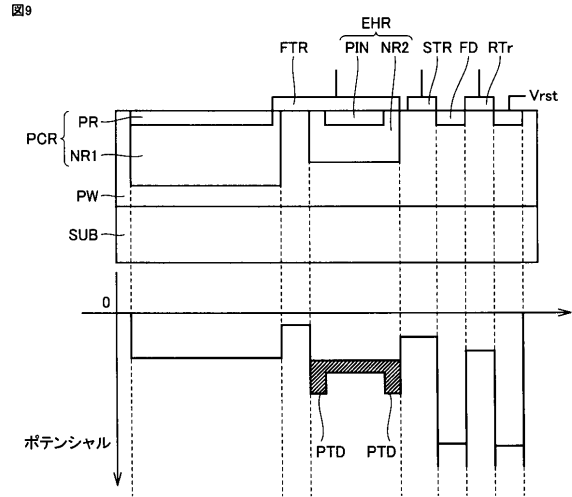
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

Fターム(参考) 5C024 CX17 CY47 GX03 GX16 GX18 GY31