



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

256515

(11) B₁

(51) Int. Cl.^A
H 04 B 14/04

(61)

(23) Výstavní priorita
(22) Přihlášeno 28 08 86
(21) PV 6284-86.U

(40) Zveřejněno 13 08 87
(45) Vydáno 31.10.88

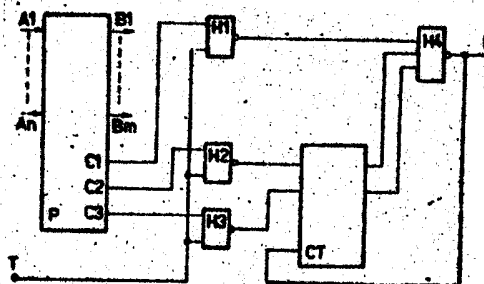
(75)
Autor vynálezu

ZIGMUND JOSEF ing. CSc.,
PRCHAL IVO ing. CSc., PRAHA

(54)

Zapojení pro odvození řídicích impulsů pro
obnovu blokové synchronizace

Řešení se týká zapojení pro odvození řídicích impulsů pro obnovu blokové synchronizace dekodéru blokového kodu mBnB v zařízeních digitálních přenosových systémů, zejména s pulsně kodovou modulací - PCM. V paměti (P) se převádí n-bitové slovo na m-bitové podle kodovací tabulky. Zároveň je v paměti (P) ke každému vstupnímu slovu přiřazena na první identifikační svorce (C1) informace o výskytu nedovolených slov a na druhé a třetí identifikační svorce (C2 a C3) informace o disparitě slova. Na výstupu (D) čtvrtého hradla (H4) se při výskytu nedovoleného slova nebo porušení disparity objeví logická úroveň (H), která je dále zpracovávána jako řídicí impuls pro obnovu blokové synchronizace. Zapojení je vhodné zejména pro digitální přenosové systémy s vysokými přenosovými rychlostmi, například pro přenosy po optických vláknech.



Vynález se týká zapojení pro odvození řídicích impulsů pro obnovu blokové asynchronizace dekodéru blokového kódu mBnB v zařízeních digitálních přenosových systémů, zejména s pulsně kódovou modulací - PCM.

Blokový kód mBnB se vytváří v kodéru vysílače překódováním m-bitového slova na n-bitové slovo, obvykle pomocí paměti typu PROM, kde je uložena kódovací tabulka. V dekodéru přijímače dochází k zpětnému překódování. Pro správnou funkci přenosového systému je nutná bloková synchronizace kodéru a dekodéru. Chyby se projevují výskytem slov nedovolených podle kódovací tabulky nebo porušenou disparitou.

Znamé zapojení se skládá z identifikátoru nedovolených slov, identifikátoru porušení disparity a výstupního obvodu. Identifikátor nedovolených slov tvořený kombinačním logickým obvodem je připojen na výstup dekodéru. Identifikátor porušení disparity je tvořen vratným čítačem. Na jeho vstupy pro čítání vpřed a vzad se přivádějí přijímané impulsy ze vstupního posuvného registru přes logické obvody. Výstupy obou identifikátorů jsou připojeny na výstupní obvod, kde se impulsy z obou identifikátorů koincidují s taktovacím signálem a sloučí se v řídicí impulsy pro obnovu blokové synchronizace. Nevýhodou zapojení je jeho obvodová složitost. Vratný čítač musí čítat impulsy s rychlostí rovnou přenosové rychlosti digitálního signálu, což jsou desítky Mbit/s. Z tohoto požadavku vyplývá jeho vysoký příkon.

Účelem vynálezu je odstranit uvedené nevýhody. Podle podstaty vynálezu se toho dosahuje tím, že první identifikační svorka paměti je připojena na první vstup prvního hradla, jehož výstup je připojen na první vstup čtvrtého hradla. Druhá identifikační svorka paměti je připojena na první vstup druhého hradla, jehož výstup je připojen na vstup pro čítání vpřed vratného čítače. Třetí identifikační svorka paměti je připojena na první vstup třetího hradla, jehož výstup je připojen na vstup pro čítání vzad vratného čítače. První výstup vratného čítače je připojen na druhý vstup čtvrtého hradla a druhý výstup vratného čítače je připojen na třetí vstup čtvrtého hradla. Výstup čtvrtého hradla je připojen na výstupní svorku a na nulovací vstup vratného čítače. Druhé vstupy prvního, druhého a třetího hradla jsou připojeny na zdroj taktovacího signálu.

Zapojení podle vynálezu je jednoduché. Rychlost čítání vratného čítače je n -krát menší než přenosová rychlost digitálního signálu. Tím je dáno i snížení příkonu zapojení.

Příklad vynálezu je dále popsán pomocí výkresu. Dekodér tvořený pamětí P typu PROM má n vstupních svorek A1 až An a m výstupních svorek B1 až Bm. První identifikační svorka C1 paměti P je připojena na první vstup čtvrtého hradla H4. Druhá identifikační svorka C2 paměti P je připojena na první vstup druhého hradla H2, jehož výstup je připojen na vstup pro čítání vpřed vratného čítače CT. Třetí identifikační svorka C3 paměti P je připojena na první vstup třetího hradla H3, jehož výstup je připojen na vstup pro čítání vzad vratného čítače CT. První výstup vratného čítače CT je připojen na druhý vstup čtvrtého hradla H4 a druhý výstup vratného čítače CT je připojen na třetí vstup čtvrtého hradla H4. Výstup čtvrtého hradla H4 je připojen na výstupní svorku D a na nulovací vstup vratného čítače CT. Druhé vstupy prvního, druhého a třetího hradla H1, H2 a H3 jsou připojeny na zdroj taktovacího signálu.

V paměti P dekodéru se převádí n -bitové slovo na m -bitové podle kódovací tabulky. Z výstupů B1 až Bm paměti P se odebírá dekódované slovo v paralelním tvaru. Zároveň je v paměti P ke každému vstupnímu slovu přiřazena na první identifikační svorce C1 informace o výskytu nedovolených slov a na druhé a třetí identifikační svorce C2 a C3 informace o disparitě slova.

Logická úroveň H na první identifikační svorce C1 označuje výskyt nedovoleného slova, logické úrovně H na druhé a třetí identifikační svorce C2 a C3 označují slovo s nulovou disparitou. Kombinace logické úrovně H na druhé identifikační svorce C2 a logické úrovně L na třetí identifikační svorce C3 označuje slovo s kladnou disparitou. Kombinace logické úrovně L na druhé identifikační svorce C2 a logické úrovně H na třetí identifikační svorce C3 označuje slovo se zápornou disparitou. Informace z první svorky C1 se přivádí na první hradlo H1, kde se koinciduje s taktovacím signálem, jehož rychlost je n-krát nižší než přenosová rychlost digitálního signálu. Informace z druhé svorky C2 se přivádí na druhé hradlo H2, informace z třetí svorky C3 se přivádí na třetí hradlo H3 a oba signály se na těchto hradlech H2 a H3 koinciduují s taktovacím signálem. Vyskytne-li se slovo s nulovou disparitou, stav vratného čítače CT se nemění. Při kladné disparitě se stav vratného čítače CT posune o jeden krok nahoru, při záporné disparitě dolů. Vyskytnou-li se za sebou dvě slova s kladnou disparitou, vratný čítač CT se posune o dva kroky nahoru a na jeho prvním výstupu se objeví logická úroveň L. Při dvou kladných slovech se zápornou disparitou se vratný čítač CT posune o dva kroky dolů a na jeho druhém výstupu se objeví logická úroveň L. Na výstupu^D čtvrtého hradla H4 se při výskytu nedovoleného slova nebo porušení disparity objeví logická úroveň H, kterou se zároveň vynuluje vratný čítač CT. Logická úroveň H na výstupní svorce D je dále zpracována jako řídicí impuls pro obnovu blokové synchronizace.

Zapojení podle vynálezu využívá paměti P k identifikaci nedovoleného slova a porušení disparity. Zapojení analyzuje n-bitová slova a proto je možné zpracovávat informace o jejich chybách rychlostí n-krát nižší, než je přenosová rychlost digitálního signálu. Tím klesají požadavky na dynamické parametry hradel a vratného čítače.

Zapojení je vhodné zejména pro digitální přenosové systémy s vysokými přenosovými rychlostmi, např. pro přenosy po optických vláknech.

PŘEDMĚT VYNÁLEZU

Zapojení pro odvození řídicích impulsů pro obnovu blokové synchronizace dekodéru blokového kódu mBnB s pamětí typu PROM a s vratným čítačem, vyznačené tím, že první identifikační svorka (C1) paměti (P) je připojena na první vstup prvního hradla (H1), jehož výstup je připojen na první vstup čtvrtého hradla (H4), druhá identifikační svorka (C2) paměti (P) je připojena na první vstup druhého hradla (H2), jehož výstup je připojen na vstup pro čítání vpřed vratného čítače (CT), přičemž třetí identifikační svorka (C3) paměti (P) je připojena na první vstup třetího hradla (H3), jehož výstup je připojen na vstup pro čítání vzad vratného čítače (CT), jehož první výstup je připojen na druhý vstup čtvrtého hradla (H4) a druhý výstup je připojen na třetí vstup čtvrtého hradla (H4), jehož výstup je připojen na výstupní svorku (D) a na nulovací vstup vratného čítače (CT), zatímco druhé vstupy prvního, druhého a třetího hradla (H1, H2, H3) jsou připojeny na zdroj taktovacího signálu (T).

1 výkres

