



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I406402B1

(45) 公告日：中華民國 102 (2013) 年 08 月 21 日

(21) 申請案號：098103973

(22) 申請日：中華民國 98 (2009) 年 02 月 06 日

(51) Int. Cl. : **H01L27/146 (2006.01)**

(30) 優先權：2008/02/08 美國 61/027,356

2008/03/21 美國 12/053,476

(71) 申請人：豪威科技股份有限公司 (美國) OMNIVISION TECHNOLOGIES, INC. (US)  
美國

(72) 發明人：代鐵軍 DAI, TIEJUN (CN)；戴幸志 TAI, HSIN CHIH (TW)；真鍋宗平 MANABE, SOHEI (JP)；野崎秀俊 NOZAKI, HIDETOSHI (JP)；羅狄絲 霍華 E RHODES, HOWARD E. (US)

(74) 代理人：陳長文

(56) 參考文獻：

US 2005/0030399A1

US 2007/0091190A1

審查人員：詹惟雯

申請專利範圍項數：18 項 圖式數：6 共 0 頁

(54) 名稱

用於背側照明影像感測器之電路與光感測器重疊

CIRCUIT AND PHOTO SENSOR OVERLAP FOR BACKSIDE ILLUMINATION IMAGE SENSOR

(57) 摘要

本發明係關於一種背側照明(BSI)成像感測器像素，其包括：一光電二極體區域；及像素電路。該光電二極體區域係佈置在一半導體晶粒中，用於回應於入射在該 BSI 成像感測器像素之一背側上的光而蓄積一影像電荷。該像素電路包含電晶體像素電路，該像素電路係佈置在該半導體晶粒之一前側與該光電二極體區域之間的該半導體晶粒中。該像素電路之至少一部分重疊於該光電二極體區域。

A backside illuminated (“BSI”) imaging sensor pixel includes a photodiode region and pixel circuitry. The photodiode region is disposed within a semiconductor die for accumulating an image charge in response to light incident upon a backside of the BSI imaging sensor pixel. The pixel circuitry includes transistor pixel circuitry disposed within the semiconductor die between a frontside of the semiconductor die and the photodiode region. At least a portion of the pixel circuitry overlaps the photodiode region.

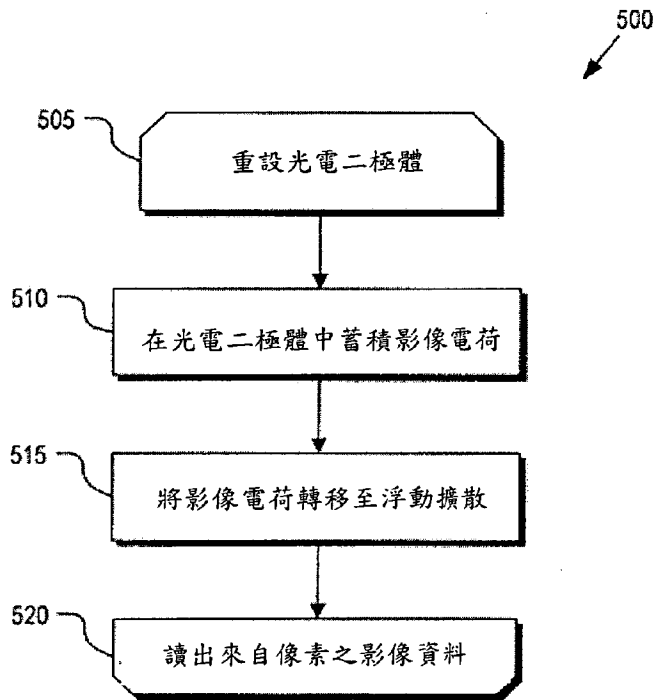


圖 5

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98103973

※申請日：98.2.6

※IPC 分類：

H01L 27/146 (2006.01)

一、發明名稱：(中文/英文)

用於背側照明影像感測器之電路與光感測器重疊

CIRCUIT AND PHOTO SENSOR OVERLAP FOR BACKSIDE

ILLUMINATION IMAGE SENSOR

二、中文發明摘要：

本發明係關於一種背側照明(BSI)成像感測器像素，其包括：一光電二極體區域；及像素電路。該光電二極體區域係佈置在一半導體晶粒中，用於回應於入射在該BSI成像感測器像素之一背側上的光而蓄積一影像電荷。該像素電路包含電晶體像素電路，該像素電路係佈置在該半導體晶粒之一前側與該光電二極體區域之間的該半導體晶粒中。該像素電路之至少一部分重疊於該光電二極體區域。

### 三、英文發明摘要：

A backside illuminated ("BSI") imaging sensor pixel includes a photodiode region and pixel circuitry. The photodiode region is disposed within a semiconductor die for accumulating an image charge in response to light incident upon a backside of the BSI imaging sensor pixel. The pixel circuitry includes transistor pixel circuitry disposed within the semiconductor die between a frontside of the semiconductor die and the photodiode region. At least a portion of the pixel circuitry overlaps the photodiode region.

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

500            處理程序

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明大體上係關於影像感測器，且特定言之(但非排它)，本發明係關於背側照明CMOS影像感測器。

本申請案主張2008年2月8日申請之美國臨時申請案第61/027,356號之權利，該案之內容係以引用的方式併入本文中。

### 【先前技術】

圖1繪示一習知的前側照明互補金屬氧化物半導體(CMOS)成像像素100。成像像素100之前側係基板105側，該側上佈置有像素電路且形成有用於重新散佈信號之金屬堆疊110。該等金屬層(例如金屬層M1及M2)係以產生一光學通道之方式經圖案化，入射在成像像素100之前側的光可經由該光學通道到達該感光性或光電二極體(PD)區域115上。該前側可進一步包含：一彩色濾光器層，以實施一彩色感測器；及一微透鏡，以將光聚焦在PD區域115上。

成像像素100包含佈置在相鄰於PD區域115之像素電路區域中的像素電路。此像素電路提供多種用於成像像素100之規則操作的功能。舉例而言，像素電路區域125可包含電路以開始在PD區域中的影像電荷之獲得，以將蓄積在PD區域115中的該影像電荷重設至現成的影像像素100用於下一影像，或轉移出由成像像素100所獲得的影像資料。如所繪示，在一前側照明組態中，像素電路區域125係定

位成緊鄰於PD區域115。因此，像素電路區域125以PD區域115為代價消耗成像像素100中的有用面積。減小PD區域115之尺寸以容納該像素電路而降低成像像素100之填充因數，因此而減少對光敏感的像素面積量，並降低低光效能。

### 【實施方式】

茲參考以下圖式描述本發明之非限制性及非詳盡的實施例，其中各個圖中相同參考數字涉指相同部分，除非另有指明。

本文描述一種用於具有重疊像素電路之背側照明成像感測器的系統及操作方法之實施例。在下列描述中，闡述許多特定細節以提供對該等實施例的一徹底瞭解。然而，熟習相關技術者將認識到，此處所描述之技術可在沒有該等特定細節之一個或多個之情況下實施，或以其他方法、組件、材料等而實施。在其他實例中，未顯示或詳細描述已熟知之結構、材料或操作以避免模糊某些態樣。

此說明書各處對「一項實施例」或「一實施例」的參考意謂著連同該實施例所描述之一特定特徵、結構或特性係包括在本發明之至少一項實施例中。因此，此說明書各處在不同位置出現的片語「在一項實施例中」或「在一實施例中」不一定全指相同之實施例。此外，該等特定特徵、結構或特性可以任何適當之方式被組合於一項或多項實施例中。

此說明書各處使用若干專業術語。此等術語在此項技術

中具有其等所由來之普通意義，除非在此處特別定義，或其等用途之背景將清楚地提出其他之意義。此處參考一半導體晶粒之表面法線定義術語「重疊」。若貫穿該半導體晶粒之一橫截面繪出的與該表面法線平行的線交叉於二個元件，則佈置在一晶粒上的該二個元件被稱為「重疊」。

圖2係繪示根據本發明之一實施例的背側照明成像系統200之一方塊圖。所繪示實施例的成像系統200包含一像素陣列205、讀出電路210、功能邏輯215及控制電路220。

像素陣列205係一個二維(2D)的背側照明成像感測器或像素(例如像素P1、P2.....Pn)。在一項實施例中，各個像素係一互補金屬氧化物半導體(CMOS)成像像素。如所繪示，各個像素係佈置成為一列(例如列R1至Ry)及一行(例如行C1至Cx)以獲得一個人、位置或物體之影像資料，接著影像資料可用以形成該人、位置或物體之2D影像。

在各個像素已獲得其影像資料或影像電荷之後，該影像資料係由讀出電路210讀出並傳送至功能邏輯215。讀出電路210可包含放大電路、類比至數位(ADC)轉換電路或其他。功能邏輯215可簡單地儲存該影像資料或甚至藉由使用後影像效果(例如裁剪、旋轉、移除紅眼、調整亮度、調整對比度或其他)而處理該影像資料。在一項實施例中，讀出電路210可沿著讀出行線(經繪示)每次讀出一列影像資料，或可利用多種其他技術(未繪示)讀出該影像資料，例如串列讀出或同時全並列讀出所有像素。

控制電路220係耦合至像素陣列205以控制像素陣列205



之操作特性。舉例而言，控制電路220可產生一快門信號，該快門信號係用於控制影像獲得。在一項實施例中，該快門信號係一全域快門信號，該快門信號用於同時啟用像素陣列205中的所有像素以在一單一獲得窗期間捕獲該等像素的各自影像資料。在一替代實施例中，該快門信號係一滾動快門信號，藉此在連續獲得窗期間依序地啟用像素之各個列、行或群組。

圖3A係繪示根據本發明之一實施例的一背側照明成像陣列中的二個四電晶體(4T)式像素之像素電路300之一電路圖。像素電路300係用於實施圖2之像素陣列200中的各個像素之一種可能的像素電路架構。然而，應瞭解本發明之實施例不限於4T像素架構；更確切言之，受益於本揭示內容之一般技術者將瞭解本教示係亦適於3T設計、5T設計及各種其他像素架構。

在圖3A中，像素Pa及Pb係成二行及一列而佈置。所繪示實施例的各個像素電路300包含一光電二極體PD、一轉移電晶體T1、一重設電晶體T2、一源極隨耦器(SF)電晶體T3、一選擇電晶體T4及一儲存電容器C1。在操作期間，轉移電晶體T1接收一轉移信號TX，轉移電晶體T1將蓄積在光電二極體PD中的電荷轉移至一浮動擴散節點FD。在一項實施例中，浮動擴散節點FD可耦合至一儲存電容器用於暫時儲存影像電荷。

重設電晶體T2係耦合在一電源導軌VDD與該浮動擴散節點FD之間以在一重設信號RST之控制下重設(例如將該FD

放電或充電至一預設電壓)。該浮動擴散節點FD係經耦合以控制SF電晶體T3之閘極。SF電晶體T3係耦合在該電源導軌VDD與選擇電晶體T4之間。SF電晶體T3之作用為一源極隨耦器，其提供至該浮動擴散FD之一高阻抗連接。最後，選擇電晶體T4係在一選擇信號SEL之控制下將像素電路300之輸出選擇性地耦合至該讀出行線。

在一項實施例中，由控制電路220產生該TX信號、該RST信號及該SEL信號。在其中像素陣列205利用一全域快門操作之一實施例中，該全域快門信號係耦合至整個像素陣列205中的各個轉移電晶體T1之閘極以同時開始電荷自各個像素之光電二極體PD轉移。或者，滾動快門信號可應用於轉移電晶體T1之群組。

圖3B係繪示根據本發明之一實施例的使用包含一整合式類比至數位轉換電路(ADC)305之一主動像素感測器(APS)之像素電路301的一電路圖。像素電路301係用於實施圖2之像素陣列200中的各個像素之另一可能的像素電路架構。所繪示的該APS架構僅包含二個電晶體(重設電晶體T2及選擇電晶體T4)；然而，若該ADC 305不整合至像素電路301中，則接著將包含SF電晶體T3且像素電路301將被稱為3T像素設計。應瞭解圖3B僅是將一ADC整合至一像素中的一可能的實施且其他實施可連同本發明之實施例一起使用。舉例而言，一ADC可併入於圖3A中所繪示的該4T設計中。

所繪示實施例的像素電路301包含一PD、一重設電晶體

T2、一選擇電晶體T4及一ADC 305。所繪示實施例的ADC 305包含一比較器(COMP)310、一計數器315及一記憶體320。在操作期間，ADC 305可操作以在由選擇電晶體T4在行匯流排上輸出之前，將由該PD蓄積的類比影像電荷轉換成為具有一數位值表示的影像資料。記憶體320係用於暫時儲存該數位影像資料之一多位元暫存器(例如8位元、16位元、20位元等)。在一項實施例中，像素陣列205中的各個像素P1至Pn之像素電路可共用ADC 305之一個或多個組件。在一共用實施例中，一共用ADC 305之電路可重疊兩個或兩個以上相鄰的像素。

圖4係根據本發明之一實施例的具有重疊像素電路之一背側照明成像像素400之一混合橫截面/電路圖。成像像素400係像素陣列205中的像素P1至Pn之一種可能的實施。所繪示實施例的成像像素400包含一基板405、一彩色濾光器410、一微透鏡415、一PD區域420、一摻雜接合擴散區域425、一像素電路區域430、若干像素電路層435及一金屬堆疊440。所繪示實施例的像素電路區域430包含一佈置在一擴散井445上的4T像素(可替代其他像素設計)以及其他電路431(例如增益電路、ADC電路、伽瑪(gamma)控制電路、曝光控制電路等)。一浮動擴散450係佈置在擴散井445中並耦合在轉移電晶體T1與SF電晶體T3的閘極之間。所繪示實施例的金屬堆疊440包含由金屬層間介電層441及443分離的二層金屬層M1及M2。雖然圖4僅繪示一種二層金屬堆疊，但金屬堆疊440可包含更多或較少層，用於在

像素陣列205之前側上方投送信號。在一項實施例中，一鈍化或針紮層470係佈置在接合擴散區域425上。最後，淺溝渠隔離(STI)使成像像素400與相鄰的像素(未繪示)隔離。

如所繪示，成像像素400係對入射在其半導體晶粒之背側的光480感光。藉由使用一背側照明感測器，像素電路區域430可以與光電二極體區域420重疊的一組態而定位。換言之，像素電路300可被佈置為相鄰於接合擴散區域425並在光電二極體420與該晶粒前側之間而不阻擋光480到達光電二極體區域420。藉由以與光電二極體區域420重疊的一組態佈置該像素電路，如相對於如圖1中所繪示的並排組態，光電二極體區域420不再與該像素電路競爭有用的晶粒面積。確切言之，像素電路區域430可經放大以容納額外或更大的組件而不減損該影像感測器之填充因數。本發明之實施例使其他電路431(諸如增益控制或ADC電路(例如ADC 305))佈置為緊密接近於該等電路各自的光電二極體區域420而不減少該像素之敏感度。藉由將增益控制及ADC電路插入為緊密接近於各個PD區域420，由於PD區域420與額外像素中的電路之間較短的電互連，因此可降低電路雜訊並改良雜訊免疫性。此外，該背側照明組態提供更大靈活性以在金屬堆疊440中的像素陣列205之前側上投送信號而不干擾光480。在一項實施例中，該快門信號係在金屬堆疊440中投送至像素陣列205之該等像素。

在一項實施例中，像素陣列205中相鄰的像素之PD區域

420上的像素電路區域430可成群組以建立公共的晶粒面積。此公共的晶粒面積可除了支撐基本3T、4T、5T等像素電路之外亦支撐共用電路(或像素間的電路)。或者，一些像素可將其等之PD區域420上的未使用的晶粒面積貢獻至需要額外像素電路空間以用於較大或較高等像素內電路之相鄰的像素。因此，在一些實施例中，其他電路431可重疊兩個或兩個以上PD區域420且甚至可由一或多個像素共用。

在一項實施例中，基板405係由P型摻雜物予以摻雜。在此情況下，基板405及成長於該基板上的磊晶層可被稱為一P基板。在一P型基板實施例中，擴散井445係一P+井植入，而光電二極體區域420、接合擴散區域425及浮動擴散450係經N型摻雜。浮動擴散450係由與擴散井445相對導電型的一摻雜物予以摻雜而在擴散井445內產生一p-n接面，藉此而電隔離浮動擴散450。在其中基板405及該基板上的該等磊晶層為N型之實施例中，擴散井445亦是經N型摻雜，而光電二極體區域420、接合擴散區域425及浮動擴散450具有一相對的P型導電性。

圖5係繪示根據本發明之一實施例的一種用於操作一BSI成像像素400之處理程序500的一流程圖。處理程序500繪示像素陣列205中的一單一像素之操作；然而，應瞭解，可根據使用的是一滾動快門亦或是全域快門而由像素陣列205中的各個像素依序或同時執行處理程序500。處理程序500中出現的一些或所有處理程序方塊之次序不應被視為

限制。更確切而言，受益於本揭示內容之一般技術者將瞭解一些處理程序方塊可以多種未經繪示的次序執行。

在一處理程序方塊505中，重設光電二極體PD(例如光電二極體區域420)。重設包含將光電二極體PD放電或充電至一預定電壓電位，例如VDD。該重設係藉由確立該RST信號以啟用重設電晶體T2並確立該TX信號以啟用轉移電晶體T1而實現。啟用T1及T2之舉將光電二極體區域420、接合擴散區域425及浮動擴散450耦合至電源導軌VDD。

一旦重設，則撤銷確立該RST信號及該TX信號以藉由光電二極體區域420開始影像之獲得(處理程序方塊510)。入射在成像像素400之背側上的光480係穿過彩色濾光器410由微透鏡415聚焦於光電二極體區域420之背側上。彩色濾光器410係操作以將入射光480過濾成為成分色彩(例如利用一拜爾(Bayer)濾光器馬賽克或彩色濾光器陣列)。入射光子使電荷蓄積在該光電二極體之擴散區域內。

一旦該影像獲得窗已到期，則蓄積在光電二極體區域420中的電荷係藉由確立該TX信號而經由該轉移電晶體T1轉移至該浮動擴散450(處理程序方塊515)。在一全域快門之情況下，該全域快門信號係在處理程序方塊515期間與該TX信號同時被確立至像素陣列205中的所有像素。此造成由各個像素蓄積的影像資料全域轉移至該像素對應的浮動擴散450中。

一旦轉移該影像資料，撤銷確立該TX信號以將浮動擴散450自PD區域420隔離用於讀出。在一處理程序方塊520

中，該SEL信號係經確立以將該儲存的影像資料轉移至讀出行上用於經由讀出電路210輸出至該功能邏輯215。應瞭解讀出可經由行線(有繪示)以每列為基礎、經由列線(未繪示)以每行為基礎、以每個像素(未繪示)為基礎或藉由其他邏輯分組而發生。一旦已讀出所有像素的影像資料，處理程序500回至處理程序方塊505以製備下一影像。

在一項實施例中，其他電路431可包含一儲存電容器，該儲存電容器耦合至FD 450以暫時儲存該影像電荷，使得可在處理程序520中的讀出之前在各個像素中執行後影像獲得處理。此電路可包含增益電路、ADC電路或其他。其他電路431甚至可包含曝光控制電路及伽瑪控制電路。該重疊BSI組態係提供各個像素中的空間以實現此像素內的處理而不犧牲像素400之填充因數。

上文解釋之處理程序係以電腦軟體及硬體的方式予以描述。所描述之技術可構成具體實施在一機器(例如，電腦)可讀取儲存媒體內之機器可執行指令，當該等指令藉由一機器執行時將使機器實行所描述之操作。另外，該等處理程序可在硬體內具體實施，諸如一特定應用積體電路(ASIC)或類似物。

一機器可讀取儲存媒體包含以一利用一機器(例如，一電腦、網路器件、個人數位助理、製造工具、具有一組一個或多個處理器的任何器件等)可存取之形式提供(即，儲存)資訊的任何機構。舉例而言，一機器可讀取儲存媒體包含可記錄/不可記錄媒體(例如，唯讀記憶體(ROM)、隨

機存取記憶體(RAM)、磁碟儲存媒體、光學儲存媒體、快閃記憶體器件等)。

本發明所繪示之實施例的上文描述，包含摘要中之描述，並不意謂詳盡說明本發明或將本發明限制於所揭示的精確形式。雖然為了說明目的此處描述了本發明之特定實施例及實例，但如熟習相關技術者所認識，在本發明之範疇內可有多種修改。

根據上文詳細描述可對本發明做出此等修改。不應將下列請求項中使用的術語解讀為將本發明限制於說明書中所揭示的特定實施例。確切而言，本發明之範疇完全係由下列請求項決定，應根據申請專利範圍解釋之已建立的原則來解讀該等請求項。

### 【圖式簡單說明】

圖1係一習知的前側照明成像像素之橫截面圖。

圖2係繪示根據本發明之一實施例的一背側照明成像系統之一方塊圖。

圖3A係繪示根據本發明之一實施例的一背側照明成像系統中二個4T像素之像素電路之一電路圖。

圖3B係繪示根據本發明之一實施例的一背側照明成像系統中包含類比至數位轉換電路之一主動像素感測器之像素電路之一電路圖。

圖4係根據本發明之一實施例的具有重疊像素電路之一背側照明成像像素之一混合橫截面/電路圖。

圖5係繪示根據本發明之一實施例的一種用於操作具有



重疊像素電路之一背側照明成像像素之處理程序的一流程圖。

【主要元件符號說明】

100	成像像素
105	基板
110	金屬堆疊
115	光電二極體(PD)區域
125	像素電路區域
200	背側照明成像系統
205	像素陣列
210	讀出電路
215	功能邏輯
220	控制電路
300	像素電路
301	像素電路
305	類比至數位轉換電路(ADC)
310	比較器(COMP)
315	計數器
320	記憶體
400	成像像素
405	基板
410	彩色濾光器
415	微透鏡
420	光電二極體(PD)區域

425	接合擴散區域
430	像素電路區域
431	其他電路
435	像素電路層
440	金屬堆疊
441	金屬層間介電層
443	金屬層間介電層
445	擴散井
450	浮動擴散
470	鈍化或針紮層
480	光
500	處理程序
P1-Pn	像素
FD	浮動擴散節點
M1	金屬層
M2	金屬層
C1-Cx	行
Pa	像素
Pb	像素
PD	光電二極體
R1-Ry	列
RST	重設信號
SEL	選擇信號
SF	源極隨耦器

STI	淺溝渠隔離
T1	轉移電晶體
T2	重設電晶體
T3	源極隨耦器(SF)電晶體
T4	選擇電晶體
TX	轉移信號
VDD	電源導軌

## 七、申請專利範圍：

102年3月25日  
修正頁(本)

### 1. 一種背側照明(BSI)成像感測器，其包括：

一第一像素之一第一光電二極體區域，其係佈置在一半導體晶粒中，用於回應於入射在該BSI成像感測器之一背側上的光而蓄積一影像電荷；

該第一像素之一像素電路，其包含電晶體像素電路，該像素電路係佈置在該半導體晶粒之一前側與該第一光電二極體區域之間的該半導體晶粒中，其中該像素電路之至少一部分重疊於該第一光電二極體區域；及

一鄰近該第一像素之第二像素，其包含一第二光電二極體區域，其中該第二像素包含位在該第二光電二極體區域上方且未被該第二像素所使用的晶粒面積(die real estate)，

其中該第一像素之該像素電路之一部份延伸於位在該第二光電二極體區域上方且未被該第二像素所使用的晶粒面積上，使得該第二像素將未使用的晶粒面積貢獻至該第一像素，以容納較該第一像素所能容納者更大的像素電路。

2. 如請求項1之BSI成像感測器，其中該像素電路包含一類比至數位轉換器(ADC)，該ADC經耦合以將該影像電荷轉換至一數位值，其中該ADC之至少一部分重疊於該第一及第二像素兩者之該第一及第二光電二極體區域。

3. 如請求項1之BSI成像感測器，其中該像素電路包含增益電路，其用於放大得自該影像電荷之影像資料，其中該

增益電路之至少一部分重疊於該第一及第二像素兩者之該第一及第二光電二極體區域。

4. 如請求項1之BSI成像感測器，其中該像素電路包含伽瑪控制電路或曝光控制電路之至少一者，其中該伽瑪控制電路或該曝光控制電路之至少一部分重疊於該第一及第二像素兩者之該第一及第二光電二極體區域。
5. 如請求項1之BSI成像感測器，其中該像素電路除了包含三電晶體(3T)式像素電路、四電晶體(4T)式像素電路、或五電晶體(5T)式像素電路以外亦包含額外電路，其中該額外電路之至少一部分重疊於該第一及第二像素兩者之該第一及第二光電二極體區域。
6. 如請求項1之BSI成像感測器，其中該BSI成像感測器包括一BSI互補金屬氧化物半導體(CMOS)成像感測器。
7. 如請求項6之BSI成像感測器，其進一步包括佈置在該半導體晶粒中的一接合擴散區域(interlinking diffusion region)，該接合擴散區域耦合在該第一光電二極體區域與該像素電路之間，該接合擴散區域相鄰於該像素電路而定位並延伸朝向該半導體晶粒之前側。
8. 如請求項6之成像感測器，其中該像素電路包括：
  - 一傳送電晶體，其耦合在該第一光電二極體區域與一浮動擴散之間；
  - 一重設電晶體，其經耦合以重設蓄積在該第一光電二極體區域中的電荷；
  - 一源極隨耦器電晶體，其經耦合以提供來自該浮動擴

散之一高阻抗輸出；及

一選擇電晶體，其自其他成像感測器像素選擇該BSI成像感測器像素用於讀出。

9. 如請求項1之BSI成像感測器，其進一步包括：

一微透鏡，其係佈置在該第一光電二極體區域下的該半導體晶粒之一背側上，且經光學對準以將自該背側接收的光聚焦在該第一光電二極體區域上；及

一彩色濾光器，其係佈置在該微透鏡與該第一光電二極體區域之間以過濾光。

10. 一種包含至少一第一像素及一鄰近該第一像素之第二像素之背側照明(BSI)像素陣列之操作方法，該方法包括：

利用該第一像素之一第一光感區域(first photosensitive region)獲得影像信號，該影像信號係回應於入射在該第一像素之一背側上的光而產生；及

將藉由該第一光感區域所獲得的該影像信號傳送至該第一像素之一像素電路，該像素電路係佈置在該第一像素之相對該背側之一前側上，其中該第一像素之該像素電路至少部分地重疊於該第一像素之該第一光感區域且延伸於位在該第二像素之一第二光感區域上方的晶粒面積上，使得該第二像素將未被該第二像素所使用的晶粒面積貢獻至該第一像素，以容納較該第一像素所能容納者更大的像素電路。

11. 如請求項10之方法，其對於該第一像素進一步包括：

在獲得該影像信號之前，藉由暫時使一重設電晶體耦

合在一電壓導軌與一第一光感區域之間而重設該第一光感區域，其中該重設電晶體係佈置在該第一像素之該前側上且其中該重設電晶體至少部分地重疊於該第一光感區域。

12. 如請求項10之方法，其對於該第一像素進一步包括：

利用一類比至數位轉換器(ADC)將該影像信號轉換成為一數位影像信號，該ADC係佈置在該第一像素之該前側上，其中該ADC至少部分地重疊於該第一光感區域。

13. 如請求項10之方法，其對於該第一像素進一步包括：

利用增益電路放大該影像信號，該增益電路係佈置在該第一像素之該前側上，其中該增益電路至少部分地重疊於該第一光感區域。

14. 如請求項11之方法，其對於該第一像素進一步包括：

利用額外電路實施影像信號處理，該額外電路至少有部分係佈置在該第一像素中且該額外電路至少部分地重疊於該第一光感區域。

15. 如請求項10之方法，其中該背側照明(BSI)像素陣列包含一互補金屬氧化物半導體(CMOS)像素陣列。

16. 如請求項15之方法，其中該第一及第二光感區域包含多個光電二極體。

17. 如請求項10之方法，其中傳送由該第一光感區域所獲得的該影像信號包含透過一耦合在該第一光感區域與該像素電路之間且佈置在該前側上的接合擴散區域傳送一影像電荷。

18. 如請求項10之方法，進一步包括：

經由該像素電路讀出該第一像素之該影像信號，以自該背側照明(BSI)像素陣列輸出該影像信號。



八、圖式：

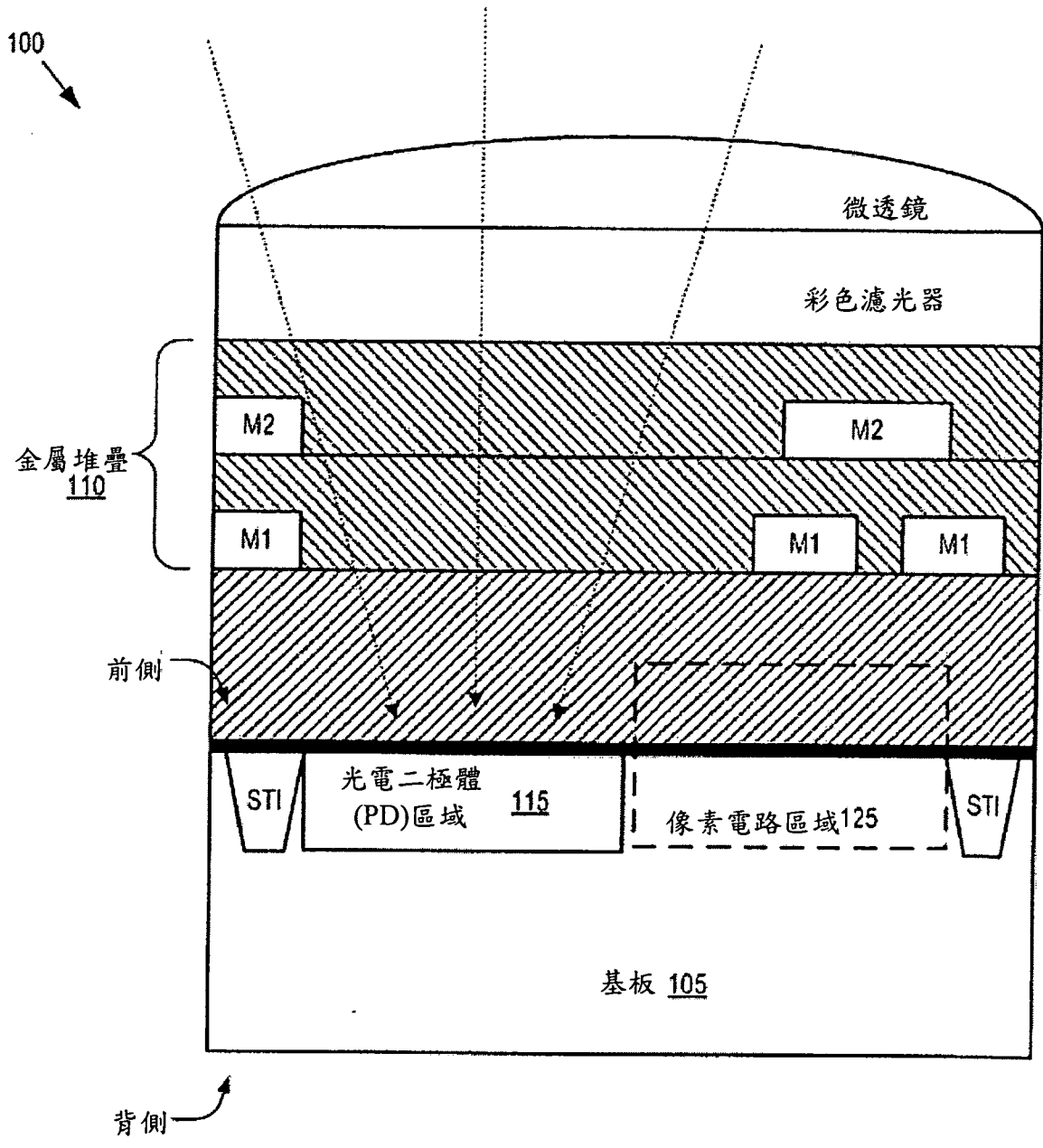


圖 1

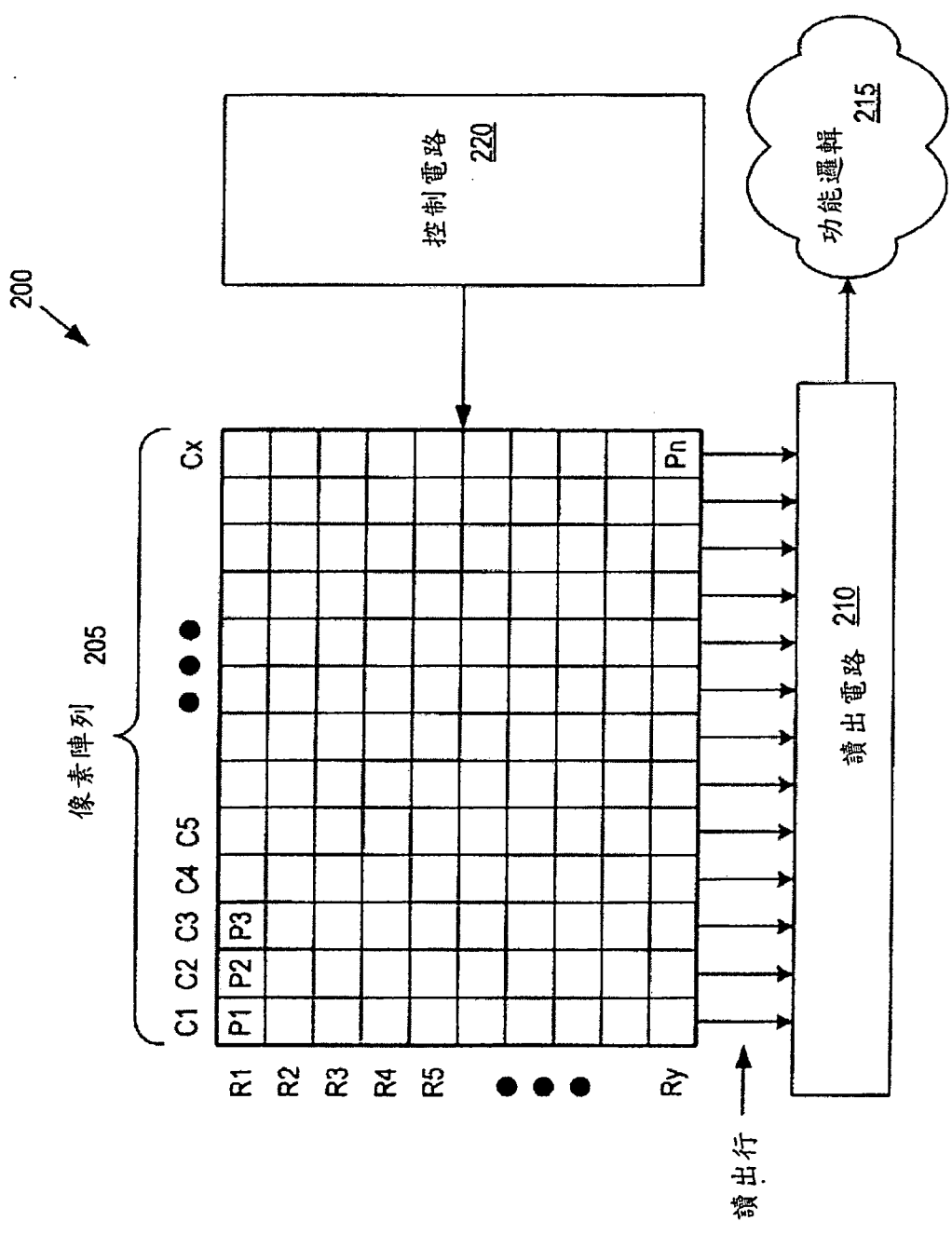


圖 2

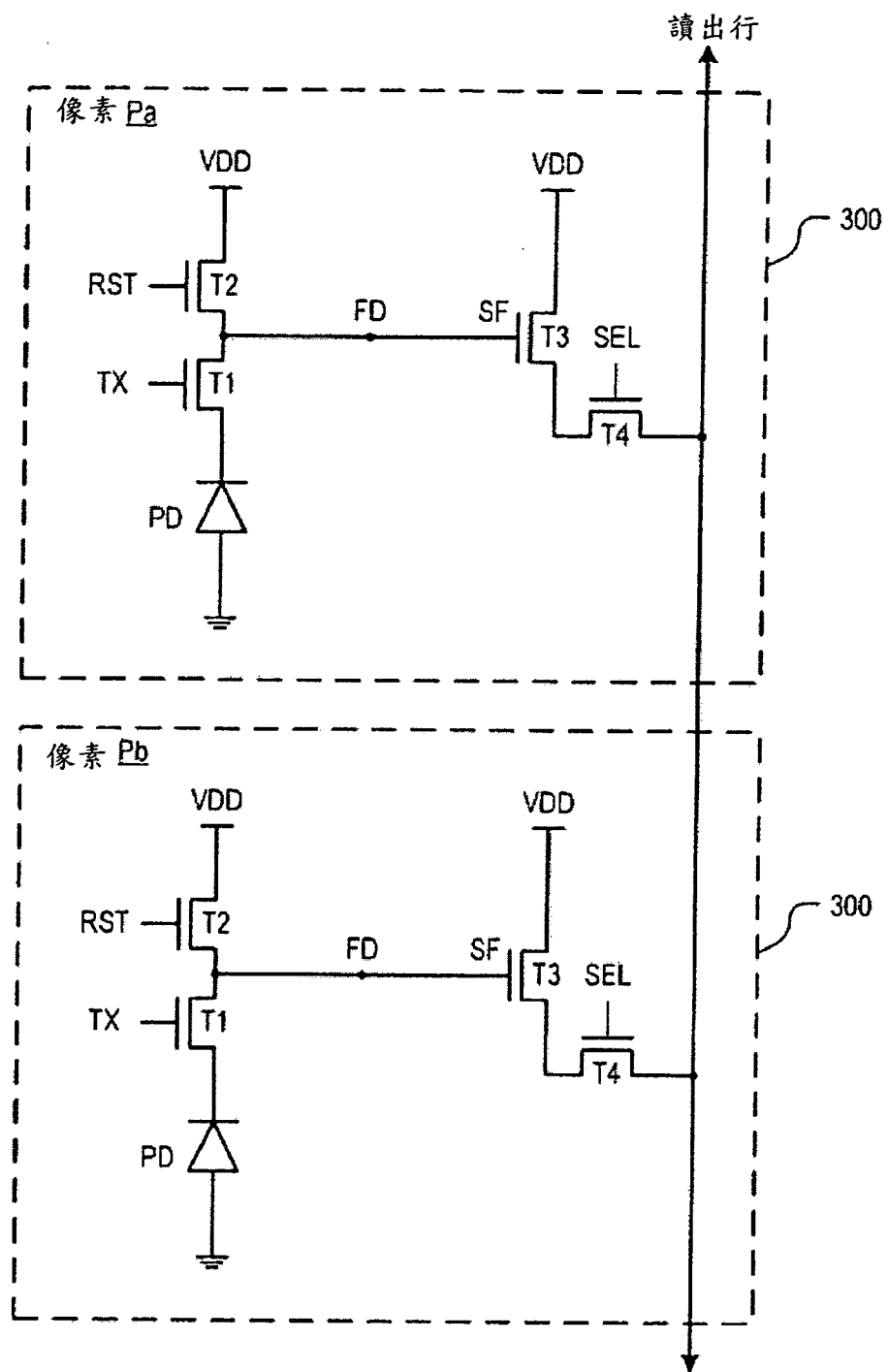


圖 3A

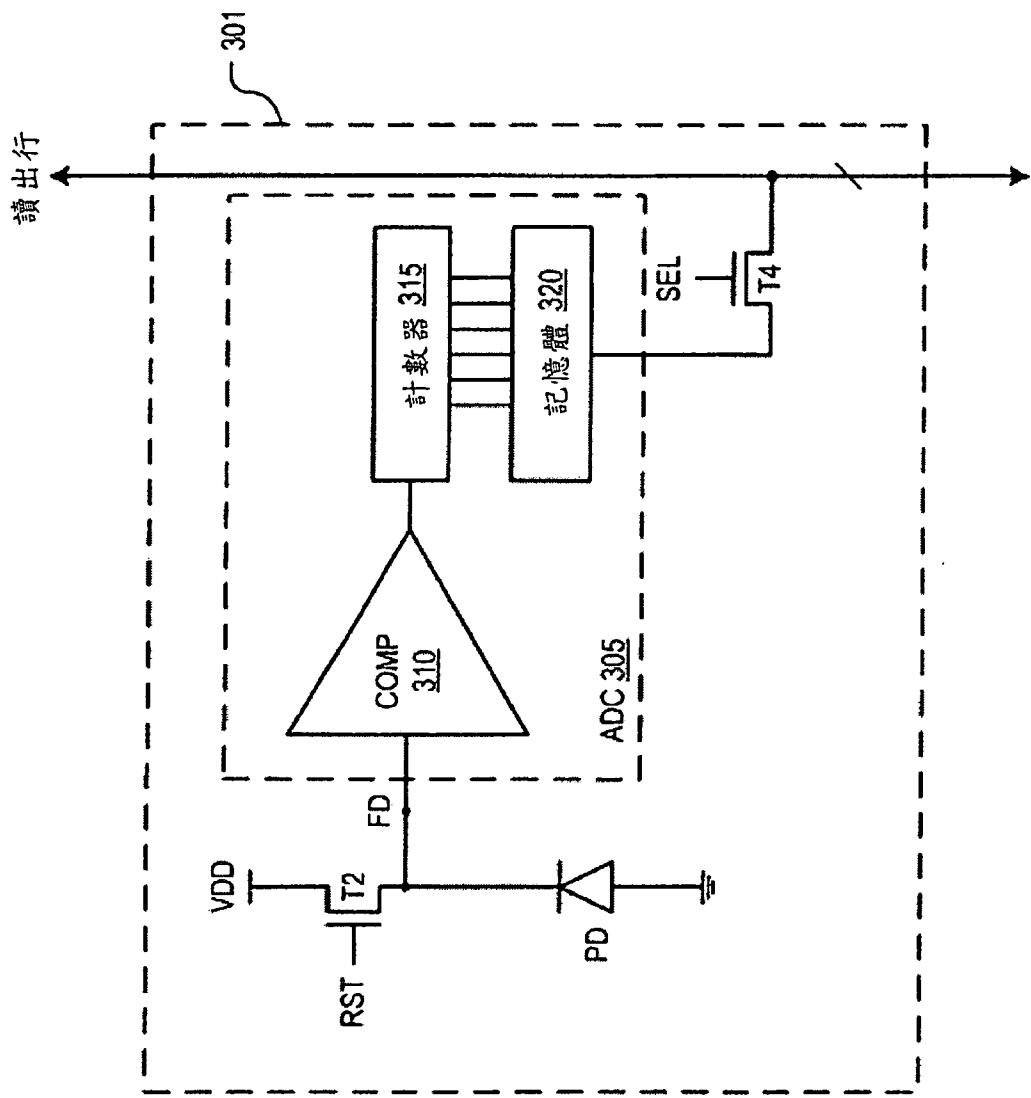


圖 3B

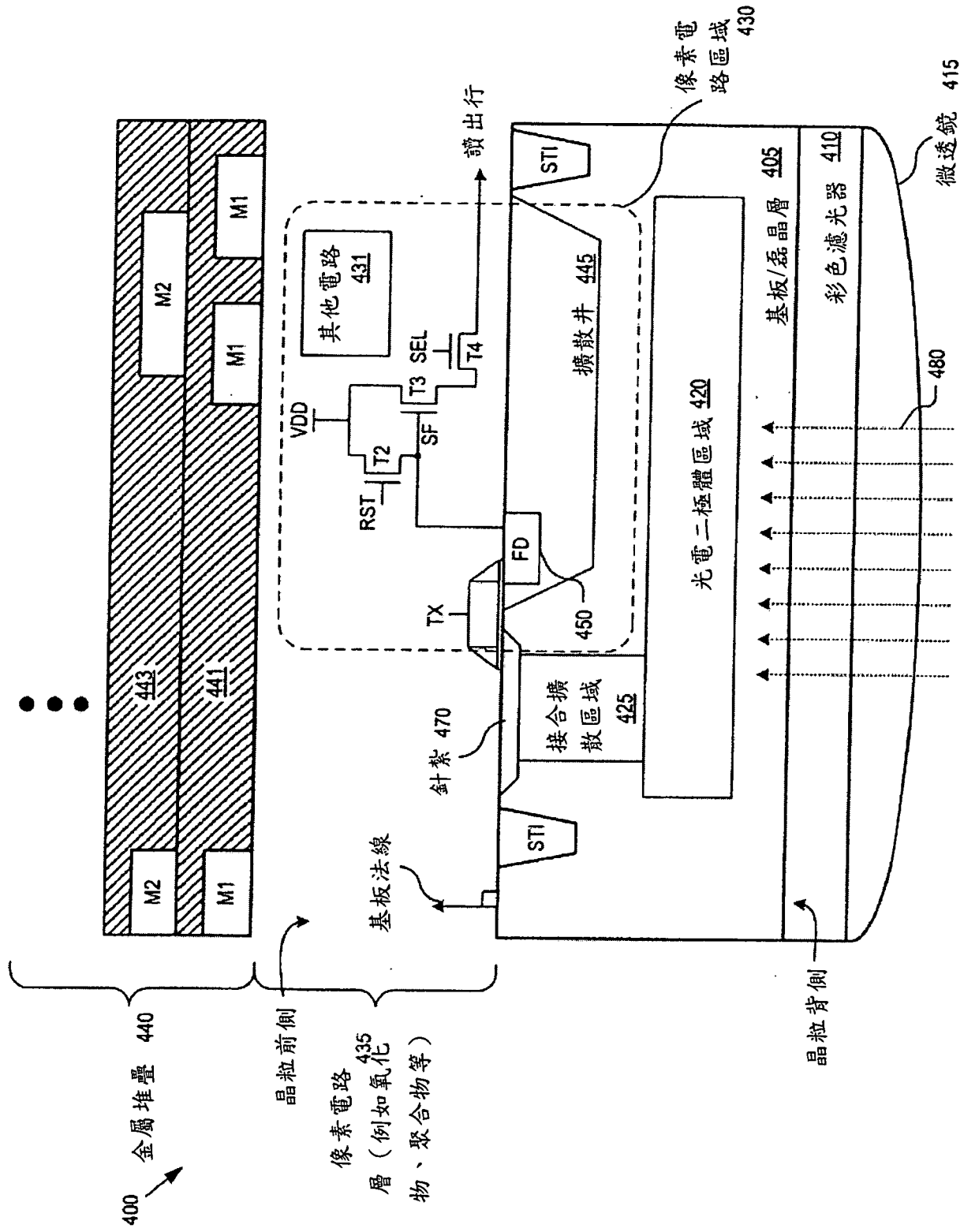


圖 4

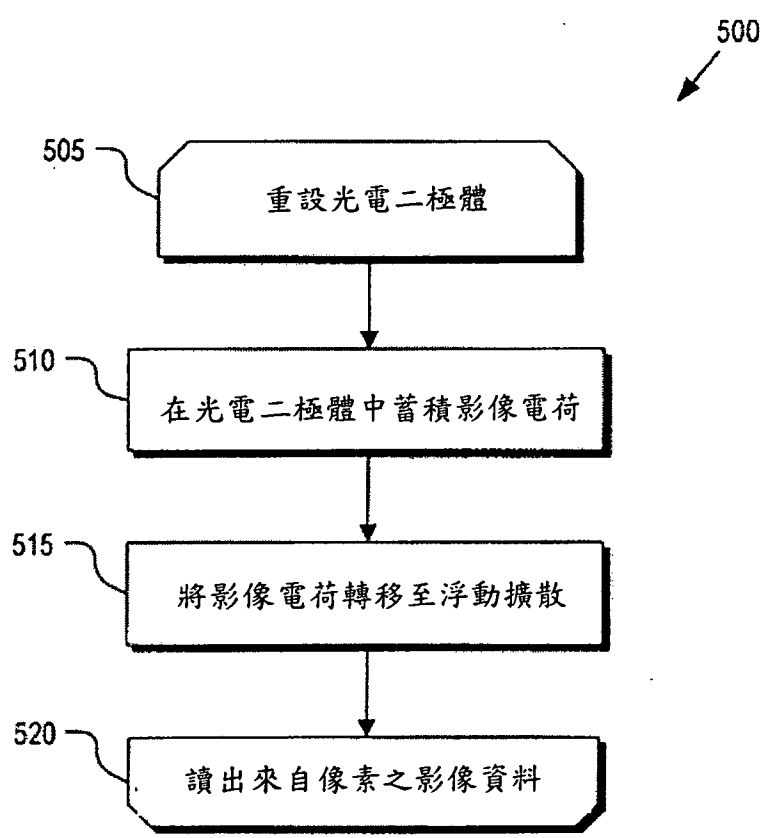


圖 5