(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3779371号
(P3779371)
(45)発行日　平成18年5月24日(2006.5.24)　(24)登録日　平成18年3月10日(2006.3.10)

(51)Int.Cl.		F I		
C01B 33/02	(2006.01)	C01B	33/02	Z
H01L 21/265	(2006.01)	H01L	21/265	F
H01L 21/28	(2006.01)	H01L	21/28	A
H01L 29/78	(2006.01)	H01L	29/78	301P
H01L 21/336	(2006.01)			

請求項の数 18　(全 14 頁)

(21)出願番号　特願平8-68786
(22)出願日　平成8年3月25日(1996.3.25)
(65)公開番号　特開平8-301612
(43)公開日　平成8年11月19日(1996.11.19)
審査請求日　平成13年1月31日(2001.1.31)
(31)優先権主張番号　409819
(32)優先日　平成7年3月24日(1995.3.24)
(33)優先権主張国　米国(US)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(72)発明者　土明　正勝
アメリカ合衆国、ニューヨーク州　１２５２４、フィッシュキル、グリーンヒル・ドライブ　１６エー

審査官　廣野　知子

最終頁に続く

(54)【発明の名称】シリコン表面の酸化防止方法、シリコン表面にシリサイド層を形成する方法および高架型半導体構造の垂直面上に酸化層を形成する方法

(57)【特許請求の範囲】

【請求項１】

炭素層をシリコン表面に形成し、ついで炭素層にイオンを衝突させてシリコン表面に炭素原子を入れることを特徴とするシリコン表面の酸化防止方法。

【請求項２】

炭素層は１０オングストローム～５０オングストロームの厚さを有することを特徴とする請求項１記載のシリコン表面の酸化防止方法。

【請求項３】

炭素層は１原子％～５０原子％の炭素量を有することを特徴とする請求項１記載のシリコン表面の酸化防止方法。

【請求項４】

垂直面と複数の水平面を有する半導体構造の各垂直面上に酸化層を形成する方法において、半導体構造の垂直面と水平面の両方にシリコン層を形成する工程と、水平面上のシリコン層部分に選択的に炭素含有シリコン表面層を形成する工程と、炭素含有シリコン表面層を抗酸化層として用い、垂直面上のシリコン層部分を選択的に酸化する工程とを含むことを特徴とする、酸化層を形成する方法。

【請求項５】

炭素含有シリコン表面をシリサイド化することをさらに含むことを特徴とする請求項４記載の、酸化層を形成する方法。

【請求項６】

シリコン層の一部が高架型ソース／ドレイン電極を構成することを特徴とする請求項４記載の、酸化層を形成する方法。

【請求項７】

シリコン層の一部がさらに素子分離絶縁膜上に延在することを特徴とする請求項６記載の、酸化層を形成する方法。

【請求項８】

シリコン層の一部がさらに隣接する素子間を電気的に接続することを特徴とする請求項６記載の、酸化層を形成する方法。

【請求項９】

垂直面上の酸化膜を除去することをさらに含むことを特徴とする請求項４記載の、酸化層を形成する方法。

【請求項１０】

炭素含有シリコン表面層は１０オングストローム～５０オングストロームの厚さを有することを特徴とする請求項４記載の、酸化層を形成する方法。

【請求項１１】

炭素含有シリコン表面層は１原子％～５０原子％の炭素量を有することを特徴とする請求項４記載の、酸化層を形成する方法。

【請求項１２】

垂直面と複数の水平面を有する半導体構造において、半導体構造の水平面上に、垂直面上の酸化膜により互いに電気的に絶縁されたシリコン層を具備し、その上部に炭素含有シリサイド層を有することを特徴とする半導体構造。

【請求項１３】

垂直面と複数の水平面を有する半導体構造において、半導体構造の水平面上に、炭素含有シリコン表面層を有する、垂直面上の酸化膜により互いに電気的に絶縁されたシリコン層を具備し、その一部が高架型ソース／ドレイン電極を構成することを特徴とする半導体構造。

【請求項１４】

垂直面と複数の水平面を有する半導体構造において、半導体構造の水平面上に、炭素含有シリコン表面層を有する、垂直面上の酸化膜により互いに電気的に絶縁されたシリコン層を具備し、その一部が素子分離絶縁膜上に延在することを特徴とする半導体構造。

【請求項１５】

垂直面と複数の水平面を有する半導体構造において、半導体構造の水平面上に、炭素含有シリコン表面層を有する、垂直面上の酸化膜により互いに電気的に絶縁されたシリコン層を具備し、その一部が隣接する素子間を電気的に接続することを特徴とする半導体構造。

【請求項１６】

垂直面と複数の水平面を有する半導体構造において、半導体構造の水平面上に、炭素含有シリコン表面層を有する、垂直面上の酸化膜により互いに電気的に絶縁されたシリコン層を具備し、水平面上のシリコン層部分に形成された炭素含有シリコン表面層が１０オングストローム～５０オングストロームの厚さを有することを特徴とする半導体構造。

【請求項１７】

垂直面と複数の水平面を有する半導体構造において、半導体構造の水平面上に、炭素含有シリコン表面層を有する、垂直面上の酸化膜により互いに電気的に絶縁されたシリコン層を具備し、水平面上のシリコン層部分に形成された炭素含有シリコン表面層が１原子％～５０原子％の炭素量を有することを特徴とする半導体構造。

【請求項１８】

酸化を抑制しかつ非結晶質化表面を形成する方法において、素子形成用シリコン領域および素子絶縁用絶縁領域に炭素層を形成する工程と、炭素層にイオンを衝突させて素子形成用シリコン領域内に炭素原子を注入し素子形成用シリコン領域上に炭素含有シリコン表面層を形成する工程とを含み、炭素含有シリコン表面層が酸化を抑制しかつ非結晶質化表

面を形成することを特徴とする方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、シリコン表面の酸化防止方法、シリコン表面にシリサイド層を形成する方法、および高架型半導体構造の垂直面上に酸化層を形成する方法に関する。
【０００２】
【従来の技術】
個々のシリコン半導体装置（ＭＯＳＦＥＴおよびバイポーラトランジスタなど）の寸法あるいはサイズは、超大規模集積回路（ＵＬＳＩ）の高性能化と高集積密度化を追求して継続的に小型化されている。したがって、こうした半導体装置の個々の部分、つまり拡散層およびかかる層の深さなども小さくされている。拡散層は、シリコンウエハ内の一方の導電性を有する領域に他方の導電性の不純物を導入することにより形成される。これは、ｐ－ｎまたはｎ－ｐジャンクションを形成する。薄い拡散層は、層内の電流の流れに対して大きな電気抵抗を生じるので、電気信号の伝達を遅くする。高速動作を得ることは高性能のＵＬＳＩにとって非常に望まれることであり、そのためには、この抵抗を減少させることが重要である。
【０００３】
薄いシリコン拡散層の大きな電気抵抗を軽減する一つの期待できる方法は、シリコン拡散層とシリコン拡散層の上部に成膜される金属との間に合金を形成することである（シリサイド化）。この合金（シリサイド）は、シリコン拡散層内のシリコンよりも著しく低い抵抗性を有し、抵抗の低い電流路を形成する。
【０００４】
シリサイド化は拡散層を消費して合金を形成するので、拡散層との粗い界面を有する厚いシリサイド層は、拡散層を貫通してその下方にあるシリコン領域にまで到達する。シリサイド層がシリコン領域にまで到達すると、拡散層とその下方にあるシリコン領域間のジャンクションを介して望ましくない電流路が形成される。こうなると拡散層は電流を制限することができず、拡散層はその要求される機能が果たせなくなる。複数のジャンクションを有する半導体装置内のたった１個のジャンクションにシリサイド層が到達した場合でも、半導体装置の能力は失われ、ＵＬＳＩ回路全体はその機能を損なう。したがって、薄いシリコン拡散層上に薄いが滑らかでしかも安定したシリサイド膜を形成することはきわめて重要である。しかしながら、こうした薄いが滑らかでしかも安定したシリサイド膜をシリコン拡散層上に形成するには、大きい障害が少なくとも２つある。
【０００５】
第一に、拡散層のシリコン表面が室温の大気など酸素含有環境に露呈されると、薄いＳｉＯ2 層が拡散層のシリコン表面上に形成されるのは避けられない。形成されたＳｉＯ2 層は、一般的にもろくて均質ではなくしかも不連続性の、弱くて薄い層である。ＳｉＯ2 に対して親和性が低い金属（Ｃｏ、Ｎｉ、Ｍｏ、Ｗ、Ｐｔなど）はＳｉＯ2 に反応しないので、シリコンと成膜金属間に存在する薄いＳｉＯ2 層でさえも、シリサイド化反応を妨げる。したがって、ＳｉＯ2 膜はシリサイド化反応を妨げる、つまりシリサイド化反応を弱いＳｉＯ2 層の部分的な局所に制限し、シリサイドと拡散層間に不規則な界面を生じる。ＳｉＯ2 を減少させることができる金属（Ｔｉなど）の場合でも、シリコン表面上のこうした不均質なＳｉＯ2 層は、シリサイド化反応の均質な開始に影響を及ぼす。それは、金属とＳｉＯ2 間の反応速度が、金属とシリコン間の反応速度よりもはるかに遅いためである。
【０００６】
第二に、拡散層内のシリコンの結晶質が悪影響を及ぼす。不揃いの原子構成、従って等方性の非晶質構造と異なり、結晶構造はかなり異方性である。シリサイドとシリコンとの界面の自由エネルギーおよび金属とシリコンの拡散率は、シリコンの結晶化度によって決まる。したがって、いくつかのシリサイド化プロセス（ＮｉＳｉの形成など）が、１つの選

択的な結晶面（例えば、（１１１）面）に沿って進行する傾向がある。工業規格（１００）のウエハを使用する場合、特定の結晶面におけるシリサイド化の選択的な進行は、非水平面におけるシリコン内にシリサイドを突出させる。上記のとうり、シリコン拡散層とその下方にあるシリコン間のジャンクションに到達したシリサイドは、ジャンクションの漏れ電流を生じるので、浅いジャンクションには有害である。

【０００７】

シリコン拡散層もしくはシリコン層またはシリコン基板上にシリサイド層を形成する方法に関連する問題は、先行技術で扱われてきた。例えば、シリサイド化以前に、シリコン基板を弗化水素酸（弗化水素ＨＦの水溶液）に浸漬すると、ＳｉＯ2 のないシリコン表面をシリサイド化のために形成することができる。この方法（ＨＦ処理）は、ＳｉＯ2 およびその他の材料を基板表面から除去するために広く使用されている。しかしながら、この方法は満足されるものではない。その理由は、ＨＦ処理したシリコン表面が、ＨＦリンス装置から金属成膜装置までのウエハの取り扱い時に大気に露呈されるのを避けられず、大気中の酸素によって、シリコン表面上にやはり薄いＳｉＯ2 層が成長してしまうからである。ＨＦ処理は、望ましくない酸化物の成長を避けるために金属成膜の直前に行うべきである。しかしながら、ＨＦ処理工程から金属成膜工程への迅速な移行は、それぞれの装置を操作するという制約の点で困難である。

【０００８】

表面のＳｉＯ2 を除去する他の手段としては、逆スパッタリング法がある。この方法では、シリコン表面を、通電された粒子の衝撃に露呈して、シリコン表面からＳｉＯ2 を逆スパッタにより除去する。この処理は金属成膜と同じチャンバで行うことができるので、逆スパッタリングから金属成膜へ迅速に移行することができ、基板は大気には露呈されない。しかしながら、この方法では、衝突する粒子の密度が低く（効果的ではない）、粒子のエネルギーが高いので、シリコン基板に損傷を生じる場合がある。更に、薄い拡散層（浅いジャンクション）があると、損傷は、拡散層とその下方にある基板のジャンクションに達し、ジャンクションを介して漏れ電流を誘発する場合がある。もう一つの問題点は、炭素含有ガスなど、一定のガスは不純物を誘導し、この不純物は、その後の金属成膜工程で金属層に導入される可能性があることである。チャンバを不純物のない状態に保つには、ＡｒおよびＸｅなどの不活性ガスを使用して逆スパッタリングを行わなければならない。

【０００９】

薄い拡散層上にシリサイド層を形成する他の方法は、拡散層上に追加のシリコン層を成膜して、シリサイド化プロセスで消費されたシリコンを補うことである。追加のシリコン層を補うことにより、シリサイド層は、拡散層を消費せずに薄い拡散層内に形成されたかのように形成されることができる。こうした方法は、薄い拡散層に関連する問題をわずかではあるが緩和する。

【００１０】

構成上の適用では、シリサイド反応は、ＭＯＳＦＥＴのソース／ドレイン領域など、選択された拡散層上にのみ必要である。しかしながら、シリコンがゲート電極とソース／ドレイン領域間の側壁上にも成膜されると、シリコンは金属と反応してシリサイドを形成し、ゲート電極とソース／ドレイン領域間に電気的短絡を生じる。こうした電気的短絡を避けるには、ソース／ドレイン領域とゲート電極上にのみシリコン層を選択成膜し（つまり、高架型ソース／ドレインＭＯＳＦＥＴ構造）、側壁の絶縁膜と電気的分離のためのその他の絶縁膜（電界ＳｉＯ2 など）上には成膜してはならない。こうした選択シリコン成膜は、エピタキシャル成長技法を用いて達成することができる。しかしながら、この技法は、基板の表面状態に非常に敏感なので難しい。

【００１１】

成膜されるシリコン膜の厚さは、その下方にある基板の表面の粗さと結晶構造によって決まる。例えば、数種の拡散層が存在する場合、これらの各拡散層は異なる特性を有する場合がある。その結果、拡散層上に成膜されるシリコン層は、厚さが異なる場合がある。更に、拡散層の表面に不純物つまりＳｉＯ2 が存在すると、成膜プロセスに悪影響を及ぼす

。
【００１２】
最適な性能を達成するには、シリサイド膜の形成を厳密に制御して、成膜されたシリコン層全体を消費し、拡散層のシリコンを消費しないようにすべきである。成膜されたシリコン層は、拡散層よりも電気抵抗がはるかに高いので消費されなければならない。しかしながら、シリコン層の厚さにばらつきがあると、シリサイド化プロセスに適切な厚さの金属膜を成膜することが不可能となり、成膜されたシリコンを消費する。
【００１３】
特定の結晶方向におけるシリサイド化の選択的な進行についての問題を解決するためには、シリコン表面の非結晶質化が使用されてきた。例えば、金属成膜以前のシリコン基板に対するイオン注入（ＡｒまたはＳｉイオン注入など）は、シリコン表面の結晶構造を破壊する。非晶質層は原子の配列に特定の順序がないので、特定のすなわち選択的な方向はなく、シリサイド化は特定の結晶方向には進行しない。しかしながら、低エネルギー（５００ｅＶ未満）および高ドース量のイオン注入は利用できない。したがって、イオン注入による非結晶質化は、逆スパッタリングの場合と同様に効果的でなく、シリコン基板を損なう。
【００１４】
【発明が解決しようとする課題】
以上詳しく説明したとうり、ＳｉＯ2 を抑制するためのシリコン表面の効果的な処理およびシリサイド化以前の適切な表面処理に対し多くの問題があった。また滑らかで一様なシリサイド層の形成を促進するためにシリコン表面を効果的に処理しなければならないという問題もあった。
【００１５】
本発明は、シリコン表面の酸化を防止する方法を提供することを目的としている。本発明は、また、シリコン表面に、なめらかで平坦かつ安定したシリサイド層を形成する方法を提供することを目的としている。さらに本発明は、垂直面と水平面を有する高架型半導体構造の垂直面上にのみ酸化層を形成する方法と提供することを目的としている。
【００１６】
【課題を解決するための手段】
本発明の酸化防止方法は、シリコン表面を炭素含有プラズマに露呈して炭素含有シリコン表面層を形成することを含んでいる。シリコン表面の酸化を防止するこのプロセスは、非常に薄い拡散層上のシリサイド膜の形成および／または高架ソース／ドレインＭＯＳＦＥＴの形成に関連して特に有用である。本発明の金属シリサイド層を形成する方法は、シリコン表面を炭素含有プラズマに露呈して炭素含有シリコン表面層を形成し、炭素含有シリコン表面層上に金属シリサイド層を形成し、その際、炭素含有シリコン層が酸化を防止して非結晶質化表面を形成することを含んでなる。また、本発明の金属シリサイド層を形成する方法は、金属を成膜する以前に、シリコン表面を炭素含有プラズマに露呈して炭素含有シリコン表面層を形成し、酸化を防止して非結晶質化表面を形成する工程を含んでなる。これらの方法では、シリコン表面に炭素が導入され、表面を炭素含有プラズマに露呈することにより薄い炭素含有シリコン表面層を形成する。炭素含有シリコン表面層は、シリコンの酸化を抑制する。プラズマからのイオン衝撃もシリコン表面に薄い非晶質層を生成し、結晶面におけるのシリサイド化の不均質な進行を妨げる。したがって、滑らかで一様なシリサイド層を炭素含有シリコン層によって形成することができる。さらに、本発明の高架型半導体構造の垂直面上に酸化層を形成する方法は、高架構造の垂直面と水平面の両方にシリコン層を形成する工程と、プラズマ炭素処理によって水平面上のシリコン層の部分に炭素含有シリコン表面層を形成し、それによって炭素含有シリコン表面層が水平面の酸化を抑制し、非結晶質化表面を形成し、垂直面上のシリコン層部分を酸化させる工程を含んでなる。このプロセスによれば、基板上の一定部分の水平面にのみシリコン層を選択的に形成することができる。このプロセスでは、一様なシリコン層が、当該部分（つまり、水平面と垂直面上）の表面に符号して形成される。次に、当該部分は炭素含有プラズマ

に露呈される。反応イオンエッチング（ＲＩＥ）と同様、炭素は基板に対して垂直の角度で衝突するので、水平面だけが処理される（抗酸化層の形成）。これで、酸化は垂直面のシリコン層上で進行することができ、必要なら、それによって、水平面上のシリコンは抗酸化層のために損なわれないままである。結果として生じる垂直面上の酸化物層は、例えばＨＦ処理を用いて除去剥することができる。あるいは酸化物層は、絶縁膜として使用することができる。
上記の一般的な説明および下記の詳しい説明は例示および説明に過ぎず、請求されている本発明を限定するものではないことは理解されるべきである。
【００１７】
【発明の実施の形態】
（１）　抗酸化層の形成
本発明は、シリコン上のＳｉＯ2 の成長を抑制する方法に指向している。より詳しくは、本発明は、表面を炭素含有プラズマに露呈することによってシリコン表面上に非常に薄い炭素含有層を形成し、表面上の酸化の進行を抑制する方法に関するものである。この抗酸化層の形成は、シリサイド化プロセス（つまり、シリコンとシリコン表面上に成膜される特定の金属間に合金を形成する反応）以前のシリコンウエハの表面処理として有用であり、小形の高速シリコン半導体装置を具現する。本発明は、露出したシリコン部分の水平面上に抗酸化層を選択的に形成し、高架（elevated）ソース／ドレインＭＯＳＦＥＴ（金属／酸化／半導体電解効果トランジスタ）構造の製造工程を単純化することも目的としている説明の便宜上、シリコン基板に言及して説明するが、本発明はシリコン基板にのみ限定されるものではない。シリコンは、非晶質、ポリもしくは結晶質シリコン層またはシリコン基板など従来の技術で使用されている任意のシリコンを用いることができる。シリコン基板は、バルクシリコンウエハまたはＳＯＩウエハなど公知の技術の範囲の任意の基板を用いることができる。シリコン層は、シリコン拡散層でよい。
【００１８】
図１（ａ）は、不均質なＳｉＯ2 表面（８）を有する薄いシリコン拡散層（１２）上の金属（６）のシリサイド化によって形成される薄いシリサイド膜（１０）の形成を表す、図１（ｂ）はその一部の拡大図である。シリサイド／シリコンの界面（１４）は、シリコン拡散層上の脆弱で不均質なＳｉＯ2 表面と、特定の結晶方向に沿う選択的なシリサイド化の進行により、平坦ではなく凸凹でかつ不規則である。拡散層内に突出するシリサイド膜のいくつかの部分は、図１（ｂ）に示すように、シリコン拡散層と拡散層の下のシリコン領域（１８）間のジャンクション（１６）に近接するかあるいは到達し、ジャンクションの漏れを生じる（矢印（２０）で示す）。
【００１９】
本発明の方法は、炭素含有プラズマを用いて、シリコンあるいはシリコン層の表面上に非常に薄い（＜１００オングストローム）炭素含有シリコン層を生成する。その結果生じる炭素含有シリコン層は、シリコン表面上の酸化を抑制し、わずかに非結晶質化した表面を形成する。
【００２０】
炭素含有プラズマは、公知の技術の範囲内の効果的な方法で生成することができる。炭素の供給源は、プラズマ内に炭素粒子を提供できる任意の供給源で良い。例えば、炭素含有プラズマは、ＣＦ4 、ＣＨＦ3 、ＣＣＬ4 および／またはＣＨ4 をプラズマ内に注入することにより形成することができる。あるいは、炭素含有プラズマは、炭素含有材料（例えば、炭素または炭化珪素）をアルゴンプラズマ内で使用することにより生成することができる。炭素は、基板に使用されるフォトレジストマスクからＲＩＥなどのプラズマ処理の際にシリコン基板またはシリコン層内にも導入される。
【００２１】
プラズマが周囲の部材（例えば、チャンバ壁およびシリコン基板）に抗して発生させ、そのプラズマ状態を持続する正のセルフバイアスによって、すべての正電荷炭素粒子は、当該シリコン基板またはシリコン層上に垂直に衝突する。いかなるものが、衝突する炭素粒

子を形成しても、炭素は、シリコン表面に衝突すると個々の原子に分解し、シリコンマトリックス内に散乱する。シリコン内に導入された炭素原子は、最も近接したシリコン原子とある程度の化学結合（Ｃ－Ｓｉ）を形成する傾向がある。特定の理論に捕らわれるのは望ましくはないが、炭素原子と周辺のシリコン原子との化学結合は、シリコンの酸化を抑制すると考えられている。

【００２２】

図２は、１０００°Ｃで５分間酸化した後の酸化膜の厚さをシリコンとの化学結合を形成する炭素原子の量の関数として示している。炭素原子の量は、ＸＰＳ（Ｘ線外部光電分光器）によって検出したＣ－Ｓｉの原子％で測定する。１原子％のＣ－Ｓｉは、平均して、表面層において９９個のシリコン原子毎にシリコンとの化学結合子を有する１個の炭素原子があることを意味する。１０００°Ｃにおける酸化という極限状態でさえ、１原子％のＣ－Ｓｉという少なさで、酸化を抑制する著しい能力があった。２５°Ｃの大気に対する露呈など、より穏やかな条件では、炭素の導入による酸化抑制能力は更に大きくなる。

【００２３】

理論上は、表面の炭素の濃度は、５０原子％という高さにすることができる。この濃度では、シリコンと炭素の比率は１：１であり、シリコン表面は完全に炭化珪素になる。これは、酸化に対する妥協（ｉｎｔｒａｎｓｉｇｅｎｃｅ）として知られている。しかしながら、その後のシリサイド化プロセスでは、シリコン表面の炭素濃度は低く、シリコンの表面自体に集中することが望ましい。

【００２４】

ＳｉＣ形成熱量（約１５Ｋｃａｌ／ｍｏｌｅ）は、一般的なシリサイド形成熱量よりも低い（ＴｉＳｉ2：３２Ｋｃａｌ／ｍｏｌｅ、ＮｉＳｉ：２０Ｋｃａｌ／ｍｏｌｅ、ＣｏＳｉ2：２４Ｋｃａｌ／ｍｏｌｅ）。したがって、シリサイド反応自体は、シリコン表面の炭素の存在による影響を受けない。一方、余りに多くの炭素がシリサイドに導入されると、炭素は著しい不純物になるので、シリサイドの抵抗性は増す。例えば、約２０オングストロームの深さまでシリコン表面に導入された１原子％の炭素は、２００オングストロームのシリサイド化の後にシリサイド内に０．１～０．２原子％の炭素不純物を生じる。この場合、少量の不純物は、シリサイドの抵抗性に著しい影響を及ぼさない（１％未満の抵抗性の増加）。

【００２５】

炭素含有表面層の望ましい炭素の濃度と厚さは、所望のシリサイドの厚さと抵抗性を考慮して従来技術によって決定することができる。実際上は、シリサイド化については、炭素含有シリコン層は、約１原子％～５０原子％の濃度を有し、約１０オングストローム～５０オングストロームの厚さを有していれば殆どの応用に十分である。しかしながら、これらの数字は例示および説明に過ぎず、一般的な抗酸化層形成法としての本発明の応用を限定するものではない。

【００２６】

炭素含有シリコン表面層の厚さと濃度は、炭素導入のプラズマ条件を調整することにより制御することができる。こうした条件としては、炭素含有ガスの流量、ペエデスタル（ｐｅｄｅｓｔａｌ）に加わる圧力、電力、磁界、バイアス、チャンバ壁と基板の温度、チャンバ壁とその他の部分の材料、ウエハ内の炭素含有材料の量、プラズマ処理の時間などがある。これらのプラズマ条件の調整は公知の技術の範囲内であり、プラズマの炭素含有粒子数の密度とセルフバイアスを制御する。炭素含有シリコン表面層の厚さと濃度は、所望のシリサイド化を達成するように調整することができる。例えば、１０００ｅＶ運動エネルギーで伝達される炭素イオンは、シリコンマトリックスの内部に５０オングストロームの深さまで注入することができる。３００ｅＶでは、炭素イオンは２０～３０オングストロームの深さまで注入することができる。

【００２７】

その他の方法を使っても、シリコン基板の表面に炭素を導入することができる。例えば、薄い炭素層をスパッタリングによってシリコン基板に形成することができ、次に、ウエハ

をプラズマに露呈することができる。プラズマから衝突するイオンは、下にあるシリコン基板内に炭素原子を"ノックオン"、つまり導入する。低エネルギーのイオン注入を用いても、炭素粒子をシリコン内に導入することができる。

【００２８】

（２）　半導体装置製造プロセスに対する応用

炭素含有シリコン表面を形成した後、基板は任意の適切な方法で、例えばシリサイド化によって更に処理することができる。Ｃｏ、Ｎｉ、Ｍｏ、Ｗ、Ｐｔなどの金属は、スパッタリングによって成膜することができる。連続熱処理は、シリコンと金属間にシリサイド化反応を生じる。このプロセスは、自己整合方法（ＳＡＬＩＣＩＤＥプロセス）で実施することができる。

【００２９】

金属はＭＯＳＦＥＴまたはその他の半導体装置を含むウエハまたは基板全体に成膜することができるが、シリサイド化は、シリコンおよび金属が直接接触している部分で選択的に進行するだけである。したがって、シリサイド層はソース／ドレイン領域とゲート電極上には形成されるが、側壁の絶縁膜と半導体装置の分離のためのその他の絶縁膜上には形成されない。これらの絶縁膜上の反応しない金属は、例えばＨＮＯ3 またはＨ2 ＳＯ4 およびＨ2 Ｏ2 の溶液中にウエハを浸漬することにより除去することができる。

【００３０】

抗酸化層が、本発明のように金属成膜以前にシリコン表面に形成される場合、シリコン表面上のＳｉＯ2 によるシリサイド化反応に対する妨げはなくなる。シリサイド化の均質な開始は、抗酸化層の形成に関連して生じるわずかな非結晶質化によっても促進する。したがって、本発明では、滑らかで安定したシリサイド層を、ＵＬＳＩ内の小さいサイズの半導体装置に必要な非常に薄い拡散層上に好適に形成することができる。

【００３１】

本発明は、基板上の特定部分の水平面上に均一で電気的に分離されたシリコン層を選択形成する方法も目的としている。均一な（一様な厚さ）シリコン層は、低温と低圧で基板の水平面と垂直面のいずれにも符号するように成膜される。均一なシリコン層とシリコン成膜技法は、公知の技術の範囲内である。

【００３２】

次に、基板を炭素含有プラズマに露呈して、シリコン層の水平面上には炭素含有抗酸化層を選択形成する。この場合、炭素含有抗酸化層は垂直面上には形成しない。水平面は炭素の衝撃の対象になるが、垂直面には炭素の導入は行われない。これは、炭素粒子が基板の水平面上に垂直に衝突するように、プラズマが周囲の部材に抗して発生させる正のセルフバイアスによる。

【００３３】

基板のその後の酸化は垂直面上のシリコンの酸化を生じるが、水平面は抗酸化層で保護されているので、水平面上では酸化は生じない。垂直面上に結果として生じる酸化物は、ＨＦ処理など、技術で公知の技法によって除去することができるか、あるいは絶縁側壁として使用される。したがって、本発明は、水平面上にのみ均一で電気的に分離されたシリコンを形成し、その際、選択シリコン成膜技法に関連する困難は伴わない。

【００３４】

図３～図９に示すとうり、本発明のこの実施の形態は、サリサイド（ＳＡＬＩＣＩＤＥ）技術による高架型ソース／ドレインＭＯＳＦＥＴの製造プロセスである。

【００３５】

図３は、結晶シリコン基板２００に形成されているソース／ドレイン領域１１０、１１１、１２０および１２１（つまり、拡散層）、ゲート絶縁膜３１０と３２０、ゲート電極４１０と４２０、ゲート側壁絶縁膜５１０と５２０、分離絶縁膜（７００）を充填されている浅いトレンチ６０１、６０２および６０３を有する一般的なＭＯＳＦＥＴの断面を示す。これら領域および絶縁膜を形成する材料は、公知の技術の範囲内である。例えば、ゲート電極は、多結晶シリコン（ポリシリコン）で形成することができ、またゲート絶縁膜は

基板表面への加熱処理による熱ＳｉO2 により形成することができる。また、ゲート側壁絶縁膜は窒化Ｓｉ3 Ｎ4 で形成することができ、さらに分離絶縁膜は化学蒸着（ＣＶＤ）技法によって成膜されるＳｉO2 で形成することができる。このＭＯＳＦＥＴの製造プロセスは、公知の技術の範囲内である。

【００３６】

すなわち、図４に示すとうり、基板上の各領域および絶縁膜は、炭素の供給源として炭素クランプリングを有するＡｒプラズマなど、炭素含有プラズマ８００に露呈される。その結果、炭素含有抗酸化層８０１、８０２、８０３、８０４、８０５および８０６がソース／ドレイン領域上とゲート電極上とに形成される。

【００３７】

次に、図５に示すとうり、均一なシリコン層９００が、基板の全面に、露出している部分の外形に符号するように形成される。該シリコン層の厚さは公知の技術の範囲内であり、約４００オングストロームである。シリコン層９００は、０．２Ｔｏｒｒ、６００°ＣでＳｉH4 ガスを使用するＣＶＤによるなど、公知の技術の範囲内の技法で形成することができる。抗酸化層８０１、８０２、８０３、８０４、８０５および８０６がなければ、薄いＳｉO2 層がＣＶＤ工程以前とＣＶＤ工程中にソース／ドレイン領域とゲート電極上に形成されるだろう。シリコン表面とその上に成膜されたシリコン層９００の間にＳｉO2 層が形成されると、ソース／ドレイン／ゲートとシリコン層（９００）との良好な電気接続が妨げられる。しかしながら、抗酸化層８０１、８０２、８０３、８０４、８０５および８０６はＳｉO2 層の形成を防止し、良好な電気的接触を可能にする。

【００３８】

図６を参照すると、シリコン層９００の不所望な部分は、公知の方法により除去する。分離絶縁膜７００上のシリコン層９００のいくつかの部分は除去されないまま残され、隣接する半導体装置との相互接続層として利用される。基板は炭素含有プラズマ８００に露呈され、抗酸化層９１１、９１２、９１３、９１４および９１５がシリコン基板の水平方向の表面上にのみ形成される。

【００３９】

図７を参照すると、酸化処理により垂直方向の表面上のシリコン層を選択的に酸化し、ゲート電極４１０、４２０の側面上の該シリコン層部分を酸化膜表面９２１、９２２、９２３、９２４、９２５および９２６にする。効果的な酸化処理方法は、８００°Ｃで２０分間のウエット酸化など、公知の技術の範囲内である。水平面上のシリコン層部分は、抗酸化層９１１、９１２、９１３、９１４および９１５によって保護される。ゲート電極は、側壁の窒化物５１０および５２０によって保護される。このようにして、選択シリコン成膜と異なるシリコン層、すなわち、電気的に絶縁されかつ均一な厚さの均質なシリコン層が基板の水平面上に得られる。

【００４０】

酸化物９２１、９２２、９２３、９２４、９２５および９２６は、必要に応じて、ＨＦ処理など、公知の技術の範囲内の効果的な処理によって除去することができる。炭素プラズマ処理は、必要に応じて繰り返す。図８に示すとうり、金属膜１０００が、スパッタリングなど、公知の技術の範囲内の技法により基板上に成膜される。金属の種類、例えばＣｏ、および厚さは、公知の技術の範囲内である。一般的な厚さは、１１０オングストロームである。

【００４１】

窒素雰囲気における例えば５００°Ｃでの急速熱放射アニーリング（ＲＴＡ）は、金属とシリコンが直接接触する部分（すなわち、９１１、９１２、９１３、９１４および９１５）のシリサイド化を促進する。このようにして、平坦でかつなめらかなシリサイド膜が、炭素含有抗酸化層９１１、９１２、９１３、９１４および９１５によって、ＳｉO2 が存在せずかつわずかに非結晶質化した表面上に形成される。分離絶縁膜７００およびゲート側壁絶縁膜５１０、５２０上の反応しない金属は、ＨＮO3 溶液中でウエハを洗浄することにより除去することができる。その後の熱処理、例えば７００°Ｃという高温での熱処

理は、シリサイド膜を安定化させることができ、シリコン膜９００は、ＣｏＳｉ2 などのほぼ完全なシリサイド膜１００１、１００２、１００３、１００４、１００５になる。限定されるものではないが一般的にシリサイドの厚さは、約３９０オングストロームである。ソース／ドレイン領域のシリコンは消費されない。図９は、以上のようにして得られた、相互接続用シリサイド層１００３を有する高架ソース／ドレインＭＯＳＦＥＴ上のＳＡＬＩＣＩＤＥ構造を示す。

【００４２】

本発明の一実施の形態を添付図面を参照しながら詳しく説明してきたが、本発明はこの実施の形態に限定されるものではなく、当業者には、本発明の範囲と精神を逸脱することなく適宜変更、修正することができるものであることを理解するべきである。

【００４３】

【発明の効果】

以上述べたようにこの発明によれば、シリコン表面の酸化を効果的に防止することができ、しかもシリコン表面に非結晶質化表面を形成することにより、シリコン拡散層とこのシリコン拡散層の上に成膜される金属膜との間に、なめらかで平坦かつ安定したシリサイド層を形成することができる。

【図面の簡単な説明】

【図１】同図（ａ）はシリサイド／シリコンの界面が不良な薄い拡散上の薄いシリサイド膜の形成を示す図、および同図（ｂ）はその一部分を示す図。

【図２】炭素含有シリコン層の酸化防止能力を説明するための、１０００°Ｃ乾燥酸化で５分後の酸化膜の厚さをシリコン表面に導入される炭素成分の関数として示した図。

【図３】高架型ソース／ドレインＭＯＳＦＥＴの製造およびその後の自己整合シリサイド化（ＳＡＬＩＣＩＤＥ）プロセスの際の水平面上の炭素含有層の形成を示す図。

【図４】高架型ソース／ドレインＭＯＳＦＥＴの製造およびその後の自己整合シリサイド化（ＳＡＬＩＣＩＤＥ）プロセスの際の水平面上の炭素含有層の形成を示す図。

【図５】高架型ソース／ドレインＭＯＳＦＥＴの製造およびその後の自己整合シリサイド化（ＳＡＬＩＣＩＤＥ）プロセスの際の水平面上の炭素含有層の形成を示す図。

【図６】高架型ソース／ドレインＭＯＳＦＥＴの製造およびその後の自己整合シリサイド化（ＳＡＬＩＣＩＤＥ）プロセスの際の水平面上の炭素含有層の形成を示す図。

【図７】高架型ソース／ドレインＭＯＳＦＥＴの製造およびその後の自己整合シリサイド化（ＳＡＬＩＣＩＤＥ）プロセスの際の水平面上の炭素含有層の形成を示す図。

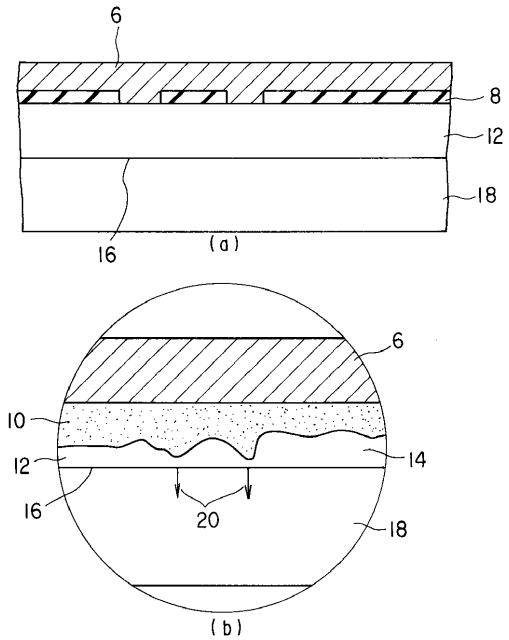
【図８】高架型ソース／ドレインＭＯＳＦＥＴの製造およびその後の自己整合シリサイド化（ＳＡＬＩＣＩＤＥ）プロセスの際の水平面上の炭素含有層の形成を示す図。

【図９】高架型ソース／ドレインＭＯＳＦＥＴの製造およびその後の自己整合シリサイド化（ＳＡＬＩＣＩＤＥ）プロセスの際の水平面上の炭素含有層の形成を示す図。

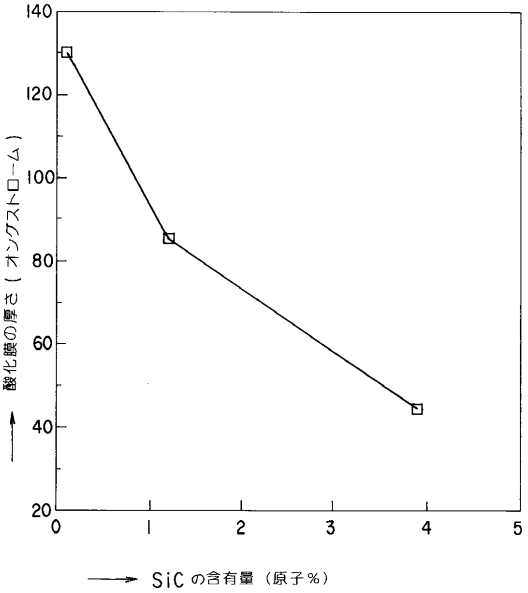
【符号の説明】

６…金属、８…ＳｉＯ2 表面、１０…シリサイド膜、１２…シリコン拡散層、１８…シリコン領域、１１０、１１１、１２０、１２１…ソース／ドレイン領域（拡散層）、２００…シリコン基板、３１０、３２０…ゲート絶縁膜、４１０、４２０…ゲート電極、６０１、６０２、６０３…トレンチ、７００…分離絶縁膜、８００…プラズマ、８０１、８０２、８０３、８０４、８０５、８０６；９１１、９１２、９１３、９１４、９１５…抗酸化層、９００…シリコン層、酸化膜表面…９２１、９２２、９２３、９２４、９２５、９２６…酸化膜表面、１０００…金属膜、１００１、１００２、１００３、１００４、１００５…シリサイド膜

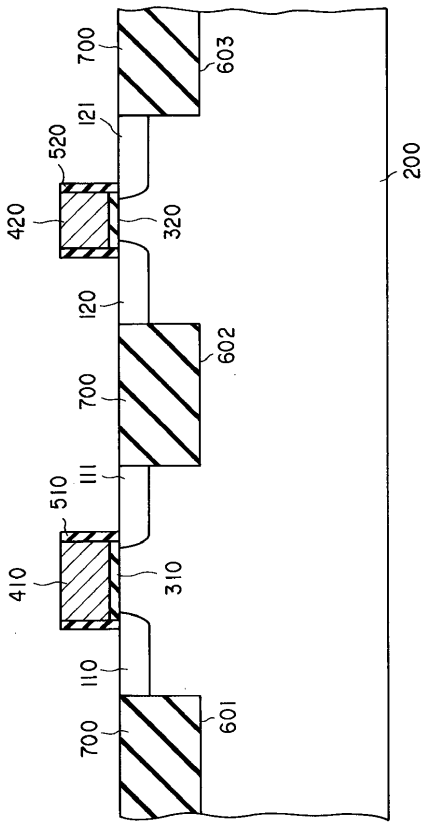
【図１】


6
8
12
18
16
(a)
6
10
12
14
16
20
18
(b)

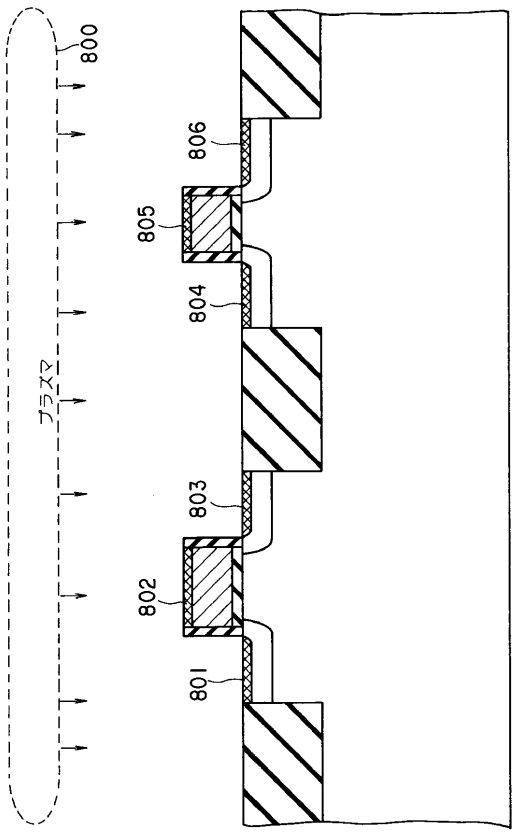
【図２】


140
120
100
80
60
40
20
0
1
2
3
4
5
酸化膜の厚さ（オングストローム）
SiC の含有量（原子％）

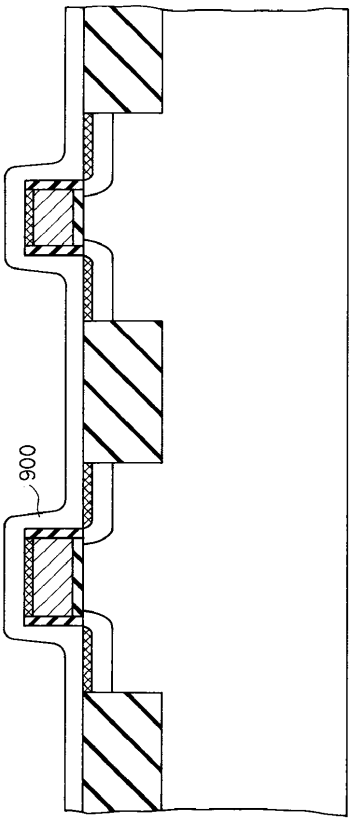
【図３】


700
603
121
520
420
320
200
120
602
700
111
510
410
310
110
700
601

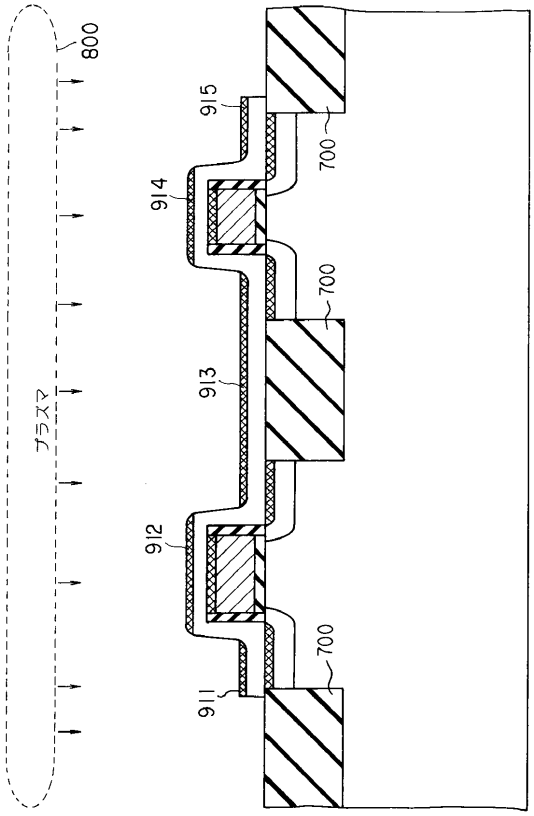
【図４】


800
プラズマ
806
805
804
803
802
801

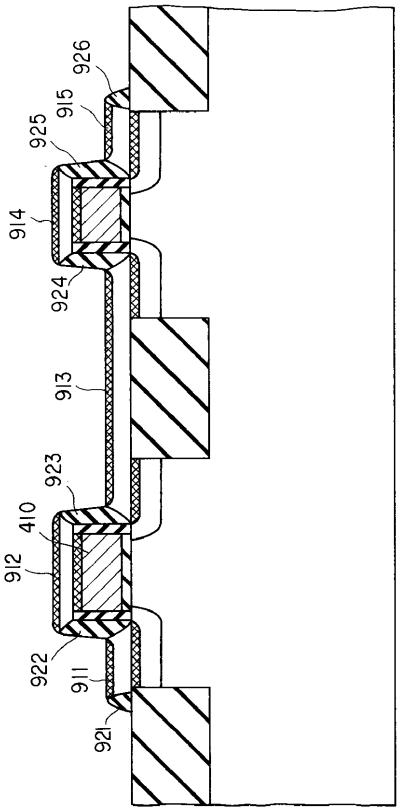
【図５】


900

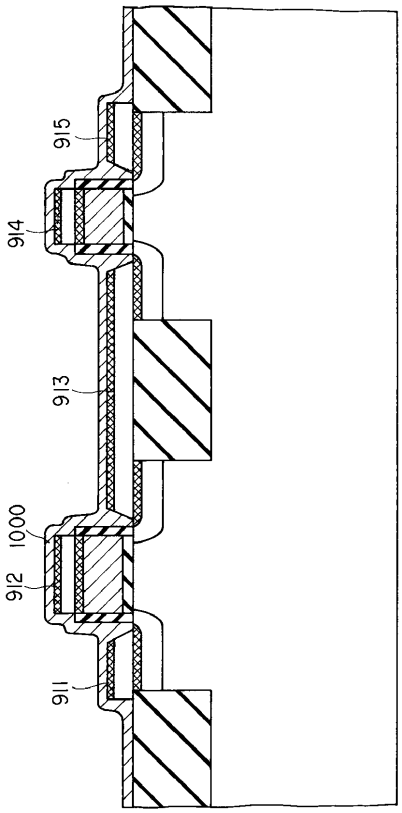
【図６】


800
プラズマ
915
914
913
912
911
700
700
700

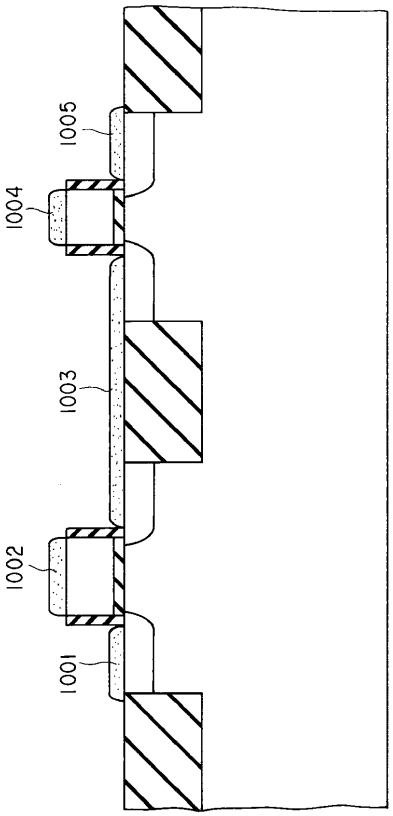
【図７】


926
915
925
914
924
913
923
410
912
922
911
921

【図８】


915
914
913
1000
912
911

【図９】



フロントページの続き

(56)参考文献 特開平０５－０１３３７６（ＪＰ，Ａ）
特開平０６－１３２２５２（ＪＰ，Ａ）
特開平０６－１０４２１３（ＪＰ，Ａ）
特開平０６－０１０１３５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
C01B 33/02
H01L 21/265
H01L 21/28
H01L 21/336
H01L 29/78