

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5979570号
(P5979570)

(45) 発行日 平成28年8月24日(2016.8.24)

(24) 登録日 平成28年8月5日(2016.8.5)

(51) Int.Cl.	F I				
HO 1 L 27/04 (2006.01)	HO 1 L	29/78	6 5 7 F		
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 2 T		
HO 1 L 29/12 (2006.01)	HO 1 L	29/78	6 5 2 S		
HO 1 L 21/76 (2006.01)	HO 1 L	29/78	6 5 2 M		
HO 2 M 7/48 (2007.01)	HO 1 L	29/78	6 5 2 E		
請求項の数 20 (全 44 頁) 最終頁に続く					

(21) 出願番号	特願2015-526160 (P2015-526160)	(73) 特許権者	314012076
(86) (22) 出願日	平成26年7月4日(2014.7.4)		パナソニックIPマネジメント株式会社
(86) 国際出願番号	PCT/JP2014/003561		大阪府大阪市中央区城見2丁目1番61号
(87) 国際公開番号	W02015/004891	(74) 代理人	100101683
(87) 国際公開日	平成27年1月15日(2015.1.15)		弁理士 奥田 誠司
審査請求日	平成27年5月7日(2015.5.7)	(74) 代理人	100155000
(31) 優先権主張番号	特願2013-144245 (P2013-144245)		弁理士 喜多 修市
(32) 優先日	平成25年7月10日(2013.7.10)	(74) 代理人	100180529
(33) 優先権主張国	日本国(JP)		弁理士 梶谷 美道
		(74) 代理人	100125922
			弁理士 三宅 章子
		(74) 代理人	100135703
			弁理士 岡部 英隆
		(74) 代理人	100188813
			弁理士 川喜田 徹
最終頁に続く			

(54) 【発明の名称】 半導体装置、及びそれを用いたインバータ

(57) 【特許請求の範囲】

【請求項1】

メイン領域およびセンス領域を含む第1導電型の半導体基板と、
 前記第1導電型の半導体基板の前記メイン領域および前記センス領域にそれぞれ設けられており、金属 - 絶縁体 - 半導体電界効果トランジスタを有する複数の単位セルであって、前記センス領域に含まれる単位セルの数は、前記メイン領域に含まれる単位セルの数よりも小さく、前記メイン領域および前記センス領域のそれぞれにおいて、前記金属 - 絶縁体 - 半導体電界効果トランジスタが並列に接続された複数の単位セルと、
 前記半導体基板の主面側に配置されたゲートパッドと
 互いに絶縁された第1のソースパッドおよび第2のソースパッドと、
 前記半導体基板の裏面側に配置されたドレインパッドと、
 を備え、
 各金属 - 絶縁体 - 半導体電界効果トランジスタは、
 前記半導体基板の主面上に位置する第1導電型の第1の炭化珪素半導体層と、
 前記第1の炭化珪素半導体層に接する第2導電型のボディ領域と、
 前記ボディ領域に接する第1導電型のソース領域と、
 前記第1の炭化珪素半導体層上でかつ前記ボディ領域及び前記ソース領域の少なくとも一部に接して配置された第2の炭化珪素半導体層と、
 前記第2の炭化珪素半導体層上のゲート絶縁膜と、
 前記ゲート絶縁膜上のゲート電極と、

前記ソース領域に接触するソース電極と、
前記半導体基板の裏面側に配置されたドレイン電極と
を含み、

前記ソース電極の電位を基準とする前記ドレイン電極の電位を V_{ds} 、
前記ソース電極の電位を基準とする前記ゲート電極の電位を V_{gs} 、
前記金属 - 絶縁体 - 半導体電界効果トランジスタのゲート閾値電圧を V_{th} とすると、
前記 V_{ds} が正の場合、前記金属 - 絶縁体 - 半導体電界効果トランジスタは、前記 V_{gs}
が前記 V_{th} 以上のとき、前記ドレイン電極から前記ソース電極へ電流を流し、
前記 V_{ds} が負の場合、前記金属 - 絶縁体 - 半導体電界効果トランジスタは、前記 V_{gs}
が V_{th} 未満のとき、前記ソース電極から前記ドレイン電極へ電流を流すダイオードと
して機能し、

前記ダイオードの立ち上がり電圧の絶対値は、前記ボディ領域と前記第 1 の炭化珪素半
導体層とにより構成されるボディダイオードの立ち上がり電圧の絶対値よりも小さく、

前記メイン領域に含まれる前記単位セルにおける前記ゲート電極及び前記センス領域に
含まれる前記単位セルにおける前記ゲート電極は、前記ゲートパッドに電氣的に接続され
、

前記メイン領域に含まれる前記単位セルにおける前記ドレイン電極及び前記センス領域
に含まれる前記単位セルにおける前記ドレイン電極は、前記ドレインパッドに電氣的に接
続され、

前記メイン領域に含まれる前記単位セルにおける前記ソース電極は、前記第 1 のソース
パッドに電氣的に接続され、

前記センス領域に含まれる前記単位セルにおける前記ソース電極は、前記第 2 のソース
パッドに電氣的に接続されており、

前記第 2 の炭化珪素半導体層の少なくとも一部は第 1 導電型の層であり、

前記第 2 の炭化珪素半導体層の他の少なくとも一部は、アンドープ層、または不純物濃
度が $1 \times 10^{17} \text{ cm}^{-3}$ 未満の第 1 導電型の層である、半導体装置。

【請求項 2】

前記ボディ領域のうち、少なくとも前記第 2 の炭化珪素半導体層に接する領域の不純物
濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上であり、

前記第 2 の炭化珪素半導体層の前記少なくとも一部の不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以
上 $4 \times 10^{18} \text{ cm}^{-3}$ 以下であり、

前記第 2 の炭化珪素半導体層の厚さは 20 nm 以上 70 nm 以下である請求項 1 記載の
半導体装置。

【請求項 3】

前記メイン領域と前記センス領域との境界に位置し、前記半導体基板上に位置する第 1
導電型の前記第 1 の炭化珪素半導体層と、

前記第 1 の炭化珪素半導体層に設けられた第 2 導電型の素子分離領域と
をさらに備え、

前記素子分離領域上には第 2 の炭化珪素半導体層が配置されていない請求項 1 または 2
のいずれかに記載の半導体装置。

【請求項 4】

前記ボディ領域及び前記ソース領域を貫通し、前記第 1 の炭化珪素半導体層に達するト
レンチをさらに備える、請求項 1 から 3 のいずれかに記載の半導体装置。

【請求項 5】

前記センス領域に流れる電流が 100 mA 以下である、請求項 1 から 4 のいずれかに記
載の半導体装置。

【請求項 6】

上アーム及び下アームにより構成されるレグであって、前記上アーム及び下アームのう
ち少なくとも一方が、請求項 1 から 5 のいずれかに記載の半導体装置であるレグと、

前記半導体装置の前記第 2 のソースパッドに接続され、前記ドレインパッドと前記第 2

10

20

30

40

50

のソースパッドとの間に流れる電流の値に対応した値の電圧を出力する電流電圧変換部と、

前記電流電圧変換部から出力される前記電圧に基づいて、前記半導体装置の前記ゲートパッドに印加する電圧を制御するゲート電圧制御部とを備えるインバータ。

【請求項 7】

前記電流電圧変換部は、
反転入力端子、非反転入力端子及び出力端子を有する演算増幅器と、
前記反転入力端子と前記出力端子とを接続する抵抗と、
を含む、請求項 6 に記載のインバータ。

10

【請求項 8】

前記演算増幅器は両電源タイプである、請求項 7 に記載のインバータ。

【請求項 9】

前記レグと並列に接続された平滑コンデンサと、
前記平滑コンデンサの電圧を検出する電圧検出部と、
負荷から前記インバータへ流れる回生電流を熱として消費するための抵抗および前記抵抗に流す回生電流を制御するスイッチング素子を含む回生電力消費回路と、
をさらに備え、

前記ゲート電圧制御部は、前記電圧検出部により検出された前記平滑コンデンサの電圧と、基準電圧値とを比較し、前記平滑コンデンサの電圧が前記基準電圧値を超えた場合、前記抵抗に前記回生電流が流れるように、前記スイッチング素子を制御する、請求項 6 から 8 のいずれかに記載のインバータ。

20

【請求項 10】

前記レグと並列に接続された平滑コンデンサと、
前記平滑コンデンサの電圧を検出する電圧検出部と
をさらに備え、

前記ゲート電圧制御部は、前記電圧検出部により検出された前記平滑コンデンサの電圧と、基準電圧値とを比較し、前記平滑コンデンサの電圧が前記基準電圧値を超えた場合、前記ゲートパッドに印加する電圧を負にする、請求項 6 から 9 のいずれかに記載のインバータ。

30

【請求項 11】

前記レグと並列に接続された平滑コンデンサと、
負荷から前記インバータへ流れる回生電流を熱として消費するための抵抗および前記抵抗に流す回生電流を制御するスイッチング素子を含む回生電力消費回路と
をさらに備え、

前記ゲート電圧制御部は、前記電流電圧変換部から出力される出力電圧の値と、逆方向基準電圧値とを比較し、前記出力電圧の絶対値が前記逆方向基準電圧値を超えた場合、前記抵抗に前記回生電流が流れるように、前記スイッチング素子の動作を制御する、請求項 6 から 8 のいずれかに記載のインバータ。

【請求項 12】

前記レグと並列に接続された平滑コンデンサをさらに備え、

前記ゲート電圧制御部は、前記電流電圧変換部から出力される出力電圧の値と、逆方向基準電圧値とを比較し、前記出力電圧の絶対値が前記逆方向基準電圧値を超えた場合、前記ゲートパッドに印加する電圧を負にする、請求項 6 から 8 のいずれかに記載のインバータ。

40

【請求項 13】

上アーム及び下アームにより構成されるレグであって、前記上アーム及び下アームのうち少なくとも一方が、請求項 1 から 5 のいずれかに記載の半導体装置であるレグと、前記レグと並列に接続された平滑コンデンサとを備えたインバータの制御方法であって、

前記平滑コンデンサの電圧を検出するステップと、

50

前記平滑コンデンサの電圧と、基準電圧値とを比較し、前記平滑コンデンサの電圧が前記基準電圧値を超えた場合、前記ゲートパッドに印加する電圧を負にするステップと、を含むインバータの制御方法。

【請求項 14】

上アーム及び下アームにより構成されるレグであって、前記上アーム及び下アームのうち少なくとも一方が、請求項 1 から 5 のいずれかに記載の半導体装置であるレグと、前記レグと並列に接続された平滑コンデンサと、前記半導体装置の前記第 2 のソースパッドに接続され、前記ドレインパッドと前記第 2 のソースパッドとの間に流れる電流の値に対応した値の電圧を出力する電流電圧変換部と、負荷から前記インバータへ流れる回生電流を熱として消費するための抵抗および前記抵抗に流す回生電流を制御するスイッチング素子を含む回生電力消費回路とを備えたインバータの制御方法であって、

前記電流電圧変換部から出力される出力電圧の値を検出するステップと、

前記電流電圧変換部から出力される出力電圧の値と、逆方向基準電圧値とを比較し、前記出力電圧の絶対値が前記逆方向基準電圧値を超えた場合、前記抵抗に前記回生電流が流れるように、前記スイッチング素子を動作させるステップとを含むインバータの制御方法。

【請求項 15】

上アーム及び下アームにより構成されるレグであって、前記上アーム及び前記下アームのうち少なくとも一方が、請求項 1 から 5 のいずれかに記載の半導体装置であるレグと、前記レグと並列に接続された平滑コンデンサと、前記半導体装置の前記第 2 のソースパッドに接続され、前記ドレインパッドと前記第 2 のソースパッドとの間に流れる電流の値に対応した値の電圧を出力する電流電圧変換部とを備えたインバータの制御方法であって、

前記電流電圧変換部から出力される出力電圧の値を検出するステップと、

前記電流電圧変換部から出力される出力電圧の値と、逆方向基準電圧値とを比較し、前記出力電圧の絶対値が前記逆方向基準電圧値を超えた場合、前記ゲートパッドに印加する電圧を負にするステップとを含むインバータの制御方法。

【請求項 16】

前記第 2 の炭化珪素半導体層の前記他の少なくとも一部は、アンドープ層である、請求項 1 記載の半導体装置。

【請求項 17】

上アーム及び下アームにより構成されるレグであって、前記上アーム及び下アームのうち少なくとも一方が、

メイン領域およびセンス領域を含む第 1 導電型の半導体基板と、

前記第 1 導電型の半導体基板の前記メイン領域および前記センス領域にそれぞれ設けられており、金属 - 絶縁体 - 半導体電界効果トランジスタを有する複数の単位セルであって、前記センス領域に含まれる単位セルの数は、前記メイン領域に含まれる単位セルの数よりも小さく、前記メイン領域および前記センス領域のそれぞれにおいて、前記金属 - 絶縁体 - 半導体電界効果トランジスタが並列に接続された複数の単位セルと、

前記半導体基板の主面側に配置されたゲートパッドと

互いに絶縁された第 1 のソースパッドおよび第 2 のソースパッドと、

前記半導体基板の裏面側に配置されたドレインパッドと、
を備え、

各金属 - 絶縁体 - 半導体電界効果トランジスタは、

前記半導体基板の主面上に位置する第 1 導電型の第 1 の炭化珪素半導体層と、

前記第 1 の炭化珪素半導体層に接する第 2 導電型のボディ領域と、

前記ボディ領域に接する第 1 導電型のソース領域と、

前記第 1 の炭化珪素半導体層上でかつ前記ボディ領域及び前記ソース領域の少なくとも一部に接して配置された第 2 の炭化珪素半導体層と、

前記第 2 の炭化珪素半導体層上のゲート絶縁膜と、

10

20

30

40

50

前記ゲート絶縁膜上のゲート電極と、
前記ソース領域に接触するソース電極と、
前記半導体基板の裏面側に配置されたドレイン電極と
を含み、

前記ソース電極の電位を基準とする前記ドレイン電極の電位を V_{ds} 、
前記ソース電極の電位を基準とする前記ゲート電極の電位を V_{gs} 、
前記金属 - 絶縁体 - 半導体電界効果トランジスタのゲート閾値電圧を V_{th} とすると、
前記 V_{ds} が正の場合、前記金属 - 絶縁体 - 半導体電界効果トランジスタは、前記 V_{gs} が前記 V_{th} 以上のとき、前記ドレイン電極から前記ソース電極へ電流を流し、
前記 V_{ds} が負の場合、前記金属 - 絶縁体 - 半導体電界効果トランジスタは、前記 V_{gs} が V_{th} 未満のとき、前記ソース電極から前記ドレイン電極へ電流を流すダイオードとして機能し、

前記ダイオードの立ち上がり電圧の絶対値は、前記ボディ領域と前記第 1 の炭化珪素半導体層とにより構成されるボディダイオードの立ち上がり電圧の絶対値よりも小さく、
前記メイン領域に含まれる前記単位セルにおける前記ゲート電極及び前記センス領域に含まれる前記単位セルにおける前記ゲート電極は、前記ゲートパッドに電氣的に接続され

、
前記メイン領域に含まれる前記単位セルにおける前記ドレイン電極及び前記センス領域に含まれる前記単位セルにおける前記ドレイン電極は、前記ドレインパッドに電氣的に接続され、

前記メイン領域に含まれる前記単位セルにおける前記ソース電極は、前記第 1 のソースパッドに電氣的に接続され、

前記センス領域に含まれる前記単位セルにおける前記ソース電極は、前記第 2 のソースパッドに電氣的に接続されており、

前記第 2 の炭化珪素半導体層の少なくとも一部は第 1 導電型の層である、半導体装置であるレグと、

前記半導体装置の前記第 2 のソースパッドに接続され、前記ドレインパッドと前記第 2 のソースパッドとの間に流れる電流の値に対応した値の電圧を出力する電流電圧変換部と

、
前記電流電圧変換部から出力される前記電圧に基づいて、前記半導体装置の前記ゲートパッドに印加する電圧を制御するゲート電圧制御部と

前記レグと並列に接続された平滑コンデンサと、

前記平滑コンデンサの電圧を検出する電圧検出部と
を備え、

前記ゲート電圧制御部は、前記電圧検出部により検出された前記平滑コンデンサの電圧と、基準電圧値とを比較し、前記平滑コンデンサの電圧が前記基準電圧値を超えた場合、前記ゲートパッドに印加する電圧を負にする、インバータ。

【請求項 18】

上アーム及び下アームにより構成されるレグであって、前記上アーム及び下アームのうち少なくとも一方が、

メイン領域およびセンス領域を含む第 1 導電型の半導体基板と、

前記第 1 導電型の半導体基板の前記メイン領域および前記センス領域にそれぞれ設けられており、金属 - 絶縁体 - 半導体電界効果トランジスタを有する複数の単位セルであって、前記センス領域に含まれる単位セルの数は、前記メイン領域に含まれる単位セルの数よりも小さく、前記メイン領域および前記センス領域のそれぞれにおいて、前記金属 - 絶縁体 - 半導体電界効果トランジスタが並列に接続された複数の単位セルと、

前記半導体基板の主面側に配置されたゲートパッドと

互いに絶縁された第 1 のソースパッドおよび第 2 のソースパッドと、

前記半導体基板の裏面側に配置されたドレインパッドと、
を備え、

10

20

30

40

50

各金属 - 絶縁体 - 半導体電界効果トランジスタは、
 前記半導体基板の主面上に位置する第 1 導電型の第 1 の炭化珪素半導体層と、
 前記第 1 の炭化珪素半導体層に接する第 2 導電型のボディ領域と、
 前記ボディ領域に接する第 1 導電型のソース領域と、
 前記第 1 の炭化珪素半導体層上でかつ前記ボディ領域及び前記ソース領域の少なくとも
 一部に接して配置された第 2 の炭化珪素半導体層と、
 前記第 2 の炭化珪素半導体層上のゲート絶縁膜と、
 前記ゲート絶縁膜上のゲート電極と、
 前記ソース領域に接触するソース電極と、
 前記半導体基板の裏面側に配置されたドレイン電極と

10

を含み、
 前記ソース電極の電位を基準とする前記ドレイン電極の電位を V_{ds} 、
 前記ソース電極の電位を基準とする前記ゲート電極の電位を V_{gs} 、
 前記金属 - 絶縁体 - 半導体電界効果トランジスタのゲート閾値電圧を V_{th} とすると、
 前記 V_{ds} が正の場合、前記金属 - 絶縁体 - 半導体電界効果トランジスタは、前記 V_{gs}
 が前記 V_{th} 以上のとき、前記ドレイン電極から前記ソース電極へ電流を流し、
 前記 V_{ds} が負の場合、前記金属 - 絶縁体 - 半導体電界効果トランジスタは、前記 V_{gs}
 が V_{th} 未満のとき、前記ソース電極から前記ドレイン電極へ電流を流すダイオードと
 して機能し、

前記ダイオードの立ち上がり電圧の絶対値は、前記ボディ領域と前記第 1 の炭化珪素半
 導体層とにより構成されるボディダイオードの立ち上がり電圧の絶対値よりも小さく、
 前記メイン領域に含まれる前記単位セルにおける前記ゲート電極及び前記センス領域に
 含まれる前記単位セルにおける前記ゲート電極は、前記ゲートパッドに電氣的に接続され

20

、
 前記メイン領域に含まれる前記単位セルにおける前記ドレイン電極及び前記センス領域
 に含まれる前記単位セルにおける前記ドレイン電極は、前記ドレインパッドに電氣的に接
 続され、

前記メイン領域に含まれる前記単位セルにおける前記ソース電極は、前記第 1 のソース
 パッドに電氣的に接続され、

前記センス領域に含まれる前記単位セルにおける前記ソース電極は、前記第 2 のソース
 パッドに電氣的に接続されており、

30

前記第 2 の炭化珪素半導体層の少なくとも一部は第 1 導電型の層である、半導体装置で
 あるレグと、

前記半導体装置の前記第 2 のソースパッドに接続され、前記ドレインパッドと前記第 2
 のソースパッドとの間に流れる電流の値に対応した値の電圧を出力する電流電圧変換部と

、
 前記電流電圧変換部から出力される前記電圧に基づいて、前記半導体装置の前記ゲート
 パッドに印加する電圧を制御するゲート電圧制御部と

前記レグと並列に接続された平滑コンデンサと、
 を備え、

40

前記ゲート電圧制御部は、前記電流電圧変換部から出力される出力電圧の値と、逆方向
 基準電圧値とを比較し、前記出力電圧の絶対値が前記逆方向基準電圧値を超えた場合、前
 記ゲートパッドに印加する電圧を負にする、インバータ。

【請求項 19】

上アーム及び下アームにより構成されるレグであって、前記上アーム及び下アームのう
 ち少なくとも一方が、

メイン領域およびセンス領域を含む第 1 導電型の半導体基板と、

前記第 1 導電型の半導体基板の前記メイン領域および前記センス領域にそれぞれ設けら
 れており、金属 - 絶縁体 - 半導体電界効果トランジスタを有する複数の単位セルであって
 、前記センス領域に含まれる単位セルの数は、前記メイン領域に含まれる単位セルの数よ

50

りも小さく、前記メイン領域および前記センス領域のそれぞれにおいて、前記金属 - 絶縁体 - 半導体電界効果トランジスタが並列に接続された複数の単位セルと、

前記半導体基板の主面側に配置されたゲートパッドと
互いに絶縁された第 1 のソースパッドおよび第 2 のソースパッドと、
前記半導体基板の裏面側に配置されたドレインパッドと、
を備え、

各金属 - 絶縁体 - 半導体電界効果トランジスタは、
前記半導体基板の主面上に位置する第 1 導電型の第 1 の炭化珪素半導体層と、
前記第 1 の炭化珪素半導体層に接する第 2 導電型のボディ領域と、
前記ボディ領域に接する第 1 導電型のソース領域と、
前記第 1 の炭化珪素半導体層上でかつ前記ボディ領域及び前記ソース領域の少なくとも一部に接して配置された第 2 の炭化珪素半導体層と、
前記第 2 の炭化珪素半導体層上のゲート絶縁膜と、
前記ゲート絶縁膜上のゲート電極と、
前記ソース領域に接触するソース電極と、
前記半導体基板の裏面側に配置されたドレイン電極と
を含み、

前記ソース電極の電位を基準とする前記ドレイン電極の電位を V_{ds} 、
前記ソース電極の電位を基準とする前記ゲート電極の電位を V_{gs} 、
前記金属 - 絶縁体 - 半導体電界効果トランジスタのゲート閾値電圧を V_{th} とすると、
前記 V_{ds} が正の場合、前記金属 - 絶縁体 - 半導体電界効果トランジスタは、前記 V_{gs} が前記 V_{th} 以上のとき、前記ドレイン電極から前記ソース電極へ電流を流し、
前記 V_{ds} が負の場合、前記金属 - 絶縁体 - 半導体電界効果トランジスタは、前記 V_{gs} が V_{th} 未満のとき、前記ソース電極から前記ドレイン電極へ電流を流すダイオードとして機能し、

前記ダイオードの立ち上がり電圧の絶対値は、前記ボディ領域と前記第 1 の炭化珪素半導体層とにより構成されるボディダイオードの立ち上がり電圧の絶対値よりも小さく、

前記メイン領域に含まれる前記単位セルにおける前記ゲート電極及び前記センス領域に含まれる前記単位セルにおける前記ゲート電極は、前記ゲートパッドに電氣的に接続され、

前記メイン領域に含まれる前記単位セルにおける前記ドレイン電極及び前記センス領域に含まれる前記単位セルにおける前記ドレイン電極は、前記ドレインパッドに電氣的に接続され、

前記メイン領域に含まれる前記単位セルにおける前記ソース電極は、前記第 1 のソースパッドに電氣的に接続され、

前記センス領域に含まれる前記単位セルにおける前記ソース電極は、前記第 2 のソースパッドに電氣的に接続されており、

前記第 2 の炭化珪素半導体層の少なくとも一部は第 1 導電型の層である、半導体装置であるレグと、前記レグと並列に接続された平滑コンデンサとを備えたインバータの制御方法であって、

前記平滑コンデンサの電圧を検出するステップと、
前記平滑コンデンサの電圧と、基準電圧値とを比較し、前記平滑コンデンサの電圧が前記基準電圧値を超えた場合、前記ゲートパッドに印加する電圧を負にするステップと、
を含むインバータの制御方法。

【請求項 20】

上アーム及び下アームにより構成されるレグであって、前記上アーム及び下アームのうち少なくとも一方が、

メイン領域およびセンス領域を含む第 1 導電型の半導体基板と、
前記第 1 導電型の半導体基板の前記メイン領域および前記センス領域にそれぞれ設けられており、金属 - 絶縁体 - 半導体電界効果トランジスタを有する複数の単位セルであって

10

20

30

40

50

、前記センス領域に含まれる単位セルの数は、前記メイン領域に含まれる単位セルの数よりも小さく、前記メイン領域および前記センス領域のそれぞれにおいて、前記金属 - 絶縁体 - 半導体電界効果トランジスタが並列に接続された複数の単位セルと、

前記半導体基板の主面側に配置されたゲートパッドと

互いに絶縁された第1のソースパッドおよび第2のソースパッドと、

前記半導体基板の裏面側に配置されたドレインパッドと、

を備え、

各金属 - 絶縁体 - 半導体電界効果トランジスタは、

前記半導体基板の主面上に位置する第1導電型の第1の炭化珪素半導体層と、

前記第1の炭化珪素半導体層に接する第2導電型のボディ領域と、

前記ボディ領域に接する第1導電型のソース領域と、

前記第1の炭化珪素半導体層上でかつ前記ボディ領域及び前記ソース領域の少なくとも一部に接して配置された第2の炭化珪素半導体層と、

前記第2の炭化珪素半導体層上のゲート絶縁膜と、

前記ゲート絶縁膜上のゲート電極と、

前記ソース領域に接触するソース電極と、

前記半導体基板の裏面側に配置されたドレイン電極と

を含み、

前記ソース電極の電位を基準とする前記ドレイン電極の電位を V_{ds} 、

前記ソース電極の電位を基準とする前記ゲート電極の電位を V_{gs} 、

前記金属 - 絶縁体 - 半導体電界効果トランジスタのゲート閾値電圧を V_{th} とすると、

前記 V_{ds} が正の場合、前記金属 - 絶縁体 - 半導体電界効果トランジスタは、前記 V_{gs} が前記 V_{th} 以上のとき、前記ドレイン電極から前記ソース電極へ電流を流し、

前記 V_{ds} が負の場合、前記金属 - 絶縁体 - 半導体電界効果トランジスタは、前記 V_{gs} が V_{th} 未満のとき、前記ソース電極から前記ドレイン電極へ電流を流すダイオードとして機能し、

前記ダイオードの立ち上がり電圧の絶対値は、前記ボディ領域と前記第1の炭化珪素半導体層とにより構成されるボディダイオードの立ち上がり電圧の絶対値よりも小さく、

前記メイン領域に含まれる前記単位セルにおける前記ゲート電極及び前記センス領域に含まれる前記単位セルにおける前記ゲート電極は、前記ゲートパッドに電氣的に接続され

、
前記メイン領域に含まれる前記単位セルにおける前記ドレイン電極及び前記センス領域に含まれる前記単位セルにおける前記ドレイン電極は、前記ドレインパッドに電氣的に接続され、

前記メイン領域に含まれる前記単位セルにおける前記ソース電極は、前記第1のソースパッドに電氣的に接続され、

前記センス領域に含まれる前記単位セルにおける前記ソース電極は、前記第2のソースパッドに電氣的に接続されており、

前記第2の炭化珪素半導体層の少なくとも一部は第1導電型の層である、半導体装置であるレグと、前記レグと並列に接続された平滑コンデンサと、前記半導体装置の前記第2のソースパッドに接続され、前記ドレインパッドと前記第2のソースパッドとの間に流れる電流の値に対応した値の電圧を出力する電流電圧変換部とを備えたインバータの制御方法であって、

前記電流電圧変換部から出力される出力電圧の値を検出するステップと、

前記電流電圧変換部から出力される出力電圧の値と、逆方向基準電圧値とを比較し、前記出力電圧の絶対値が前記逆方向基準電圧値を超えた場合、前記ゲートパッドに印加する電圧を負にするステップと

を含むインバータの制御方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本開示は、炭化珪素半導体層を有する半導体装置、及びそれを用いたインバータに関する。

【背景技術】

【0002】

近年、炭化珪素半導体を用いたパワーデバイスの開発が盛んである。炭化珪素(SiC)は、シリコン(Si)に比べてバンドギャップの大きな高硬度の半導体材料である。炭化珪素はシリコンに比べて1桁高い絶縁破壊電界強度を備える。そのため、炭化珪素を用いることにより、シリコンを用いる場合と比較して、同じ耐圧を有し、かつ体積の小さい半導体装置を製造することができる。炭化珪素を用いることにより、シリコンを用いる場合と比較して、抵抗成分となる構成を小さくすることができるので、半導体装置のオン抵抗を低減し、電力損失を低減することができる。また、炭化珪素半導体装置は、シリコンに比べ高温でも動作できるという利点がある。炭化珪素半導体装置は、例えば、スイッチング回路を構成するスイッチング素子として用いられる。

10

【0003】

スイッチング回路では、スイッチング素子の動作の制御による損失低減の試みもされている(例えば、特許文献1参照)。

【0004】

特許文献1には、スイッチング素子として金属酸化物半導体電界効果トランジスタ(Metal Oxide Semiconductor Field Effect Transistor: MOSFET)を用いたハーフブリッジ回路により構成されるスイッチング回路において、ローサイドMOSFETに流れる電流を検出するトランジスタ電流検出手段と、還流ダイオードとして機能するローサイドMOSFETのボディダイオードに流れる電流を検出するダイオード電流検出手段とを設けることにより、貫通電流を抑制しつつリカバリー損失を低減する技術が開示されている。

20

【0005】

具体的には、特許文献1によると、縦型MOSFETにおいて、ソース領域と接触せず、ボディ領域とオーミック接触するようにダイオード電極を設け、ダイオード電極をソース電極と電氣的に絶縁された状態で配置する。このようにすると、ソース電極ドレイン電極間に流れる電流を検出することによりMOSFETに流れる電流を検出し、ダイオード電極ドレイン電極間に流れる電流を検出することによりボディダイオードに流れる電流を検出することができる。複数のユニットセルのうち、一部のユニットセルにおけるソース電極ドレイン電極間電流を検出する手段及びダイオード電極ドレイン電極間電流を検出する手段が、それぞれトランジスタ電流検出手段及びダイオード電流検出手段として機能する。そこで、トランジスタ電流検出手段により検出される貫通電流とダイオード電流検出手段により検出されるリカバリー電流の検出とがいずれも小さくなるようにデッドタイムを設定することにより、貫通電流を抑制しつつリカバリー損失を低減することができるの特許文献1に記載されている。

30

【0006】

また、特許文献2では、モーターを駆動するようなインバータを、複数のトランジスタからなるトランジスタブリッジ回路と、還流ダイオードである複数のダイオードからなるダイオードブリッジ回路とを含む構成とし、トランジスタブリッジ回路とダイオードブリッジ回路との間のプラス側線路及びマイナス側線路にまたがるように配置された第1の電流検出器と、トランジスタブリッジ回路及びダイオードブリッジ回路と直流電源との間に配置された第2の電流検出器とを備えることが開示されている。第1の電流検出器及び第2の電流検出器を用いて、通常の駆動時に流れる駆動電流、還流動作時に流れる還流電流、並びに回生動作時に流れる回生電流を検出することができるため、各動作時に発生した過電流を検出することができるの特許文献2に記載されている。

40

【先行技術文献】

【特許文献】

50

【 0 0 0 7 】

【特許文献 1】特開 2 0 0 7 - 0 1 4 0 5 9 号公報

【特許文献 2】特開平 6 - 1 4 5 6 1 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 8 】

しかしながら、特許文献 1 に開示された技術では、還流ダイオードに流れる電流を検出するために、トランジスタ電流検出手段とは別に、ダイオード電流検出手段を設ける必要があったため、構成が複雑になっていた。また、特許文献 2 に開示された技術では、ブリッジ回路がダイオードブリッジ回路とトランジスタブリッジ回路との 2 つに分けられた構成となっているため、配線が長く、構成が複雑になっていた。また、高価で大型の大電流検出用の電流検出器が必要であった。

10

【 0 0 0 9 】

そこで、本明細書において開示される技術は、簡易な構成により、トランジスタに流れる電流及び還流ダイオードに流れる電流をとともに検出することができる半導体装置、及びそれを用いたインバータを提供する。

【課題を解決するための手段】

【 0 0 1 0 】

本明細書において開示される半導体装置は、メイン領域およびセンス領域を含む第 1 導電型の半導体基板と、前記第 1 導電型の半導体基板の前記メイン領域および前記センス領域にそれぞれ設けられており、金属 - 絶縁体 - 半導体電界効果トランジスタを有する複数の単位セルであって、前記センス領域に含まれる単位セルの数は、前記メイン領域に含まれる単位セルの数よりも小さく、前記メイン領域および前記センス領域のそれぞれにおいて、前記金属 - 絶縁体 - 半導体電界効果トランジスタが並列に接続された複数の単位セルと、前記半導体基板の主面側に配置されたゲートパッドと互いに絶縁された第 1 のソースパッドおよび第 2 のソースパッドと、前記半導体基板の裏面側に配置されたドレインパッドと、を備え、各金属 - 絶縁体 - 半導体電界効果トランジスタは、前記半導体基板の主面上に位置する第 1 導電型の第 1 の炭化珪素半導体層と、前記第 1 の炭化珪素半導体層に接する第 2 導電型のボディ領域と、前記ボディ領域に接する第 1 導電型のソース領域と、前記第 1 の炭化珪素半導体層上でかつ前記ボディ領域及び前記ソース領域の少なくとも一部に接して配置された第 2 の炭化珪素半導体層と、前記第 2 の炭化珪素半導体層上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極と、前記ソース領域に接触するソース電極と、前記半導体基板の裏面側に配置されたドレイン電極とを含み、前記ソース電極の電位を基準とする前記ドレイン電極の電位を V_{ds} 、前記ソース電極の電位を基準とする前記ゲート電極の電位を V_{gs} 、前記金属 - 絶縁体 - 半導体電界効果トランジスタのゲート閾値電圧を V_{th} とすると、前記 V_{ds} が正の場合、前記金属 - 絶縁体 - 半導体電界効果トランジスタは、前記 V_{gs} が前記 V_{th} 以上のとき、前記ドレイン電極から前記ソース電極へ電流を流し、前記 V_{ds} が負の場合、前記金属 - 絶縁体 - 半導体電界効果トランジスタは、前記 V_{gs} が V_{th} 未満のとき、前記ソース電極から前記ドレイン電極へ電流を流すダイオードとして機能し、前記ダイオードの立ち上がり電圧の絶対値は、前記ボディ領域と前記第 1 の炭化珪素半導体層とにより構成されるボディダイオードの立ち上がり電圧の絶対値よりも小さく、前記メイン領域に含まれる前記単位セルにおける前記ゲート電極及び前記センス領域に含まれる前記単位セルにおける前記ゲート電極は、前記ゲートパッドに電氣的に接続され、前記メイン領域に含まれる前記単位セルにおける前記ドレイン電極及び前記センス領域に含まれる前記単位セルにおける前記ドレイン電極は、前記ドレインパッドに電氣的に接続され、前記メイン領域に含まれる前記単位セルにおける前記ソース電極は、前記第 1 のソースパッドに電氣的に接続され、前記センス領域に含まれる前記単位セルにおける前記ソース電極は、前記第 2 のソースパッドに電氣的に接続されている。

20

30

40

【 0 0 1 1 】

また、本明細書において開示されるインバータは、上アーム及び下アームにより構成さ

50

れるレグであって、前記上アーム及び下アームのうち少なくとも一方が、本明細書において開示される半導体装置であるレグと、前記半導体装置の前記第2のソースパッドに接続され、前記ドレインパッドと前記第2のソースパッドとの間に流れる電流の値に対応した値の電圧を出力する電流電圧変換部と、前記電流電圧変換部から出力される前記電圧に基づいて、前記半導体装置の前記ゲートパッドに印加する電圧を制御するゲート電圧制御部とを備える。

【発明の効果】

【0012】

本明細書において開示される半導体装置は、簡易な構成により、トランジスタに流れる電流及び還流ダイオードに流れる電流をともに検出することができる。

10

【図面の簡単な説明】

【0013】

【図1】(a)は本開示の第1の実施形態に係る半導体装置の概略を示す平面図であり、(b)は(a)におけるA-A'部分の概略を示す断面図であり、(c)は同半導体装置における単位セルの概略を示す断面図であり、(d)は(b)に示す素子分離領域110近傍の拡大断面図である。

【図2】本開示の第1の実施形態に係る半導体装置の製造方法の一部を示す断面図である。

【図3】本開示の第1の実施形態に係る半導体装置の製造方法の一部を示す断面図である。

20

【図4】本開示の第1の実施形態に係る半導体装置の製造方法の一部を示す断面図である。

【図5】本開示の第1の実施形態に係る半導体装置の順方向の $I_s - V_{gs}$ 曲線を示すグラフである。

【図6】本開示の第1の実施形態に係る半導体装置の逆方向の $I_s - V_{ds}$ 曲線を示すグラフである。

【図7】本開示の第1の実施形態に係る半導体装置の順方向電流を評価するための測定系の回路構成を示す図である。

【図8】本開示の第1の実施形態に係る半導体装置の順方向電流を雰囲気温度25において評価した結果を示すグラフである。

30

【図9】本開示の第1の実施形態に係る半導体装置の順方向電流を、雰囲気温度が-40、25、85及び150において評価した結果を示すグラフである。

【図10】本開示の第1の実施形態に係る半導体装置の逆方向電流を評価するための測定系の回路構成を示す図である。

【図11】本開示の第1の実施形態に係る半導体装置の逆方向電流を雰囲気温度25において評価した結果を示すグラフである。

【図12】本開示の第1の実施形態に係る半導体装置の逆方向電流を、雰囲気温度が-40、25、85及び150において評価した結果を示すグラフである。

【図13】演算増幅器を含む電流電圧変換回路を用いた、本開示の第1の実施形態に係る半導体装置順方向電流及び逆方向電流を測定するための測定系の回路構成を示す図である。

40

【図14】本開示の第1の実施形態に係る半導体装置におけるメイン領域の逆方向 $I_{sm} - V_{ds}$ 曲線のゲート電圧依存性を示すグラフである。

【図15】(a)は本開示の第2の実施形態に係る半導体装置の概略を示す平面図であり、(b)は(a)におけるA-A'部分の概略を示す断面図であり、(c)は同半導体装置における単位セルの概略を示す断面図であり、(d)は図15(b)における、メイン領域320とセンス領域321との境界部分の拡大断面図である。

【図16】本開示の第2の実施形態に係る半導体装置の製造方法の一部を示す断面図である。

【図17】本開示の第2の実施形態に係る半導体装置の製造方法の一部を示す断面図であ

50

る。

【図 18】本開示の第 2 の実施形態に係る半導体装置の製造方法の一部を示す断面図である。

【図 19】本開示の第 3 の実施形態に係るインバータを備える負荷駆動システムの構成を示すブロック図である。

【図 20】本開示の第 3 の実施形態に係る電流電圧変換部（下アーム用）を示すブロック図である。

【図 21】本開示の第 3 の実施形態に係る電流電圧変換部（上アーム用）を示すブロック図である。

【図 22】本開示の第 3 の実施形態に係るゲート制御部を示すブロック図である。

10

【図 23 A】本開示の第 3 の実施形態に係る負荷駆動システムに順方向の過電流が流れた場合における保護動作に関するタイミングチャートである。

【図 23 B】本開示の第 3 の実施形態に係る負荷駆動システムに逆方向の過電流が流れた場合における保護動作に関するタイミングチャートである。

【図 23 C】本開示の第 3 の実施形態に係る負荷駆動システムに回生エネルギーを回生抵抗およびインバータの半導体装置で消費させる場合における保護動作に関するタイミングチャートである。

【図 24】本開示の第 3 の実施形態に係る半導体装置の逆方向の I V 曲線の温度特性を示すグラフである。

【図 25】本開示の第 4 の実施形態に係るゲート制御部を示すブロック図である。

20

【図 26】本開示の第 4 の実施形態に係る負荷駆動システムに逆方向の過電流が流れた場合における保護動作に関するタイミングチャートである。

【図 27】比較例に係るインバータを備える負荷駆動システムの構成を示すブロック図である。

【図 28】(a) 本実施の形態の単位セルの断面構造図であり、(b) は逆方向動作時の (a) の A - A ' におけるコンダクションバンドエネルギーの分布を示す図であり、(c) は順方向動作時の (a) の A - A ' におけるコンダクションバンドエネルギーの分布を示す図である。

【図 29】(a) 本実施の形態の単位セルの断面構造図であり、(b) は (a) の C - C ' におけるポテンシャル分布図である。

30

【図 30】本実施の形態の半導体装置のボディ領域のドーパント濃度と、 V_{th} および $|V_{f0}|$ の相関を示す図である。

【図 31】本実施の形態の半導体装置において、第 2 の炭化珪素半導体層の厚み d と不純物濃度 N_d を変えたときの V_{th} と $|V_{f0}|$ の相関を示す図である。

【発明を実施するための形態】

【0014】

本開示の半導体装置の概要は以下の通りである。

【0015】

本開示の一実施形態にかかる半導体装置は、メイン領域およびセンス領域を含む第 1 導電型の半導体基板と、前記第 1 導電型の半導体基板の前記メイン領域および前記センス領域にそれぞれ設けられており、金属 - 絶縁体 - 半導体電界効果トランジスタを有する複数の単位セルであって、前記センス領域に含まれる単位セルの数は、前記メイン領域に含まれる単位セルの数よりも小さく、前記メイン領域および前記センス領域のそれぞれにおいて、前記金属 - 絶縁体 - 半導体電界効果トランジスタが並列に接続された複数の単位セルと、前記半導体基板の主面側に配置されたゲートパッドと、互いに絶縁された第 1 のソースパッドおよび第 2 のソースパッドと、前記半導体基板の裏面側に配置されたドレインパッドと、を備え、各金属 - 絶縁体 - 半導体電界効果トランジスタは、前記半導体基板の主面上に位置する第 1 導電型の第 1 の炭化珪素半導体層と、前記第 1 の炭化珪素半導体層に接する第 2 導電型のボディ領域と、前記ボディ領域に接する第 1 導電型のソース領域と、前記第 1 の炭化珪素半導体層上でかつ前記ボディ領域及び前記ソース領域の少なくとも一

40

50

部に接して配置された第2の炭化珪素半導体層と、前記第2の炭化珪素半導体層上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極と、前記ソース領域に接触するソース電極と、前記半導体基板の裏面側に配置されたドレイン電極とを含み、前記ソース電極の電位を基準とする前記ドレイン電極の電位を V_{ds} 、前記ソース電極の電位を基準とする前記ゲート電極の電位を V_{gs} 、前記金属-絶縁体-半導体電界効果トランジスタのゲート閾値電圧を V_{th} とすると、前記 V_{ds} が正の場合、前記金属-絶縁体-半導体電界効果トランジスタは、前記 V_{gs} が前記 V_{th} 以上のとき、前記ドレイン電極から前記ソース電極へ電流を流し、前記 V_{ds} が負の場合、前記金属-絶縁体-半導体電界効果トランジスタは、前記 V_{gs} が V_{th} 未満のとき、前記ソース電極から前記ドレイン電極へ電流を流すダイオードとして機能し、前記ダイオードの立ち上がり電圧の絶対値は、前記ボディ領域と前記第1の炭化珪素半導体層とにより構成されるボディダイオードの立ち上がり電圧の絶対値よりも小さく、前記メイン領域に含まれる前記単位セルにおける前記ゲート電極及び前記センス領域に含まれる前記単位セルにおける前記ゲート電極は、前記ゲートパッドに電氣的に接続され、前記メイン領域に含まれる前記単位セルにおける前記ドレイン電極及び前記センス領域に含まれる前記単位セルにおける前記ドレイン電極は、前記ドレインパッドに電氣的に接続され、前記メイン領域に含まれる前記単位セルにおける前記ソース電極は、前記第1のソースパッドに電氣的に接続され、前記センス領域に含まれる前記単位セルにおける前記ソース電極は、前記第2のソースパッドに電氣的に接続されている。

10

【0016】

20

前記ボディ領域のうち、少なくとも前記第2の炭化珪素半導体層に接する領域の不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上であり、前記第2の炭化珪素半導体層の不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $4 \times 10^{18} \text{ cm}^{-3}$ 以下であり、前記第2の炭化珪素半導体層の厚さは20nm以上70nm以下であってもよい。

【0017】

前記半導体装置は、前記メイン領域と前記センス領域との境界に位置し、前記半導体基板上に位置する第1導電型の前記第1の炭化珪素半導体層と、前記第1の炭化珪素半導体層に設けられた第2導電型の素子分離領域とをさらに備え、前記素子分離領域上には第2の炭化珪素半導体層が配置されていなくてもよい。

【0018】

30

前記半導体装置は、前記ボディ領域及び前記ソース領域を貫通し、前記第1の炭化珪素半導体層に達するトレンチをさらに備えていてもよい。

【0019】

前記センス領域に流れる電流が100mA以下であってもよい。

【0020】

前記ドレインパッドと前記第2のソースパッドとの間に流れる電流は、前記ドレインパッドと前記第1のソースパッドとの間に流れる電流に比例していてもよい。

【0021】

前記ドレインパッドと前記第2のソースパッドとの間に流れる電流の向きは、前記ドレインパッドと前記第1のソースパッドとの間に流れる電流も向きと一致していてもよい。

40

【0022】

本開示の一実施形態に係るインバータは、上アーム及び下アームにより構成されるレグであって、前記上アーム及び下アームのうち少なくとも一方が、上位機いずれかに記載の半導体装置であるレグと、前記半導体装置の前記第2のソースパッドに接続され、前記ドレインパッドと前記第2のソースパッドとの間に流れる電流の値に対応した値の電圧を出力する電流電圧変換部と、前記電流電圧変換部から出力される前記電圧に基づいて、前記半導体装置の前記ゲートパッドに印加する電圧を制御するゲート電圧制御部とを備える。

【0023】

前記電流電圧変換部は、反転入力端子、非反転入力端子及び出力端子を有する演算増幅器と、前記反転入力端子と前記出力端子とを接続する抵抗とを含んでいてもよい。

50

【 0 0 2 4 】

前記演算増幅器は両電源タイプであってもよい。

【 0 0 2 5 】

前記インバータは、前記レグと並列に接続された平滑コンデンサと、前記平滑コンデンサの電圧を検出する電圧検出部と、負荷から前記インバータへ流れる回生電流を熱として消費するための抵抗および前記抵抗に流す回生電流を制御するスイッチング素子を含む回生電力消費回路とをさらに備え、前記ゲート電圧制御部は、前記電圧検出部により検出された前記平滑コンデンサの電圧と、基準電圧値とを比較し、前記平滑コンデンサの電圧が前記基準電圧値を超えた場合、前記抵抗に前記回生電流が流れるように、前記スイッチング素子を制御してもよい。

10

【 0 0 2 6 】

前記インバータは、前記レグと並列に接続された平滑コンデンサと、前記平滑コンデンサの電圧を検出する電圧検出部とをさらに備え、前記ゲート電圧制御部は、前記電圧検出部により検出された前記平滑コンデンサの電圧と、基準電圧値とを比較し、前記平滑コンデンサの電圧が前記基準電圧値を超えた場合、前記ゲートパッドに印加する電圧を負にしてもよい。

【 0 0 2 7 】

前記インバータは、前記レグと並列に接続された平滑コンデンサと、負荷から前記インバータへ流れる回生電流を熱として消費するための抵抗および前記抵抗に流す回生電流を制御するスイッチング素子を含む回生電力消費回路とをさらに備え、前記ゲート電圧制御部は、前記電流電圧変換部から出力される出力電圧の値と、逆方向基準電圧値とを比較し、前記出力電圧の絶対値が前記逆方向基準電圧値を超えた場合、前記抵抗に前記回生電流が流れるように、前記スイッチング素子の動作を制御してもよい。

20

【 0 0 2 8 】

前記インバータは、前記レグと並列に接続された平滑コンデンサをさらに備え、前記ゲート電圧制御部は、前記電流電圧変換部から出力される出力電圧の値と、逆方向基準電圧値とを比較し、前記出力電圧の絶対値が前記逆方向基準電圧値を超えた場合、前記ゲートパッドに印加する電圧を負にしてもよい。

【 0 0 2 9 】

本開示の一実施形態にかかるインバータの制御方法は、上アーム及び下アームにより構成されるレグであって、前記上アーム及び下アームのうち少なくとも一方が、上記いずれかに記載の半導体装置であるレグと、前記レグと並列に接続された平滑コンデンサとを備えたインバータの制御方法であって、前記平滑コンデンサの電圧を検出するステップと、前記平滑コンデンサの電圧と、基準電圧値とを比較し、前記平滑コンデンサの電圧が前記基準電圧値を超えた場合、前記ゲートパッドに印加する電圧を負にするステップとを含む。

30

【 0 0 3 0 】

本開示の一実施形態にかかるインバータの制御方法は、上アーム及び下アームにより構成されるレグであって、前記上アーム及び下アームのうち少なくとも一方が、上記いずれかに記載の半導体装置であるレグと、前記レグと並列に接続された平滑コンデンサと、前記半導体装置の前記第2のソースパッドに接続され、前記ドレインパッドと前記第2のソースパッドとの間に流れる電流の値に対応した値の電圧を出力する電流電圧変換部と、負荷から前記インバータへ流れる回生電流を熱として消費するための抵抗および前記抵抗に流す回生電流を制御するスイッチング素子を含む回生電力消費回路とを備えたインバータの制御方法であって、前記電流電圧変換部から出力される出力電圧の値を検出するステップと、前記電流電圧変換部から出力される出力電圧の値と、逆方向基準電圧値とを比較し、前記出力電圧の絶対値が前記逆方向基準電圧値を超えた場合、前記抵抗に前記回生電流が流れるように、前記スイッチング素子を動作させるステップとを含む。

40

【 0 0 3 1 】

本開示の一実施形態にかかるインバータの制御方法は、上アーム及び下アームにより構

50

成されるレグであって、前記上アーム及び下アームのうち少なくとも一方が、上記いずれかに記載の半導体装置であるレグと、前記レグと並列に接続された平滑コンデンサと、前記半導体装置の前記第2のソースパッドに接続され、前記ドレインパッドと前記第2のソースパッドとの間に流れる電流の値に対応した値の電圧を出力する電流電圧変換部とを備えたインバータの制御方法であって、前記電流電圧変換部から出力される出力電圧の値を検出するステップと、前記電流電圧変換部から出力される出力電圧の値と、逆方向基準電圧値とを比較し、前記出力電圧の絶対値が前記逆方向基準電圧値を超えた場合、前記ゲートパッドに印加する電圧を負にするステップとを含む。

【0032】

以下、図面を参照しながら、本開示の実施形態について説明する。

10

【0033】

(第1の実施形態)

(半導体装置の構造)

図1(a)は、本実施形態に係る半導体装置の概略を示す平面図である。図1(b)は、図1(a)におけるA-A'部分の概略を示す断面図である。図1(c)は、図1(b)における単位セル111の概略を示す断面図である。図1(d)は、図1(b)に示す素子分離領域110近傍を拡大して示す断面図である。本実施形態では、単位セル111がプレーナ型の金属絶縁体半導体電界効果トランジスタ(Metal Insulator Semiconductor Field Effect Transistor: MISFET)である例について説明する。

20

【0034】

図1(a)に示すように、半導体装置1は、半導体基板5を備える。また、メイン領域ソースパッド2、センス領域ソースパッド3、及びゲートパッド4を半導体基板5の主面5a側に備える。メイン領域ソースパッド2、センス領域ソースパッド3、及びゲートパッド4は、互いに電氣的に絶縁されている。半導体装置1の裏面5b側には、裏面5b全体を覆うようにドレイン電極16及び裏面電極17が積層して配置されている。

【0035】

メイン領域ソースパッド2、センス領域ソースパッド3、及び裏面電極17は、本明細書において開示される半導体装置における、第1のソースパッド、第2のソースパッド、及びドレインパッドにそれぞれ相当する。

30

【0036】

図1(a)および(b)に示すように、半導体装置1はセンス領域21及びメイン領域20を備えている。センス領域21及びメイン領域20はいずれも、互いに並列に接続された複数の単位セル111を備えている。

【0037】

メイン領域ソースパッド2は、メイン領域20に含まれる複数の単位セル111の上部配線15が互いに接続されることにより構成されている。同様に、センス領域ソースパッド3は、センス領域21に含まれる複数の単位セル111の上部配線15が互いに接続されることにより構成されている。

【0038】

センス領域21とメイン領域20との境界部分における第1導電型の第1の炭化珪素半導体層6中には、単位セルとは異なり、終端ベース領域18, 19及び素子分離領域110が配置されている。終端ベース領域18, 19及び素子分離領域110は、いずれも第2導電型である。終端ベース領域18, 19には、第1導電型のソース領域が含まれていない。終端ベース領域18, 19中にソース領域が配置されていると、ソース領域、終端ベース領域18, 19及び第1の炭化珪素半導体層6により構成される寄生バイポーラに大電流が流れて半導体装置1が破壊する可能性があるためである。終端ベース領域18, 19上にはソース電極10が配置されており、上部配線15によって単位セル111のソース電極10と電氣的に接続している。したがって終端ベース領域18, 19と単位セル111のソース領域とは同電位である。終端ベース領域18, 19は第1の炭化珪素半

40

50

導体層 6 と P N ダイオードを構成する。

【 0 0 3 9 】

素子分離領域 1 1 0 は、終端ベース領域 1 8 と終端ベース領域 1 9 との間に配置されている。素子分離領域 1 1 0 上には、ソース電極 1 0 が配置されておらず、素子分離領域 1 1 0 の電位はフローティング電位となっている。素子分離領域 1 1 0 は、センス領域 2 1 とメイン領域 2 0 との間に電流が流れることを防止する。

【 0 0 4 0 】

図 1 (d) に示すように、素子分離領域 1 1 0 上及び終端ベース領域 1 8 、 1 9 の端部上には、第 2 の炭化珪素半導体層 1 1 が配置されていない。これにより、第 2 の炭化珪素半導体層 1 1 を通してメイン領域 2 0 とセンス領域 2 1 との間に電流が流れることを防止
10

【 0 0 4 1 】

隣接する単位セル 1 1 1 のゲート電極 1 3 は、図示しないゲート配線によって互いに電氣的に接続されている。メイン領域 2 0 及びセンス領域 2 1 におけるゲート電極 1 3 は、いずれもゲートパッド 4 に電氣的に接続されている。

【 0 0 4 2 】

センス領域に対するメイン領域のセル数の比率を n 、センス領域を流れる電流を I_{ss} 、メイン領域を流れる電流を I_{sm} とすると、次式の関係式 (1) が成り立つ。

$$I_{sm} = n \times I_{ss} \quad \dots (1)$$

20

【 0 0 4 3 】

したがって、センス領域を流れる電流及びセル数の比率から、メイン領域に流れる電流を間接的に検出することができる。セル数の比率を 1 0 0 0 程度とすれば、メイン領域を流れる電流が A オーダーであっても、センス領域を流れる電流は mA オーダーとなるので、mA 程度の小電流を検出する簡便な回路で、A オーダーの大電流を間接的に検出することができる。

【 0 0 4 4 】

図 1 (c) を用いて、単位セル 1 1 1 の構造を説明する。n 型の半導体基板 5 の主面上に、n 型の第 1 の炭化珪素半導体層 6 が配置されている。半導体基板 5 としては、例えば 4 H - S i C (0 0 0 1) 面を [1 1 - 2 0] 方向に 4 ° オフさせたオフカット基板を用いる。半導体基板 5 における n 型不純物のドーピング濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 程度である。また、例えば、第 1 の炭化珪素半導体層 6 における n 型不純物のドーピング濃度は $7 \times 10^{15} \text{ cm}^{-3}$ 程度で、第 1 の炭化珪素半導体層 6 の厚みは 1 3 μm 程度である。
30

【 0 0 4 5 】

第 1 の炭化珪素半導体層 6 の表層には、p 型のボディ領域 (ウェル領域) 7 が配置されている。例えば、ボディ領域 7 の深さは 0 . 8 μm 程度で、ボディ領域 7 における p 型不純物のドーピング濃度は 2×10^{18} から $2 \times 10^{19} \text{ cm}^{-3}$ である。ボディ領域 7 内には、n 型のソース領域 8 が配置されている。例えば、ソース領域 8 の深さは 0 . 2 μm 程度で、ソース領域 8 における n 型不純物のドーピング濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 程度である。ボディ領域 7 の表層には、p 型のコンタクト領域 9 が配置されている。例えば、コンタクト領域 9 の深さは 2 0 0 nm 程度で、コンタクト領域 9 における p 型不純物のドーピング濃度は $2 \times 10^{20} \text{ cm}^{-3}$ 程度である。
40

【 0 0 4 6 】

ソース領域 8 の一部及びコンタクト領域 9 の一部に接して、ソース電極 1 0 が配置されている。ソース電極 1 0 は、例えば、厚みが 1 0 0 nm 程度のニッケルの熱処理により形成されたニッケルシリサイドにより構成される。ソース電極 1 0 は、ソース領域 8 及びコンタクト領域 9 とオーミック接触している。

【 0 0 4 7 】

ソース領域 8 及びボディ領域 7 を含む第 1 の炭化珪素半導体層 6 の表面には、第 2 の炭化珪素半導体層 1 1 が配置されている。第 2 の炭化珪素半導体層 1 1 は、例えば、第 1 の
50

炭化珪素半導体層 6 上にエピタキシャル成長により形成されたエピタキシャル層である。第 2 の炭化珪素半導体層 1 1 が単一の n 型層により構成される場合、例えば、第 2 の炭化珪素半導体層 1 1 の厚みが 75 nm 以下で、かつ第 2 の炭化珪素半導体層 1 1 における n 型不純物のドーピング濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上であればよい。

【 0 0 4 8 】

しかしながら、第 2 の炭化珪素半導体層 1 1 が単一の n 型層からなる場合、そのドーピングプロファイルがばらつくと、順方向の閾値電圧、およびチャネルダイオードの立ち上がり電圧が大きく変動する。第 2 の炭化珪素半導体層 1 1 は、犠牲酸化およびゲート酸化の工程において膜厚が減少する場合がある。製造工程での第 2 の炭化珪素半導体層 1 1 の膜厚の減少量のばらつきによって、順方向の閾値電圧逆方向の立ち上がり電圧等の半導体装置 1 の電気特性にばらつきが生じる。したがって、n 型不純物層の表面に低濃度のドーブ層を積層することにより、半導体装置 1 の電気特性のばらつきを低減することができる。

10

【 0 0 4 9 】

また、第 2 の炭化珪素半導体層 1 1 をエピタキシャル成長するとき、成長初期は成長レートが安定せず、不純物濃度も安定しないことがある。この場合、成長初期にはドーパントガスを流さずに、アンドープ層または残留窒素による低濃度のドーブ層を成長させ、その後、成長レートが安定してから高濃度の n 型不純物層を成長させてもよい。このようにすれば、成長初期の成長レートが安定しないことによる不純物濃度の変動を低減することができる。

20

【 0 0 5 0 】

すなわち、第 2 の炭化珪素半導体層 1 1 はアンドープまたは低不純物濃度の n 型層からなるボトム層、高濃度 n 型不純物層およびアンドープまたは低不純物濃度の n 型層からなるキャップ層を含む積層構造であってもよい。各層の厚みは、例えば、ボトム層は 10 から 50 nm 程度であり、高濃度 n 型不純物層は 15 から 30 nm であり、キャップ層は 10 から 100 nm である。各層の n 型不純物濃度は、例えば、ボトム層は $1 \times 10^{17} \text{ cm}^{-3}$ 未満であり、高濃度 n 型不純物層は 1×10^{18} から $1 \times 10^{19} \text{ cm}^{-3}$ 程度であり、キャップ層は $1 \times 10^{17} \text{ cm}^{-3}$ 未満である。なお、各層の不純物濃度は必ずしも一定である必要はなく、各層の膜厚方向に分布を持っていてもよい。

30

【 0 0 5 1 】

第 2 の炭化珪素半導体層 1 1 上には、ゲート絶縁膜 1 2 が配置されている。ゲート絶縁膜 1 2 の厚みは 70 nm 程度である。

【 0 0 5 2 】

ゲート絶縁膜 1 2 上には、ゲート電極 1 3 が配置されている。ゲート電極 1 3 は、例えば、リンを $7 \times 10^{20} \text{ cm}^{-3}$ 程度ドーブした n 型 poly-Si であり、ゲート電極 1 3 の厚みは 500 nm 程度である。

【 0 0 5 3 】

ゲート電極 1 3 上には、層間絶縁膜 1 4 が配置されている。層間絶縁膜 1 4 は、例えば、シリコン酸化膜により構成される。層間絶縁膜 1 4 の厚みは 1 μm 程度である。層間絶縁膜 1 4 上には、ソース電極 1 0 と電氣的に接続する上部配線 1 5 が配置されている。上部配線 1 5 は、例えば、アルミニウムにより構成される。上部配線 1 5 の厚みは 4 μm 程度である。

40

【 0 0 5 4 】

半導体基板 5 の裏面には、半導体基板 5 とオーミック接触するドレイン電極 1 6 が配置されている。ドレイン電極 1 6 は、例えば、厚みが 150 nm 程度の Ti の熱処理により形成されたチタンシリサイドにより構成される。ドレイン電極 1 6 上には、ダイボンディング用の裏面電極 1 7 が配置されている。裏面電極 1 7 は、例えば、ドレイン電極 1 6 に近い側から、厚みが 100 nm 程度のチタン、厚みが 300 nm 程度のニッケル、及び厚みが 700 nm 程度の銀により構成される。

【 0 0 5 5 】

50

本開示では、この単位セルが以下のような構成を有することにより、単位セルは電界効果トランジスタの機能とダイオードの機能とを備えている。

【0056】

次に、図28を用いて、単位セル111の順方向及び逆方向の動作について説明する。図28(a)は、単位セル111の断面図であり、図28(b)は、(a)のA-A'における逆方向動作時のコンダクションバンドエネルギーの分布を示す図であり、図28(c)は、(a)のA-A'における順方向動作時のコンダクションバンドエネルギーの分布を示す図である。なお、図28(b)及び(c)において、左側の点線よりも左側の領域は、第2の炭化珪素半導体層11のうちソース領域8上に位置する部分のコンダクションバンドエネルギー分布、左右の点線に挟まれた領域は、チャネルのコンダクションバンドエネルギー分布、右側の点線よりも右側の領域は、第2の炭化珪素半導体層11のうちJFET領域上に位置する部分のコンダクションバンドエネルギー分布を示す。第2の炭化珪素半導体層11のうち、ボディ領域上の部分がチャネルであり、第1の炭化珪素半導体層6のうち、隣接する2つのボディ領域の間の領域がJFET領域である。

10

【0057】

図28(b)を使って単位セル111の逆方向における動作を説明する。図28(b)において、 $V_{gs} = 0$ である。 $V_{ds} = 0$ のとき、A-A'のコンダクションバンドエネルギー分布は、図28(b)に示すグラフのうち最も下側の曲線で示される。このとき、第2の炭化珪素半導体層11はソース電位に対して V_{f0} の電位となっている。 $V_{ds} = 0$ のとき、第2の炭化珪素半導体層11のうちJFET領域上に位置する部分の電位はチャネルの電位より V_{f0} 低いので、電子は第2の炭化珪素半導体層11のうちJFET領域上に位置する部分からチャネルに流れ込むことができない。しかしながら、 V_{ds} を負にすると、図28(b)の矢印で示すように、第2の炭化珪素半導体層11のうちJFET領域上に位置する部分の電位が第2の炭化珪素半導体層11のうちソース領域8上に位置する部分の電位よりも上昇する。 $V_{ds} < -V_{f0}$ となると、第2の炭化珪素半導体層11のうちJFET領域上に位置する部分の電位がチャネル電位よりも高くなるので、第2の炭化珪素半導体層11のうちJFET領域上に位置する部分からチャネルを介して第2の炭化珪素半導体層11のうちソース領域8上に位置する部分に電子が流れ込む。すなわち、単位セル111に逆方向電流が流れる。この動作はダイオード動作であり、 V_{f0} はチャネルダイオードの立ち上がり電圧である。

20

30

【0058】

次に図28(c)を用いて、単位セル111の順方向動作を説明する。図28(c)において、ドレインはソースに対して正の電位となっている。 $V_{gs} = 0$ のとき、A-A'のコンダクションバンドエネルギー分布は、図28(c)に示すグラフのうち最も上側の曲線で示される。 $V_{gs} = 0$ ではチャネルの方が第2の炭化珪素半導体層11のうちソース領域8上に位置する部分よりもエネルギーが高く障壁となっているので、電子が第2の炭化珪素半導体層11のうちソース領域8上に位置する部分からチャネルへ流れ込まない。 V_{gs} を高くしていくと、図28(c)の矢印で示すように、チャネルのエネルギーが下がる。チャネルのエネルギーが第2の炭化珪素半導体層11のうちソース領域8上に位置する部分よりも低くなると、電子が第2の炭化珪素半導体層11のうちソース領域8上に位置する部分からチャネルを介して第2の炭化珪素半導体層11のうちJFET領域上に位置する部分へと流れ込む。すなわち、単位セル111に順方向電流が流れる。

40

【0059】

図29は本開示における単位セルの深さ方向のポテンシャル分布を示す模式図である。図29(a)は単位セルの断面図であり、(b)は(a)のC-C'におけるポテンシャル分布図である。

【0060】

図29(b)の上には、ポテンシャル分布図の横軸が、単位セルのどの領域に相当するかを示す。

【0061】

50

横軸はゲート絶縁膜 1 2 とゲート電極 1 3 との界面を基準とした深さである。縦軸はソース電位を基準としたポテンシャル (-) である。

【 0 0 6 2 】

このポテンシャル分布はポアソンの方程式から計算することができる。

【 0 0 6 3 】

曲線 6 1 は $V_{gs} = 0$ のときのポテンシャル分布である。 $V_{gs} = 0$ なので、ゲート絶縁膜 1 2 とゲート電極 1 3 との界面のポテンシャルが 0 となる。

【 0 0 6 4 】

ゲート絶縁膜 1 2 の膜厚を t とし、第 2 の炭化珪素半導体層 1 1 は一様な不純物濃度をもつと仮定し、第 2 の炭化珪素半導体層 1 1 の第 1 導電型の不純物濃度を N_d 、膜厚を d とする。ボディ領域 7 の不純物濃度を N_b とする。ボディ領域 7 のうち第 2 の炭化珪素半導体層 1 1 と接している表面は空乏化しており、厚さ y の空乏層 7 0 0 が形成されているとする。同様に、第 2 の炭化珪素半導体層 1 1 には、ボディ領域との接合面から伸びる空乏層と、ゲート絶縁膜との界面から伸びる空乏層とが形成されている。これらの空乏層が重なるように第 2 の炭化珪素半導体層 1 1 の膜厚が設定されているとする。すなわち、第 2 の炭化珪素半導体層 1 1 は全体が空乏化している。このように、第 2 の炭化珪素半導体層 1 1 が $V_{gs} = 0$ において空乏化していればノーマリオフとなる。第 2 の炭化珪素半導体層 1 1 を空乏化するには、ボディ領域 7 の不純物濃度 N_b を大きくし、第 2 の炭化珪素半導体層 1 1 の膜厚 d を小さくすることが好ましい。

【 0 0 6 5 】

なお、ソース領域とボディ領域は P N 接合を形成しており、ソース領域から見たボディ領域のポテンシャルはビルトインポテンシャル b_i となる。 $V_{gs} = 0$ のとき、ゲート電極 1 3 とゲート絶縁膜 1 2 との界面のポテンシャルはソース電位と等しいから、ゲート電極 1 3 とゲート絶縁膜 1 2 との界面から見たボディ領域 7 の電位もまたビルトインポテンシャル b_i である。

【 0 0 6 6 】

ゲート絶縁膜 1 2 と第 2 の炭化珪素半導体層 1 1 との界面におけるポテンシャル P_{ch} は、式 (2) で示される。ここで、 ϵ_i は、ゲート絶縁膜 1 2 の誘電率を示し、 q は素電荷を示す。

【 数 1 】

$$P_{ch} = \phi b_i - \frac{q}{2\epsilon_i} \times (N_b \times y(y + 2d) - N_d \times d^2) \quad (2)$$

$V_{gs} = 0$ のときの P_{ch} がダイオードの立ち上がり電圧 V_{f0} に相当する。式 (2) から、ボディ領域の不純物濃度 N_b を大きくすることにより、 $|V_{f0}|$ を小さくすることができるがわかる。

【 0 0 6 7 】

図 3 0 は、第 2 の炭化珪素半導体層 1 1 に接するボディ領域 7 の不純物濃度を変化させたときの、トランジスタの閾値電圧 V_{th} および、チャネルダイオードの立ち上がり電圧 V_{f0} を例示している。図 3 0 において、ボディ領域 7 の不純物濃度は、 $2 \times 10^{18} \text{ cm}^{-3}$ 、 $5 \times 10^{18} \text{ cm}^{-3}$ 、 $1 \times 10^{19} \text{ cm}^{-3}$ 、 および $2 \times 10^{19} \text{ cm}^{-3}$ と変化させている。ボディ領域 7 の不純物濃度を変化させると閾値電圧 V_{th} も変化するが、ここでは第 2 の炭化珪素半導体層 1 1 の不純物濃度を適宜変更することにより閾値電圧 V_{th} が約 3 V となるように設定している。図 3 0 は、閾値電圧 V_{th} を一定とした場合に、ボディ領域 7 のドーパント濃度が大きくなるにつれて、立ち上がり電圧 V_{f0} が小さくなる傾向を示している。図 3 0 からわかるように、第 2 の炭化珪素半導体層 1 1 に接するボディ領域 7 の不純物濃度を大きくすることにより、トランジスタの閾値電圧 V_{th} を維持しながら、チャネルダイオードの立ち上がり電圧 V_{f0} を選択的に小さくすることができ

る。

【0068】

以上の検討により、チャネルダイオードの立ち上がり電圧の絶対値 V_{f0} を小さくするために、ボディ領域の不純物濃度を高濃度とすることが望ましいという知見が得られた。例えば、ボディ領域の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以上とすることにより、チャネルダイオードの立ち上がり電圧 $|V_{f0}|$ を小さくすることができる。なお、SiCでは、ボディダイオードの立ち上がり電圧は約 2.7 V である。ボディ領域の不純物濃度は $2 \times 10^{18} \text{ cm}^{-3}$ 以上であってもよい。

【0069】

図31は $N_b = 1 \times 10^{19} \text{ cm}^{-3}$ において第2の炭化珪素半導体層11の厚み d と、不純物濃度 N_d の濃度を变化させたときの V_{th} と $|V_{f0}|$ の関係を示している。図31において、横軸は順方向電流の閾値電圧 V_{th} 、縦軸は逆方向電流の立ち上がり電圧 V_{f0} の絶対値 ($|V_{f0}|$) を示す。本図を得るために実施したシミュレーションにおいて、p型ボディ領域(ウェル領域)の濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 、ゲート絶縁膜の厚さは 70 nm で固定している。第2の炭化珪素半導体層11の厚さの範囲は、20 nm 以上 70 nm 以下とし、第2の炭化珪素半導体層11の不純物濃度の範囲は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $4 \times 10^{18} \text{ cm}^{-3}$ 以下である。

10

【0070】

図31から、例えば、チャネルエピ層の厚さを薄くし、かつチャネルエピ層の不純物濃度を高くすることにより、 $|V_{f0}|$ を一定にしながら、 V_{th} を大きくすることが可能であることがわかる。したがって、チャネルエピ層の不純物濃度と厚さを適度に設定することにより、 V_{th} と $|V_{f0}|$ とをそれぞれ独立に制御することが可能である。

20

【0071】

例えば $V_{th} = 5 \text{ V}$ 、 $|V_{f0}| = 1 \text{ V}$ に制御する場合のチャネルエピ層の厚さと不純物濃度の設定方法を、この図を用いて説明する。

【0072】

まず、 $V_{th} = 5 \text{ V}$ と、 $|V_{f0}| = 1 \text{ V}$ との交点を通る相関直線に対応するチャネルエピ層の厚さを読み取る。図31では約 40 nm と読み取ることができる。したがって、チャネルエピ層の厚さを 40 nm に設定する。次に上記のチャネルエピ層の厚さにおいて、 $V_{th} = 5 \text{ V}$ となる不純物濃度を設定すればよい。ここでは、データが存在する2点の濃度、すなわち $7 \times 10^{17} \text{ cm}^{-3}$ と $1 \times 10^{18} \text{ cm}^{-3}$ の中間をとって、約 $8.5 \times 10^{17} \text{ cm}^{-3}$ に設定すればよい。

30

【0073】

図31から、第2の炭化珪素半導体層11の厚み d が 20 nm 以上 70 nm 以下であり、かつ不純物濃度 N_d が $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $4 \times 10^{18} \text{ cm}^{-3}$ 以下であれば、閾値電圧 $V_{th} > 0$ 、かつボディダイオードの立ち上がり電圧 (SiCでは約 2.7 V) よりもチャネルダイオードの立ち上がり電圧 $|V_{f0}|$ を小さくすることができることがわかる。

【0074】

ゲート酸化膜の膜厚 t は 20 nm 以上であってもよく、100 nm 以下であってもよい。ゲート酸化膜の膜厚 t が 100 nm 以下であれば、熱酸化により、長時間を要することなく、良質な酸化膜を形成することができる。

40

【0075】

なお以上の説明では、簡単のため第2の炭化珪素半導体層11を不純物濃度 N_d が一様な単一の層であるとして説明しているが、平均不純物濃度が N_d であれば不純物濃度に分布があってもよい。

【0076】

またボディ領域も不純物濃度の分布が一様である必要はなく、少なくとも第2の炭化珪素半導体層11との界面から空乏層から広がる領域が上記濃度を満たしていればよい。例えば第2の炭化珪素半導体層11との界面から少なくとも 100 nm 以上の領域が上記不純物濃度の範囲であればよい。

50

【 0 0 7 7 】

(半導体装置の製造方法)

次に、図 2 から図 4 を参照しながら、本実施形態に係る半導体装置の製造方法について説明する。図 2 から図 4 は、本実施形態に係る半導体装置の製造方法を示す断面図である。

【 0 0 7 8 】

まず、図 2 (a) に示すように、n 型の半導体基板 5 を準備する。半導体基板 5 としては、例えば 4 H - S i C (0 0 0 1) 面を [1 1 - 2 0] 方向に 4 ° オフさせたオフカット基板を用いる。

【 0 0 7 9 】

次に、図 2 (b) に示すように、半導体基板 5 の上に、n 型の第 1 の炭化珪素半導体層 6 をエピタキシャル成長する。第 1 の炭化珪素半導体層 6 は、例えば 4 H - S i C により構成される。第 1 の炭化珪素半導体層 6 における n 型不純物濃度は、半導体基板 5 における n 型不純物濃度よりも低くなるようにする。

【 0 0 8 0 】

次に、図 2 (c) に示すように、第 1 の炭化珪素半導体層 6 の上に、例えば S i O₂ により構成されるマスク (図示しない) を形成し、A l イオンまたは B イオンを注入することにより、ボディ領域 7 を形成する。また図示しないが、このイオン注入によって、半導体装置 1 の終端領域に、電界緩和リング (F i e l d L i m i t e d R i n g : F L R)、センス領域の終端ベース領域 1 8、メイン領域の終端ベース領域 1 9、及び素子分離領域 1 1 0 を同時に形成する。したがって、ボディ領域 7 と、センス領域の終端ベース領域 1 8、メイン領域の終端ベース領域 1 9、及び素子分離領域 1 1 0 とは、同じ p 型ドーパント濃度及び同じ深さで形成される。ただし、これに限定するものでなく、各領域を個別に形成してもよい。各領域を個別に形成する場合は、p 型ドーパント濃度及び深さをそれぞれに設定することができる。

【 0 0 8 1 】

続いて、図 2 (d) に示すように、マスク (図示しない) を用いてボディ領域 7 に窒素イオンを注入することによってソース領域 8 を形成し、他のマスク (図示しない) を用いてボディ領域 7 に A l イオンを注入することによってコンタクト領域 9 を形成する。イオン注入後に、マスクを除去して活性化アニールを行う。活性化アニールは、例えば、不活性雰囲気中で 1 7 0 0 程度の温度で 3 0 分程度行う。

【 0 0 8 2 】

次に、図 3 (a) に示すように、ボディ領域 7、ソース領域 8 及びコンタクト領域 9 を含む第 1 の炭化珪素半導体層 6 の表面全体に、第 2 の炭化珪素半導体層 1 1 をエピタキシャル成長により形成する。

【 0 0 8 3 】

次いで、図 3 (b) に示すように、ソース領域 8 の一部及びコンタクト領域 9 の表面が露出するように第 2 の炭化珪素半導体層 1 1 の一部の領域をドライエッチングにより除去した後、熱酸化によって、第 2 の炭化珪素半導体層 1 1 の表面にゲート絶縁膜 1 2 を形成する。

【 0 0 8 4 】

その後、図 3 (c) に示すように、ゲート絶縁膜 1 2 の表面に、リンを $7 \times 10^{20} \text{ cm}^{-3}$ 程度ドーピングした多結晶シリコン膜 1 1 3 を堆積する。多結晶シリコン膜 1 1 3 の厚さは、例えば、5 0 0 n m 程度である。

【 0 0 8 5 】

次に、図 3 (d) に示すように、マスク (図示しない) を用いて、多結晶シリコン膜 1 1 3 の一部の領域をドライエッチングにより除去することにより、ゲート電極 1 3 を形成する。

【 0 0 8 6 】

続いて、図 3 (e) に示すように、ゲート電極 1 3 の表面及び第 1 の炭化珪素半導体層

10

20

30

40

50

6の表面を覆うように、 SiO_2 により構成される層間絶縁膜14を化学的気相成長(C hemical Vapor Deposition: CVD)法によって堆積する。層間絶縁膜14の厚さは、例えば、 $1.5\ \mu\text{m}$ である。

【0087】

次に、図4(a)に示すように、マスク(図示しない)を用いたドライエッチングにて、コンタクト領域9の表面上及びソース領域8の一部の表面上の層間絶縁膜14を除去することによって、ビアホール114を形成する。

【0088】

その後、図4(b)に示すように、例えば厚さ50nm程度のニッケル膜を、層間絶縁膜14上に形成した後、エッチングによって、ビアホール114の内部及びその周辺の一部を残して、ニッケル膜を除去する。エッチング後、不活性雰囲気内で、例えば950、5分間の熱処理を行い、ニッケルを炭化珪素表面と反応させる。これにより、ニッケルシリサイドにより構成されるソース電極10を形成する。なお、半導体基板5の裏面5bにもニッケルを全面に堆積させ、同様の熱処理を行うことにより、ドレイン電極16を形成する。

【0089】

続いて、図4(c)に示すように、層間絶縁膜14及びビアホール114の上に、上部配線15となる厚さ $4\ \mu\text{m}$ 程度のアルミニウムを堆積する。上部配線15を所望のパターンにエッチングすると、図1(a)に示す、メイン領域ソースパッド2とセンス領域ソースパッド3とが得られる。なお、図示しないが、ゲート電極と接触するゲート配線及びゲートパッドを、メイン領域ソースパッド2及びセンス領域ソースパッド3と電氣的に絶縁されるように形成する。さらに、ドレイン電極16上に、ダイボンド用の裏面電極17として、Ti/Ni/Agをこの順に堆積する。以上のようにして、図1に示した半導体装置1が得られる。

【0090】

(半導体装置の閾値電圧及び立ち上がり電圧評価)

本実施形態に係る半導体装置1を試作し、電気特性を評価した。試作した半導体装置1において、ボディ領域7のn型不純物濃度は $2 \times 10^{18}\ \text{cm}^{-3}$ 、ゲート絶縁膜12の膜厚は70nmとした。第2の炭化珪素半導体層11は、n型不純物濃度が $1.1 \times 10^{18}\ \text{cm}^{-3}$ のn型不純物層上に、膜厚75nmのアンドープ層を積層した構造とした。試作した半導体装置1における、センス領域に対するメイン領域の単位セル数比率は34である。試作した半導体装置1の順方向の閾値電圧 V_{th} 及び逆方向の立ち上がり電圧 V_f を、プローバ及び半導体パラメータアナライザを用いて評価した。

【0091】

まず、試作した半導体装置1の順方向の閾値電圧を評価するために、 V_{ds} を0.1Vに設定し、 V_{gs} を0から10Vまでスイープし、メイン領域及びセンス領域のソース電流(I_{sm} , I_{ss})を個別かつ同時に測定した。図5は、試作した半導体装置1の順方向の $I_{ss} - V_{gs}$ 、 $I_{sm} - V_{gs}$ 曲線を示すグラフである。図5において、左側の縦軸はメイン領域のソース電流 I_{sm} であり、右側の縦軸はセンス領域のソース電流 I_{ss} である。図5において、黒丸のデータはメイン領域のソース電流を示し、白四角のデータはセンス領域のソース電流を示している。順方向の閾値電圧は、基準電流が得られたときの V_{gs} により求めた。基準電流の値としては、セル数比率に応じてメイン領域とセンス領域とで異なる値を用いた。メイン領域の基準電流は1mAとし、これをセル数比率の34で割った値である0.029mAをセンス領域の基準電流とした。

【0092】

室温での測定の結果、メイン領域の閾値電圧は4.05V、センス領域の閾値電圧は3.99Vであり、両者の値はほぼ一致していた。閾値電圧は負の温度特性を持っているが、室温において閾値電圧が3V以上あれば、150において1V程度の閾値電圧を維持できる。この結果から、試作した半導体装置1は、室温から150の範囲において、ノーマリオフ動作ができ、かつノイズマージンを確保できることがわかった。

10

20

30

40

50

【 0 0 9 3 】

次に、試作した半導体装置 1 の逆方向の立ち上がり電圧を評価するために、 V_{gs} を 0 V に固定し、 V_{ds} を 0 から - 1 V までスイープし、メイン領域及びセンス領域のソース電流 (I_{sm} 、 I_{ss}) を個別かつ同時に測定した。図 6 は、試作した半導体装置 1 の逆方向の $I_{ss} - V_{ds}$ 、 $I_{sm} - V_{ds}$ 曲線を示すグラフである。図 6 において、左側の縦軸はメイン領域のソース電流 - I_{sm} であり、右側の縦軸はセンス領域のソース電流 - I_{ss} である。図 6 において、黒丸のデータはメイン領域のソース電流を示し、白四角のデータはセンス領域のソース電流を示している。逆方向の立ち上がり電圧は、基準電流が得られたときの V_{ds} により求めた。基準電流の値としては、メイン領域は - 1 mA とし、これをセル数比率の 3/4 で割った値である - 0.029 mA をセンス領域の基準電流とした。

10

【 0 0 9 4 】

室温での測定の結果、メイン領域の立ち上がり電圧は - 0.74 V、センス領域の立ち上がり電圧は - 0.7 V であり、両者はほぼ一致していた。ボディ領域 7 と第 1 の炭化珪素半導体層 6 とで構成されるボディダイオードの立ち上がり電圧は、炭化珪素の PN 接合のビルトインポテンシャルの値である約 2.5 V となることから、試作した半導体装置 1 の逆方向の立ち上がり電圧は、ボディダイオードの立ち上がり電圧に比べて低い値を実現できていることがわかった。この結果から、逆方向電流が、ボディダイオードではなく、ソース電極 10 から第 2 の炭化珪素半導体層 11 を介してドレイン電極 16 に電流が流れるチャンネルダイオードを流れることによって得られた電流であることがわかる。

20

【 0 0 9 5 】

(半導体装置の順方向電流評価)

次に、電極パターンを形成した基板 72 上に試作した半導体装置 1 を実装し、大電流での評価を行った。図 7 は、本実施形態に係る半導体装置 1 のメイン領域 20 及びセンス領域 21 に同時に流れる順方向電流を評価するための測定系 70 の回路構成を示す図である。半導体装置 1 を実装した基板 72 は、ドレイン端子 74、ゲート端子 76、メイン領域ソース端子 78、センス領域ソース端子 79 及びケルビン端子 80 を備えている。ドレイン端子 74・メイン領域ソース端子 78 間には V_{cc} 電源 22 が直列に接続されている。メイン領域 20 のメイン領域ソースパッド 2 は、基板上でメイン領域ソース端子 78 及びケルビン端子 80 に接続されている。

30

【 0 0 9 6 】

メイン領域 20 を流れる電流 I_{sm} (以下、メイン領域電流 I_{sm} と略称する) は、メイン領域ソースパッド 2 からメイン領域ソース端子 78 へ流れるが、メイン領域ソースパッド 2 からケルビン端子 80 へは流れない。センス領域 21 のセンス領域ソースパッド 3 はセンス領域ソース端子 79 に接続されている。ケルビン端子 80 に接続されている。メイン領域 20 及びセンス領域 21 のゲートパッド 4 はゲート端子 76 に接続されている。

【 0 0 9 7 】

ゲート端子 76 は、ゲート抵抗 26 を介してゲートドライバ 23 に接続されている。ゲートドライバ 23 の基準電位はケルビン端子 80 の電位としている。ケルビン端子 80 にはセンス領域 21 からの小電流が流れるだけなので、メイン領域 20 のソース電極の電位とほぼ等しい電位となっている。ゲートドライバ 23 には、ゲートドライバ電源 24 が接続されている。パルス信号発生器 25 からの出力に応じて、ゲートドライバ電源 24 の電圧によって決まるゲート・ソース間電圧が、メイン領域 20 及びセンス領域 21 の両方に印加される。

40

【 0 0 9 8 】

小電流プローブ 28 はセンス領域 21 のセンス領域ソースパッド 3 とケルビン端子との間に配置され、センス領域 21 を流れる電流 I_{ss} (以下、センス領域電流 I_{ss} と略称する) を計測する。センス領域電流 I_{ss} は、ケルビン端子 80 を通過後、メイン領域電流 I_{sm} と合わさってメイン領域ソース端子 78 へと流れる。大電流プローブ 27 は、メイン領域ソースパッド 2 とメイン領域ソース端子 78 との間に配置され、センス領域電流

50

I_{ss} とメイン領域電流 I_{sm} との合算値が計測される。電圧計 29 は、ドレイン端子 74・ソース端子 78 間電圧をモニターする。

【0099】

図 8 は、雰囲気温度 T_a が 25 において、半導体装置 1 の順方向電流を評価した結果を示すグラフである。図 8 において、横軸はメイン領域電流 I_{sm} 、左側の縦軸はセンス領域電流 I_{ss} 、右側の縦軸はセンス領域電流 I_{ss} に対するメイン領域電流 I_{sm} の比率 I_{sm}/I_{ss} を示す。図 8 において、黒丸で表すデータはセンス領域電流 I_{ss} を示し、白四角で表すデータはセンス領域電流 I_{ss} に対するメイン領域電流 I_{sm} の比率 I_{sm}/I_{ss} を示している。図 8 から、センス領域電流 I_{ss} はメイン領域電流 I_{sm} に比例していることがよくわかる。センス領域電流 I_{ss} に対するメイン領域電流 I_{sm} の比率は約 3.2 で、セル数比率の 3.4 とほぼ一致していた。

10

【0100】

図 9 は、雰囲気温度 T_a が -40、25、85 及び 150 において、半導体装置 1 の順方向電流を評価した結果を示すグラフである。図 9 において、横軸はメイン領域電流 I_{sm} 、縦軸はセンス領域電流 I_{ss} に対するメイン領域電流 I_{sm} の比率を示す。図 9 からわかるように、雰囲気温度 T_a が -40 から 150 までの範囲において、センス領域電流 I_{ss} に対するメイン領域電流 I_{sm} の比率は、センス領域電流 I_{ss} の大きさによらずほぼ一定であった。センス領域電流 I_{ss} に対するメイン領域電流 I_{sm} の比率の平均値は 3.2.2 であり、セル数比率とほぼ一致していた。センス領域電流 I_{ss} に対するメイン領域電流 I_{sm} の比率の最小値は 3.0.8、最大値は 3.3.5 であり、平均絶対偏差は 1.7% と小さい値であった。平均絶対偏差の定義は次の式 (3) の通りである。

20

【数 2】

$$\frac{1}{n} \sum |x - \bar{x}| \quad (3)$$

【0101】

(半導体装置の逆方向電流評価)

次に、試作した半導体装置 1 について、逆方向電流の評価を行った。図 10 は、本実施形態に係る半導体装置 1 のメイン領域 20 及びセンス領域 21 に同時に流れる逆方向電流を評価するための測定系 90 の回路構成を示す図である。

30

【0102】

半導体装置 1 とスイッチング用 FET 30 とが直列に接続されている。このとき、半導体装置 1 は、スイッチング用 FET 30 とは逆方向にして接続されている。すなわち、半導体装置 1 が実装された基板 72 のメイン領域ソース端子 78 が、スイッチング用 FET 30 のソース電極と接続される。Vcc 電源 22 の正側端子はスイッチング用 FET 30 のドレイン電極と接続し、Vcc 電源 22 の負側端子は基板 72 のドレイン端子 74 と接続されている。基板 72 のゲート端子 76 がケルビン端子 80 に接続されているため、Vgs は 0V で固定されている。スイッチング用 FET 30 のゲート電極は、ゲート抵抗 26 を介してゲートドライバ 23 に接続されている。ゲートドライバ 23 にはゲートドライバ電源 24 が接続され、それぞれの基準電位端子はケルビン端子 80 と接続されている。

40

【0103】

パルス信号発生器 25 からの出力によって、ゲートドライバ 23 はゲートドライバ電源の電圧によって決まるゲート電圧をスイッチング用 FET 30 に出力する。スイッチング用 FET 30 が導通した瞬間のみ、基板 72 のドレイン端子 74・メイン領域ソース端子 78 間には、Vcc 電源 22 の出力電圧からスイッチング用 FET 30 の電位降下分を引いた逆電圧が印加され、逆方向電流が流れる。

【0104】

スイッチング用 FET 30 を流れる電流は、メイン領域ソース端子 78 を通過後、メイン領域ソースパッド 2 において、逆方向のメイン領域電流 $-I_{sm}$ と逆方向のセンス領域

50

電流 - I_{ss} とに分かれる。逆方向のセンス領域電流 - I_{ss} は、メイン領域ソースパッド 2 からケルビン端子 80 を通過し、センス領域 21 を流れる。小電流プローブ 28 はセンス領域 21 のセンス領域ソースパッド 3 とケルビン端子 80 との間に配置され、逆方向のセンス領域電流 - I_{ss} を計測する。大電流プローブ 27 は、メイン領域ソースパッド 2 とメイン領域ソース端子 78 との間に配置され、逆方向のセンス領域電流 - I_{ss} と逆方向のメイン領域電流 - I_{sm} との合算値が計測される。電圧計 29 は、ドレイン端子 74 ・メイン領域ソース端子 78 間電圧をモニターする。

【 0 1 0 5 】

図 10 に示す測定系 90 を用いて、半導体装置 1 の V_{gs} を 0 V として、 V_{cc} 電源 2 の出力電圧を変化させることにより、逆方向のメイン領域電流 - I_{sm} が 0 から 40 A となる範囲において、逆方向のセンス領域電流 - I_{ss} を測定した。

10

【 0 1 0 6 】

図 11 は、雰囲気温度 T_a が 25 において、半導体装置 1 の逆方向電流を評価した結果を示すグラフである。図 11 において、横軸は逆方向のメイン領域電流 - I_{sm} 、左側の縦軸は逆方向のセンス領域電流 - I_{ss} 、右側の縦軸は逆方向のセンス領域電流 - I_{ss} に対する逆方向のメイン領域電流 - I_{sm} の比率 I_{sm} / I_{ss} を示す。図 11 において、黒丸で表すデータは逆方向のセンス領域電流 - I_{ss} を示し、黒四角で表すデータは逆方向のセンス領域電流 - I_{ss} に対する逆方向のメイン領域電流 - I_{sm} の比率 I_{sm} / I_{ss} を示している。図 11 から、逆方向においてもセンス領域電流 - I_{ss} は、メイン領域電流 - I_{sm} に比例していることがわかる。逆方向のセンス領域電流 - I_{ss} に対する逆方向のメイン領域電流 - I_{sm} の比率は約 3.2 であり、順方向と同様に、セル数比率の 3.4 とほぼ一致している。

20

【 0 1 0 7 】

図 12 は、雰囲気温度 T_a が -40、25、85 及び 150 において、半導体装置 1 の逆方向電流を評価した結果を示すグラフである。図 12 において、横軸は逆方向のメイン領域電流 - I_{sm} 、縦軸は逆方向のセンス領域電流 - I_{ss} に対する逆方向のメイン領域電流 - I_{sm} の比率 I_{sm} / I_{ss} を示す。図 12 からわかるように、雰囲気温度 T_a が -40 から 150 までの範囲において、逆方向のセンス領域電流 - I_{ss} に対する逆方向のメイン領域電流 - I_{sm} の比率は、逆方向のセンス領域電流 - I_{ss} の大きさによらずほぼ一定であった。逆方向のセンス領域電流 - I_{ss} に対する逆方向のメイン領域電流 - I_{sm} の比率の平均値は 3.2.4 であり、順方向でのセンス領域電流 I_{ss} に対するメイン領域電流 I_{sm} の比率とほぼ一致していた。逆方向のセンス領域電流 - I_{ss} に対する逆方向のメイン領域電流 - I_{sm} の比率の最小値は 3.1.1、最大値は 3.3.8 であり、平均絶対偏差は 2.3% と小さい値であった。

30

【 0 1 0 8 】

上記のように、本明細書において開示される半導体装置は、順方向の閾値電圧 V_{th} が高く、逆方向においても立ち上がり電圧 V_f が 1 V 未満のダイオードとして機能する。本明細書において開示される半導体装置のメイン領域に流れる電流とセンス領域に流れる電流との比率は、広い電流範囲かつ広い温度範囲において、かつ順方向と逆方向の双方向で一定であり、式 (1) の関係を満たしている。したがって、本明細書において開示される半導体装置を用いることにより、センス領域に流れる小電流を測定することによって、メイン領域に流れる大電流を高精度で検出することができる。

40

【 0 1 0 9 】

なお、センス領域に対するメイン領域のセル数の比率は上記の値に限定されるものでなく、これより大きくてもよい。ただし、センス領域電流 I_{ss} が 100 mA 以下であれば、安価な汎用演算増幅器でセンス領域電流 I_{ss} を扱うことが出来、汎用演算増幅器を用いた簡便な電流電圧変換回路で電流検出することができるという利点がある。

【 0 1 1 0 】

図 13 は、演算増幅器を含む電流電圧変換回路を用いた、本実施形態に係る半導体装置の順方向電流及び逆方向電流を測定するための測定系 200 の回路構成を示す図である。

50

測定系 200 は非反転入力端子 35 p、反転入力端子 35 q、および出力端子 35 r を有する演算増幅器 35 を含む。

【0111】

半導体装置 1 のメイン領域 33 及びセンス領域 34 のドレイン電極は、ドレイン端子 204 を介して負荷 37 の一端と接続している。負荷 37 の他端は V d d 電源ライン 31 に接続されている。メイン領域 33 のソース電極は、メイン領域ソース端子 208 を介して V d d 電源のリターンライン 32 に接続されている。

【0112】

また、メイン領域 33 のソース電極から分岐されたケルビン端子 210 は、演算増幅器 35 の非反転入力端子 35 p に接続されている。センス領域 34 のソース電極は、センス領域ソース端子 209 を介して演算増幅器 35 の反転入力端子 35 q と接続されている。負荷 37 を流れる電流は、メイン領域 33 に流れる電流 I_{sm} と、センス領域 34 に流れる電流 I_{ss} とに分流される。ここで演算増幅器 35 の入力インピーダンスは極めて大きいので、メイン領域 33 に流れる電流 I_{sm} 及びセンス領域 34 に流れる電流 I_{ss} は、ともに演算増幅器 35 の非反転入力端子 35 p および反転入力端子 35 q には流れ込まない。ケルビン端子 210 にはメイン領域 33 に流れる電流 I_{sm} が流れ込まないので、メイン領域 33 に流れる電流 I_{sm} による電位降下の影響を受けない。したがって、ケルビン端子 210 の電位、すなわち演算増幅器 35 の非反転入力端子 35 p の電位は、メイン領域 33 のメイン領域ソースパッド 2 の電位に精度よく一致する。演算増幅器 35 の出力端子 35 r と反転入力端子間にはセンス抵抗 36 が接続されている。メイン領域 20 及びセンス領域 21 のゲート電極はゲート端子 206 に接続されている。

【0113】

演算増幅器 35 のゲインは理想的には無限大であり、現実にも極めて大きい。反転入力端子 35 q および非反転入力端子 35 p の電位に差があると、出力端子 35 r にはその差に比例した電位が現れ、これがセンス抵抗 36 を通して反転入力端子 35 q の電位を下げるように負帰還がかかる。結果的に反転入力端子 35 q の電位は非反転入力端子 35 p の電位に等しくなる。よって、メイン領域 33 及びセンス領域 34 のソース電極の電位が一致し、メイン領域 33 及びセンス領域 34 の両方に等しいゲート・ソース間電圧が印加される。負帰還をより安定させるため、センス抵抗 36 の抵抗値は k オーダーであることが好ましい。

【0114】

演算増幅器 35 の出力 V_{sense} は、次の式で表される。

$$V_{sense} = -I_{ss} \times R_{sense} \quad (4)$$

ここで、 I_{ss} はセンス領域 34 に流れる電流、 R_{sense} はセンス抵抗 36 の抵抗値である。上記の式の右辺は、センス領域 34 に流れる電流がドレインからソースに向かって流れる、いわゆる順方向電流の場合には負の値となり、ソースからドレインに流れる、いわゆる逆方向電流の場合には正の値となる。

【0115】

一般に、演算増幅器には、単極性の電源電圧のみ印加する単電源タイプと、正極性、負極性の両方の電源電圧を印加する両電源タイプがある。単電源タイプの場合、出力は正または負のいずれかの極性しかとれないのに対し、両電源タイプであれば出力は正負の両極性をとることができる。したがって、順方向電流及び逆方向電流を測定するには、両電源タイプの演算増幅器を用いることが好ましい。つまり、演算増幅器 35 には、両電源タイプを用いることが好ましい。

【0116】

演算増幅器は電源電圧を越える電圧を出力することはできない。汎用演算増幅器では 1.2 から 1.5 V の電源電圧のものが多い。センス抵抗は k オーダーである場合、演算増幅器に流せる電流は 100 mA 以下のオーダーとなる。本実施形態において、センス抵抗を 100 未満としたときは演算増幅器の負帰還が安定しなかった。

【0117】

10

20

30

40

50

なお、電流電圧変換回路としては必ずしも演算増幅器を用いずとも良い。電流電圧変換回路として、演算増幅器に代えて、例えばホール効果を利用した電流センサ、またはロゴスキーコイルなどの電流センサを用いることもできる。

【0118】

さらに、本明細書において開示される半導体装置を用いると、検出された逆方向電流値が、所望の値と異なる場合、ゲート電圧を制御することにより、逆方向電流の大きさを制御することができる。

【0119】

図14は、本実施形態に係る半導体装置1におけるメイン領域の逆方向 $I_{sm} - V_{ds}$ 曲線のゲート電圧依存性を示すグラフである。図14において、横軸は負方向のドレイン電圧 $-V_{ds}$ 、縦軸はメイン領域に流れる逆方向電流 $-I_{sm}$ を示す。図14において、白四角で表すデータは V_{gs} が0Vでのデータを示し、黒丸で表すデータは V_{gs} が-5Vでのデータを示す。図14からわかるように、半導体装置1において、ゲート電圧をより負にすることにより、メイン領域に流れる逆方向電流を小さくすることができる。図14に示すグラフにおいて、 $V_{gs} = 0V$ の場合、 $-I_{sm}$ が1.5Aとなるときの $-V_{ds}$ は1.5Vであるので、抵抗は0.1となる。一方、 $V_{gs} = -5V$ にすると、 $-I_{sm}$ が1.5Aとなるときの $-V_{ds}$ は2Vとなるので、抵抗は0.13に増大している。このように本明細書の半導体装置においては逆方向電流もトランジスタのチャネルを流れるので、ゲート電圧によって、そのIV特性を変化させることができる。特許文献1に開示された技術では、逆方向電流はボディダイオードを通して流れるので、ゲート電圧によって逆方向のIV特性を変化させることはきない。

【0120】

特許文献1に開示された技術では、還流ダイオードに流れる電流を検出するために、トランジスタ電流検出手段とは別に、ダイオード電流検出手段を設ける必要があったため、構成が複雑になっていた。

【0121】

これに対して、本明細書において開示される半導体装置では、センス領域を用いることにより、トランジスタ電流に相当する順方向電流だけでなく、ダイオード電流に相当する逆方向電流も検出することができる。したがって、本明細書において開示される半導体装置では、簡易な構成により、トランジスタに流れる電流及び還流ダイオードに流れる電流をともに検出することができる。

【0122】

また、特許文献1には、従来のスイッチング回路において、ローサイドMOSFETのボディダイオードに流れる逆方向電流を検出することが開示されている。しかし、特許文献1に記載されたスイッチング回路では、ゲート電圧により逆方向電流を制御することはできない。また、炭化珪素半導体の場合、ボディダイオードを構成するPN接合に電流を流すと、積層欠陥が成長することによりボディダイオードの特性が劣化する。また、炭化珪素半導体の場合、バンドギャップが広いため、ボディダイオードの立ち上がり電圧 V_f が約2.5Vと大きい。

【0123】

これに対して、本明細書において開示される半導体装置では、ボディダイオードでなくチャネルダイオードを用いることにより逆方向電流を検出するので、積層欠陥が成長することによる特性劣化は起こらず、ダイオードの立ち上がり電圧 V_f が低い。さらに、本明細書において開示される半導体装置は、ゲート電圧によって逆方向電流を制御できるという特有益な効果を有する。

【0124】

(第2の実施形態)

(半導体装置の構造)

次に、本開示の第2の実施形態に係る半導体装置について、図面を参照して説明する。図15(a)は、本実施形態に係る半導体装置の概略を示す平面図である。図15(b)

10

20

30

40

50

は、図15(a)におけるA-A'部分の概略を示す断面図である。図15(c)は、図15(b)における単位セルの概略を示す断面図である。図15(d)は図15(b)における、メイン領域320とセンス領域321との境界部分を拡大して示す断面図である。

【0125】

第1の実施形態に係る半導体装置1では、単位セル111がプレーナゲート型のMISFETであるのに対して、本実施形態に係る半導体装置301では、単位セル311がトレンチゲート型のMISFETである点異なる。なお、第1の実施形態に係る半導体装置1と共通する構成要素については同じ符号を付与して説明を省略する。

【0126】

図15(b)に示すように、半導体装置301はセンス領域321及びメイン領域320を備えている。センス領域321及びメイン領域320はいずれも、互いに並列に接続された複数の単位セル311を備えている。

【0127】

図15(b)に示すように、センス領域321とメイン領域320との境界部分における第1導電型の第1の炭化珪素半導体層6中には、単位セルとは異なり、終端ベース領域18、19及び素子分離領域110が配置されている。終端ベース領域18、19及び素子分離領域110は、いずれも第2導電型である。終端ベース領域18、19には、第1導電型のソース領域が含まれていない。終端ベース領域18、19中にソース領域が配置されていると、ソース領域、終端ベース領域18、19及び第1の炭化珪素半導体層6により構成される寄生パイポラに大電流が流れて半導体装置301が破壊する可能性があるためである。終端ベース領域18、19上にはソース電極10が配置されており、上部配線15によって単位セル311のソース電極10と電気的に接続している。したがって終端ベース領域18、19と単位セル311のソース領域8とは同電位である。終端ベース領域18、19は第1の炭化珪素半導体層6とPNダイオードを構成する。

【0128】

素子分離領域110は、終端ベース領域18と終端ベース領域19との間に配置されている。素子分離領域110上には、ソース電極10が配置されておらず、素子分離領域110の電位はフローティング電位となっている。素子分離領域110は、センス領域321とメイン領域320との間に電流が流れることを防止する。図15(d)に示すように、素子分離領域110上及び終端ベース領域18、19の端部上には、第2の炭化珪素半導体層11が配置されていない。これにより、第2の炭化珪素半導体層11を通してメイン領域320とセンス領域321との間に電流が流れることを防止することができるので、センス領域321を流れる電流を、メイン領域320を流れる電流から区別して検出することが可能となる。

【0129】

図15(c)を用いて、単位セル311の構造を説明する。ソース領域8の表層から、ソース領域8及びボディ領域7を貫通するトレンチ112が配置されている。トレンチ112の側面及び底面、並びにソース領域8の表面の一部には、第2の炭化珪素半導体層11が配置されている。第2の炭化珪素半導体層11は、例えば、第1の炭化珪素半導体層6のトレンチ112の底面及び側面、並びにトレンチ112の周辺部を覆うようにエピタキシャル成長により形成されたエピタキシャル層である。第2の炭化珪素半導体層11が単一のn型層により構成される場合、例えば、第2の炭化珪素半導体層11の厚みが75nm以下で、かつ第2の炭化珪素半導体層11におけるn型不純物のドーピング濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上であればよい。第2の炭化珪素半導体層11は、n型不純物層の表面にアンドープ層を積層した層であってもよい。第2の炭化珪素半導体層11は、犠牲酸化およびゲート酸化の工程において膜厚が減少する場合がある。製造工程での第2の炭化珪素半導体層11の膜厚の減少量のばらつきによって、順方向の閾値電圧逆方向の立ち上がり電圧等の半導体装置301の電気特性にばらつきが生じる。n型不純物層の表面にアンドープ層を積層することにより、半導体装置301の電気特性のばらつきを低減すること

10

20

30

40

50

ができる。

【0130】

第2の炭化珪素半導体層11上には、ゲート絶縁膜12が配置されている。ゲート絶縁膜12の厚みは70nm程度である。

【0131】

ゲート絶縁膜12上には、トレンチ112を埋め込むようにゲート電極13が配置されている。ゲート電極13は、例えば、リンを $1 \times 10^{21} \text{ cm}^{-3}$ 程度ドーブしたn型poly-Siであり、ゲート電極13の厚みは500nm程度である。

【0132】

トレンチゲート型のMISFETの場合、半導体基板の主面に平行な方向でなく、半導体基板の厚み方向にチャンネルが形成されるので、プレーナゲート型のMISFETに比べてチャンネルの面積密度を大きくすることができる。したがって、同じ大きさの半導体装置であれば、トレンチゲート型のMISFETは、プレーナゲート型のMISFETに比べて、流れる電流を大きくすることができる。電流が大きくなるほど、電流測定が困難になるので、本明細書において開示される半導体装置における単位セルがトレンチゲート型のMISFETであると、メイン領域に比べてセル数を小さくしたセンス領域に流れる電流により、電流測定を行うことによる効果が顕著になる。

10

【0133】

(半導体装置の製造方法)

次に、図16から図18を参照しながら、本実施形態に係る半導体装置の製造方法を説明する。図16から図18は、本実施形態に係る半導体装置の製造方法を示す断面図である。

20

【0134】

図16(a)に示す半導体基板5を準備する工程及び図16(b)に示す第1の炭化珪素半導体層6をエピタキシャル成長する工程は、第1の実施形態における図2(a)及び図2(b)に示す工程と同じであるので、説明を省略する。

【0135】

次に、図16(c)に示すように、第1の炭化珪素半導体層6の表面の上に、例えば、厚さが $0.5 \mu\text{m}$ から $1 \mu\text{m}$ 程度のボディ領域7をエピタキシャル成長する。エピタキシャル成長に代えて、アルミニウムイオンまたはボロンイオンを第1の炭化珪素半導体層6に注入することにより、ボディ領域7を形成しても良い。

30

【0136】

続いて、図16(d)に示すように、ボディ領域7の表面に、窒素イオンの注入またはエピタキシャル成長によって、高濃度のn型不純物を含むソース領域8を形成する。加えて、マスク(図示しない)を用いてソース領域8にAlイオンを注入することによって、ボディ領域7に到達するp型のコンタクト領域9を形成する。この後、活性化アニールを行う。活性化アニールは、例えば、不活性雰囲気中で1700から1800程度で30分程度行う。

【0137】

次に、図16(e)に示すように、マスク(図示しない)を用いて、ソース領域8及びボディ領域7のうち一部の領域をドライエッチングにより除去することによって、所望の領域にトレンチ112を形成する。トレンチ112は、ソース領域8及びボディ領域7を貫通し、第1の炭化珪素半導体層6に到達する凹部である。

40

【0138】

次に、図17(a)に示すように、トレンチ112の底面及び側面を含む第1の炭化珪素半導体層6の表面全体に、第2の炭化珪素半導体層11をエピタキシャル成長により形成する。

【0139】

次いで、図17(b)に示すように、ソース領域8の一部及びコンタクト領域9の表面が露出するよう第2の炭化珪素半導体層11の一部の領域をドライエッチングによって除

50

去する。この後、熱酸化によって、第2の炭化珪素半導体層11の表面にゲート絶縁膜12を形成する。

【0140】

続いて、図17(c)に示すように、ゲート絶縁膜12の表面に、例えばリンを $7 \times 10^{20} \text{ cm}^{-3}$ 程度ドーピングした厚さ500nm程度の多結晶シリコン膜を堆積する。次いで、ドライエッチングにて多結晶シリコン膜を所望のパターンに加工することによって、トレンチ112内及びトレンチ112周辺の一部の領域に、ゲート電極13を形成する。

【0141】

図17(d)に示す層間絶縁膜14を堆積する工程、図18(a)に示すソース電極10及びドレイン電極16を形成する工程、並びに図18(b)に示す上部配線15及び裏面電極17を形成する工程は、第1の実施形態における図3(e)、図4(a)、図4(b)及び図4(c)に示す工程と同じであるので説明を省略する。

10

【0142】

以上のようにして、図15に示した半導体装置301が得られる。

【0143】

(第3の実施形態)

次に、本開示の第3の実施形態に係るインバータについて、図面を参照して説明する。図19は、本実施形態に係るインバータ402を備える負荷駆動システム400の構成を示すブロック図である。

【0144】

20

負荷駆動システム400は、交流電源40、整流回路404、インバータ402、及び負荷45を備えている。

【0145】

整流回路404は、4つの整流ダイオード42により構成されるダイオードブリッジ回路406、及びチョークコイル41を備えている。交流電源40からの交流出力電圧は整流ダイオード42を通して直流化される。チョークコイル41は、力率を向上させるために、交流電源40とダイオードブリッジ回路406との間に挿入されている。

【0146】

インバータ402は、3相ブリッジ回路408、回生電力消費回路410、電流電圧変換部48、ゲート電圧制御部49、平滑コンデンサ43、及び平滑コンデンサ43の電圧を検出する電圧検出部420を備えている。

30

【0147】

3相ブリッジ回路408は、第1の実施形態または第2の実施形態に記載の半導体装置である上アーム44a、44c、44e及び下アーム44b、44d、44fにより構成されている。上アーム44a及び下アーム44bは、互いに直列に接続されてレグ440を構成している。同様に、上アーム44c及び下アーム44dは、互いに直列に接続されてレグ442を構成し、上アーム44e及び下アーム44fは、互いに直列に接続されてレグ444を構成している。各レグ440、442、444の midpoint は負荷45に接続されている。

【0148】

40

平滑コンデンサ43により平滑化された直流電圧は、3相ブリッジ回路408の各レグ440、442、444の両端に印加され、3相ブリッジ回路408により3相交流電圧に変換される。3相ブリッジ回路408から出力された3相交流電圧は負荷45に印加される。

【0149】

各レグ440、442、444の上アーム44a、44c、44e及び下アーム44b、44d、44fを構成する半導体装置のゲート端子は、ゲート電圧を制御するゲート電圧制御部49に接続されている。

【0150】

ゲート電圧制御部49は、所望の周波数の正弦波電圧が負荷45に供給されるよう、各

50

レグ 4 4 0、4 4 2、4 4 4 の上アーム 4 4 a、4 4 c、4 4 e 及び下アーム 4 4 b、4 4 d、4 4 f のゲート電圧を個別に制御する。また、各半導体装置のセンス領域 2 1 のソース端子は電流電圧変換部 4 8 に接続されている。

【 0 1 5 1 】

電流電圧変換部 4 8 は、半導体装置の第 2 のソースパッドに接続され、ドレインパッドと第 2 のソースパッドとの間に流れる電流の値に対応した値の電圧を出力する。

【 0 1 5 2 】

回生電力消費回路 4 1 0 は、負荷 4 5 からインバータ 4 0 2 へ流れる回生電流を熱として消費するための抵抗 4 6 および抵抗に流す回生電流を制御するスイッチング素子 4 7 を含む。電圧検出部 4 2 0 は、平滑コンデンサ 4 3 と並列に接続されており、回生電流を検出するために設けられている。

10

【 0 1 5 3 】

ゲート電圧制御部 4 9 は、電流電圧変換部 4 8 から出力される電圧および電圧検出部 4 2 0 が検出した電圧に基づいて、半導体装置のゲートパッドに印加する電圧を制御する。

【 0 1 5 4 】

以下、各構成要素を詳細に説明する。電流電圧変換部 4 8 は、電流電圧変換部 4 8 L、4 8 U を含む。図 2 0、図 2 1 は電流電圧変換部 4 8 L、4 8 U の詳細を示す図である。図 2 0 は下アーム 4 4 b、4 4 d、4 4 f に接続する電流電圧変換部 4 8 L のブロック図である。電流電圧変換部 4 8 L は下アーム 4 4 b、4 4 d、4 4 f に接続する 3 つの演算増幅器 3 5 b、3 5 d、3 5 f と、それぞれの帰還抵抗 3 6 b、3 6 d、3 6 f からなっている。各々の演算増幅器 3 5 b、3 5 d、3 5 f は、正の電源電圧 V_{cc} 及び負の電源電圧 $-V_{cc}$ がそれぞれ印加されている。構成は図 1 3 のものと同じであり、3 つの演算増幅器 3 5 b、3 5 d、3 5 f に供給される正の電源電圧 $+V_{cc}$ は同一の電圧であり、同一の正電源から供給しても構わない。

20

【 0 1 5 5 】

3 つの演算増幅器 3 5 b、3 5 d、3 5 f に供給される負の電源電圧 $-V_{cc}$ は同一の電圧であり、同一の負電源から供給しても構わない。例えば下アーム 4 4 b に接続する回路を説明すれば、演算増幅器 3 5 b の反転入力側には端子 4 8 1 b が設けられ、下アームの半導体装置のセンス領域のソースパッドと接続する。非反転入力側には端子 4 8 2 b が設けられ、下アーム 4 4 b の半導体装置のメイン領域のソースパッドから分岐したケルビン端子に接続する。演算増幅器 3 5 b の出力には端子 4 8 3 b が設けられ、これはゲート電圧制御部 4 9 と接続する。演算増幅器 3 5 b の反転入力と、出力にはセンス抵抗 3 6 が接続されており、出力端子には 4 8 1 b に流れ込む電流に、帰還抵抗 3 6 b をかけて得られる電圧が出力される。下アームの半導体装置のメイン領域のソースパッドは全て平滑コンデンサの一方の電極に接続されており、同電位であるため、演算増幅器に与える電源電圧の基準電位も、平滑コンデンサの負側の電位とすればよい。

30

【 0 1 5 6 】

図 2 1 は上アーム用の電流電圧変換部 4 8 U のブロック図である。下アーム用の電流電圧変換部 4 8 L と異なるのは、上アームの 3 つの半導体装置のソース電位は動作状態によって変動し、また、それぞれ異なる電位をとりうるということである。したがって、演算増幅器 3 5 a、3 5 c、3 5 e に与える電源電圧も、それぞれに接続する上アームの半導体装置のソース電位を基準とするので、異なる電源電圧 $+V_{cc1}$ 、 $-V_{cc1}$ 、 $+V_{cc2}$ 、 $-V_{cc2}$ 、 $+V_{cc3}$ 、 $-V_{cc3}$ を与える。その他は下アーム用の電流電圧変換部 4 8 L と同じである。

40

【 0 1 5 7 】

図 2 2 はゲート電圧制御部 4 9 の詳細を示す機能ブロック図である。ゲート電圧制御部 4 9 は、PWM 信号発生回路 5 1、過電流判定回路 5 2、回生電流判定回路 5 3、トランジスタ遮断信号発生回路 5 4、ゲート負バイアス信号発生回路 5 5、回生抵抗用スイッチ制御信号発生回路 5 6 およびゲート信号切替回路 5 7 を含む。

50

【 0 1 5 8 】

通常の動作状態では、PWM信号発生回路51で生成した信号が、レグ440、442、444の各トランジスタのゲート信号として、ゲート電圧制御部49から出力される。これにより、負荷45(図19)には、3相交流電圧が印加される。

【 0 1 5 9 】

負荷45が短絡したり、ゲート電圧の制御の不調で上アーム44a、44c、44eと下アーム44b、44d、44fとが短絡したりすると、半導体装置に過電流が流れることにより、半導体装置が破壊する可能性がある。これを防止するために、ゲート電圧制御部49は、半導体装置に過電流が流れたと判断すると、その半導体装置の通常のゲート電圧制御を中止し、半導体装置に流れる過電流を遮断するようにゲート電圧を低下させる。具体的には、過電流判定回路52は、電流電圧変換部48から出力される信号を受け取り、所定の順方向基準値と比較する。電流電圧変換部48から出力される信号は、ドレインパッドと第2のソースパッドとの間に流れる電流の値に比例した電圧値を有する。ドレインパッドと第2のソースパッドとの間に流れる電流、つまり、センス領域21を流れる電流は、ドレインパッドと第1のソースパッドとの間に流れる電流であるメイン領域20を流れる電流に比例するため、電流電圧変換部48から出力される電圧の絶対値が、所定の順方向基準値よりも大きい場合、負荷に過電流が流れていると判断できる。

10

【 0 1 6 0 】

過電流判定回路52は、負荷に過電流が流れていると判断した場合、トランジスタ遮断信号発生回路54およびゲート信号切替回路57へ信号を出力する。信号を受け取ったゲート信号切替回路57が、トランジスタ遮断信号発生回路54の出力を選択することによって、ゲート電圧制御部49は、トランジスタ遮断信号発生回路54で生成したトランジスタを遮断するための低いゲート電圧を出力する。これにより、過電流が検出されたレグのトランジスタを遮断し、負荷45に過電流が流れるのを抑制することができる。

20

【 0 1 6 1 】

また、負荷45が誘導性負荷である場合、例えば、順方向電流が流れていた状態から半導体装置の動作を停止させると、逆誘導起電力が発生して、逆方向電流である回生電流が流れる。この回生電流が流れる経路は、例えば、負荷45から順に、レグ442の上アーム44cのチャネルダイオード、平滑コンデンサ43、レグ440の下アーム44bのチャネルダイオード、及び負荷45を結ぶ経路である。

30

【 0 1 6 2 】

回生電流が流れると、平滑コンデンサ43の電圧が上昇する。平滑コンデンサ43の電圧が平滑コンデンサ43の耐圧を超えると、平滑コンデンサ43が破壊する恐れがある。これを防止するために、回生電流判定回路53は、電圧検出部420からの検出電圧を受け取り、検出電圧の値を所定の基準電圧値と比較する。検出電圧の値が基準電圧値を超えている場合、回生電流判定回路53は、平滑コンデンサ43の電圧が基準電圧値を超えたと判断する。

【 0 1 6 3 】

この場合、回生電流判定回路53は、回生抵抗用スイッチ制御信号発生回路56に信号を出力する。信号を受け取った回生抵抗用スイッチ制御信号発生回路56は、回生電力消費回路410に設けられたスイッチング素子47を導通させる信号を出力する。これにより、回生電力消費回路410において、スイッチング素子47が導通し、回生電流は抵抗46を流れることにより、回生電力は熱に変換され、消費される。このため、平滑コンデンサ43の電圧、すなわち一次側電源の電圧が過剰に高圧になり、平滑コンデンサ43が過電圧によって破壊されることを防止することができる。

40

【 0 1 6 4 】

回生電流判定回路53は、また、ゲート負バイアス信号発生回路55およびゲート信号切替回路57に信号を出力する。信号を受け取ったゲート信号切替回路57が、ゲート負バイアス信号発生回路55の出力を選択することにより、ゲート電圧制御部49は、ゲート負バイアス信号発生回路55で生成した負のゲート電圧を出力する。これにより、レグ

50

440、442、444の半導体装置であるトランジスタは逆方向の抵抗値が増え、レグ440、442、444の半導体装置においても、より多くの回生電流が熱に変換され、消費される。

【0165】

なお、本実施形態では、ゲート電圧制御部49は、ゲート負バイアス信号発生回路55および回生抵抗用スイッチ制御信号発生回路56の両方を備え、回生電流が所定の値以上であると判断した場合、ゲート負バイアス信号発生回路55および回生抵抗用スイッチ制御信号発生回路56の両方を動作させている。しかし、どちら一方だけを動作させてもよい。また、動作をさせない回路をゲート電圧制御部49は備えていなくてもよい。

【0166】

図23Aは、本実施形態のインバータにおいて、負荷短絡などで、半導体装置に順方向過電流が流れた場合における、保護動作に関するタイミングチャートであり、ある特定の半導体装置のゲート信号などを示している。時刻0からt1はゲートがオンであり、このとき該当する半導体装置に流れる順方向電流は増え続けるため、順方向電流に対応する出力電圧値は減少する。時刻t1からt2はゲートがオフになるので、該当する半導体装置の電流は流れないため、出力電圧値は変化しない。時刻t2で再びゲートがオンになると、負荷短絡などの事故で電流が急増することにより出力電圧値が減少し、時刻t3においてあらかじめ設定した順方向基準電圧値を超えると、過電流判定回路52の出力がオンとなり、半導体装置の電流を遮断するような、ゲート信号が出力される。瞬時にゲートをオフにすると、誘導性負荷の逆起電力が発生するため、徐々にオフにすることが好ましい。このようにして、半導体装置の順方向電流は減少してゼロとなる。

【0167】

図23Bは、モーターが減速することによって、回生電流がモーターから平滑コンデンサに流れ込んでいるときの保護動作に関するタイミングチャートである。時刻t4でゲート信号はオフになり、一旦電流はゼロになるが、時刻t5において回生電流と思われる逆方向電流が流れ始める。この逆方向電流によって、平滑コンデンサが充電され、その両端の電圧値が上昇する。時刻t6で平滑コンデンサの電圧が、あらかじめ設定した基準電圧値を超えると、回生電流判定回路53の出力がオンになり、時刻t7において回生抵抗スイッチゲート信号をオンにする。回生電流は、回生抵抗に流れ、熱となって回生エネルギーが消費される。その結果、回生電流は減少して、ゼロになる。平滑コンデンサの過電圧は解消される。

【0168】

図23Cは回生エネルギーを回生抵抗だけでなく、インバータの半導体装置でも消費させる保護動作を示すタイムチャートである。時刻t6で回生電流判定回路53の出力がオンになると、回生抵抗スイッチゲート信号がオンになるだけでなく、該当の半導体装置のゲート電圧をゼロから、負にする。負のゲート電圧は例えば-5Vである。ゲート電圧が負になることにより、チャネルダイオードの抵抗が増加する。回生抵抗及びチャネルダイオードの抵抗により回生エネルギーが消費される。その結果、回生電流は減少して、ゼロとなり、平滑コンデンサの過電圧は解消される。

【0169】

図14に示すように、本明細書において開示される半導体装置は、ゲート電圧を負側に变化させることにより、半導体装置のチャネルダイオードの抵抗を増加させることができる。これにより、半導体装置のチャネルダイオードでの導通損失が増大するので、チャネルダイオードにおいても回生電力を消費することが可能である。このとき、シリコンを用いた半導体装置の場合であれば、回生電力を消費するときの熱により半導体装置の温度が上昇し、絶対最大定格温度を超えて動作不能になる可能性がある。それに対して、本明細書において開示される半導体装置は、耐熱性に優れた炭化珪素を用いているので、回生電力を消費するときの熱により半導体装置が動作不能となることを抑制することができる。

【0170】

図24は、本明細書において開示される半導体装置の逆方向のIV曲線の温度特性を示

10

20

30

40

50

すグラフである。図24において、横軸はドレインソース間電圧 V_{ds} 、縦軸は逆方向のドレイン電流を示す。また、破線で表すデータは室温での測定結果を示し、一点鎖線で表すデータは75℃での測定結果を示し、実線で表すデータは150℃での測定結果を示している。図24から、本明細書において開示される半導体装置は、150℃の高温でもダイオードとして動作していることがわかる。

【0171】

このように、半導体装置のゲート電圧を負側に变化させることにより、チャネルダイオードにおいて回生電力を消費するようにすると、回生電力消費回路410における抵抗46で消費する電力が減るので、抵抗46及び抵抗46に設けられている放熱機構を小型化することができる。

10

【0172】

(第4の実施形態)

次に、本開示の第4の実施形態に係るインバータについて、図面を参照して説明する。本実施形態のインバータは、回生電流を平滑コンデンサの電圧によって検出するのではなく、半導体装置を流れる逆方向電流によって検出する点で第3の実施の形態と異なる。

【0173】

図25は本実施の形態における、ゲート電圧制御部49を示す機能ブロック図である。ゲート電圧制御部49は、順方向過電流判定回路52Aおよび逆方向過電流判定回路52Bを含んでいる。通常の動作状態では、PWM信号発生回路の出力が、インバータのトランジスタのゲート信号として出力される。

20

【0174】

電流電圧変換部48の出力、すなわちドレインパッドと第2のソースパッドとの間に流れる電流の値に対応した値の電圧がゲート電圧制御部49に入力される。電流電圧変換部48の出力電圧は、順方向過電流判定回路52Aと逆方向過電流判定回路52Bの両方に入力される。

【0175】

順方向過電流判定回路52Aは、あらかじめ設定された順方向基準電圧値と電流電圧変換部48の出力電圧の値とを比較し、電流電圧変換部48の出力電圧の絶対値の方が順方向基準電圧値よりも大きい場合は、順方向の過電流と判定する。この場合、順方向過電流判定回路52Aは、トランジスタ遮断信号発生回路54およびゲート信号切替回路57へ信号を出力する。信号を受け取ったゲート信号切替回路57が、トランジスタ遮断信号発生回路54の出力を選択することによって、ゲート電圧制御部49は、トランジスタ遮断信号発生回路54で生成したトランジスタを遮断するための低いゲート電圧を出力する。これにより、過電流が検出されたレグのトランジスタを遮断し、負荷45に過電流が流れるのを抑制することができる。

30

【0176】

逆方向過電流判定回路52Bは、あらかじめ設定された逆方向基準電圧値と電流電圧変換部48の出力電圧の値とを比較し、電流電圧変換部48の出力電圧の絶対値が逆方向基準電圧値よりも大きい場合、回生電流が生成していると判定する。この場合、逆方向過電流判定回路52Bは、第3の実施形態と同様、回生抵抗用スイッチ制御信号発生回路56に信号を出力する。信号を受け取った回生抵抗用スイッチ制御信号発生回路56は、回生電力消費回路410に設けられたスイッチング素子47を導通させる信号を出力する。

40

【0177】

また、逆方向過電流判定回路52Bは、ゲート負バイアス信号発生回路55およびゲート信号切替回路57に信号を出力する。信号を受け取ったゲート信号切替回路57が、ゲート負バイアス信号発生回路55の出力を選択することにより、ゲート電圧制御部49は、ゲート負バイアス信号発生回路55で生成した負のゲート電圧を出力する。これにより、レグ440、442、444の半導体装置であるトランジスタは逆方向の抵抗値が増え、レグ440、442、444の半導体装置においても、より多くの回生電流が熱に変換され、消費される。

50

【0178】

なお、本実施形態では、ゲート電圧制御部49は、ゲート負バイアス信号発生回路55および回生抵抗用スイッチ制御信号発生回路56の両方を備え、電流電圧変換部48の出力電圧の値に基づき回生電流が所定の値以上であると判断した場合、ゲート負バイアス信号発生回路55および回生抵抗用スイッチ制御信号発生回路56の両方を動作させている。しかし、どちら一方だけを動作させてもよい。また、動作をさせない回路をゲート電圧制御部49は備えていなくてもよい。

【0179】

図26は本実施形態のインバータにおいて、逆方向に過電流が流れているときの保護動作を示すタイムチャートである。時刻0からt8においては半導体装置のゲートがオンになっており、順方向電流が流れている。時刻t8において、ゲート信号がオフになり、半導体装置に流れる電流は一旦ゼロになるが、時刻t9から逆方向電流が流れ始め（電流電圧変換部48の出力電圧の値が負となる）、出力電圧の値が時刻t10において、あらかじめ設定した逆方向基準電圧値を超えると逆方向過電流判定回路がオンになり、回生抵抗用のスイッチング素子47のゲートをオンにする。回生電流は抵抗46を流れ、回生抵抗で回生エネルギーが消費されるので、電流は徐々に減少し、流れなくなる。

10

【0180】

負荷45であるモータが、例えば強制的に逆回転方向に駆動させられた場合、インバータ402に逆方向の過電流が流れることがある。逆方向の過電流が流れると、平滑コンデンサ43の電圧が急激に上昇し、平滑コンデンサ43が破壊する恐れがある。本実施形態によれば、逆方向の過電流が検出されると、回生電力は抵抗46またはチャネルダイオードの抵抗において熱に変換されることにより消費される。このため、平滑コンデンサ43の電圧、すなわち一次側電源の電圧が過剰に高圧になることがなくなるので、平滑コンデンサ43が過電圧によって破壊されることを防止することができる。

20

【0181】

(比較例)

図27はチャネルダイオードの機能を有しない、従来の電流検出機能付の半導体装置501aから501fを用いたインバータのブロック図を示す。チャネルダイオードがないので、外付けの還流ダイオード502を各アームの半導体装置に逆並列に接続する必要がある。従来の電流検出機能付の半導体装置501は、順方向電流の検出はできるものの、外付けの還流ダイオードに流れる逆方向電流の検出は出来ない。したがって本開示の第4の実施形態のように、回生電流の検出を直接行うことはできず、平滑コンデンサの電圧を電圧検出部420で検出するか、外付け還流ダイオード用の電流検出器を別途設けないと、回生電流が流れているとの判断ができない。

30

【0182】

一方本開示の半導体装置は、外付けの還流ダイオードを設けずとも逆方向電流も同じ半導体装置のチャネルを流れ、またメイン領域に流れる順方向電流と逆方向電流の両方をセンス領域に流れる小電流から間接的に検出することができる。

【0183】

なお、以上の実施形態においては、第1導電型がn型であり、第2導電型がp型である例について示したが、これに限定されない。第1導電型がp型であり、第2導電型がn型であってもよい。

40

【産業上の利用可能性】

【0184】

本明細書において開示される技術は、例えば、電力変換器に用いられる半導体デバイス用途において有用である。特に、車載用、産業機器用等の電力変換器に搭載するためのパワー半導体デバイス用途において有用である。

【符号の説明】

【0185】

1、301 半導体装置

50

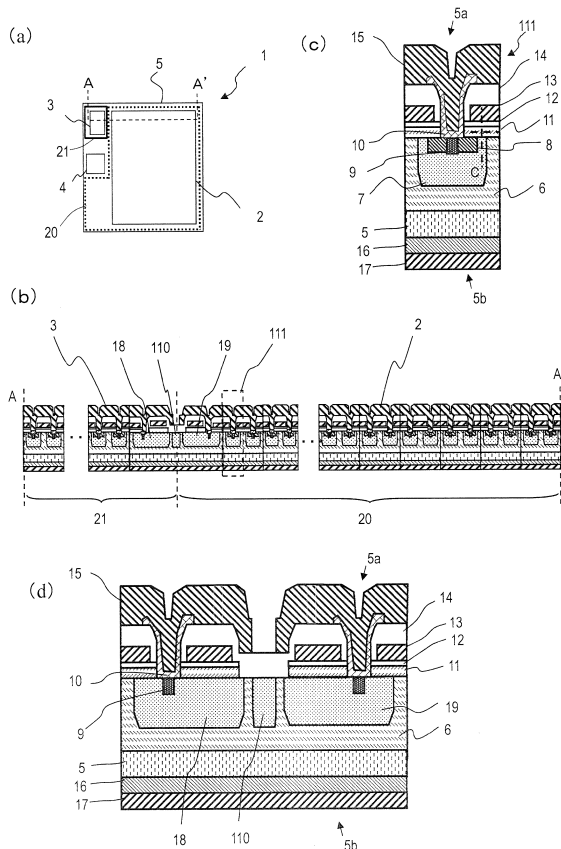
2	メイン領域ソースパッド	
3	センス領域ソースパッド	
4	ゲートパッド	
5	半導体基板	
6	第1の炭化珪素半導体層	
7	ボディ領域(ウェル領域)	
8	ソース領域	
9	コンタクト領域	
10	ソース電極	
11	第2の炭化珪素半導体層	10
12	ゲート絶縁膜	
13	ゲート電極	
14	層間絶縁膜	
15	上部配線	
16	ドレイン電極	
17	裏面電極	
18、19	終端ベース領域	
20、320	メイン領域	
21、321	センス領域	
22	Vcc電源	20
23	ゲートドライバ	
24	ゲートドライバ電源	
25	パルス信号発生器	
26	ゲート抵抗	
27	大電流プローブ	
28	小電流プローブ	
29	電圧計	
30	スイッチング用FET	
31	Vdd電源ライン	
32	リターンライン	30
33	メイン領域	
34	センス領域	
35	演算増幅器	
36	センス抵抗	
37、45	負荷	
40	交流電源	
41	チョークコイル	
42	整流ダイオード	
43	平滑コンデンサ	
44a、44c、44e	上アーム	40
44b、44d、44f	下アーム	
46	抵抗	
47	スイッチング素子	
48	電流電圧変換部	
48U	電流電圧変換部(上アーム用)	
48L	電流電圧変換部(下アーム用)	
49	ゲート電圧制御部	
70、90、200	測定系	
72	基板	
74、204	ドレイン端子	50

- 76、206 ゲート端子
- 78、208 メイン領域ソース端子
- 79、209 センス領域ソース端子
- 80、210 ケルビン端子
- 110 素子分離領域
- 111、311 単位セル
- 112 トレンチ
- 113 多結晶シリコン膜
- 114 ヴィアホール
- 400、500 負荷駆動システム
- 402 インバータ
- 404 整流回路
- 406 ダイオードブリッジ回路
- 408 3相ブリッジ回路
- 410 回生電力消費回路
- 420 電圧検出部
- 440、442、444 レグ
- 501 a、501 b、501 c、501 d、501 e、501 f 従来の電流検出機能付き半導体素子
- 502 外付け還流ダイオード

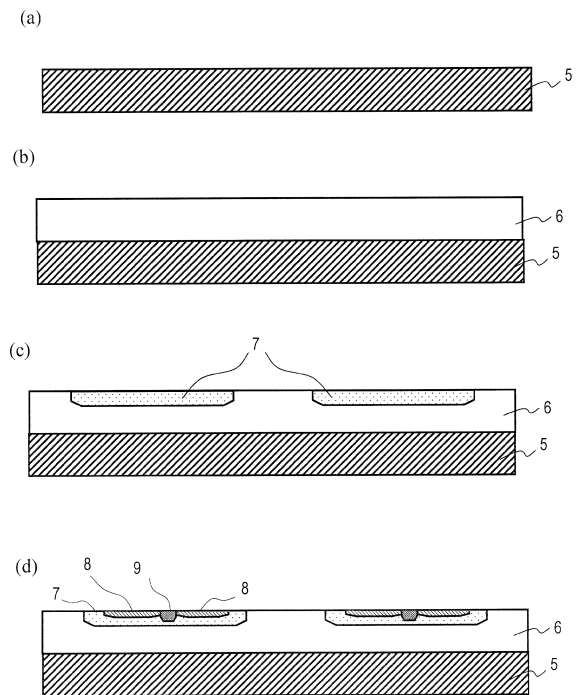
10

20

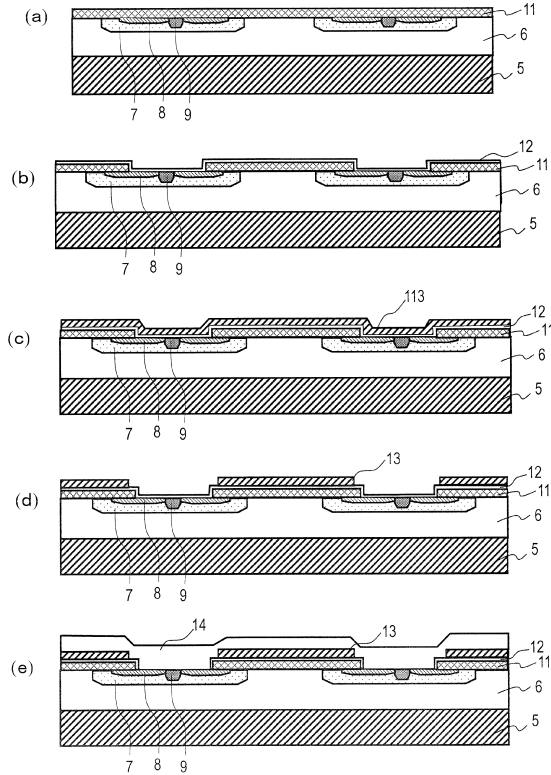
【図1】



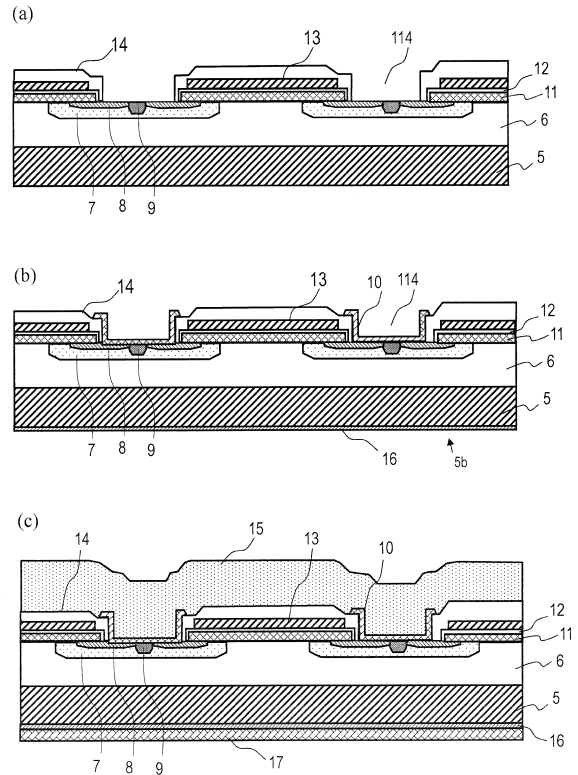
【図2】



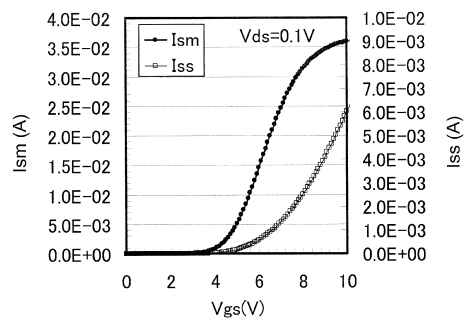
【図3】



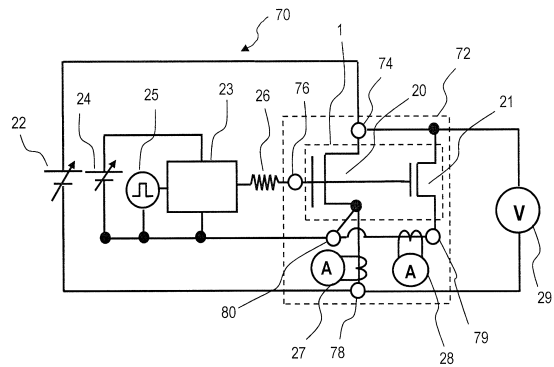
【図4】



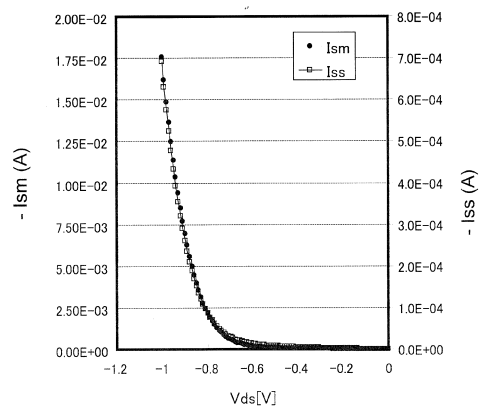
【図5】



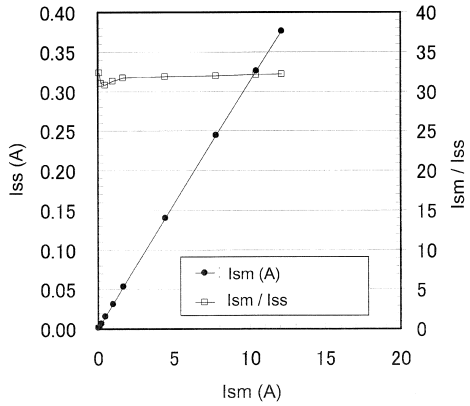
【図7】



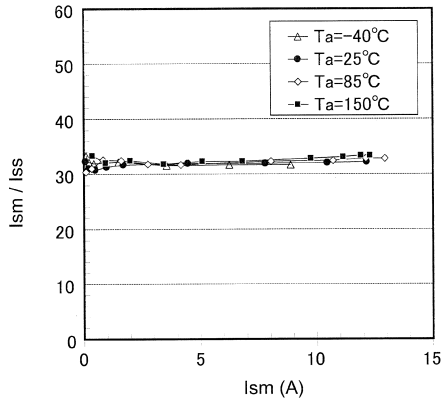
【図6】



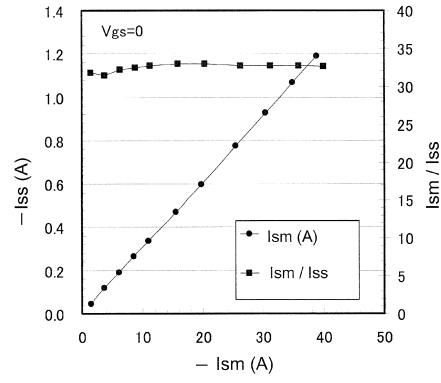
【図8】



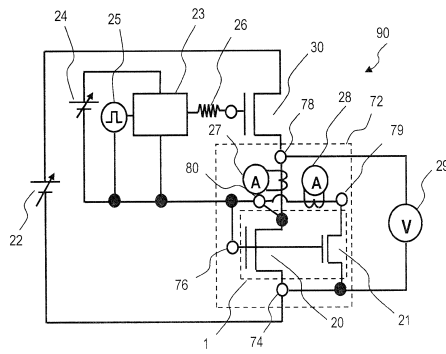
【 図 9 】



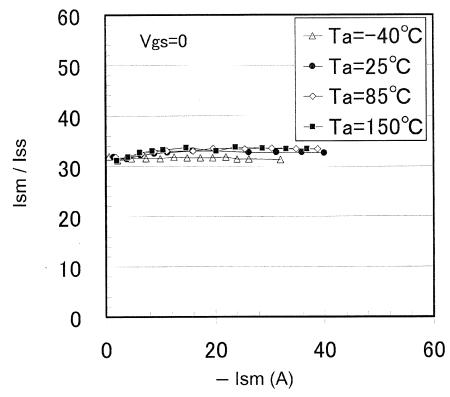
【 図 1 1 】



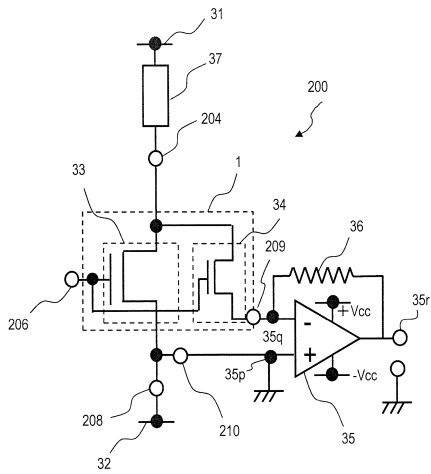
【 図 1 0 】



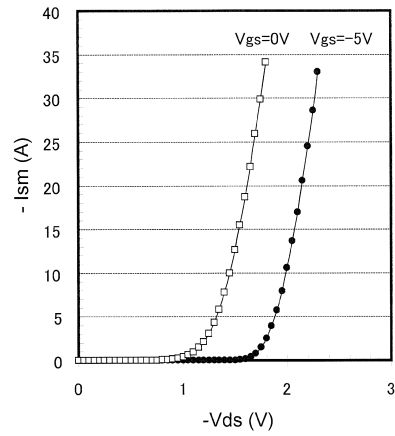
【 図 1 2 】



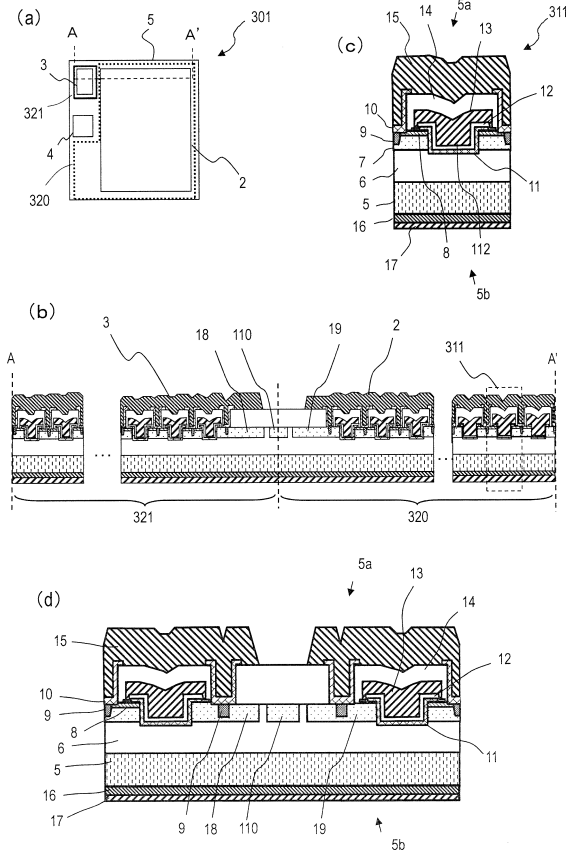
【 図 1 3 】



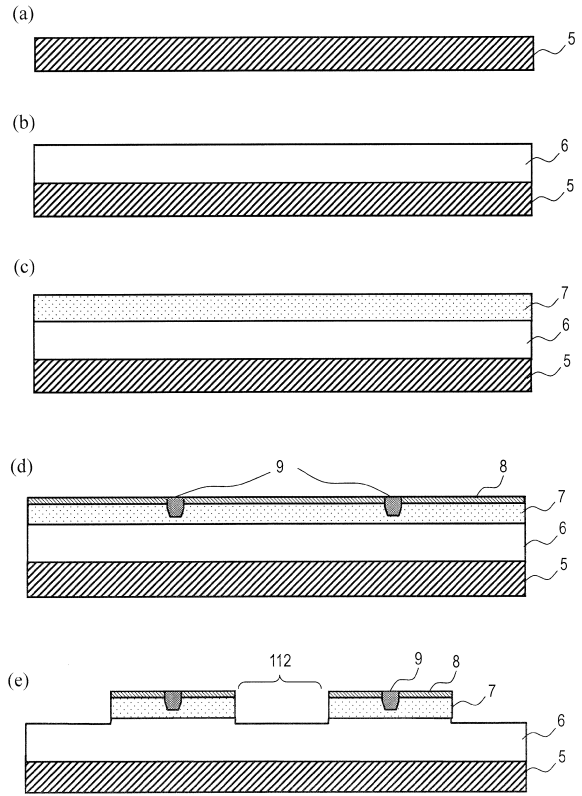
【 図 1 4 】



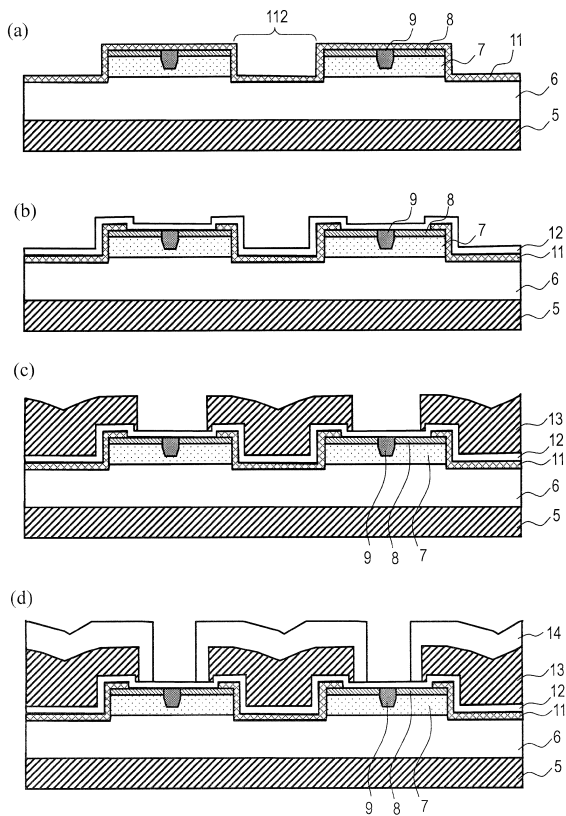
【図 15】



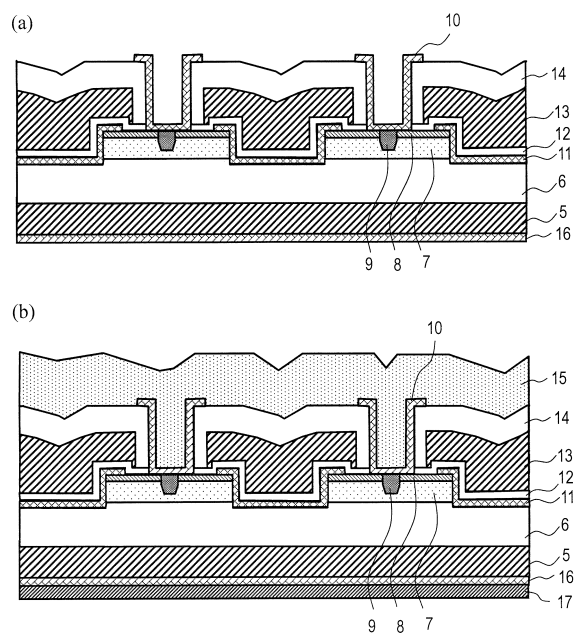
【図 16】



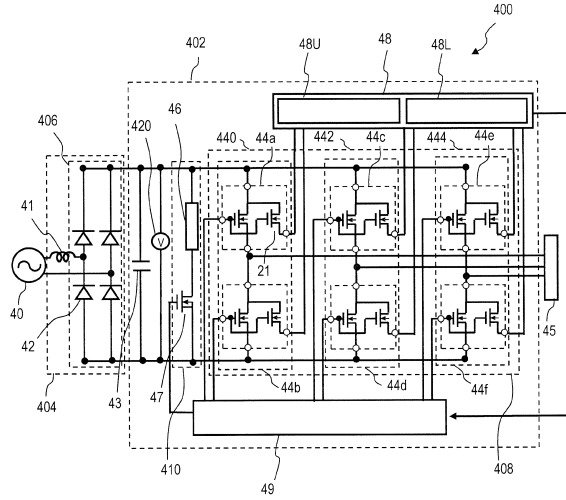
【図 17】



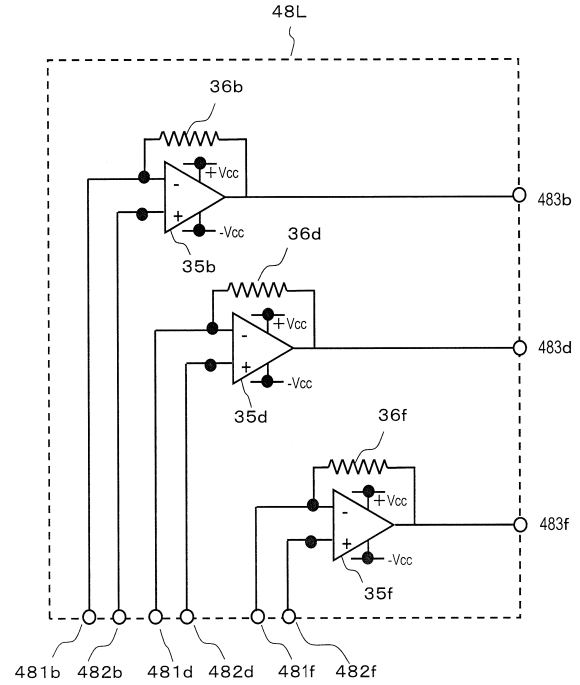
【図 18】



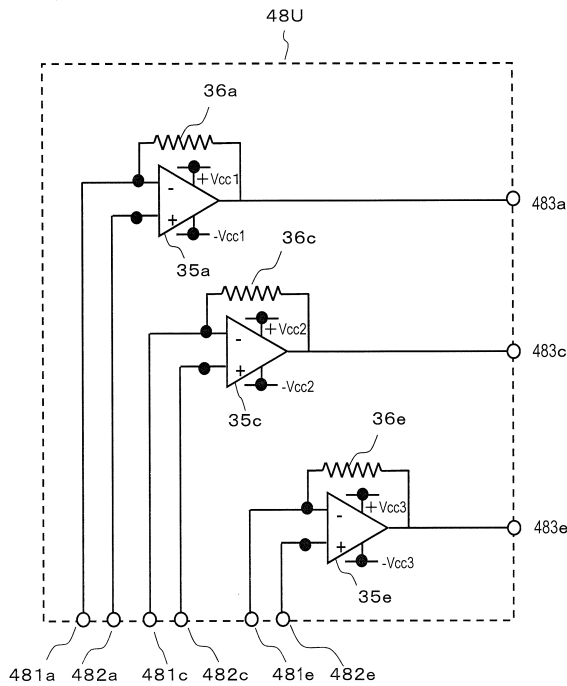
【図19】



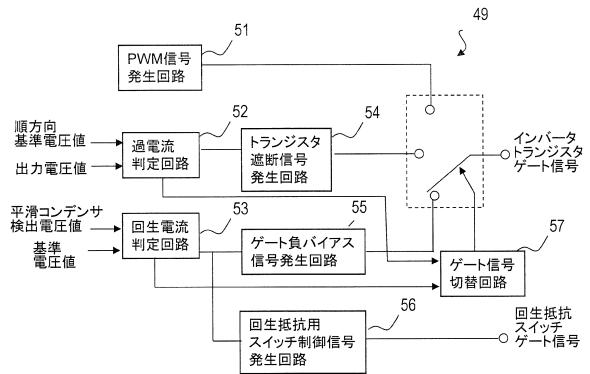
【図20】



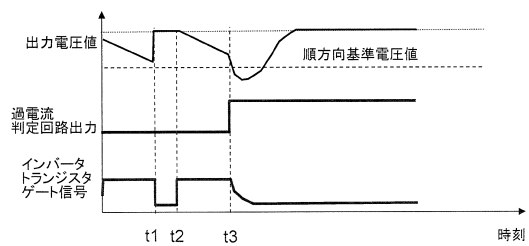
【図21】



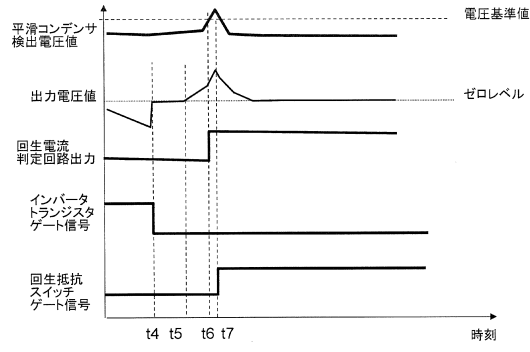
【図22】



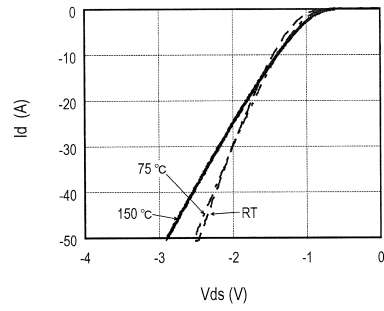
【図23A】



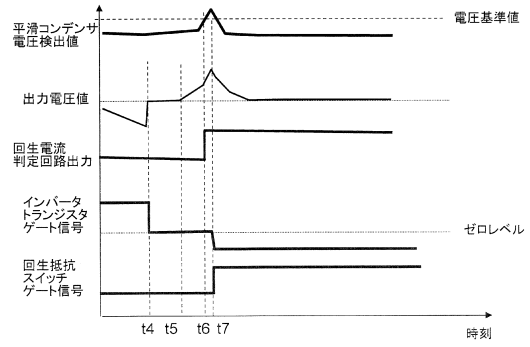
【図 2 3 B】



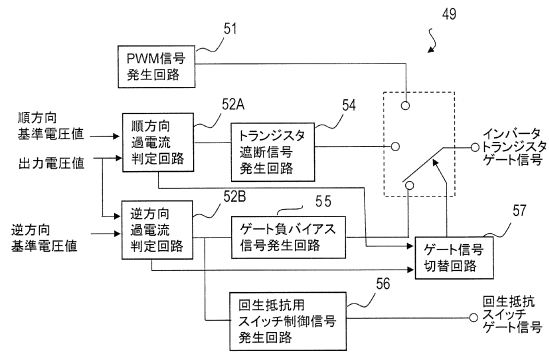
【図 2 4】



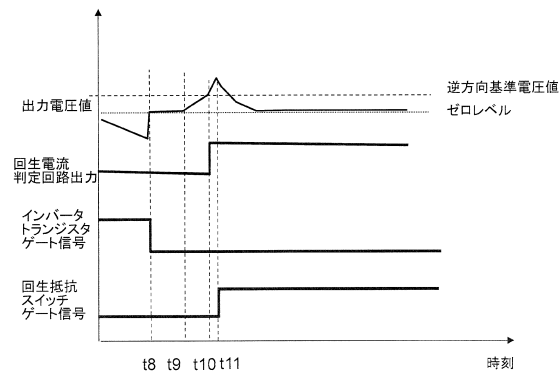
【図 2 3 C】



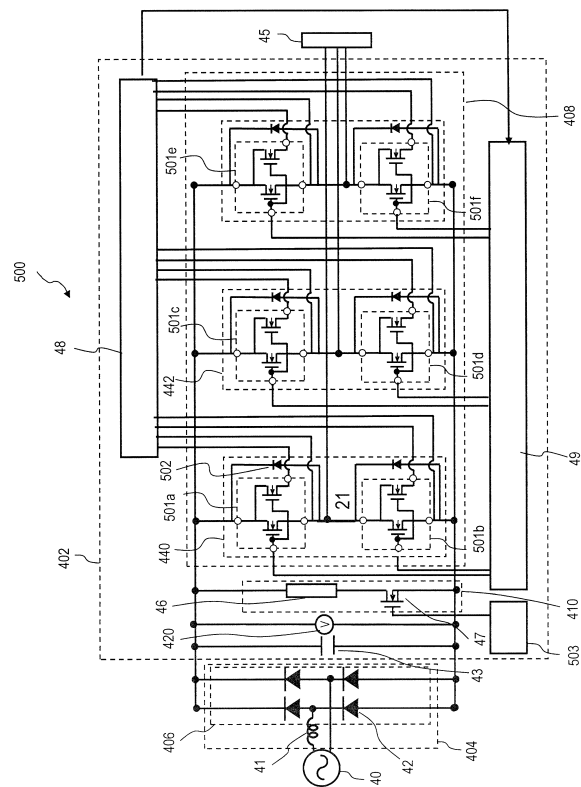
【図 2 5】



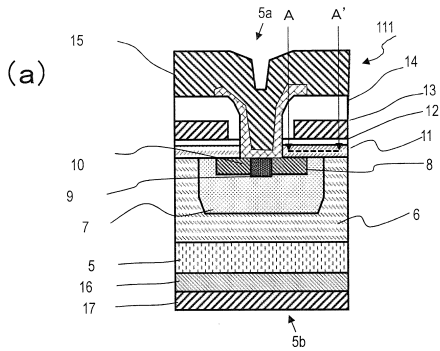
【図 2 6】



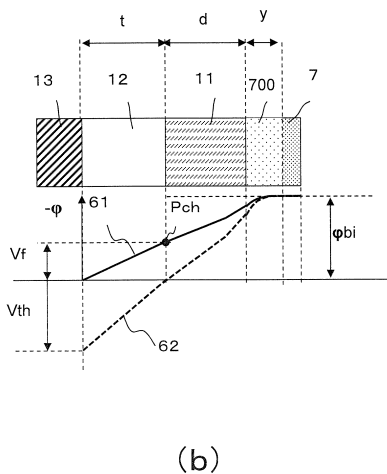
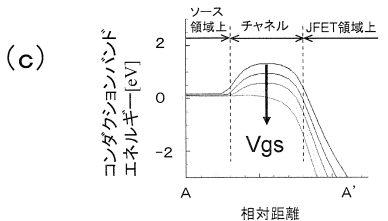
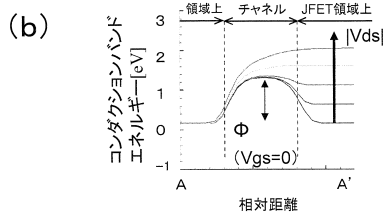
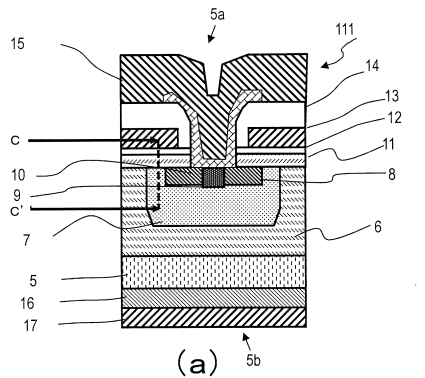
【図 2 7】



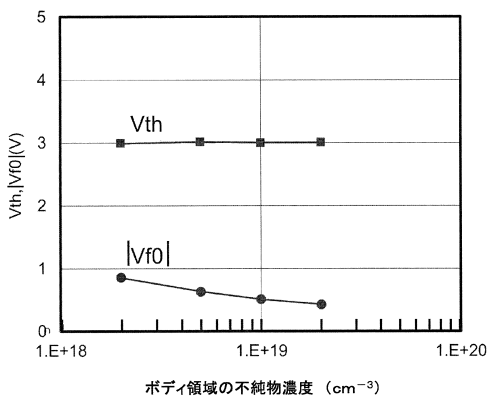
【図 28】



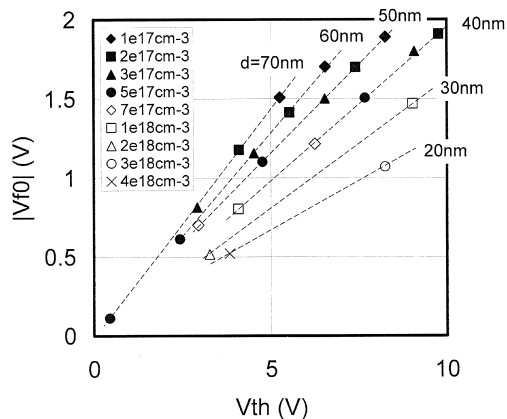
【図 29】



【図 30】



【図 31】



フロントページの続き

(51)Int.Cl.	F I		
	H 0 1 L	29/78	6 5 2 R
	H 0 1 L	29/78	6 5 2 L
	H 0 1 L	29/78	6 5 7 G
	H 0 1 L	29/78	6 5 3 A
	H 0 1 L	29/78	6 5 2 K
	H 0 1 L	29/78	6 5 2 Q
	H 0 1 L	29/78	6 5 7 D
	H 0 1 L	29/78	6 5 2 C
	H 0 2 M	7/48	Z

- (74)代理人 100184985
弁理士 田中 悠
- (72)発明者 楠本 修
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 中田 秀樹
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 赤松 慶治
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 内田 正雄
大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 棚田 一也

- (56)参考文献 特開2003-243656(JP,A)
国際公開第2010/125819(WO,A1)
特開2010-192565(JP,A)
国際公開第2011/048845(WO,A1)
特開平02-237472(JP,A)
特開2012-156564(JP,A)
特開2007-014059(JP,A)
特開2011-198891(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 7 / 0 4
H 0 1 L 2 1 / 7 6
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 8
H 0 2 M 7 / 4 8