



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년06월15일
(11) 등록번호 10-1630620
(24) 등록일자 2016년06월09일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0106761

(22) 출원일자 2009년11월06일

심사청구일자 2014년11월05일

(65) 공개번호 10-2010-0051562

(43) 공개일자 2010년05월17일

(30) 우선권주장

JP-P-2008-286577 2008년11월07일 일본(JP)

(56) 선행기술조사문헌

JP03138980 A*

JP10335671 A*

KR1020080047085 A*

US20070108446 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시킴가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

아키토모 겐코

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398

가부시킴가이샤 한도오파이 에네루기 켄큐쇼 내

츠부쿠 마사시

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398

가부시킴가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 11 항

심사관 : 최혜미

(54) 발명의 명칭 반도체 장치 및 그 반도체 장치의 제작 방법

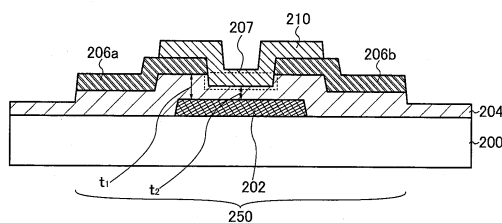
(57) 요약

반도체층을 게이트 전극층, 소스 전극층 및 드레인 전극층 위에 형성하는 경우라도, 소자 특성을 향상시키는 것과 함께, 소자의 신뢰성을 향상시키는 것이 목적의 하나가 된다.

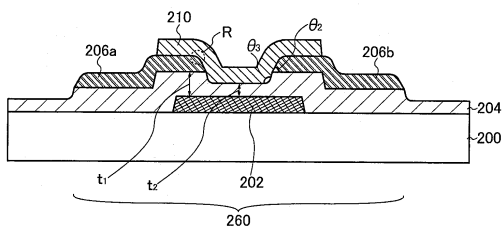
게이트 전극층과, 게이트 전극층 위에 형성된 게이트 절연층과, 게이트 절연층을 개재하여 게이트 전극층의 일부와 중첩하도록 형성된 소스 전극층 및 드레인 전극층과, 게이트 절연층, 소스 전극층 및 드레인 전극층 위에 형성된 반도체층을 갖는 구조에 있어서, 소스 전극층과 드레인 전극층 사이의 영역에 위치하는 게이트 절연층의 막 두께를 게이트 전극층과 소스 전극층의 사이에 형성된 게이트 절연층 및 게이트 전극층과 드레인 전극층의 사이에 형성된 게이트 절연층의 막 두께보다 얇게 되도록 형성한다.

대표도 - 도1

(a)



(b)



명세서

청구범위

청구항 1

삭제

청구항 2

반도체 장치에 있어서:

기관 위의 게이트 전극층과;

상기 게이트 전극층 위의 제 1 절연층과;

상기 제 1 절연층 위에 있고, 상기 게이트 전극층의 일부와 중첩하는 제 2 절연층과;

상기 제 1 절연층과 상기 제 2 절연층을 개재하여 상기 게이트 전극층의 상기 일부와 중첩하는 소스 전극층 및 드레인 전극층과;

상기 게이트 전극층 위에 있고, 상기 소스 전극층 및 상기 드레인 전극층 사이의 영역에 위치하는 상기 제 1 절연층과 접하고, 상기 소스 전극층 및 상기 드레인 전극층 위에 제공된 산화물 반도체층을 포함하고,

상기 제 1 절연층에 포함된 재료의 유전율은 상기 제 2 절연층에 포함된 재료의 유전율보다 높은, 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 게이트 전극층 위에 있고, 상기 소스 전극층 및 상기 드레인 전극층 사이의 상기 영역에 위치하는 상기 제 1 절연층의 두께는, 상기 게이트 전극층과 상기 소스 전극층 및 상기 드레인 전극층 중의 적어도 하나의 사이에 제공되는 상기 제 1 절연층의 두께보다 얇은, 반도체 장치.

청구항 4

반도체 장치에 있어서:

기관 위의 게이트 전극층과;

상기 게이트 전극층 위에 순차로 적층되는 제 1 절연층 및 제 2 절연층과;

상기 제 1 절연층 및 상기 제 2 절연층을 개재하여 상기 게이트 전극층의 일부와 중첩하는 소스 전극층 및 드레인 전극층과;

상기 게이트 전극층 위에 있고, 상기 소스 전극층 및 상기 드레인 전극층 사이의 영역에 위치하는 상기 제 2 절연층과 접하고, 상기 소스 전극층 및 상기 드레인 전극층 위에 제공된 산화물 반도체층을 포함하고,

상기 게이트 전극층 위에 있고, 상기 소스 전극층 및 상기 드레인 전극층 사이의 상기 영역에 위치하는 상기 제 2 절연층의 두께는, 상기 게이트 전극층과 상기 소스 전극층 및 상기 드레인 전극층 중의 적어도 하나의 사이에 제공되는 상기 제 2 절연층의 두께보다 얇고,

상기 제 1 절연층에 포함된 재료의 유전율은 상기 제 2 절연층에 포함된 재료의 유전율보다 높은, 반도체 장치.

청구항 5

제 2 항 또는 제 4 항에 있어서,

상기 산화물 반도체층은 버퍼층을 개재하여 상기 소스 전극층 및 상기 드레인 전극층 위에 제공되는, 반도체 장치.

청구항 6

제 2 항 또는 제 4 항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층의 단부들은 테이퍼 형상들을 갖는, 반도체 장치.

청구항 7

제 2 항 또는 제 4 항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층의 단부들은 테이퍼 형상들을 갖고,

상기 소스 전극층 및 상기 드레인 전극층의 각 단부의 테이퍼 각은 20° 이상 90° 미만인, 반도체 장치.

청구항 8

제 2 항 또는 제 4 항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층의 상단부들은 곡면 형상들을 갖는, 반도체 장치.

청구항 9

삭제

청구항 10

제 2 항 또는 제 4 항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층의 상단부들은 곡면 형상들을 갖고,

상기 소스 전극층 및 상기 드레인 전극층의 각 상단부의 곡률 반경이 상기 소스 전극층 및 상기 드레인 전극층의 한쪽의 두께의 $1/100$ 이상 $1/2$ 이하인, 반도체 장치.

청구항 11

삭제

청구항 12

제 2 항 또는 제 4 항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연 중에서 선택되는 적어도 하나를 포함하는, 반도체 장치.

청구항 13

반도체 장치의 제작 방법에 있어서:

기판 위에 게이트 전극층을 형성하는 단계와;

상기 게이트 전극층 위에, 제 1 절연층 및 상기 제 1 절연층 위의 제 2 절연층을 포함하는 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계와;

상기 소스 전극층 및 상기 드레인 전극층 사이의 영역에 위치하는 상기 게이트 절연층의 두께가 상기 게이트 전극층과 상기 소스 전극층 및 상기 드레인 전극층 중의 적어도 하나의 사이에 제공되는 상기 게이트 절연층의 두께보다 얇게 되도록 상기 소스 전극층 및 상기 드레인 전극층 사이의 상기 영역에 제공된 상기 제 2 절연층의 일부를 에칭하는 단계와;

상기 게이트 절연층, 상기 소스 전극층, 및 상기 드레인 전극층 위에 산화물 반도체층을 형성하는 단계를 포함하고,

상기 제 1 절연층에 포함된 재료의 유전율은 상기 제 2 절연층에 포함된 재료의 유전율보다 높은, 반도체 장치의 제작 방법.

청구항 14

반도체 장치의 제작 방법에 있어서:

기관 위에 게이트 전극층을 형성하는 단계와;

상기 게이트 전극층 위에 제 1 절연층을 형성하는 단계와;

상기 제 1 절연층 위에 제 2 절연층을 형성하는 단계와;

상기 제 2 절연층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계와;

상기 소스 전극층 및 상기 드레인 전극층 사이의 영역에 제공되는 상기 제 2 절연층을 에칭하여 상기 제 1 절연층을 노출시키는 단계와;

상기 제 1 절연층, 상기 소스 전극층, 및 상기 드레인 전극층 위에 산화물 반도체층을 형성하는 단계를 포함하고,

상기 제 1 절연층에 포함된 재료의 유전율은 상기 제 2 절연층에 포함된 재료의 유전율보다 높은, 반도체 장치의 제작 방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 반도체 장치 및 상기 반도체 장치의 제작 방법에 관한 것이다.

배경 기술

[0002] 근년, 산화물 반도체를 사용하여 박막 트랜지스터(TFT라고도 부른다)를 제작하여 전자 디바이스 등에 응용하는 기술이 주목을 받고 있다. 예를 들어, 특허 문헌 1이나 특허 문헌 2에는, 산화물 반도체층으로서 산화아연이나 In-Ga-Zn-O계 산화물 반도체 등을 사용하여 화상 표시 장치의 스위칭 소자 등을 제작하는 기술이 개시된다.

[0003] 또한, 산화물 반도체층을 사용한 트랜지스터의 구조로서, 다양한 구조가 제안되어 있고, 예를 들어, 상술한 특허 문헌 2나 특허 문헌 3에서는, 게이트 절연층 위에 형성된 소스 전극층 및 드레인 전극층 위에 산화물 반도체층을 형성하는 보텀 게이트·보텀 콘택트형의 구조가 제시된다.

[0004] [특허 문헌 1] 특개2007-123861호 공보

[0005] [특허 문헌 2] 특개2007-96055호 공보

[0006] [특허 문헌 3] 특개2007-305658호 공보

발명의 내용

해결 하고자하는 과제

[0007] 일반적으로, 트랜지스터의 구동 전압을 저감하여 고속으로 동작을 행하기 위해서는, 게이트 절연층의 막 두께를 얇게 하는 것이 유리하다. 그러나, 보텀 게이트·보텀 콘택트형의 구조에 있어서, 게이트 전극층과, 소스 전극층 및 드레인 전극층이 게이트 절연층을 개재하여 일부 중첩하는 경우에는, 게이트 절연층의 막 두께가 얇아질수록 게이트 전극층과 소스 전극층 및 드레인 전극층간에 기생 용량이 형성되고, 소자 특성에 영향을 미칠 우려가 있다. 결과적으로, 소자 특성에 편차가 생겨 소자의 신뢰성이 저하할 우려가 있다.

[0008] 또한, 게이트 전극층을 개재하여 게이트 전극층의 단부를 덮도록 소스 전극층이나 드레인 전극층이 형성되는 경우, 게이트 전극층의 단부를 피복하는 게이트 절연층의 두께가 얇아지면, 게이트 전극층과 소스 전극층이나 드레인 전극층의 사이에서 리크(leak)하기 쉽다는 문제가 생긴다.

[0009] 상기 문제를 감안하여 반도체층을 게이트 전극층, 소스 전극층 및 드레인 전극층 위에 형성하는 경우라도, 소자 특성을 향상시키는 것과 함께, 소자의 신뢰성을 향상시키는 것을 목적의 하나로 한다.

과제 해결수단

[0010] 게이트 전극층과, 게이트 전극층 위에 형성된 게이트 절연층과, 상기 게이트 절연층을 개재하여 게이트 전극층

의 일부와 중첩하도록 형성된 소스 전극층 및 드레인 전극층과, 게이트 절연층, 소스 전극층 및 드레인 전극층 위에 형성된 반도체층을 갖는 구조에 있어서, 소스 전극층과 드레인 전극층 사이의 영역에 위치하는 게이트 절연층의 막 두께를 게이트 전극층과 소스 전극층의 사이에 형성된 게이트 절연층 또는 게이트 전극층과 드레인 전극층의 사이에 형성된 게이트 절연층의 막 두께보다 얇아지도록 형성한다. 이 경우, 소스 전극층 및 드레인 전극층과, 게이트 전극층의 사이에 생기는 기생 용량을 저감하는 것과 함께, 소자 특성을 향상시킬 수 있다.

[0011] 또한, 개시하는 발명의 일 형태는, 기판 위에 형성된 게이트 전극층과, 게이트 전극층 위에 형성된 게이트 절연층과, 게이트 절연층을 개재하여 게이트 전극층의 일부와 중첩하도록 형성된 소스 전극층 및 드레인 전극층과, 게이트 전극층의 위이며 소스 전극층과 드레인 전극층의 사이의 영역에 위치하는 게이트 절연층과 접하여 형성되고, 또 소스 전극층 및 드레인 전극층 위에 형성된 산화물 반도체층을 갖고, 게이트 전극층 위이며 소스 전극층과 드레인 전극층의 사이의 영역에 위치하는 게이트 절연층의 막 두께가 게이트 전극층과 소스 전극층의 사이에 형성된 게이트 절연층 또는 게이트 전극층과 드레인 전극층의 사이에 형성된 게이트 절연층의 막 두께보다 얇은 것을 특징으로 한다.

[0012] 또한, 개시하는 발명의 일 형태는, 기판 위에 형성된 게이트 전극층과, 게이트 전극층 위에 형성된 제 1 절연층과, 제 1 절연층 위에 있어 게이트 전극층의 일부와 중첩하도록 형성된 제 2 절연층과, 제 1 절연층 및 제 2 절연층을 개재하여 게이트 전극층의 일부와 중첩하도록 형성된 소스 전극층 및 드레인 전극층과, 게이트 전극층의 위이며 소스 전극층과 드레인 전극층의 사이의 영역에 위치하는 제 1 절연층과 접하여 형성되고, 또 소스 전극층 및 드레인 전극층 위에 형성된 산화물 반도체층을 갖는 것을 특징으로 한다. 또한, 게이트 전극층의 위이며 소스 전극층과 드레인 전극층의 사이의 영역에 위치하는 제 1 절연층의 막 두께를 게이트 전극층과 소스 전극층의 사이에 형성된 제 1 절연층 또는 게이트 전극층과 드레인 전극층의 사이에 형성된 제 1 절연층의 막 두께보다 얇게 하여도 좋다.

[0013] 또한, 개시하는 발명의 일 형태는, 기판 위에 형성된 게이트 전극층과, 게이트 전극층 위에 순차로 적층하여 형성된 제 1 절연층과 제 2 절연층과, 제 1 절연층 및 제 2 절연층을 개재하여 게이트 전극층의 일부와 중첩하도록 형성된 소스 전극층 및 드레인 전극층과, 게이트 전극층의 위이며 소스 전극층과 드레인 전극층의 사이의 영역에 위치하는 제 2 절연층과 접하여 형성되고, 또 소스 전극층 및 드레인 전극층 위에 형성된 산화물 반도체층을 갖고, 게이트 전극층의 위이며 소스 전극층과 드레인 전극층의 사이의 영역에 위치하는 제 2 절연층의 막 두께가 게이트 전극층과 소스 전극층의 사이에 형성된 제 2 절연층 및 게이트 전극층과 드레인 전극층의 사이에 형성된 제 2 절연층의 막 두께보다 얇은 것을 특징으로 한다.

[0014] 또한, 개시하는 발명의 일 형태는, 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 소스 전극층 및 드레인 전극층을 형성하고, 소스 전극층과 드레인 전극층의 사이의 영역에 형성된 게이트 절연층의 상층부를 에칭함으로써, 소스 전극층과 드레인 전극층의 사이의 영역에 위치하는 게이트 절연층의 막 두께를 게이트 전극층과 소스 전극층의 사이에 형성된 게이트 절연층 또는 게이트 전극층과 드레인 전극층의 사이에 형성된 게이트 절연층의 막 두께보다 얇게 하여 게이트 절연층, 소스 전극층 및 드레인 전극층 위에 산화물 반도체층을 형성하는 것을 특징으로 한다.

[0015] 또한, 개시하는 발명의 일 형태는, 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 제 1 절연층을 형성하고, 제 1 절연층 위에 제 2 절연층을 형성하고, 제 2 절연층 위에 소스 전극층 및 드레인 전극층을 형성하고, 소스 전극층과 드레인 전극층의 사이의 영역에 형성된 제 2 절연층을 에칭함으로써, 제 1 절연층을 노출시켜 제 1 절연층, 소스 전극층 및 드레인 전극층 위에 산화물 반도체층을 형성하는 것을 특징으로 한다.

[0016] 또한, 본 명세서 중에서 사용할 수 있는 산화물 반도체의 일례로서는, $\text{InMO}_3(\text{ZnO})_m$ ($m>0$, m 은 정수가 아니다)라고 표기되는 것이 있다. 여기서, M 은 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn), 및 코발트(Co) 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들어, M 으로서 Ga가 선택되는 경우에는, Ga만의 경우 외에 Ga와 Ni나, Ga와 Fe 등, Ga 이외의 상기 금속 원소가 선택되는 경우를 포함한다. 또한, 상기 산화물 반도체에 있어서, M 으로서 포함되는 금속 원소 외에 불순물 원소로서 Fe, Ni, 그 외의 천이 금속 원소, 또는 상기 천이 금속의 산화물이 포함되는 것이 있다. 본 명세서에 있어서는, 상기 산화물 반도체 중, M 으로서 적어도 갈륨을 포함하는 것을 In-Ga-Zn-O계 산화물 반도체라고 부르고, 상기 재료를 사용한 박막을 In-Ga-Zn-O계 비단결 정막이라고 부른다.

[0017] 또한, 본 명세서 중에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치에 포함된다. 또한, 본 명세서 중에 있어서 표시 장치란, 발광 장치나 액정 표시 장치를 포함한다. 발광 장치는 발광 소자를 포함하고, 액정 표시 장치는 액정

소자를 포함한다. 발광 소자는 전류 또는 전압에 의하여 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는, 무기 EL(Electro Luminescence) 소자, 유기 EL 소자 등이 포함된다.

효 과

[0018] 게이트 전극층과, 게이트 전극층 위에 형성된 게이트 절연층과, 상기 게이트 절연층을 개재하여 게이트 전극층의 일부와 중첩하도록 형성된 소스 전극층 및 드레인 전극층과, 게이트 절연층, 소스 전극층 및 드레인 전극층 위에 형성된 반도체층을 갖는 구조에 있어서, 소스 전극층과 드레인 전극층의 사이의 영역에 위치하는 게이트 절연층의 막 두께를 게이트 전극층과 소스 전극층의 사이에 형성된 게이트 절연층 또는 게이트 전극층과 드레인 전극층의 사이에 형성된 게이트 절연층의 막 두께보다 얇게 되도록 형성함으로써, 소스 전극층 및 드레인 전극층과 게이트 전극층의 사이에 생기는 기생 용량을 저감하는 것과 함께, 소자 특성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0019] 실시형태에 대해서 도면을 참조하여 자세히 설명한다. 그러나, 본 발명은 이하에 제시하는 실시형태의 기재 내용에 한정되지 않고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 상이한 실시형태에 따른 구성은, 적절히 조합하여 실시할 수 있다. 또한, 이하에 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

[0020] (실시형태 1)

[0021] 우선, 도 1a를 참조하여 본 실시형태에서 나타내는 박막 트랜지스터의 구성에 관하여 설명한다.

[0022] 본 실시형태에서 나타내는 박막 트랜지스터(250)는, 기판(200) 위에 형성된 게이트 전극층(202)과, 게이트 전극층(202) 및 기판(200) 위에 형성된 게이트 절연층(204)과, 게이트 절연층(204) 위에 형성된 소스 전극층(206a) 및 드레인 전극층(206b)과, 소스 전극층(206a) 및 드레인 전극층(206b) 위에 형성되고, 또 소스 전극층(206a) 및 드레인 전극층(206b)의 사이에 위치하는 게이트 절연층(204)과 접하여 형성된 산화물 반도체층(210)을 갖는다. 또한, 소스 전극층(206a) 및 드레인 전극층(206b)은, 게이트 절연층(204)을 개재하여 게이트 전극층(202)의 일부와 중첩하도록 형성되어, 소스 전극층(206a)과 드레인 전극층(206b)의 사이의 영역에 위치하는 게이트 절연층(204)의 막 두께 t_2 가, 게이트 전극층(202)과 소스 전극층(206a)의 사이에 형성된 게이트 절연층(204) 및 게이트 전극층(202)과 드레인 전극층(206b)의 사이에 형성된 게이트 절연층(204)의 막 두께 t_1 보다 얇게 되도록 형성된다(도 1a 참조).

[0023] 즉, 게이트 절연층(204)이 게이트 전극층(202)과 중첩하는 영역에 있어서 오목부(팬 것(이하, “오목부(207)”라고 기재한다))를 갖고, 게이트 절연층(204)의 오목부(207)에 산화물 반도체층(210)이 형성된다. 또한, 여기서 가리키는 게이트 절연층(204)의 오목부(207)란, 소스 전극층과 드레인 전극층을 잇는 단면 방향으로부터 관찰하였을 때, 게이트 절연층(204)에 형성되는 팬 곳을 가리킨다.

[0024] 이와 같이, 도 1a에 도시하는 구성으로 함으로써, 게이트 전극층(202) 위에 게이트 절연층(204)을 개재하여 소스 전극층(206a) 및 드레인 전극층(206b)을 상기 게이트 전극층(202)과 일부가 중첩하도록 형성하고, 소스 전극층(206a) 및 드레인 전극층(206b) 위에 산화물 반도체층(210)을 형성하는 경우라도, 소스 전극층(206a) 및 드레인 전극층(206b)과 게이트 전극층(202)의 사이에 생기는 기생 용량을 저감하는 것과 함께, 트랜지스터의 구동 전압을 저감하여 소자 특성을 향상시킬 수 있다.

[0025] 또한, 도 1a에서는, 소스 전극층(206a)과 드레인 전극층(206b)의 양쪽 모두가 게이트 절연층(204)을 개재하여 게이트 전극층(202)의 일부와 중첩하는 경우를 나타내지만, 본 실시형태는 이것에 한정되지 않는다. 소스 전극층(206a)과 드레인 전극층(206b) 중의 어느 한 쪽이 게이트 절연층(204)을 개재하여 게이트 전극층(202)과 중첩하는 경우에는, 상기 중첩하는 전극층과 게이트 전극층(202)의 사이에 형성된 게이트 절연층(204)의 막 두께 t_1 을, 소스 전극층(206a)과 드레인 전극층(206b)의 사이의 영역에 위치하는 게이트 절연층(204)의 막 두께 t_2 보다 두껍게 되도록 형성하면 좋다.

[0026] 다음, 도 2a 내지 도 2e를 참조하여 도 1a에 도시하는 박막 트랜지스터(250)의 제작 방법의 일 형태에 대해서 설명한다.

[0027] 우선, 기판(200) 위에 게이트 전극층(202)을 형성하고, 계속해서 상기 게이트 전극층(202) 위에 게이트 절연층

(204)을 형성한다(도 2a 참조).

- [0028] 기판(200)으로서는, 절연 표면을 갖는 기판이라면 좋고, 예를 들어, 유리 기판을 사용할 수 있다. 유리 기판은 무알칼리 유리인 것이 바람직하다. 무알칼리 유리 기판으로서는, 예를 들어, 알루미늄 실리케이트 유리, 알루미늄 보로실리케이트 유리, 바륨 보로실리케이트 유리 등의 유리 재료가 사용된다. 그 외에도, 기판(200)으로서, 세라믹 기판, 석영 기판이나 사파이어 기판 등의 절연체로 이루어지는 절연성 기판, 실리콘 등의 반도체 재료로 이루어지는 반도체 기판의 표면을 절연 재료로 피복한 것, 금속이나 스테인레스 등의 도전체로 이루어지는 도전성 기판의 표면을 절연 재료로 피복한 것을 사용할 수 있다. 또한, 제작 공정의 열 처리에 견딜 수 있다면, 플라스틱 기판을 사용할 수도 있다.
- [0029] 게이트 전극층(202)은, 도전층을 기판(200) 전체 면에 형성한 후, 포토리소그래피법을 사용하여 도전층을 에칭함으로써 형성할 수 있다. 게이트 전극층(202)에는 게이트 배선 등, 상기 도전층에 의하여 형성되는 전극이나 배선이 포함된다.
- [0030] 게이트 전극층(202)은, 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti) 등의 도전성 재료로 형성하는 것이 바람직하다. 또한, 배선 및 전극으로서 알루미늄을 사용하는 경우, 알루미늄 자체로는 내열성이 낮고, 부식(腐蝕)하기 쉬운 등의 문제점이 있기 때문에, 내열성 도전성 재료와 조합하여 형성하는 것이 바람직하다.
- [0031] 내열성 도전성 재료는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sd) 중에서 선택된 원소, 상술한 원소를 성분으로 하는 합금, 상술한 원소를 조합한 합금, 또는 상술한 원소를 성분으로 하는 질화물로 형성할 수 있다. 이들의 내열성 도전성 재료로 이루어지는 막과 알루미늄(또는 구리)을 적층시켜 배선이나 전극을 형성하면 좋다.
- [0032] 또한, 게이트 전극층(202)을 액적 도출법이나 스크린 인쇄법 등을 사용하여 기판(200) 위에 선택적으로 형성할 수도 있다.
- [0033] 게이트 절연층(204)은, 산화실리콘막, 산화질화실리콘막, 질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 또는 산화탄탈막 등으로 형성할 수 있다. 또한, 이들의 막을 적층시켜 형성하여도 좋다. 이들의 막은 스퍼터법 등을 사용하여 막 두께를 50nm 이상 250nm 이하로 형성할 수 있다. 예를 들어, 게이트 절연층(204)으로서 스퍼터법에 의하여 산화실리콘막을 200nm의 두께로 형성할 수 있다.
- [0034] 또한, 본 명세서 중에 있어서, 산화질화실리콘이란, 그 조성으로서 질소보다 산소의 함유량이 많은 것이며, 바람직하게는, 러더포드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward scattering Spectrometry)을 사용하여 측정한 경우에, 농도 범위로서 산소가 50at.% 내지 70at.%, 질소가 0.5at.% 내지 15at.%, 실리콘이 25at.% 내지 35at.%, 수소가 0.1at.% 내지 10at.%의 범위로 포함되는 것을 가리킨다. 또한, 질화산화실리콘이란, 그 조성으로서, 산소보다 질소의 함유량이 많은 것이며, 바람직하게는, RBS 및 HFS를 사용하여 측정한 경우에, 농도 범위로서 산소가 5at.% 내지 30at.%, 질소가 20at.% 내지 55at.%, 실리콘이 25at.% 내지 35at.%, 수소가 10at.% 내지 30at.% 이하의 범위로 포함되는 것을 가리킨다. 다만, 산화질화실리콘 또는 질화산화실리콘을 구성하는 원자의 합계를 100at.%로 하였을 때, 질소, 산소, 실리콘 및 수소의 함유 비율이 상기 범위에 포함되는 것으로 한다.
- [0035] 다음, 게이트 절연층(204) 위에 소스 전극층(206a) 및 드레인 전극층(206b)을 형성한다(도 2b 참조).
- [0036] 소스 전극층(206a) 및 드레인 전극층(206b)은, 게이트 절연층(204) 위에 도전층을 형성한 후, 포토리소그래피법을 사용하여 상기 도전층을 에칭함으로써 형성할 수 있다. 여기서는, 일례로서 소스 전극층(206a)과 드레인 전극층(206b)의 일부가 게이트 절연층(204)을 개재하여 게이트 전극층(202)과 중첩하도록 형성하는 경우를 나타낸다.
- [0037] 소스 전극층(206a) 및 드레인 전극층(206b)은, 스퍼터법이나 진공 증착법 등을 사용하여 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택된 원소를 포함하는 금속, 상술한 원소를 성분으로 하는 합금, 또는 상술한 원소를 성분으로 하는 질화물 등으로 이루어지는 재료로 형성할 수 있다.
- [0038] 예를 들어, 소스 전극층(206a) 및 드레인 전극층(206b)을 몰리브덴막이나 티타늄막의 단층 구조로 형성할 수 있다. 또한, 소스 전극층(206a) 및 드레인 전극층(206b)을 적층 구조로 형성하여도 좋고, 예를 들어, 알루미늄막과 티타늄막의 적층 구조로 할 수 있다. 또한, 티타늄막, 알루미늄막, 티타늄막을 순차로 적층한 3층 구조로

하여도 좋다. 또한, 폴리브덴막과 알루미늄막과 폴리브덴막을 순차로 적층한 3층 구조로 하여도 좋다. 또한, 이들의 적층 구조에 사용하는 알루미늄막으로서 네오디뮴을 포함하는 알루미늄(Al-Nd)막을 사용하여도 좋다. 또한, 소스 전극층(206a) 및 드레인 전극층(206b)을 실리콘을 포함하는 알루미늄막의 단층 구조로 하여도 좋다.

[0039] 또한, 소스 전극층(206a) 및 드레인 전극층(206b)을 액적 토출법이나 스크린 인쇄법 등을 사용하여 기판(200) 위에 선택적으로 형성할 수도 있다.

[0040] 도 2b에서 형성된 소스 전극층(206a)은, 트랜지스터의 소스로서 기능하고, 드레인 전극층(206b)은 트랜지스터의 드레인으로서 기능한다. 또한, 트랜지스터의 구동 방법에 따라서는, 소스 전극층(206a)이 드레인으로서 기능하고, 드레인 전극층(206b)이 소스로서 기능하는 경우도 있을 수 있다.

[0041] 다음, 소스 전극층(206a) 및 드레인 전극층(206b)의 사이의 영역에 형성된 게이트 절연층(204)(노출한 게이트 절연층(204))의 상층부에 에칭 처리를 행함으로써, 게이트 절연층(204)에 오목부(207)를 형성한다(도 2c 참조).

[0042] 에칭 처리를 행함으로써, 소스 전극층(206a) 및 드레인 전극층(206b)의 사이의 영역에 위치하는 게이트 절연층(204)의 막 두께 t_2 가, 게이트 전극층(202)과 소스 전극층(206a)의 사이에 형성된 게이트 절연층(204) 및 게이트 전극층(202)과 드레인 전극층(206b)의 사이에 형성된 게이트 절연층(204)의 막 두께 t_1 보다 얇게 할 수 있다. 바람직하게는, 게이트 절연층(204)의 막 두께 t_2 를, t_1 의 막 두께의 $1/5$ 내지 $4/5$ ($t_2=t_1/5$ 내지 $4t_1/5$)로 한다.

[0043] 에칭 처리로서는, 불활성 가스 및/또는 반응성 가스를 사용한 플라즈마 처리, 웨트 에칭 처리 등을 사용할 수 있다.

[0044] 또한, 에칭 처리에 있어서, 소스 전극층(206a) 및 드레인 전극층(206b)을 마스크로서 사용할 수 있다. 이 외에도, 소스 전극층(206a) 및 드레인 전극층(206b)을 형성할 때(도 2b 참조)에, 사용한 포토 마스크를 사용하여 게이트 절연층(204)의 에칭을 행할 수도 있다. 이 경우, 소스 전극층(206a) 및 드레인 전극층(206b)과 중첩하지 않는 게이트 절연층(204)이 에칭된다.

[0045] 에칭 처리를 행함으로써, 게이트 절연층(204)의 막 두께를 영역마다 상이한 값으로 하는 것과 함께, 노출된 게이트 절연층(204)의 표면에 부착한 불순물이나 불순물 원소가 도입된 표층부를 제거할 수 있다(도 2c 참조).

[0046] 다음, 게이트 절연층(204), 소스 전극층(206a) 및 드레인 전극층(206b)을 덮도록 산화물 반도체층(209)을 형성한다(도 2d 참조).

[0047] 산화물 반도체층(209)은, In-Ga-Zn-O계 비단결정막으로 형성할 수 있다. 예를 들어, In, Ga, 및 Zn을 포함하는 산화물 반도체 타깃($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$)을 사용한 스퍼터법에 의하여 산화물 반도체층(209)을 형성할 수 있다. 스퍼터의 조건으로서, 예를 들어, 기판(200)과 타깃의 거리를 30mm 내지 500mm, 압력을 0.1Pa 내지 2.0Pa, 직류(DC) 전원을 0.25kW 내지 5.0kW, 온도를 20℃ 내지 100℃, 분위기를 아르곤 분위기, 산소 분위기, 또는 아르곤과 산소의 혼합 분위기로 할 수 있다.

[0048] 또한, 펄스 직류(DC) 전원을 사용하면, 먼지를 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다. 또한, 상술한 플라즈마 처리를 행한 후, 대기에 노출시키지 않고, 산화물 반도체층(209)을 형성함으로써, 게이트 절연층(204)과 산화물 반도체층(209)의 계면에 먼지나 수분이 부착하는 것을 억제할 수 있다. 또한, 산화물 반도체층(209)의 막 두께는, 5nm 내지 200nm정도로 하면 좋다.

[0049] 상술한 스퍼터법으로서, 스퍼터용 전원에 고주파 전원을 사용하는 RF 스퍼터법이나, 직류 전원을 사용하는 DC 스퍼터법, 펄스적으로 직류 바이어스를 가하는 펄스 DC 스퍼터법 등을 사용할 수 있다.

[0050] 또한, 에칭 처리로서 플라즈마 처리를 사용하는 경우, 플라즈마 처리와 산화물 반도체층(209)의 형성을 동일 챔버 내에서 연속적으로 행하는 것이 바람직하다. 플라즈마 처리 후의 게이트 절연층(204), 소스 전극층(206a) 및 드레인 전극층(206b)의 표면을 대기에 노출시키지 않고, 산화물 반도체층(209)을 형성함으로써, 게이트 절연층(204), 소스 전극층(206a) 및 드레인 전극층(206b)의 표면의 불순물의 부착이나 산화막 등이 형성되는 것을 억제할 수 있다.

[0051] 또한, 본 실시형태에서는, 박막 트랜지스터(250)의 채널 형성 영역이 되는 반도체층으로서 산화물 반도체층을 사용하는 예를 나타내지만, 적용할 수 있는 반도체층은 이것에 한정되지 않는다. 이 외에도, 반도체층으로서, 유기 반도체 재료를 사용한 반도체층 등을 사용할 수 있다. 또한, 반도체층으로서 In-Ga-Zn-O계 비단결정막 외

에 인듐, 갈륨, 아연 중 적어도 하나를 포함하는 산화물 반도체, 예를 들어, ZnO, ITO, 또는 SnO 등의 산화물 반도체, SiGe, GaAs 등의 화합물 반도체를 사용하여도 좋다.

[0052] 다음, 산화물 반도체층(209)을 에칭하여 섬 형상의 산화물 반도체층(210)을 형성한다(도 2e 참조).

[0053] 상술한 공정에 의하여 산화물 반도체층(210)을 채널 형성 영역으로서 사용하는 박막 트랜지스터(250)를 형성할 수 있다.

[0054] 또한, 산화물 반도체층(210)을 형성한 후, 100℃ 내지 600℃, 대표적으로는, 200℃ 내지 400℃의 열 처리를 행하면 좋다. 예를 들어, 질소 분위기하에서 350℃, 1시간의 열 처리를 행할 수 있다. 이 열 처리에 의하여 섬 형상의 산화물 반도체층(210)을 구성하는 In-Ga-Zn-O계 산화물 반도체의 원자 레벨의 재배열(再配列)이 행하여진다. 이 열 처리(광 어닐 등도 포함한다)는, 섬 형상의 산화물 반도체층(210) 중에 있어서의 캐리어 이동을 방해하는 뒤틀림을 해방할 수 있는 점에서 중요하다. 또한, 상기 열 처리를 행하는 타이밍은, 산화물 반도체층(209)의 형성 후라면 특히 한정되지 않는다.

[0055] 또한, 섬 형상의 산화물 반도체층(210)에 대해서 산소 라디칼 처리를 행하면 좋다. 산소 라디칼 처리를 행함으로써, 산화물 반도체층(210)을 채널 형성 영역으로 하는 박막 트랜지스터를 노멀리 오프(normally off)로 할 수 있다. 또한, 라디칼 처리를 행함으로써, 섬 형상의 산화물 반도체층(210)의 에칭에 의한 대미지를 회복할 수 있다. 라디칼의 처리는, O₂, N₂O, 산소를 포함하는 N₂, He, Ar 등의 분위기하에서 행할 수 있다. 또한, 상기 분위기에 Cl₂, CF₄를 가한 분위기하에서 행하면 좋다. 또한, 라디칼 처리는 기판(200) 측에 바이어스 전압을 인가하지 않고 행하는 것이 바람직하다.

[0056] 또한, 산화물 반도체층(210), 소스 전극층(206a) 및 드레인 전극층(206b) 등을 포함하는 박막 트랜지스터(250)를 덮도록 보호 절연층을 형성하여도 좋다. 보호 절연층으로서, CVD법이나 스퍼터법 등을 사용하여 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 또는 질화산화알루미늄막의 단층 또는 적층으로 형성하면 좋다.

[0057] 그 후, 각종 전극이나 배선을 형성함으로써, 박막 트랜지스터(250)를 갖는 반도체 장치가 완성된다.

[0058] 상술한 바와 같이, 소스 전극층(206a) 및 드레인 전극층(206b)을 형성한 후에, 노출된 게이트 절연층(204)에 에칭 처리를 행함으로써, 소스 전극층(206a) 및 드레인 전극층(206b)의 사이에 위치하는 게이트 절연층(204)의 막 두께 t₂를, 게이트 전극층(202)과 소스 전극층(206a)의 사이에 형성된 게이트 절연층(204) 및 게이트 전극층(202)과 드레인 전극층(206b)의 사이에 형성된 게이트 절연층(204)의 막 두께 t₁보다 얇게 할 수 있다. 결과적으로는, 소스 전극층 및 드레인 전극층과 게이트 전극층의 사이에 생기는 기생 용량을 저감하는 것과 함께, 소자 특성을 향상시킬 수 있다.

[0059] (실시형태 2)

[0060] 본 실시형태에서는, 도 1b를 참조하여 상기 실시형태와 다른 트랜지스터의 구성에 대해서 설명한다.

[0061] 도 1b에 도시하는 박막 트랜지스터(260)는, 도 1a에 도시하는 박막 트랜지스터(250)에 있어서, 소스 전극층(206a) 및 드레인 전극층(206b)을 테이퍼 형상으로 하고, 소스 전극층(206a) 및 드레인 전극층(206b)의 상단부가 곡면을 갖도록 형성하는 경우를 도시한다. 또한, 이 외의 구조(게이트 전극층(202), 게이트 절연층(204), 소스 전극층(206a), 드레인 전극층(206b), 산화물 반도체층(210)의 위치 관계 등)는, 도 1a와 같이 형성할 수 있다.

[0062] 소스 전극층(206) 및 드레인 전극층(206b)을 테이퍼 형상으로 하고, 소스 전극층(206a) 및 드레인 전극층(206b)의 상단부가 곡면을 갖도록 형성함으로써, 게이트 절연층(204), 소스 전극층(206a) 및 드레인 전극층(206b)에 대한 산화물 반도체층(210)의 피복성을 향상시켜 단절을 억제할 수 있다. 특히, 소스 전극층(206a) 및 드레인 전극층(206b)의 사이의 영역에 위치하는 게이트 절연층(204)의 막 두께 t₂를 소스 전극층(206a)이나 드레인 전극층(206b)의 하방에 형성된 게이트 절연층의 막 두께 t₁에 대해서 충분히 얇게 한 경우라도, 산화물 반도체층(210)의 단절을 효과적으로 억제할 수 있다.

[0063] 이하에 도 3a 내지 도 3d를 참조하여 도 1b에 도시하는 박막 트랜지스터(260)의 제작 방법의 일례에 대해서 설명한다. 또한, 도 3a 내지 도 3d에 있어서의 제작 공정은 많은 부분이 도 1b와 공통이다. 따라서, 이하의 설명에 있어서는, 같은 부분의 설명은 생략하고, 상이한 점에 대해서 자세히 설명한다. 또한, 도 3a 내지 도 3d

에서는, 게이트 절연층(204)의 에칭 처리로서 플라즈마 처리를 사용하는 경우를 도시한다.

- [0064] 우선, 절연 표면을 갖는 기판(200) 위에 게이트 전극층(202)을 형성하고, 계속해서 상기 게이트 전극층(202) 위에 게이트 절연층(204)을 형성한다(도 3a 참조). 또한, 게이트 전극층(202)을 형성할 때, 후에 형성되는 게이트 절연층(204)의 피복성을 향상시켜 단절을 방지하기 위해서, 게이트 전극층(202)의 단부가 테이퍼 형상으로 되도록 에칭하는 것이 바람직하다. 예를 들어, 테이퍼 각 θ_1 이 20° 이상 90° 미만, 바람직하게는 30° 이상 80° 이하가 되는 형상으로 하는 것이 바람직하다. 또한, “테이퍼 각 θ_1 ”이란, 테이퍼 형상을 갖는 층(여기서는 게이트 전극층(202))을 단면 방향(기판(200)의 표면과 직교하는 면)으로부터 관찰하였을 때에, 상기 층의 측면과 저면이 이루는 상기 층 내부 측의 경사각을 나타낸다. 즉, 단면 방향으로부터 관찰하였을 때의 기판(200)과 접하는 게이트 전극층(202) 하단부의 각도에 상당한다.
- [0065] 또한, 게이트 전극층(202), 게이트 절연층(204)의 재료나 제작 방법에 대해서는, 실시형태 1을 참조할 수 있다.
- [0066] 다음에, 게이트 절연층(204) 위에 소스 전극층(206a) 및 드레인 전극층(206b)을 형성한다(도 3b 참조). 또한, 소스 전극층(206a) 및 드레인 전극층(206b)의 재료나 제작 방법에 대해서는, 실시형태 1을 참조할 수 있다.
- [0067] 다음에, 게이트 절연층(204)에 에칭 처리를 행한다. 여기서는, 기판(200)이 설치된 챔버 내에서 플라즈마를 발생시켜 노출된 게이트 절연층(204), 소스 전극층(206a) 및 드레인 전극층(206b)의 표면에 플라즈마(208)를 작용 시킴으로써, 게이트 절연층(204)에 오목부(207)를 형성하는 경우를 나타낸다(도 3c 참조).
- [0068] 플라즈마 처리는, 예를 들어 진공 상태의 챔버에 아르곤(Ar) 가스를 등의 불활성 가스를 도입하여 피처리물(여기서는 기판(200))에 바이어스 전압을 인가하여 플라즈마 상태로 하여 행할 수 있다. 챔버에 Ar 가스를 도입한 경우, 플라즈마 중에는 전자와 Ar의 양 이온이 존재하여 음극 방향(기판(200) 측)에 Ar의 양 이온이 가속된다. 가속된 Ar의 양 이온이 기판(200) 위에 형성된 게이트 절연층(204), 소스 전극층(206a) 및 드레인 전극층(206b)의 표면에 충돌함으로써, 상기 표면이 스퍼터 에칭되어 게이트 절연층(204), 소스 전극층(206a) 및 드레인 전극층(206b)의 표면을 에칭할 수 있다. 또한, 이러한 플라즈마 처리를 “역 스퍼터”라고 부르는 경우도 있다.
- [0069] 기판(200) 측에 바이어스 전압을 인가하여 플라즈마 처리를 행함으로써, 게이트 절연층(204), 소스 전극층(206a) 및 드레인 전극층(206b)의 표면의 스퍼터 에칭을 효과적으로 행할 수 있다.
- [0070] 또한, 게이트 절연층(204)의 표면에 요철이 형성되는 경우에는, 플라즈마 처리를 행함으로써 게이트 절연층(204)의 불록부로부터 우선적으로 스퍼터 에칭되어 상기 게이트 절연층(204)의 표면의 평탄성을 향상시킬 수 있다.
- [0071] 또한, 상기 플라즈마 처리에 사용하는 가스로서, 아르곤 가스 대신에 헬륨 가스를 사용하여도 좋다. 또한, 아르곤 분위기에 산소, 수소, 질소 등을 가한 분위기에서 행하여도 좋다. 또한, 아르곤 분위기에 Cl_2 , CF_4 등을 가한 분위기에서 행하여도 좋다.
- [0072] 예를 들어, 본 실시형태에서는, 도 4에 도시하는 바와 같은 스퍼터 장치를 사용하여 플라즈마 처리를 행할 수 있다.
- [0073] 도 4에 도시하는 스퍼터 장치는, 챔버(190) 내에 피처리물(195)(여기서는, 기판(200))을 유지하는 제 1 전극(191)과 대향하는 제 2 전극(192)이 형성된다. 또한, 제 1 전극(191)은 RF 전원(고주파 전원)(197)에 접속되고, 제 2 전극(192)은 RF 전원(198), DC 전원(199)에 접속된다. 제 1 전극(191)과 RF 전원(197)의 사이, 및 제 2 전극(192)과 RF 전원(198)의 사이에는, 임피던스 정합시키기 위한 매칭 박스(matching box; 194)가 각각 형성된다.
- [0074] 도 4에 도시하는 스퍼터 장치를 사용하여 피처리물(195)에 플라즈마 처리(역 스퍼터라고도 한다)를 행하는 경우에는, 도입구(196)로부터 아르곤 가스 등의 불활성 가스를 도입하고, 제 1 전극(191)에 고주파 전압을 인가하여 제 1 전극(191)과 제 2 전극(192)간에 불활성 가스의 플라즈마를 생성하여 제 1 전극(191) 위에 형성된 피처리물(195) 측에 부(負)의 자기 바이어스를 발생시킴으로써(바이어스 전압을 인가한 상태로 함으로써), 플라즈마 중의 양 이온을 가속하여 피처리물(195)에 충돌시킨다. 이 때, 게이트 절연층(204)의 표면에 요철이 형성되는 경우에는, 불록부가 우선적으로 스퍼터 에칭되어 게이트 절연층(204)의 표면을 평탄화할 수 있다.
- [0075] 또한, 도 4에 도시하는 스퍼터 장치를 사용하여 피처리물(195)에 막을 형성(스퍼터 성막)하는 경우에는, 제 2 전극(192) 측에 성막하고자 하는 재료로 구성되는 타깃을 설치하여 제 2 전극(192)에 직류 전압 또는 고주파 전압을 인가하여 제 1 전극(191)과 제 2 전극(192)간에 플라즈마를 발생하여 플라즈마 중의 양 이온을 가속하여

타깃에 충돌시키면 좋다.

- [0076] 따라서, 플라스마 처리를 행한 후에, 피처리물(195)에 막을 형성하는 경우에는, 피처리물(195)을 대기에 노출시키지 않고, 플라스마 처리 후에 계속해서 스퍼터법을 사용하여 피처리물(195)에 막을 형성할 수 있다.
- [0077] 또한, 본 실시형태에서는, 플라스마 처리시에 기관(200) 측에 바이어스 전압을 인가하는 경우에 대해서 설명하였지만, 게이트 절연층(204)에 오목부(207)를 형성할 수 있으면, 바이어스 전압을 인가하지 않고 플라스마 처리를 행하여도 좋다.
- [0078] 또한, 플라스마 처리를 행함으로써 게이트 절연층(204)의 표면, 소스 전극층(206a) 및 드레인 전극층(206b)의 표면에 부착한 불순물을 제거할 수 있는 이점을 갖는다.
- [0079] 또한, 도 3a 내지 도 3d에서는, 게이트 절연층(204)뿐만 아니라, 소스 전극층(206a) 및 드레인 전극층(206b)에 플라스마 처리를 행함으로써 소스 전극층(206a) 및 드레인 전극층(206b)의 단부를 테이퍼 형상으로 하는 경우를 도시한다. 예를 들어, 테이퍼 각 θ_2 가 20° 이상 90° 미만, 바람직하게는 30° 이상 80° 이하가 되는 형상으로 하는 것이 바람직하다. 또한, “테이퍼 각 θ_2 ”란, 테이퍼 형상을 갖는 층(여기서는 소스 전극층(206a) 또는 드레인 전극층(206b)을 단면 방향(기관(200)의 표면과 직교하는 면)으로부터 관찰하였을 때, 상기 층의 측면과 저면이 이루는 상기 층 내부 측의 선단 부분의 경사각을 나타낸다. 즉, 단면 방향으로부터 관찰하였을 때의 게이트 절연층(204)에 접하는 소스 전극층(206a) 또는 드레인 전극층(206b)의 하단부의 각도에 상당한다. 소스 전극층(206a) 또는 드레인 전극층(206b)의 단부를 테이퍼 형상으로 함으로써, 후에 형성되는 산화물 반도체층의 피복성을 향상시켜 단절을 억제할 수 있다.
- [0080] 또한, 도 3a 내지 도 3d에서는, 게이트 절연층(204)뿐만 아니라, 소스 전극층(206a) 및 드레인 전극층(206b)에 플라스마 처리를 행함으로써, 소스 전극층(206a) 및 드레인 전극층(206b)의 상단부가 곡면을 갖도록(곡면 형상으로 하도록) 형성하는 경우를 나타낸다. 예를 들어, 소스 전극층(206a) 및 드레인 전극층(206b)의 상단부의 곡률 반경 R이 플라스마 처리 후의 소스 전극층(206a) 및 드레인 전극층(206b)의 두께의 $1/100$ 이상 $1/2$ 이하, 바람직하게는 소스 전극층(206a) 및 드레인 전극층(206b)의 두께의 $3/100$ 이상 $1/5$ 이하가 되도록 형성한다.
- [0081] 예를 들어, 플라스마 처리 후의 소스 전극층(206a) 및 드레인 전극층(206b)의 두께가 100nm인 경우에는, 소스 전극층(206a) 및 드레인 전극층(206b)의 상단부의 곡률 반경 R을 1nm 이상 50nm 이하, 바람직하게는 3nm 이상 20nm 이하로 한다. 또한, 소스 전극층(206a) 및 드레인 전극층(206b)의 상단부의 곡률 반경 R이 이 범위에서 연속적으로 변화하는 형상으로 하여도 좋다. 소스 전극층(206a) 및 드레인 전극층(206b)의 상단부가 곡면을 갖도록 형성함으로써, 후에 형성되는 산화물 반도체층의 피복성을 향상시켜 단절을 억제할 수 있다. 특히, 산화물 반도체층의 두께가 소스 전극층(206a) 또는 드레인 전극층(206b)의 두께와 오목부의 깊이를 합한 길이(단차)보다 얇은 경우에, 단절을 억제하는 효과가 현저해진다.
- [0082] 또한, 소스 전극층(206a) 및 드레인 전극층(206b)의 단부를 테이퍼 형상으로 하는 것과 함께, 게이트 절연층(204)의 오목부(207)가 테이퍼 형상으로 되도록 형성하는 것이 바람직하다. 이 경우, 게이트 절연층(204)과 소스 전극층(206a) 또는 드레인 전극층(206b)이 접하는 부분에 형성되는 산화물 반도체층의 피복성을 향상시켜 단절을 효과적으로 방지할 수 있다. 또한, “게이트 절연층(204)의 오목부(207)를 테이퍼 형상으로 한다”란 게이트 절연층(204)의 오목부의 부분의 측면과 저면이 이루는 오목부 측의 경사각 θ_3 (또는 오목부의 측면과 기관(200)의 표면이 이루는 오목부측의 경사각)을 90° 이상으로 하는 것을 가리킨다.
- [0083] 이와 같이, 게이트 절연층(204)뿐만 아니라, 소스 전극층(206a) 및 드레인 전극층(206b)에도 플라스마 처리를 행함으로써, 게이트 절연층(204)에 오목부(207)를 형성하는 것과 함께, 소스 전극층(206a) 및 드레인 전극층(206b)을 테이퍼 형상으로 하여 소스 전극층(206a) 및 드레인 전극층(206b)의 상단부가 곡면을 갖도록 형성할 수 있다.
- [0084] 다음, 게이트 절연층(204), 소스 전극층(206a) 및 드레인 전극층(206b)을 덮도록 산화물 반도체층을 형성한 후, 상기 산화물 반도체층을 선택적으로 에칭함으로써 산화물 반도체층(210)을 형성한다(도 3d 참조). 또한, 산화물 반도체층(210)의 재료나 제작 방법에 대해서는, 실시형태 1을 참조할 수 있다.
- [0085] 본 실시형태에 의하여 높은 특성을 갖는 트랜지스터로 구성되는 반도체 장치를 제공할 수 있다. 또한, 본 실시형태는, 다른 실시형태와 적절히 조합하여 사용할 수 있다.
- [0086] (실시형태 3)

- [0087] 본 실시형태에서는, 도 5a 내지 도 5c를 참조하여 상기 실시형태와 다른 트랜지스터의 구성에 대해서 설명한다.
- [0088] 도 5a에 도시하는 박막 트랜지스터(270)는, 기판(200) 위에 형성된 제 1 절연층(251)과 제 1 절연층(251) 위에 형성된 제 2 절연층(252)과, 제 1 절연층(251) 및 제 2 절연층(252)을 개재하여 게이트 전극층(202)의 일부와 중첩하도록 형성된 소스 전극층(206a) 및 드레인 전극층(206b)과, 소스 전극층(206a) 및 드레인 전극층(206b) 위에 형성되고, 또 소스 전극층(206a) 및 드레인 전극층(206b)의 사이의 영역에 위치하는 제 1 절연층(251)과 접하여 형성된 산화물 반도체층(210)을 갖는다.
- [0089] 즉, 제 2 절연층(252)이, 게이트 전극층(202)과 중첩하는 영역에 있어서, 소스 전극층(206a)과 드레인 전극층(206b)과 중첩하지 않는 영역에서 제거된 구성이 된다. 이 경우, 소스 전극층(206a) 및 드레인 전극층(206b)의 사이에 위치하는 절연층이 제 1 절연층(251)으로 구성되고, 게이트 전극층(202)과 소스 전극층(206a)의 사이에 형성된 절연층 및 게이트 전극층(202)과 드레인 전극층(206b)의 사이에 형성된 절연층이 제 1 절연층(251)과 제 2 절연층(252)의 적층 구조로 구성된다.
- [0090] 또한, 소스 전극층(206a) 및 드레인 전극층(206b)의 사이에 위치하는 절연층의 막 두께 t_2 가, 게이트 전극층(202)과 소스 전극층(206a)의 사이에 형성된 절연층 및 게이트 전극층(202)과 드레인 전극층(206b)의 사이에 형성된 절연층의 막 두께 t_1 보다 작아진다. 도 5a에서는, 막 두께 t_1 이 제 1 절연층(251)과 제 2 절연층(252)의 막 두께를 더한 값에 상당하며, 막 두께 t_2 가 제 1 절연층(251)의 막 두께의 값에 상당한다.
- [0091] 이와 같이, 도 5a에 도시하는 구성으로 함으로써, 게이트 전극층(202) 위에 제 1 절연층(251) 및 제 2 절연층(252)을 개재하여 소스 전극층(206a) 및 드레인 전극층(206b)을 형성하고, 상기 소스 전극층(206a) 및 드레인 전극층(206b) 위에 산화물 반도체층(210)을 형성하는 경우라도, 소스 전극층(206a) 및 드레인 전극층(206b)과 게이트 전극층(202)의 사이에 생기는 기생 용량을 저감하는 것과 함께, 트랜지스터의 구성 전압을 저감하여 소자 특성을 향상시킬 수 있다.
- [0092] 또한, 도 5a에 도시하는 구성에 있어서, 제 1 절연층(251)과 제 2 절연층(252)에 사용하는 재료를 다르게 하는 것이 바람직하다. 바람직하게는, 제 1 절연층(251)에 사용하는 재료의 유전율을 제 2 절연층(252)에 사용하는 재료의 유전율보다 높게 한다. 제 1 절연층(251)의 유전율을 제 2 절연층(252)의 유전율보다 높게 함으로써, 트랜지스터의 구동 전압을 저감할 수 있기 때문에, 소스 전극층(206a) 및 드레인 전극층(206b)과 게이트 전극층(202)의 사이에 생기는 기생 용량의 영향을 효과적으로 저감할 수 있다.
- [0093] 제 1 절연층(251)과 제 2 절연층(252)에 사용하는 재료를 다르게 함으로써, 제 2 절연층(252)을 에칭할 때에 에칭의 선택 비율을 취하기 쉽게 할 수 있다. 또한, “에칭 선택 비율을 취할 수 있다”란, 예를 들어 A층과 B층을 에칭하는 경우에, A층의 에칭 레이트와 B층의 에칭 레이트가 충분한 차이를 갖는 것을 가리킨다. 또한, “에칭 레이트”란, 단위 시간당의 에칭되는 양(피에칭량)을 가리킨다. 따라서, “에칭 레이트가 크다”란, 보다 에칭되기 쉬운 것을 가리키고, “에칭 레이트가 작다”란, 보다 에칭되기 어려운 것을 가리킨다.
- [0094] 또한, 제 1 절연층(251)의 막 두께와 제 2 절연층(252)의 막 두께는, 사용하는 재료에 따라 적절히 설정할 수 있다. 예를 들어, 제 1 절연층(251)으로서 질화실리콘막, 산화알루미늄막, 산화하프늄막, 또는 이들의 막을 조합한 절연층을 막 두께 5nm 내지 200nm로 형성하고, 제 2 절연층(252)으로서 산화알루미늄막, 폴리이미드막 또는 이들의 막을 조합한 절연층 등을 막 두께 5nm 내지 200nm로 형성할 수 있다. 또한, 구동 전압을 보다 저감하여 소스 전극층(206a) 및 드레인 전극층(206b)과 게이트 전극층(202)의 사이에 생기는 기생 용량을 저감하는 경우에는, 제 1 절연층(251)의 막 두께를 제 2 절연층(252)의 막 두께보다 얇게 하는 것이 바람직하다.
- [0095] 또한, 본 실시형태에서 나타내는 트랜지스터는, 도 5a의 구성에 한정되지 않는다. 그 외에도, 도 5b, 도 5c에 도시하는 구조로 하여도 좋다.
- [0096] 도 5b에 도시하는 박막 트랜지스터(271)는, 기판(200) 위에 형성된 제 1 절연층(251)과 제 1 절연층(251) 위에 형성된 제 2 절연층(252)과 제 1 절연층(251) 및 제 2 절연층(252)을 개재하여 게이트 전극층(202)의 일부와 중첩하도록 형성된 소스 전극층(206a) 및 드레인 전극층(206b)과, 소스 전극층(206a) 및 드레인 전극층(206b) 위에 형성되고, 또 소스 전극층(206a)과 드레인 전극층(206b)의 사이의 영역에 위치하는 제 2 절연층(252)과 접하여 형성된 산화물 반도체층(210)을 갖고, 소스 전극층(206a)과 드레인 전극층(206b)의 사이의 영역에 위치하는 제 2 절연층(252)의 상층부가 제거된다.
- [0097] 즉, 제 2 절연층(252)이 게이트 전극층(202)과 중첩하는 영역에 있어서 오목부(207)를 갖고, 제 2 절연층(252)

의 오목부(207)에 산화물 반도체층(210)이 형성된다.

- [0098] 도 5c에 도시하는 트랜지스터(272)는, 도 5a에 도시하는 구성에 있어서, 제 2 절연층(252)이 게이트 전극층(202)과 중첩하는 영역이며, 소스 전극층(206a)과 드레인 전극층(206b)의 사이에 위치하는 영역에 있어서, 제 1 절연층(251)이 오목부(207)를 갖고, 제 1 절연층(251)의 오목부(207)에 산화물 반도체층(210)이 형성된다.
- [0099] 도 5b 또는 도 5c에 도시하는 구성으로 한 경우라도, 소스 전극층(206a) 및 드레인 전극층(206b)의 사이에 위치하는 절연층의 막 두께 t_2 를 게이트 전극층(202)과 소스 전극층(206a)의 사이에 형성된 절연층 및 게이트 전극층(202)과 드레인 전극층(206b)의 사이에 형성된 절연층의 막 두께 t_1 보다 얇게 할 수 있다.
- [0100] 또한, 도 5a 내지 도 5c에서는, 게이트 전극층(202)과 소스 전극층(206a)과 드레인 전극층(206b)의 사이에 형성하는 절연층으로서, 제 1 절연층(251)과 제 2 절연층(252)의 2층 구조를 형성하는 경우를 도시하지만, 본 실시 형태는 2층 구조에 한정되지 않고, 3층 구조로 하여도 좋다.
- [0101] 다음, 도 6a 내지 도 6e를 참조하여 도 5a에 도시하는 트랜지스터(270)의 제작 방법의 일례에 대해서 설명한다. 또한, 도 6a 내지 도 6e에 있어서의 제작 방법은, 많은 부분에서 도 1a 및 도 1b와 공통이다. 따라서, 이하의 설명에 있어서는, 같은 부분의 설명은 생략하고, 상이한 점에 대해서 자세히 설명한다.
- [0102] 우선, 절연 표면을 갖는 기판(200) 위에 게이트 전극층(202)을 형성하고, 계속해서 상기 게이트 전극층(202) 위에 제 1 절연층(251)과 제 2 절연층(252)을 순차로 적층하여 형성한다(도 6a 참조).
- [0103] 제 1 절연층(251), 제 2 절연층(252)은, 산화실리콘막, 산화질화실리콘막, 질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 산화탄탈막, 산화하프늄막 등을 사용하여 형성할 수 있다.
- [0104] 또한, 제 1 절연층(251)과 제 2 절연층(252)은 상이한 재료를 사용하여 형성하는 것이 바람직하다. 특히, 제 1 절연층(251)의 유전율을 제 2 절연층(252)의 유전율보다 높게 되도록 재료 및 막 두께를 결정하는 것이 바람직하다. 예를 들어, 제 1 절연층(251)으로서 산화실리콘막과 질화실리콘막을 순차로 적층시킨 막을 5nm 내지 200nm의 두께로 형성하고, 제 2 절연층(252)으로서 산화실리콘막을 5nm 내지 200nm의 두께로 형성할 수 있다.
- [0105] 또한, 상술한 바와 같이, 제 1 절연층(251)으로서 질화실리콘막, 산화알루미늄막, 산화하프늄막, 또는 이들의 막을 조합한 절연층을 막 두께 5nm 내지 200nm로 형성하고, 제 2 절연층(252)으로서 산화알루미늄막, 폴리이미드막 또는 이들의 막을 조합한 절연층 등을 막 두께 5nm 내지 200nm로 형성할 수 있다.
- [0106] 또한, 게이트 전극층(202)의 재료나 제작 방법에 대해서는, 실시형태 1을 참조할 수 있다.
- [0107] 다음에, 제 2 절연층(252) 위에 소스 전극층(206a) 및 드레인 전극층(206b)을 형성한다(도 6b 참조). 또한, 소스 전극층(206a) 및 드레인 전극층(206b)의 재료나 제작 방법에 대해서는, 실시형태 1을 참조할 수 있다.
- [0108] 다음, 소스 전극층(206a)과 드레인 전극층(206b)의 사이에 형성된 제 2 절연층(252)(노출된 제 2 절연층(252))에 에칭 처리를 행함으로써, 제 2 절연층(252)을 제거하여 제 1 절연층(251)을 노출시킨다(도 6c 참조).
- [0109] 에칭 처리를 행함으로써, 소스 전극층(206a)과 드레인 전극층(206b)의 사이의 영역에 위치하는 절연층(여기서는, 제 1 절연층(251))의 막 두께 t_2 가 게이트 전극층(202)과 소스 전극층(206a)의 사이에 형성된 절연층 및 게이트 전극층(202)과 드레인 전극층(206b)의 사이에 형성된 절연층(여기서는, 제 1 절연층(251)과 제 2 절연층(252)의 적층막)의 막 두께 t_1 보다 작아진다.
- [0110] 에칭 처리로서는, 드라이 에칭 또는 웨트 에칭을 사용할 수 있다. 예를 들어, 에칭 처리로서, C_4F_8 과 Ar의 혼합 가스를 사용하여 드라이 에칭을 행함으로써, 산화실리콘막과 질화실리콘막의 에칭의 선택 비율을 취하여 제 2 절연층(252)을 효과적으로 제거할 수 있다.
- [0111] 또한, 에칭 처리의 조건을 제어함으로써, 소스 전극층(206a)과 드레인 전극층(206b)의 사이에 형성된 제 2 절연층(252)의 일부를 잔존시켜도 좋고(도 5b에 상당), 소스 전극층(206a)과 드레인 전극층(206b)의 사이에 형성된 제 2 절연층(252)을 제거하는 것과 함께, 제 1 절연층(251)의 상층부를 에칭하여 제 1 절연층(251)에 오목부를 형성하여도 좋다(도 5c에 상당).
- [0112] 또한, 에칭 처리에 있어서, 소스 전극층(206a) 및 드레인 전극층(206b)을 마스크로서 사용할 수 있다. 이 외에도, 소스 전극층(206a) 및 드레인 전극층(206b)의 형성시(도 6b 참조)에 사용한 포토 마스크를 사용하여 제 2 절연층(252)의 에칭을 행할 수도 있다.

- [0113] 다음에, 제 1 절연층(251), 제 2 절연층(252), 소스 전극층(206a) 및 드레인 전극층(206b)을 덮도록 산화물 반도체층(209)을 형성한 후(도 6d 참조), 상기 산화물 반도체층(209)을 선택적으로 에칭함으로써 산화물 반도체층(210)을 형성한다(도 6e 참조). 또한, 산화물 반도체층(209)(산화물 반도체층(210))의 재료나 제작 방법에 대해서는, 실시형태 1을 참조할 수 있다.
- [0114] 본 실시형태에 의하여, 높은 특성을 갖는 트랜지스터로 구성되는 반도체 장치를 제공할 수 있다. 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 사용할 수 있다.
- [0115] (실시형태 4)
- [0116] 본 실시형태에서는, 도 7a 및 도 7b를 참조하여 상기 실시형태와 다른 트랜지스터의 구성에 대해서 설명한다.
- [0117] 도 7a에 도시하는 박막 트랜지스터(280)는, 기판(200) 위에 형성된 게이트 절연층(204)과 게이트 절연층(204)을 개재하여 게이트 전극층(202)의 일부와 중첩하도록 형성된 소스 전극층(206a) 및 드레인 전극층(206b)과, 소스 전극층(206a) 및 드레인 전극층(206b) 위에 버퍼층(217a, 217b)을 개재하여 형성되고, 또 소스 전극층(206a) 및 드레인 전극층(206b)의 사이에 위치하는 게이트 절연층(204)과 접하여 형성된 산화물 반도체층(210)을 갖는다. 또한, 소스 전극층(206a)과 드레인 전극층(206b)의 사이의 영역에 위치하는 게이트 절연층(204)의 막 두께 t_2 가, 게이트 전극층(202)과 소스 전극층(206a)의 사이에 형성된 게이트 절연층(204) 및 게이트 전극층(202)과 드레인 전극층(206b)의 사이에 형성된 게이트 절연층(204)의 막 두께 t_1 보다 작아지도록 형성된다(도 7a 참조).
- [0118] 즉, 도 7a에 도시하는 트랜지스터는 도 1a에 도시하는 트랜지스터에 버퍼층(217a, 217b)을 추가한 구성이 된다.
- [0119] 버퍼층(217a, 217b)은, 제작 공정에 있어서 소스 전극층(206a) 및 드레인 전극층(206b)의 표면이 산화되는 것을 억제하는 것과 함께, 채널 형성 영역으로서 기능하는 산화물 반도체층(210)과, 소스 전극층(206a) 및 드레인 전극층(206b)의 전기적인 접속을 양호하게 행하기 위한 층으로서 기능한다.
- [0120] 버퍼층(217a, 217b)으로서는, 산화물 반도체층(210)의 도전율과 동일 또는 상기 산화물 반도체층(210)의 도전율보다 높은 산화물 반도체층을 사용하여 형성할 수 있다. 예를 들어, 버퍼층(217a, 217b)을 In-Ga-Zn-O계 비단결정막으로 형성하고 산화물 반도체층(210)을 버퍼층(217a, 217b)보다 도전율이 낮은 In-Ga-Zn-O계 비단결정막으로 형성할 수 있다.
- [0121] 이와 같이, 소스 전극층(206a) 및 드레인 전극층(206b)과, 산화물 반도체층(210)의 사이에 버퍼층(217a, 217b)을 형성함으로써, 콘택트 저항을 저감시켜 트랜지스터의 소자 특성을 향상시킬 수 있다.
- [0122] 다음에, 도 8a 내지 도 8e를 참조하여 도 7a에 도시하는 박막 트랜지스터(280)의 제작 방법의 일례에 대해서 설명한다. 또한, 도 8a 내지 도 8e에 있어서의 제작 공정은 많은 부분이 도 1a 및 도 1b와 공통이다. 따라서, 이하의 설명에 있어서는, 같은 부분의 설명은 생략하고, 상이한 점에 대해서 자세히 설명한다.
- [0123] 우선, 절연 표면을 갖는 기판(200) 위에 게이트 전극층(202)을 형성하고, 계속해서 상기 게이트 전극층(202) 위에 게이트 절연층(204)을 형성한다(도 8a 참조). 또한, 게이트 전극층(202), 게이트 절연층(204)의 재료나 제작 방법에 대해서는, 실시형태 1을 참조할 수 있다.
- [0124] 다음에, 게이트 절연층(204) 위에 도전층(206)을 형성한 후, 도전층(206) 위에 산화물 반도체층(217)을 형성한다(도 8b 참조).
- [0125] 도전층(206)은, 스퍼터법이나 진공 증착법 등을 사용하여 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택된 원소를 포함하는 금속, 상술한 원소를 성분으로 하는 합금, 또는 상술한 원소를 성분으로 하는 질화물 등으로 이루어지는 재료로 형성할 수 있다.
- [0126] 예를 들어, 도전층(206)을 몰리브덴막이나 티타늄막의 단층 구조로 형성할 수 있다. 또한, 도전층(206)을 적층 구조로 형성하여도 좋고, 예를 들어, 알루미늄막과 티타늄막의 적층 구조로 할 수 있다. 또한, 티타늄막, 알루미늄막, 티타늄막을 순차로 적층한 3층 구조로 하여도 좋다. 또한, 몰리브덴막, 알루미늄막, 몰리브덴막을 순차로 적층한 3층 구조로 하여도 좋다. 또한, 이들의 적층 구조에 사용하는 알루미늄막으로서 네오디뮴을 포함하는 알루미늄(Al-Nd)막을 사용하여도 좋다. 또한, 도전층(206)을 실리콘을 포함하는 알루미늄막의 단층 구조로 하여도 좋다.
- [0127] 산화물 반도체층(217)은, In-Ga-Zn-O계 비단결정막으로 형성할 수 있다. 예를 들어, In, Ga, 및 Zn를 포함하는 산화물 반도체 타겟($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$)을 사용한 스퍼터법에 의하여 도전층(206) 위에 산화물 반도체층

(217)을 형성할 수 있다. 스퍼터의 조건으로서, 예를 들어, 기판(200)과 타겟의 거리를 30nm 내지 500nm, 압력을 0.1Pa 내지 2.0Pa, 직류(DC) 전원을 0.25kW 내지 5.0kW, 온도를 20℃ 내지 100℃, 분위기를 아르곤 분위기, 산소 분위기, 또는 아르곤과 산소의 혼합 분위기로 할 수 있다.

[0128] 산화물 반도체층(217)은, 후에 형성되는 소스 전극층 및 드레인 전극층의 표면이 산화되는 것을 억제하는 것과 함께, 후에 형성되는 채널 형성 영역으로서 기능하는 산화물 반도체층과, 소스 전극층 및 드레인 전극층의 전기적인 접속을 양호하게 행하기 위한 버퍼층으로서 기능한다.

[0129] 또한, 도 8b의 공정에 있어서, 도전층(206)을 형성한 후, 상기 도전층(206)을 대기에 노출시키지 않고, 산화물 반도체층(217)을 연속적으로 형성하는 것이 바람직하다. 도전층(206)을 대기에 노출시키지 않고 산화물 반도체층(217)을 형성함으로써, 도전층(206)의 표면에 불순물의 부착이나 산화막이 형성되는 것을 억제하여 도전층(206)과 산화물 반도체층(217)의 콘택트 저항을 작게 할 수 있기 때문이다.

[0130] 또한, 산화물 반도체층(217)의 성막시에 사용하는 가스로서 도전층(206)의 표면이 산화되기 어려운 가스를 사용하는 것이 바람직하다. 예를 들어, 산화물 반도체층(217)의 성막 조건에 있어서, 산소 가스의 유량에 대한 아르곤 가스의 유량 비율을 크게 한다(바람직하게는, 산소 가스를 도입하지 않는다). 구체적으로는, 산화물 반도체층(217)의 형성을 아르곤 또는 헬륨 등의 희 가스 분위기하, 또는 산소 가스 10% 이하이며, 희 가스 90% 이상의 분위기하에서 행할 수 있다. 아르곤 가스의 유량에 대한 산소 가스의 유량 비율을 작게 함으로써, 도전층(206)의 표면에 산화막이 형성되는 것을 억제할 수 있다. 결과적으로는, 도전층(206)과 산화물 반도체층(217)의 콘택트 저항을 작게 할 수 있다.

[0131] 또한, 아르곤 가스의 유량에 대한 산소 가스의 유량 비율을 작게 함으로써 얻어지는 산화물 반도체층의 도전율을 높게 할 수 있다. 이 경우, 후에 형성되는 채널 형성 영역으로서 기능하는 산화물 반도체층과, 소스 전극층 및 드레인 전극층의 전기적인 접속을 양호하게 행할 수 있다.

[0132] 다음에, 포토리소그래피법을 사용하여 도전층(206)과 산화물 반도체층(217)을 에칭함으로써, 소스 전극층(206a) 및 드레인 전극층(206b)과, 버퍼층(217a, 217b)을 형성한다.

[0133] 다음에, 소스 전극층(206a)과 드레인 전극층(206b)의 사이에 형성된 게이트 절연층(204)(노출된 게이트 절연층(204))에 에칭 처리를 행함으로써, 게이트 절연층(204)에 오목부(207)를 형성한다(도 8c 참조).

[0134] 다음에, 게이트 절연층(204), 소스 전극층(206a) 및 드레인 전극층(206b), 버퍼층(217a) 및 버퍼층(217b)을 덮도록 산화물 반도체층(209)을 형성한 후(도 8d 참조), 상기 산화물 반도체층(209)을 선택적으로 에칭함으로써 산화물 반도체층(210)을 형성한다(도 8e 참조). 이 때, 버퍼층(217a, 217b)의 일부도 에칭된다. 또한, 산화물 반도체층(209)(산화물 반도체층(210))의 재료나 제작 방법에 대해서는, 실시형태 1을 참조할 수 있다.

[0135] 또한, 도 7a에서는, 도 1a에 도시하는 트랜지스터에 버퍼층(217a, 217b)을 형성한 구성을 도시하지만, 이것에 한정되지 않는다. 예를 들어, 도 7b에 도시하는 바와 같이, 도 5a에 도시하는 트랜지스터에 버퍼층(217a, 217b)을 형성하여도 좋다. 이 외에도, 도 1b, 도 5b, 도 5c에 도시한 구성에 버퍼층(217a, 217b)을 형성할 수도 있다.

[0136] 본 실시형태에 의하여 높은 특성을 갖는 트랜지스터로 구성되는 반도체 장치를 제공할 수 있다. 또한, 본 실시형태는, 다른 실시형태와 적절히 조합하여 사용할 수 있다.

[0137] (실시형태 5)

[0138] 본 실시형태에서는, 트랜지스터를 구비하는 반도체 장치의 사용 형태의 일례인 표시 장치의 제작 공정에 대해서 도면을 사용하여 설명한다. 또한, 본 실시형태에서 나타내는 제작 공정은 많은 부분에서 실시형태 1과 공통이다. 따라서, 이하에서는 같은 부분의 설명은 생략하고, 상이한 점에 대해서 자세히 설명한다. 또한, 이하의 설명에 있어서, 도 9a 내지 도 10d는 단면도를 도시하고, 도 11 내지 도 14는 상면도를 도시한다.

[0139] 우선, 절연 표면을 갖는 기판(200) 위에 배선 및 전극(게이트 전극층(202)을 포함하는 게이트 배선, 용량 배선(308), 제 1 단자(321))을 형성한다(도 9a 및 도 11 참조).

[0140] 용량 배선(308), 제 1 단자(321)는 게이트 전극층(202)과 동일한 재료를 사용하여 동시에 형성할 수 있다. 또한, 게이트 전극층(202)의 재료나 제작 방법에 대해서는, 실시형태 1을 참조할 수 있다.

[0141] 다음에, 게이트 전극층(202) 위에 게이트 절연층(204)을 형성하고, 그 후에 게이트 절연층(204) 위에 도전층(206)을 형성한다(도 9b 참조).

- [0142] 도전층(206)은, 스퍼터법이나 진공 증착법 등을 사용하여 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택된 원소를 포함하는 금속, 상술한 원소를 성분으로 하는 합금, 또는 상술한 원소를 성분으로 하는 질화물 등으로 이루어지는 재료로 형성할 수 있다.
- [0143] 예를 들어, 도전층(206)을 티타늄막의 단층 구조로 형성할 수 있다. 또한, 도전층(206)을 적층 구조로 형성하여도 좋고, 예를 들어, 알루미늄막과 티타늄막의 적층 구조로 할 수 있다. 또한, 티타늄막과 네오디뮴을 포함하는 알루미늄(Al-Nd)막과 티타늄막의 3층 구조로 하여도 좋다. 또한, 도전층(206)을 실리콘을 포함하는 알루미늄막의 단층 구조로 하여도 좋다.
- [0144] 도 9b에 있어서는, 게이트 절연층(204)을 형성한 후, 상기 게이트 절연층(204)에 콘택트 홀(213)을 형성한 후에 도전층(206)을 형성함으로써, 제 1 단자(321)와 도전층(206)이 전기적으로 접속한다.
- [0145] 다음에, 도전층(206)을 에칭함으로써, 소스 전극층(206a), 드레인 전극층(206b), 접속 전극(320), 제 2 단자(322)를 형성한다(도 9c 및 도 12 참조).
- [0146] 제 2 단자(322)는 소스 배선(소스 전극층(206a)을 포함하는 소스 배선)과 전기적으로 접속하는 구성으로 할 수 있다. 또한, 접속 전극(320)은 게이트 절연층(204)에 형성된 콘택트 홀(213)을 통하여 제 1 단자(321)와 직접 접속하는 구성으로 할 수 있다.
- [0147] 다음에, 소스 전극층(206a)과 드레인 전극층(206b)의 사이에 형성된 게이트 절연층(204)(노출된 게이트 절연층(204))에 에칭 처리를 행함으로써, 게이트 절연층(204)에 오목부(207)를 형성한다(도 9d 참조).
- [0148] 에칭 처리를 행함으로써, 소스 전극층(206a)과 드레인 전극층(206b)의 사이의 영역에 위치하는 게이트 절연층(204)의 막 두께 t_2 가, 게이트 전극층(202)과 소스 전극층(206a)의 사이에 형성된 게이트 절연층(204) 및 게이트 전극층(202)과 드레인 전극층(206b)의 사이에 형성된 게이트 절연층(204)의 막 두께 t_1 보다 작아진다.
- [0149] 에칭 처리로서는, 불활성 가스 및/또는 반응성 가스를 사용한 플라즈마 처리, 웨트 에칭 처리 등을 사용할 수 있다.
- [0150] 여기서, 에칭 처리로서 게이트 절연층(204), 소스 전극층(206a), 드레인 전극층(206b), 접속 전극(320), 제 2 단자(322)의 표면에 플라즈마 처리를 행하는 경우를 나타낸다. 이 경우, 소스 전극층(206a), 드레인 전극층(206b), 접속 전극(320), 제 2 단자(322)의 단부를 테이퍼 형상으로 하고, 상단부가 곡면을 갖도록 형성할 수 있다. 또한, 플라즈마 처리의 방법으로서, 상기 실시형태 2를 참조할 수 있다.
- [0151] 또한, 용량 배선(308) 위에 형성된 게이트 절연층(204)의 막 두께를 얇게 함으로써, 후에 형성되는 용량 소자의 용량을 크게 할 수 있다.
- [0152] 다음에, 게이트 절연층(204), 소스 전극층(206a), 드레인 전극층(206b), 접속 전극(320), 제 2 단자(322)를 덮도록 산화물 반도체층(209)을 형성한다(도 10a 참조).
- [0153] 플라즈마 처리와 산화물 반도체층(209)의 형성을 동일 챔버 내에서 연속적으로 행하는 것이 바람직하다. 플라즈마 처리와 산화물 반도체층(209)의 형성을 연속적으로 행함으로써, 게이트 절연층(204), 소스 전극층(206a) 및 드레인 전극층(206b)의 표면의 불순물의 부착이나 소스 전극층(206a) 및 드레인 전극층(206b)의 표면에 산화막 등이 형성되는 것을 억제할 수 있다. 또한, 산화물 반도체층(209)의 재료나 제작 방법에 대해서는, 실시형태 1을 참조할 수 있다.
- [0154] 다음에, 산화물 반도체층(209)을 선택적으로 에칭하여 섬 형상의 산화물 반도체층(210)을 형성하여 박막 트랜지스터(290)를 형성한다(도 10b 및 도 13 참조).
- [0155] 다음에, 100℃ 내지 600℃, 대표적으로는 200℃ 내지 400℃의 열 처리를 행하는 것이 바람직하다. 예를 들어, 질소 분위기하에서 250℃, 1시간의 열 처리를 행한다. 이 열 처리에 의하여 섬 형상의 산화물 반도체층(210)을 구성하는 In-Ga-Zn-O계 비단결정막의 원자 레벨의 재배열이 행해진다. 이 열 처리에 의하여 캐리어의 이동을 방해하는 뒤틀림이 해방되기 때문에, 여기서의 열 처리(광 어닐링도 포함한다)는 효과적이다. 또한, 열 처리를 행하는 타이밍은, 산화물 반도체층(209)의 성막 후라면 특히 한정되지 않고, 예를 들어 화소 전극 형성 후에 행하여도 좋다.
- [0156] 또한, 노출되는 섬 형상의 산화물 반도체층(210)에 산소 라디칼 처리를 행하여도 좋다. 산소 라디칼 처리를 행함으로써 섬 형상의 산화물 반도체층(210)을 채널 형성 영역으로 하는 박막 트랜지스터를 노멀리 오프로 할 수

있다. 또한, 라디칼 처리를 행함으로써, 섬 형상의 산화물 반도체층(210)의 에칭에 의한 대미지를 회복할 수 있다. 라디칼 처리는 O_2 , N_2O , 바람직하게는, 산소를 포함하는 N_2 , He, Ar 분위기하에서 행하면 좋다. 또한, 상기 분위기에 Cl_2 , CF_4 를 가한 분위기하에서 행하여도 좋다.

[0157] 다음에, 박막 트랜지스터(290)를 덮는 보호 절연층(340)을 형성하고, 상기 보호 절연층(340)을 선택적으로 에칭하여 드레인 전극층(206b)에 도달하는 콘택트 홀(325), 접속 전극(320)에 도달하는 콘택트 홀(326) 및 제 2 단자(322)에 도달하는 콘택트 홀(327)을 형성한다(도 10c 참조).

[0158] 다음에, 드레인 전극층(206b)과 전기적으로 접속하는 투명 도전층(310), 접속 전극(320)에 전기적으로 접속하는 투명 도전층(328) 및 제 2 단자(322)에 전기적으로 접속하는 투명 도전층(329)을 형성한다(도 10d 및 도 14 참조).

[0159] 투명 도전층(310)은 화소 전극으로서 기능하고, 투명 도전층(328, 329)은 FPC와의 접속에 사용되는 전극 또는 배선이 된다. 보다 구체적으로는, 접속 전극(320) 위에 형성된 투명 도전층(328)을 게이트 배선의 입력 단자로서 기능하는 접속용의 단자 전극으로서 사용하고, 제 2 단자(322) 위에 형성된 투명 도전층(329)을 소스 배선의 입력 단자로서 기능하는 접속용의 단자 전극으로서 사용할 수 있다.

[0160] 또한, 용량 배선(308), 게이트 절연층(204), 보호 절연층(340) 및 투명 도전층(310)에 의하여 유지 용량을 형성할 수 있다. 이 경우, 용량 배선(308)과 투명 도전층(310)이 전극이 되고, 게이트 절연층(204)과 보호 절연층(340)이 유전체가 된다.

[0161] 투명 도전층(310, 328, 329)은, 산화인듐(In_2O_3), 산화인듐산화주석합금($In_2O_3-SnO_2$, ITO라고 생략해서 기재한다), 산화인듐산화아연합금(In_2O_3-ZnO) 등을 스퍼터법이나 진공 증착법 등을 사용하여 형성할 수 있다. 예를 들어, 투명 도전층을 형성한 후, 상기 투명 도전층 위에 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거함으로써 투명 도전층(310, 328, 329)을 형성할 수 있다.

[0162] 상술한 공정에 의하여 보텀 게이트형의 n채널형 박막 트랜지스터나 유지 용량 등의 소자를 완성시킬 수 있다. 그리고, 이들의 소자를 개개의 화소에 대응시켜 매트릭스 형상으로 배치함으로써, 액티브 매트릭스형의 표시 장치를 제작하기 위한 한쪽의 기관으로 할 수 있다. 본 명세서에서는, 편의상, 이와 같은 기관을 액티브 매트릭스 기관이라고 부른다.

[0163] 액티브 매트릭스형의 액정 표시 장치를 제작하는 경우에는, 액티브 매트릭스 기관과 대향 전극이 형성된 대향 기관의 사이에 액정층을 형성하고, 액티브 매트릭스 기관과 대향 기관을 고정하면 좋다.

[0164] 또한, 본 실시형태에서 나타내는 구성은, 도 14의 화소 구성에 한정되지 않는다. 다른 구성의 일례를 도 15에 도시한다. 도 15는 용량 배선(308)을 형성하지 않고, 화소 전극으로서 기능하는 투명 도전층(310)과, 인접하는 화소의 게이트 배선(302)을 전극으로 하고, 보호 절연층(340) 및 게이트 절연층(204)을 유전체로 하여 유지 용량을 형성하는 구성을 도시한다.

[0165] 또한, 본 실시형태는, 다른 실시형태와 적절히 조합하여 사용할 수 있다.

[0166] (실시형태 6)

[0167] 본 실시형태에서는, 박막 트랜지스터를 제작하여 상기 박막 트랜지스터를 화소부, 또 구동 회로에 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 한다)를 제작하는 경우에 대해서 설명한다. 또한, 박막 트랜지스터로 제작한 구동 회로의 일부 또는 전체를 화소부와 같은 기관 위에 일체 형성하여 시스템 온 패널을 형성할 수 있다.

[0168] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는 액정 소자(액정 표시 소자라고도 한다), 발광 소자(발광 표시 소자라고도 한다)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의해서 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(Electro Luminescence), 또는 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.

[0169] 또한, 표시 장치는, 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 표시 장치는, 상기 표시 장치를 제작하는 과정에 있어서의 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기관에 관하여, 상기 소자 기관은 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기관은 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태이더라도

좋고, 화소 전극이 되는 도전층을 성막한 후이며, 에칭하여 화소 전극을 형성하기 전의 상태라도 좋고, 다양한 형태가 적합하다.

- [0170] 또한, 본 명세서 중에서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치도 포함한다)을 가리킨다. 또한, 커넥터, 예를 들어, FPC(Flexible Printed Circuit) 또는 TAB(Tape Automated Bonding) 테이프, 또는 TCP(Tape Carrier Package)가 부착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표기 소자에 COG(Chip On Glass) 방식에 의하여 IC(집적회로)가 직접 실장된 모듈도, 모두 표시 장치에 포함하는 것으로 한다.
- [0171] 본 실시형태에서는, 본 발명의 일 형태인 반도체 장치로서 액정 표시 장치의 예를 나타낸다. 우선, 반도체 장치의 일 형태에 해당하는 액정 표시 패널의 외관 및 단면에 대하여 도 16a1, 도 16a2, 및 도 16b를 사용하여 설명한다. 도 16a1, 도 16a2는, 제 1 기판(4001) 위에 형성된 In-Ga-Zn-O계 비단결정막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터(4010, 4011), 및 액정 소자(4013)를 제 2 기판(4006)과의 사이에 절재(4005)에 의하여 밀봉한, 패널의 상면도이며, 도 16b는 도 16a1 및 도 16a2의 M-N에 있어서의 단면도에 상당한다.
- [0172] 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 절재(4005)가 형성된다. 또한, 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성된다. 따라서, 화소부(4002)와, 주사선 구동 회로(4004)는, 제 1 기판(4001)과 절재(4005)와 제 2 기판(4006)에 의하여, 액정층(4008)과 함께 밀봉된다. 또한 제 1 기판(4001) 위의 절재(4005)에 의하여 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장된다.
- [0173] 또한, 별도 형성한 구동 회로의 접속 방법은, 특히 한정되지 않고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 16a1은 COG 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이며, 도 16a2는 TAB 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이다.
- [0174] 또한, 제 1 기판(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)는 박막 트랜지스터를 복수 갖고, 도 16b에서는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시한다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4020, 4021)이 형성된다.
- [0175] 박막 트랜지스터(4010, 4011)는, In-Ga-Zn-O계 비단결정막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터를 적용할 수 있다. 본 실시형태에 있어서, 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.
- [0176] 또한, 액정 소자(4013)가 갖는 화소 전극층(4030)은, 박막 트랜지스터(4010)와 전기적으로 접속된다. 그리고, 액정 소자(4013)의 대향 전극층(4031)은 제 2 기판(4006) 위에 형성된다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 중첩하는 부분이 액정 소자(4013)에 상당한다. 또한, 화소 전극층(4030), 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층(4032, 4033)이 형성되고, 절연층(4032, 4033)을 개재하여 액정층(4008)을 협지한다.
- [0177] 또한, 제 1 기판(4001) 및 제 2 기판(4006)으로서는, 유리, 금속(대표적으로는, 스테인리스), 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴수지 필름을 사용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 사용할 수도 있다.
- [0178] 또한, (4035)는 절연층을 선택적으로 에칭함으로써 얻어지는 주상(柱狀)의 스페이서이며, 화소 전극층(4030)과 대향 전극층(4031)의 사이의 거리(셀 갭)를 제어하기 위하여 형성된다. 또한, 구 형상의 스페이서를 사용하여도 좋다. 또한, 대향 전극층(4031)은, 박막 트랜지스터(4010)와 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 사용하여 한 쌍의 기판간에 배치되는 도전성 입자를 통하여 대향 전극층(4031)과 공통 전위선을 전기적으로 접속할 수 있다. 또한, 도전성 입자는 절재(4005)에 함유시킨다.
- [0179] 또한, 배향막을 사용하지 않는 블루 상(blue phase)을 나타내는 액정을 사용하여도 좋다. 블루 상은 액정상의 하나이며, 콜레스테릭(cholesteric) 액정을 승온하면, 콜레스테릭 상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루 상은 좁은 온도 범위만으로 발현하기 때문에, 온도 범위를 개선하기 위해서 5wt% 이상의 키랄(chiral)제를 혼합시킨 액정 조성물을 사용하여 액정층(4008)에 사용한다. 블루 상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 10 μ s 내지 100 μ s로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다.

- [0180] 또한, 본 실시형태에서 나타내는 액정 표시 장치는 투과형 액정 표시 장치의 예이지만, 액정 표시 장치는 반사형 액정 표시 장치라도 적용할 수 있고, 반투과형 액정 표시 장치라도 적용할 수 있다.
- [0181] 또한, 본 실시형태에서 나타내는 액정 표시 장치에서는, 기관의 외측(시인측)에 편광판을 형성하고, 내측에 착색층, 표시 소자에 사용하는 전극층의 순서로 형성하는 예를 도시하지만, 편광판은 기관의 내측에 형성하여도 좋다. 또한, 편광판과 착색층의 적층 구조도 본 실시형태에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정 조건에 따라서 적절히 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광막을 형성하여도 좋다.
- [0182] 또한, 본 실시형태에서는, 박막 트랜지스터의 표면의 요철을 저감시키기 위해서, 및 박막 트랜지스터의 신뢰성을 향상시키기 위해서 박막 트랜지스터를 보호층이나 평탄화 절연층으로서 기능하는 절연층(절연층(4020, 4021))으로 덮는 구성이 된다. 또한, 보호층은 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 방지하는 것이며, 치밀한 막이 바람직하다. 보호층은 CVD법 등을 사용하여 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 또는 질화산화알루미늄막의 단층, 또는 적층으로 형성하면 좋다. 본 실시형태에서는, 보호층을 스퍼터법에 의하여 형성하는 예를 나타내지만, 특히 한정되지 않고 다양한 방법으로 형성하면 좋다.
- [0183] 여기서는, 보호층으로서 적층 구조의 절연층(4020)을 형성한다. 여기서는, 절연층(4020)의 1층째로서 스퍼터법을 사용하여 산화실리콘막을 형성한다. 보호층으로서 산화실리콘막을 사용하면, 소스 전극층 및 드레인 전극층으로서 사용하는 알루미늄막의 힐록 방지에 효과가 있다.
- [0184] 또한, 보호층의 2층째로서 절연층을 형성한다. 여기서는, 절연층(4020)의 2층째로서 스퍼터법을 사용하여 질화실리콘막을 형성한다. 보호층으로서 질화실리콘막을 사용하면, 나트륨 등의 가동 이온이 반도체 영역 중에 침입하여 TFT의 전기 특성을 변화시키는 것을 억제할 수 있다.
- [0185] 또한, 보호층을 형성한 후에 반도체층의 어닐링(300℃ 내지 400℃)을 행하여도 좋다.
- [0186] 또한, 평탄화 절연층으로서 절연층(4021)을 형성한다. 절연층(4021)으로서는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인붕소 유리) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연층을 복수 적층시킴으로써, 절연층(4021)을 형성하여도 좋다.
- [0187] 또한, 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는, 치환기로서 유기기(예를 들어, 알킬기나 아릴기)나 플루오르기를 사용하여도 좋다. 또한, 유기기는 플루오르기를 가져도 좋다.
- [0188] 절연층(4021)의 형성 방법은 특히 한정되지 않고, 그 재료에 따라, 스퍼터법, SOG법, 스핀코팅, 디핑, 스프레이도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다. 절연층(4021)을 재료액을 사용하여 형성하는 경우, 베이킹하는 공정에서 동시에 반도체층의 어닐링(300℃ 내지 400℃)을 행하여도 좋다. 절연층(4021)의 소성 공정과 반도체층의 어닐링을 겸함으로써, 효율 좋게 반도체 장치를 제작할 수 있다.
- [0189] 화소 전극층(4030), 대향 전극층(4031)은 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 기재한다), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0190] 또한, 화소 전극층(4030), 대향 전극층(4031)으로서 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 파장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.
- [0191] 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0192] 또한 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018)로부터 공급된다.

- [0193] 본 실시형태에서는, 접속 단자 전극(4015)이 액정 소자(4013)가 갖는 화소 전극층(4030)과 같은 도전층으로 형성되고, 단자 전극(4016)은 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 같은 도전층으로 형성된다.
- [0194] 접속 단자 전극(4015)은 FPC(4018)가 갖는 단자와 이방성 도전막(4019)을 통하여 전기적으로 접속된다.
- [0195] 또한, 도 16a1, 도 16a2, 도 16b에 있어서는, 신호선 구동 회로(4003)를 별도 형성하여 제 1 기관(4001)에 실장하는 예를 나타내지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장하여도 좋다.
- [0196] 도 17은 반도체 장치의 일 형태에 해당하는 액정 표시 모듈에 TFT 기관(2600)을 사용하여 구성하는 일례를 도시한다.
- [0197] 도 17은 액정 표시 모듈의 일례이며, TFT 기관(2600)과 대향 기관(2601)이 쉘재(2602)에 의하여 고착되어, 그 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605)이 형성되어 표시 영역을 형성한다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하고, RGB 방식의 경우에는, 적색, 녹색, 청색의 각 색에 대응한 착색층이 각 화소에 대응하여 형성된다. TFT 기관(2600)과 대향 기관(2601)의 외측에는 편광판(2606, 2607), 확산판(2613)이 배치된다. 광원은 냉음극관(2610)과 반사판(2611)에 의하여 구성되고, 회로 기관(2612)은, 플렉시블 배선 기관(2609)에 의하여 TFT 기관(2600)의 배선 회로부(2608)와 접속되고, 컨트롤 회로나 전원회로 등의 외부 회로가 내장되어 있다. 또한, 편광판과 액정층의 사이에 위상차판을 갖는 상태로 적층하여도 좋다.
- [0198] 액정 표시 모듈에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.
- [0199] 상술한 공정에 의하여 반도체 장치로서 신뢰성이 높은 액정 표시 장치를 제작할 수 있다.
- [0200] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0201] (실시형태 7)
- [0202] 본 실시형태에서는, 본 발명의 일 형태인 반도체 장치의 일례로서 전자 페이퍼를 나타낸다.
- [0203] 도 18은 반도체 장치의 일례로서 액티브 매트릭스형의 전자 페이퍼를 도시한다. 반도체 장치에 사용되는 박막 트랜지스터(581)로서는, 상기 실시형태 1 내지 실시형태 3에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있다.
- [0204] 도 18의 전자 페이퍼는 트위스트볼 표시방식을 사용한 표시 장치의 예이다. 트위스트 볼 표시 방식이란, 백과 흑으로 나누어 칠해진 구형 입자를 표시 소자에 사용하는 전극층인 제 1 전극층 및 제 2 전극층의 사이에 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 발생시킴으로써 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.
- [0205] 기관(580) 위에 형성된 박막 트랜지스터(581)는, 보텀 게이트 구조의 박막 트랜지스터이며, 소스 전극층 또는 드레인 전극층이 제 1 전극층(587)과 절연층(583, 584, 585)에 형성된 콘택트 홀을 통하여 전기적으로 접속한다. 제 1 전극층(587)과 제 2 전극층(588)의 사이에는 흑색 영역(590a) 및 백색 영역(590b)을 갖고, 주위에 액체로 채워져 있는 캐비티(594)를 포함하는 구형 입자(589)가 형성되고, 구형 입자(589)의 주위는 수지 등의 충전재(595)가 형성된다(도 18 참조). 도 18에 있어서는, 제 1 전극층(587)이 화소 전극에 상당하고, 제 2 전극층(588)이 공통 전극에 상당한다. 제 2 전극층(588)은, 박막 트랜지스터(581)와 동일 기관 위에 형성되는 공통 전위선과 전기적으로 접속된다. 상기 실시형태에 나타내는 공통 접속부를 사용하여 한 쌍의 기관간에 배치되는 도전성 입자를 통하여 기관(596)에 형성된 제 2 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.
- [0206] 또한, 트위스트볼 대신에, 전기 영동 소자를 사용할 수도 있다. 그 경우, 투명한 액체와, 양으로 대전한 흰 미립자와 음으로 대전한 검은 미립자를 밀봉한 직경 10 μ m 내지 200 μ m 정도의 마이크로 캡슐을 사용한다. 제 1 전극층과 제 2 전극층의 사이에 형성되는 마이크로 캡슐은, 제 1 전극층과 제 2 전극층에 의해서, 전장(電場)이 주어지면, 흰 미립자와, 검은 미립자가 반대 방향으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 응

용한 표시 소자가 전기 영동 표시 소자이고, 일반적으로 전자 페이퍼라고 불리고 있다. 전기 영동 표시 소자는 액정 표시 소자와 비교하여 반사율이 높기 때문에, 보조 라이트는 불필요하고, 또 소비전력이 작고, 어두컴컴한 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않은 경우라도, 한번 표시한 상을 유지할 수 있기 때문에, 전파 발신원으로부터 표시 기능이 딸린 반도체 장치(단순히 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고도 한다)를 멀리한 경우라도, 표시된 상을 보존해 두는 것이 가능해진다.

[0207] 상술한 공정에 의하여 반도체 장치로서 신뢰성이 높은 전자 페이퍼를 제작할 수 있다.

[0208] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0209] (실시형태 8)

[0210] 본 실시형태에서는, 본 발명의 일 형태인 반도체 장치로서 발광 표시 장치의 예를 나타낸다. 표시 장치가 갖는 표시 소자로서는, 여기서는 일렉트로루미네선스를 이용하는 발광 소자를 사용하여 나타낸다. 일렉트로루미네선스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되어, 일반적으로는, 전자(前者)는 유기 EL 소자, 후자(後者)는 무기 EL 소자라고 불린다.

[0211] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되고, 전류가 흐른다. 그리고, 그들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아올 때에 발광한다. 이러한 메커니즘 때문에, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.

[0212] 무기 EL 소자는, 그 소자 구성에 의하여, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖고, 발광 메커니즘은, 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 협지하고, 또한 그것을 전극으로 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 천이를 이용하는 국재(局在)형 발광이다. 또한, 여기서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.

[0213] 도 19는 본 발명의 일 형태인 반도체 장치의 일례로서 디지털 시간 계조 구동을 적용할 수 있는 화소 구성의 일례를 나타내는 도면이다.

[0214] 디지털 시간 계조 구동을 적용할 수 있는 화소의 구성 및 화소의 동작에 대해서 설명한다. 여기서는, 산화물 반도체층(In-Ga-Zn-O계 비단결정막)을 채널 형성 영역에 사용하는 n채널형의 트랜지스터를 1개의 화소에 2개 사용하는 예를 나타낸다.

[0215] 화소(6400)는, 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 갖는다. 스위칭용 트랜지스터(6401)는, 게이트가 주사선(6406)에 접속되고, 제 1 전극(소스 전극 및 드레인 전극의 한 쪽)이 신호선(6405)에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 쪽)이 구동용 트랜지스터(6402)의 게이트에 접속된다. 구동용 트랜지스터(6402)는, 게이트가 용량 소자(6403)를 통하여 전원선(6407)에 접속되고, 제 1 전극이 전원선(6407)에 접속되고, 제 2 전극이 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 상당한다.

[0216] 또한, 발광 소자(6404)의 제 2 전극(공통 전극(6408))에는 저전원 전위가 설정된다. 또한, 저전원 전위란, 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여 저전원 전위<고전원 전위를 충족시키는 전위이며, 저전원 전위로서는, 예를 들어, GND, 0V 등이 설정되어도 좋다. 이 고전원 전위와 저전원 전위의 전위차를 발광 소자(6404)에 인가하여 발광 소자(6404)에 전류를 흘려 발광 소자(6404)를 발광시키기 위해서, 고전원 전위와 저전원 전위의 전위차가 발광 소자(6404)의 순 방향 임계값 전압 이상이 되도록 각각의 전위를 설정한다.

[0217] 또한, 용량 소자(6403)는 구동용 트랜지스터(6402)의 게이트 용량을 대용(代用)하여 생략할 수도 있다. 구동용 트랜지스터(6402)의 게이트 용량에 대해서는, 채널 영역과 게이트 전극의 사이에서 용량이 형성되어도 좋다.

[0218] 여기서, 전압 입력 전압 구동 방식의 경우에는, 구동용 트랜지스터(6402)의 게이트에는 구동용 트랜지스터(6402)가 충분히 온하는지 오프하는지의 2개의 상태가 되는 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)는 선형 영역에서 동작시키기 위해서, 전원선(6407)의 전압보다 높은 전압을 구동용 트랜지스터(6402)의 게이트에 인가한다. 또한, 신호선(6405)에는 (전원선 전압+구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 인가한다.

[0219] 또한, 디지털 시간 계조 구동 대신에 아날로그 계조 구동을 행하는 경우, 신호의 입력을 다르게 함으로써, 도

19와 같은 화소 구성을 사용할 수 있다.

- [0220] 아날로그 게조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 발광 소자(6404)의 순 방향 전압+구동용 트랜지스터(6402)의 V_{th} 이상의 전압을 인가한다. 발광 소자(6404)의 순 방향 전압이란, 원하는 휘도로 하는 경우의 전압을 가리키고, 적어도 순 방향 임계값 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 흘릴 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해서, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘려, 아날로그 게조 구동을 행할 수 있다.
- [0221] 또한, 도 19에 도시하는 화소 구성은 이것에 한정되지 않는다. 예를 들어, 도 19에 도시하는 화소에 새롭게 스위치, 저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가하여도 좋다.
- [0222] 다음, 발광 소자의 구성에 대해서 도 20a 내지 도 20c를 사용하여 설명한다. 여기서는, 구동용 TFT가 n형의 경우를 예로 들어, 화소의 단면 구조에 대해서 설명한다. 도 20a 내지 도 20c의 반도체 장치에 사용되는 구동용 TFT인 TFT(7001, 7011, 7021)는, 실시형태에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, In-Ga-Zn-O계 비단결정막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터이다.
- [0223] 발광 소자는 발광을 추출하기 위해서 양극 또는 음극의 적어도 한쪽이 투명하면 좋다. 그리고, 기관 위에 박막 트랜지스터 및 발광 소자를 형성하고, 기관과는 반대 측의 면으로부터 발광을 추출하는 상면 사출이나, 기관 측의 면으로부터 발광을 추출하는 하면 사출이나, 기관 측 및 기관과는 반대 측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 화소 구성은 어떠한 사출 구조의 발광 소자나 적용할 수 있다.
- [0224] 상면 사출 구조의 발광 소자에 대해서 도 20a를 사용하여 설명한다.
- [0225] 도 20a에, 구동용 TFT인 TFT(7001)가 n형이며, 발광 소자(7002)로부터 방출되는 광이 양극(7005) 측으로 사출되는 경우의, 화소의 단면도를 도시한다. 도 20a에서는 발광 소자(7002)의 음극(7003)과 구동용 TFT인 TFT(7001)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순차로 적층된다. 음극(7003)은 일함수가 작고 또 광을 반사하는 도전막이라면 다양한 재료를 사용할 수 있다. 예를 들어, Ca, Al, MgAg, AlLi 등이 바람직하다. 그리고 발광층(7004)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 복수의 층으로 구성되는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다. 또한, 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 광을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성하고, 예를 들어, 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 기재한다), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의, 투광성을 갖는 도전층을 사용하여도 좋다.
- [0226] 음극(7003) 및 양극(7005)에서 발광층(7004)을 끼우는 영역이 발광 소자(7002)에 상당한다. 도 20a에 도시한 화소의 경우, 발광 소자(7002)로부터 방출되는 광은 화살표로 도시하는 바와 같이, 양극(7005) 측으로 사출된다.
- [0227] 다음에, 하면 사출 구조의 발광 소자에 대하여 도 20b를 사용하여 설명한다. 구동용 TFT(7011)가 n형이고, 발광 소자(7012)로부터 방출되는 광이 음극(7013) 측으로 사출되는 경우의 화소의 단면도를 도시한다. 도 20b에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 갖는 도전층(7017) 위에, 발광 소자(7012)의 음극(7013)이 형성되고, 음극(7013) 위에 발광층(7014) 및 양극(7015)이 순차로 적층된다. 또한, 양극(7015)이 투광성을 갖는 경우, 양극 위를 덮도록, 광을 반사 혹은 차폐하기 위한 차폐막(7016)이 형성되어도 좋다. 음극(7013)은, 도 20a의 경우와 마찬가지로, 일함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 다만, 그 막 두께는 광을 투과하는 정도(바람직하게는, 5nm 내지 30nm 정도)로 한다. 예를 들어, 20nm의 막 두께를 갖는 알루미늄막을 음극(7013)으로서 사용할 수 있다. 그리고, 발광층(7014)은, 도 20a와 마찬가지로, 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7015)은 광을 투과할 필요는 없지만, 도 20a와 마찬가지로, 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다. 그리고 차폐막(7016)은 예를 들어 광을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어, 흑색의 안료를 첨가한 수지 등을 사용할 수도 있다.
- [0228] 음극(7013)과 양극(7015) 사이에 발광층(7014)을 끼우는 영역이 발광 소자(7012)에 상당한다. 도 20b에 도시하는 화소의 경우, 발광 소자(7012)로부터 방출되는 광은, 화살표로 도시하는 바와 같이, 음극(7013) 측으로 사출

된다.

- [0229] 다음에, 양면 사출 구조의 발광 소자에 대하여 도 20c를 사용하여 설명한다. 도 20c에서는, 구동용 TFT(7021)와 전기적으로 접속된 투광성을 갖는 도전층(7027) 위에, 발광 소자(7022)의 음극(7023)이 성막되고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차로 적층된다. 음극(7023)은, 도 20a의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 다만, 그 막 두께는, 광을 투과하는 정도로 한다. 예를 들어, 20nm의 막 두께를 갖는 Al을, 음극(7023)으로서 사용할 수 있다. 그리고, 발광층(7024)은, 도 20a와 마찬가지로, 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7025)은 도 20a와 마찬가지로, 광을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다.
- [0230] 음극(7023)과, 발광층(7024)과, 양극(7025)이 중첩하는 부분이 발광 소자(7022)에 상당한다. 도 20c에 도시한 화소의 경우, 발광 소자(7022)로부터 방출되는 광은 화살표로 도시하는 바와 같이, 양극(7025) 측과 음극(7023) 측의 양쪽으로 사출한다.
- [0231] 또한, 여기서는, 발광 소자로서 유기 EL 소자에 대하여 설명하였지만, 발광 소자로서 무기 EL 소자를 형성할 수도 있다.
- [0232] 또한, 본 실시형태에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되는 예를 나타내지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되는 구성이라도 좋다.
- [0233] 또한, 본 실시형태에서 나타내는 반도체 장치는, 도 20a 내지 도 20c에 도시한 구성에 한정되지 않고, 각종 변형이 가능하다.
- [0234] 다음에, 반도체 장치의 일 형태에 상당하는 발광 표시 패널(발광 패널이라고도 한다)의 외관 및 단면에 대하여 도 21a 및 도 21b를 사용하여 설명한다. 도 21a는, 제 1 기판(4501) 위에 형성된 In-Ga-Zn-O계 비단결정막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터(4509, 4510) 및 발광 소자(4511)를 제 2 기판(4506)과의 사이에 절재(4505)에 의하여 밀봉한 패널의 상면도이며, 도 21b는 도 21a의 H-I에 있어서의 단면도에 상당한다.
- [0235] 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 절재(4505)가 형성된다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b) 위에 제 2 기판(4506)이 형성된다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 제 1 기판(4501)과 절재(4505)와 제 2 기판(4506)에 의하여 충전재(4507)와 함께 밀봉된다. 이와 같이, 외기에 노출되지 않도록 기밀성이 높고, 탈 가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(밀봉)하는 것이 바람직하다.
- [0236] 또한, 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 박막 트랜지스터를 복수 갖고, 도 21b에서는, 화소부(4502)에 포함되는 박막 트랜지스터(4510)와 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시한다.
- [0237] 박막 트랜지스터(4509, 4510)는, In-Ga-Zn-O계 비단결정막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터를 적용할 수 있다. 본 실시형태에 있어서, 박막 트랜지스터(4509, 4510)는, n채널형 박막 트랜지스터이다.
- [0238] 또한, 부호 (4511)은 발광 소자에 상당하고, 발광 소자(4511)가 갖는 화소 전극인 제 1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속된다. 또한, 발광 소자(4511)의 구성은 제 1 전극층(4517), 전계 발광층(4512), 제 2 전극층(4513)의 적층 구조이지만, 본 실시형태에 나타낸 구성에 한정되지 않는다. 발광 소자(4511)로부터 추출하는 광의 방향 등에 맞추어 발광 소자(4511)의 구성은 적절히 변화시킬 수 있다.
- [0239] 격벽(4520)은, 유기 수지층, 무기 절연층 또는 유기폴리실록산을 사용하여 형성한다. 특히, 감광성을 갖는 재료를 사용하여 제 1 전극층(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속된 곡율을 갖고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0240] 전계 발광층(4512)은, 단층의 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.
- [0241] 발광 소자(4511)에 산소, 수소, 수분, 이산화 탄소 등이 침입하지 않도록 제 2 전극층(4513) 및 격벽(4520) 위에 보호층을 형성하여도 좋다. 보호층으로서, 질화실리콘막, 질화산화실리콘막, DLC막 등을 형성할

수 있다.

- [0242] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 주어진 각종 신호 및 전위는 FPC(4518a, 4518b)로부터 공급된다.
- [0243] 본 실시형태에서는, 접속 단자 전극(4515)이 발광 소자(4511)가 갖는 제 1 전극층(4517)과 같은 도전층으로 형성되고, 단자 전극(4516)은 박막 트랜지스터(4509, 4510)가 갖는 소스 전극층 및 드레인 전극층과 같은 도전층으로 형성된다.
- [0244] 접속 단자(4515)는 FPC(4518a)가 갖는 단자와 이방성 도전막(4519)을 통하여 전기적으로 접속된다.
- [0245] 발광 소자(4511)로부터의 광의 추출 방향에 위치하는 제 2 기관(4506)은 투광성이 아니면 안 된다. 그 경우에는, 유리 기관, 플라스틱 기관, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 사용한다.
- [0246] 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성 기체 이외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌비닐 아세테이트)를 사용할 수 있다. 본 실시형태에서는 충전재(4507)로서 질소를 사용한다.
- [0247] 또한, 필요하다면, 발광 소자의 사출면에 편광판, 또는 원형 편광판(타원 편광판을 포함한다), 위상차판(1/4 파장판, 1/2 파장판), 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성하여도 좋다. 예를 들어, 표면의 요철에 따라 반사광을 확산하여 반사를 저감할 수 있는 안티-글레어(anti-glare) 처리를 실시할 수 있다.
- [0248] 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막에 의하여 형성된 구동 회로로 실장되어도 좋다. 또한, 신호선 구동 회로만, 또는 신호선 구동 회로의 일부, 또는 주사선 구동 회로만, 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장하여도 좋고, 본 실시형태는 도 21a 및 도 21b의 구성에 한정되지 않는다.
- [0249] 상술한 공정에 의하여 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제작할 수 있다.
- [0250] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0251] (실시형태 9)
- [0252] 본 발명의 일 형태인 반도체 장치는, 전자 페이퍼로서 적용할 수 있다. 전자 페이퍼는, 정보를 표시하는 것이라면 다양한 분야의 전자 기기에 사용할 수 있다. 예를 들어, 전자 페이퍼를 사용하여 전자 서적(전자 북), 포스터, 전차 등의 탈 것류의 차내 광고, 신용 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 전자 기기의 일례를 도 22a 내지 도 23에 도시한다.
- [0253] 도 22a는 전자 페이퍼로 제작된 포스터(2631)를 도시한다. 광고 매체가 종이의 인쇄물인 경우는, 광고의 교환은 사람들이 행하지만, 전자 페이퍼를 사용하면, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 흐트러지지 않고, 안정한 화상을 얻을 수 있다. 또한, 포스터는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.
- [0254] 또한, 도 22b는 전차 등의 탈 것류의 차내 광고(2632)를 도시한다. 광고 매체가 종이인 인쇄물의 경우는, 광고의 교환은 사람들이 행하지만, 전자 페이퍼를 사용하면, 사람들을 많이 필요로 하지 않고, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 흐트러지지 않고, 안정한 화상을 얻을 수 있다. 또한, 차내 광고는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.
- [0255] 또한, 도 23은 전자 서적(2700)의 일례를 도시한다. 예를 들어, 전자 서적(2700)은 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성된다. 케이스(2701) 및 케이스(2703)는 축(軸)부(2711)에 의하여 일체로 되어, 상기 축부(2711)를 축으로 하여 개폐(開閉) 동작을 행할 수 있다. 이러한 구성에 의하여 종이의 서적과 같은 동작을 행할 수 있다.
- [0256] 케이스(2701)에는 표시부(2705)가 내장되어, 케이스(2703)에는 표시부(2707)가 내장된다. 표시부(2705) 및 표시부(2707)는 연속되는 화면을 표시하는 구성으로 하여도 좋고, 다른 화면을 표시하는 구성으로 하여도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들어, 오른쪽의 표시부(도 23에서는 표시부(2705))에 문장을 표시하고, 왼쪽의 표시부(도 23에서는 표시부(2707))에 화상을 표시할 수 있다.

- [0257] 또한, 도 23에서는, 케이스(2701)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 케이스(2701)에 있어서, 전원(2721), 조작키(2723), 스피커(2725) 등을 구비한다. 조작키(2723)에 의하여 페이지를 넘길 수 있다. 또한, 케이스의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 케이스의 이면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(2700)은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.
- [0258] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 전자 서적 서버로부터 원하는 서적 데이터 등을 사고, 다운로드하는 구성으로 할 수도 있다.
- [0259] (실시형태 10)
- [0260] 본 발명의 일 형태인 반도체 장치는, 다양한 전자 기기(유기기(遊技機)도 포함한다)에 적용할 수 있다. 전자 기기로서는 예를 들어, 텔레비전 장치(텔레비, 또는 텔레비전 수신기라고도 한다), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 한다), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, Pachinko(파친코)기 등의 대형 게임기 등을 들 수 있다.
- [0261] 도 24a에는 텔레비전 장치(9600)의 일례를 도시한다. 텔레비전 장치(9600)는 케이스(9601)에 표시부(9603)가 내장된다. 표시부(9603)에 의하여 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)에 의하여 케이스(9601)를 지지한 구성을 도시한다.
- [0262] 텔레비전 장치(9600)의 조작은 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(9610)에 의하여 행할 수 있다. 리모트 컨트롤러(9610)가 구비하는 조작 키(9609)에 의하여 채널이나 음량을 조작할 수 있어 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(9610)에 상기 리모트 컨트롤러(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 하여도 좋다.
- [0263] 또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반의 텔레비전 방송을 수신할 수 있고, 또 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자끼리 등)의 정보 통신을 할 수도 있다.
- [0264] 도 24b는 디지털 포토 프레임(9700)의 일례를 도시한다. 예를 들어, 디지털 포토 프레임(9700)은 케이스(9701)에 표시부(9703)가 내장된다. 표시부(9703)는 각종 화상을 표시할 수 있고, 예를 들어, 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 보통의 포토 프레임과 마찬가지로 기능시킬 수 있다.
- [0265] 또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 한다. 이들의 구성은 표시부와 동일면에 내장되어도 좋지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에 디지털 카메라를 사용하여 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 취득하여 취득한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.
- [0266] 또한, 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 원하는 화상의 데이터를 취득하여 표시시키는 구성으로 할 수도 있다.
- [0267] 도 25a는 휴대형 유기기이며, 케이스(9881)와 케이스(9891)의 2개의 케이스로 구성되고, 연결부(9893)에 의하여 개폐 가능하도록 연결된다. 케이스(9881)에는 표시부(9882)가 내장되어, 케이스(9891)에는 표시부(9883)가 내장된다. 또한, 도 25a에 도시하는 휴대형 유기기는, 그 외에 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함한 것), 마이크론(9889)) 등을 포함한다. 물론, 휴대형 유기기의 구성은 상술한 것에 한정되지 않고, 적어도 반도체 장치를 구비한 구성이라면 좋고, 그 외에 부속 설비가 적절히 형성된 구성으로 할 수 있다. 도 25a에 도시하는 휴대형 유기기는 기록 매체에 기록되는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능이나, 다른 휴대형 유기기와 무선 통신을 행하여 정보를 공유하는 기능을 갖는다. 또한, 도 25a에 도시하는 휴대형 유기기가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.
- [0268] 도 25b는 대형 유기기인 슬롯머신(9900)의 일례를 도시한다. 슬롯머신(9900)은, 케이스(9901)에 표시부(9903)

가 내장된다. 또한, 슬롯머신(9900)은, 그 외에 스타트 레버(lever)나 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 구비한다. 물론, 슬롯머신(9900)의 구성은 상술한 것에 한정되지 않고, 적어도 본 발명의 일 형태에 따른 반도체 장치를 구비한 구성이라면 좋고, 그 외 부속 설비가 적절히 형성된 구성으로 할 수 있다.

[0269] 도 26a는 휴대 전화기(1000)의 일례를 도시한다. 휴대 전화기(1000)는, 케이스(1001)에 내장된 표시부(1002) 외에 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비한다.

[0270] 도 26a에 도시하는 휴대 전화기(1000)는 표시부(1002)를 손가락 등으로 터치(touch)함으로써, 정보를 입력할 수 있다. 또한, 전화를 거는 조작, 또는 문자를 보내는 조작 등은 표시부(1002)를 손가락 등에 의하여 터치함으로써 행할 수 있다.

[0271] 표시부(1002)의 화면은 주로 3개의 모드가 있다. 제 1 모드는 화상의 표시가 주된 표시 모드이며, 제 2 모드는 문자 등의 정보의 입력이 주된 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합한 표시+입력 모드이다.

[0272] 예를 들어, 전화를 거는 경우, 또는 메일을 작성하는 경우는, 표시부(1002)를 문자의 입력이 주된 문자 입력 모드로 하여 화면에 표시시킨 문자의 입력 조작을 행하면 좋다. 이 경우, 표시부(1002)의 화면의 대부분에 키 보드 또는 번호 버튼을 표시시키는 것이 바람직하다.

[0273] 또한, 휴대 전화기(1000) 내부에 자이로스코프(gyroscope), 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 설치함으로써, 휴대 전화기(1000)의 방향(세로인지 가로인지)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 전환하도록 할 수 있다.

[0274] 또한, 화면 모드의 전환은 표시부(1002)를 터치함으로써, 또는 케이스(1001)의 조작 버튼(1003)을 조작함으로써 행해진다. 또한, 표시부(1002)에 표시되는 화상의 종류에 따라 전환하도록 할 수도 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동영상의 데이터라면, 표시 모드, 텍스트 데이터라면 입력 모드로 전환한다.

[0275] 또한, 입력 모드에 있어서, 표시부(1002)의 광 센서에 의하여 검출되는 신호를 검지하여 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어하여도 좋다.

[0276] 표시부(1002)는, 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(1002)에 손바닥이나 손가락으로 터치하여 장문(掌紋)이나 지문(指紋)을 촬상함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광(近赤外光)을 발광하는 백 라이트 또는 근적외광을 발광하는 검출용 광원을 사용하면, 손가락 정맥(靜脈), 손바닥 정맥 등을 촬상할 수도 있다.

[0277] 도 26b도 휴대 전화기의 일례이다. 도 26b의 휴대 전화기는 케이스(9411)에 표시부(9412) 및 조작 버튼(9413)을 포함하는 표시 장치(9410)와 케이스(9401)에 조작 버튼(9402), 외부 입력 단자(9403), 마이크(9404), 스피커(9405) 및 착신시에 발광하는 발광부(9406)를 포함하는 통신 장치(9400)를 갖고, 표시 기능을 갖는 표시 장치(9410)는 전화 기능을 갖는 통신 장치(9400)와 화살표의 2방향으로 탈착할 수 있다. 따라서, 표시 장치(9410)와 통신 장치(9400)의 단축끼리를 장착할 수도 있고, 표시 장치(9410)와 통신 장치(9400)의 장축끼리를 장착할 수도 있다. 또한, 표시 기능만이 필요한 경우, 통신 장치(9400)로부터 표시 장치(9410)를 떼어 내고, 표시 장치(9410)를 단독으로 사용할 수도 있다. 통신 장치(9400)와 표시 장치(9410)는 무선 통신 또는 유선 통신에 의하여 화상 또는 입력 정보를 수수할 수 있고, 각각 충전할 수 있는 배터리를 갖는다.

도면의 간단한 설명

[0278] 도 1a 및 도 1b는 실시형태 1 또는 실시형태 2에 따른 반도체 장치의 일례를 설명하는 도면.

[0279] 도 2a 내지 도 2e는 실시형태 1에 따른 반도체 장치의 제작 방법의 일례를 설명하는 도면.

[0280] 도 3a 내지 도 3d는 실시형태 2에 따른 반도체 장치의 제작 방법의 일례를 설명하는 도면.

[0281] 도 4는 실시형태 2에 따른 플라즈마 처리에 사용하는 장치의 일례를 설명하는 도면.

[0282] 도 5a 내지 도 5c는 실시형태 3에 따른 반도체 장치의 일례를 설명하는 도면.

[0283] 도 6a 내지 도 6e는 실시형태 3에 따른 반도체 장치의 제작 방법의 일례를 설명하는 도면.

[0284] 도 7a 및 도 7b는 실시형태 4에 따른 반도체 장치의 일례를 설명하는 도면.

- [0285] 도 8a 내지 도 8e는 실시형태 4에 따른 반도체 장치의 제작 방법의 일례를 설명하는 도면.

[0286] 도 9a 내지 도 9d는 실시형태 5에 따른 반도체 장치의 제작 방법의 일례를 설명하는 도면.

[0287] 도 10a 내지 도 10d는 실시형태 5에 따른 반도체 장치의 제작 방법의 일례를 설명하는 도면.

[0288] 도 11은 실시형태 5에 따른 반도체 장치의 제작 방법의 일례를 설명하는 도면.

[0289] 도 12는 실시형태 5에 따른 반도체 장치의 제작 방법의 일례를 설명하는 도면.

[0290] 도 13은 실시형태 5에 따른 반도체 장치의 제작 방법의 일례를 설명하는 도면.

[0291] 도 14는 실시형태 5에 따른 반도체 장치의 제작 방법의 일례를 설명하는 도면.

[0292] 도 15는 실시형태 5에 따른 반도체 장치의 제작 방법의 일례를 설명하는 도면.

[0293] 도 16a1, 도 16a2, 및 도 16b는 실시형태 6에 따른 반도체 장치의 일례를 설명하는 도면.

[0294] 도 17은 실시형태 6에 따른 반도체 장치의 일례를 설명하는 도면.

[0295] 도 18은 실시형태 7에 따른 반도체 장치의 일례를 설명하는 도면.

[0296] 도 19는 실시형태 8에 따른 반도체 장치의 화소 등가 회로의 일례를 설명하는 도면.

[0297] 도 20a 내지 도 20c는 실시형태 8에 따른 반도체 장치의 일례를 설명하는 도면.

[0298] 도 21a 및 도 21b는 실시형태 8에 따른 반도체 장치의 일례를 설명하는 도면.

[0299] 도 22a 및 도 22b는 전자 페이퍼의 사용 형태의 일례를 설명하는 도면.

[0300] 도 23은 전자 서적의 일례를 도시하는 외관도.

[0301] 도 24a 및 도 24b는 텔레비전 장치 및 디지털 포토 프레임의 예를 도시하는 외관도.

[0302] 도 25a 및 도 25b는 유기기(遊技機)의 예를 도시하는 외관도.

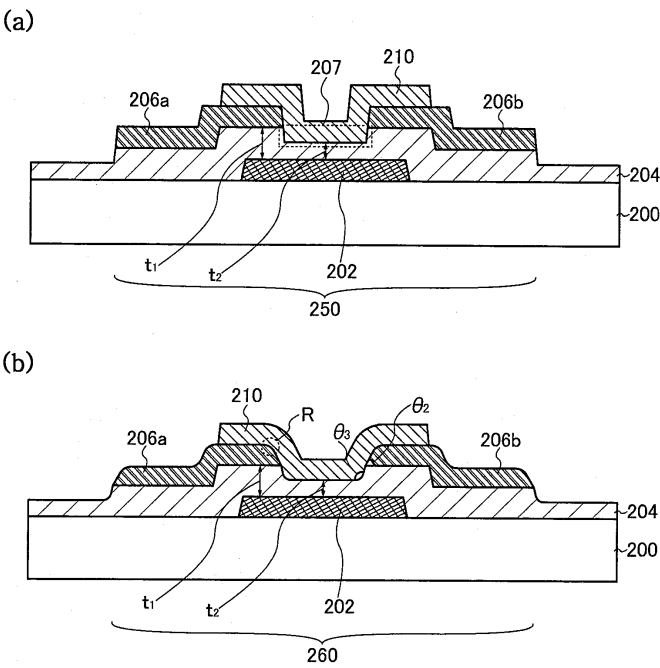
[0303] 도 26a 및 도 26b는 휴대 전화기의 일례를 도시하는 외관도.

[0304] <도면의 주요 부분에 대한 부호의 설명>

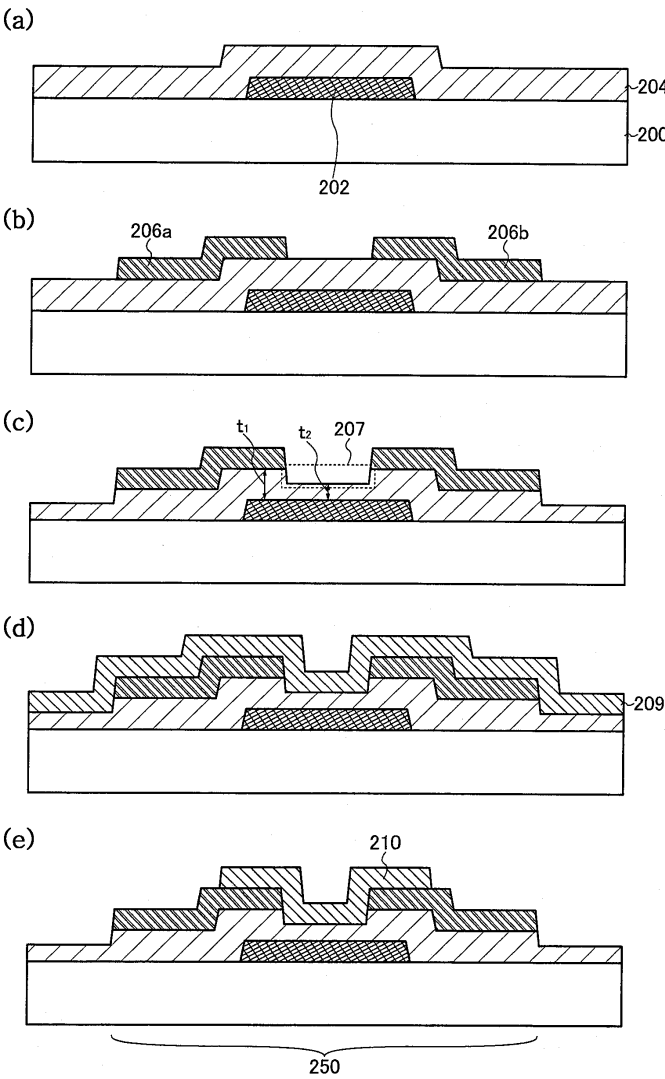
[0305]	200: 기관	202: 게이트 전극층
[0306]	204: 게이트 절연층	206a: 소스 전극층
[0307]	206b: 드레인 전극층	207: 오목부
[0308]	210: 산화물 반도체층	250: 박막 트랜지스터
[0309]	260: 박막 트랜지스터	

도면

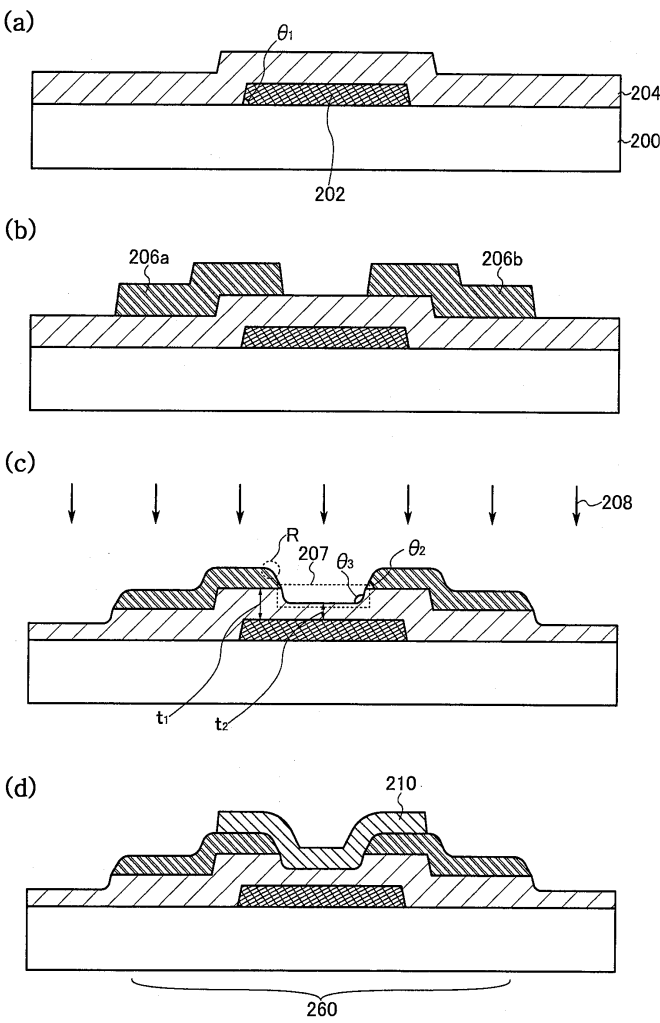
도면1



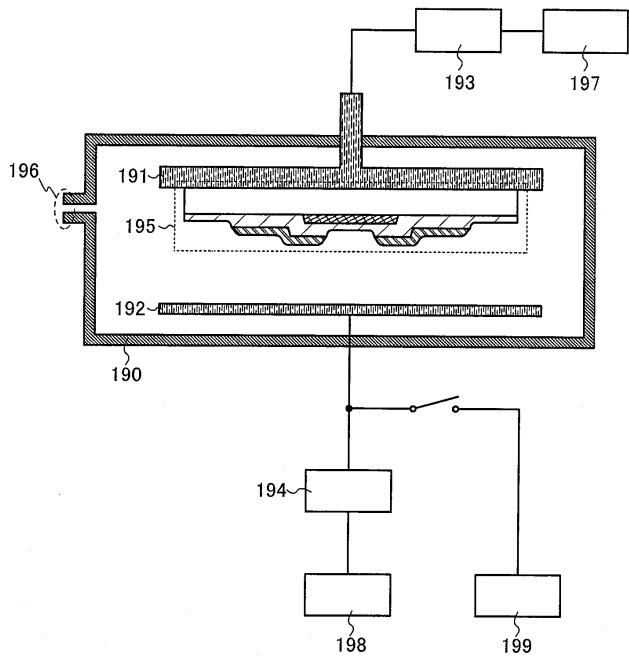
도면2



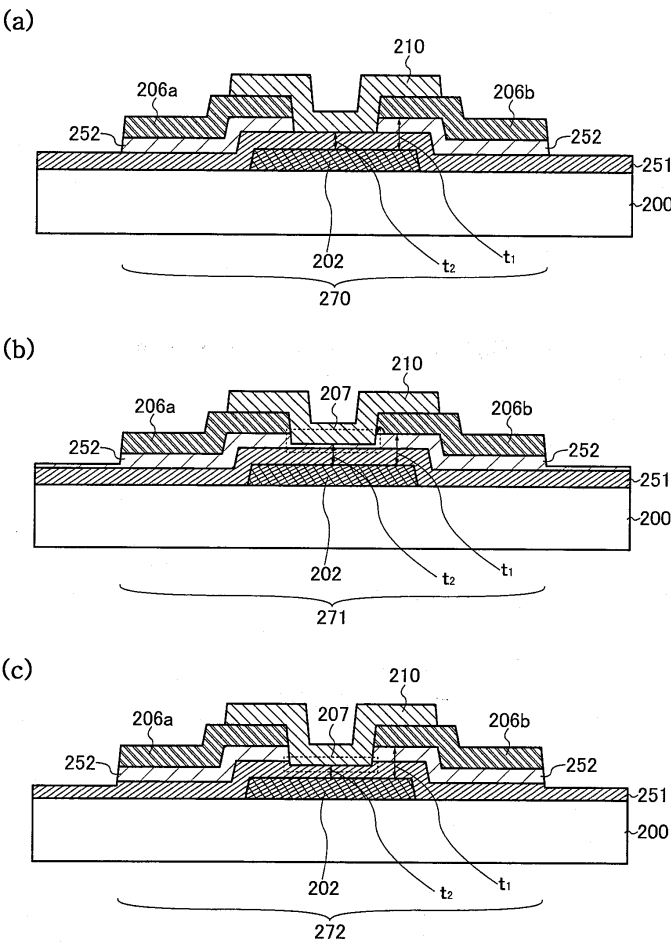
도면3



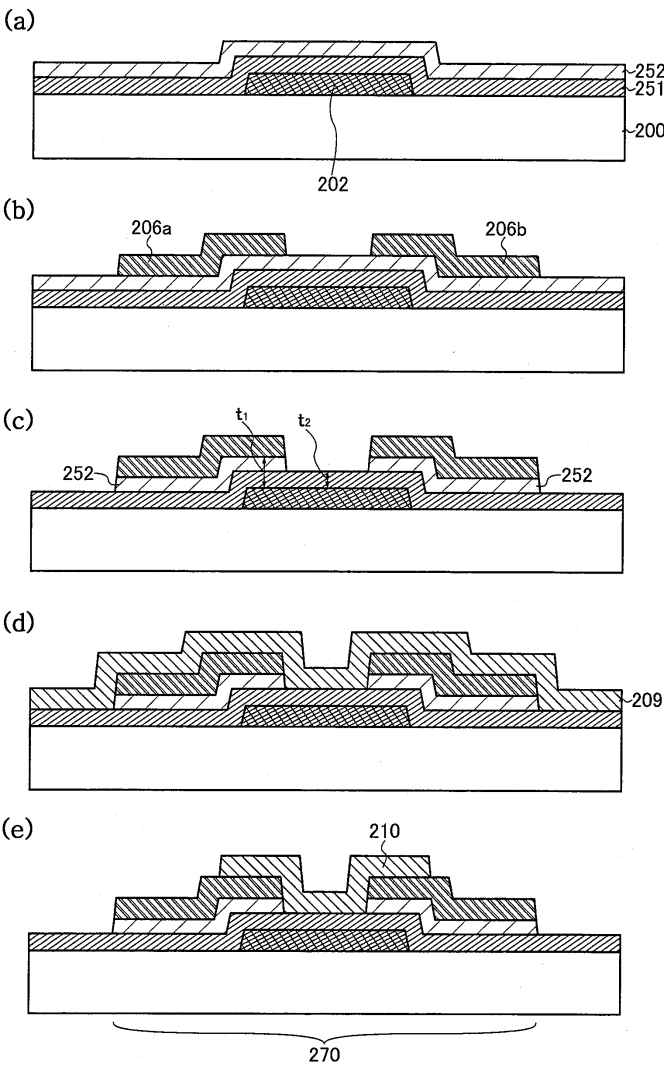
도면4



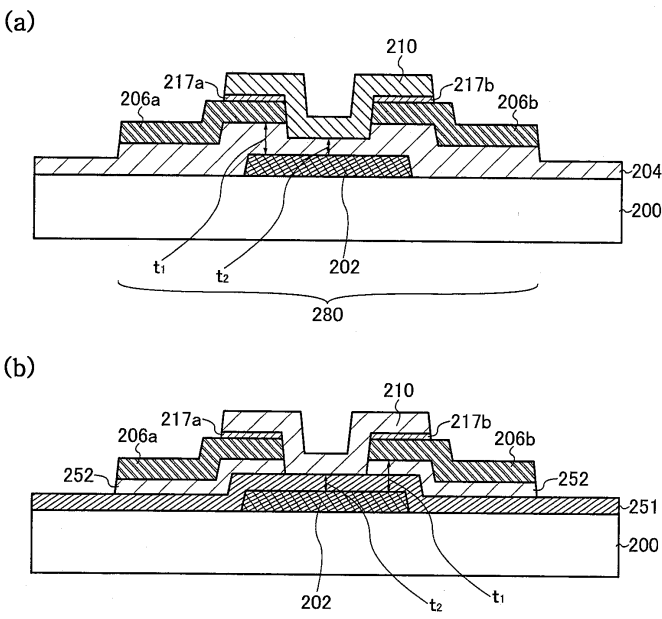
도면5



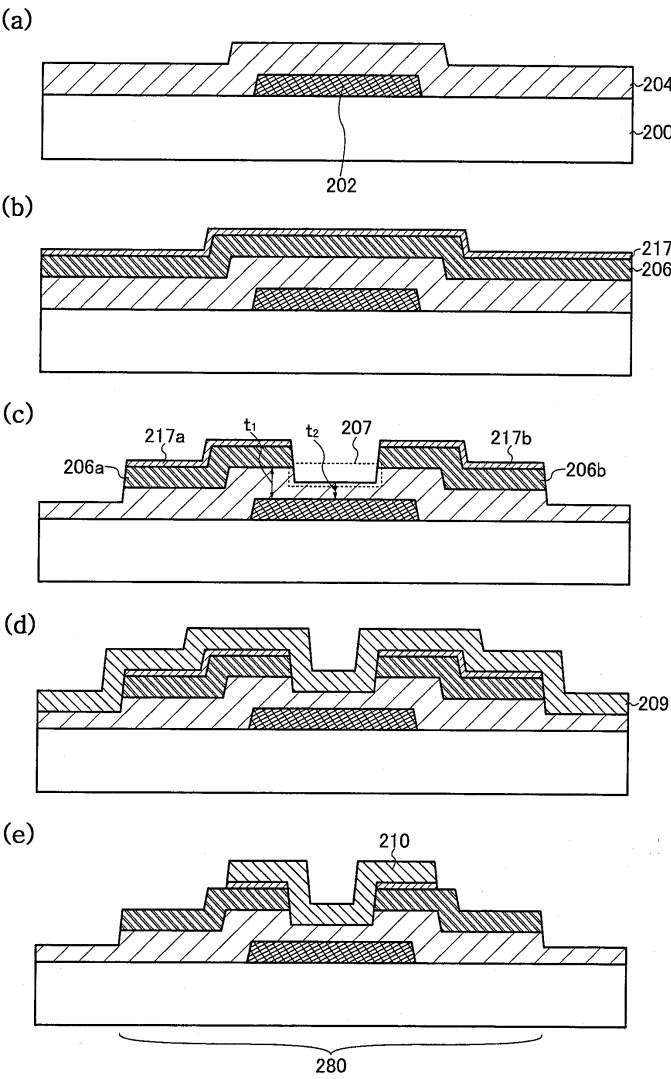
도면6



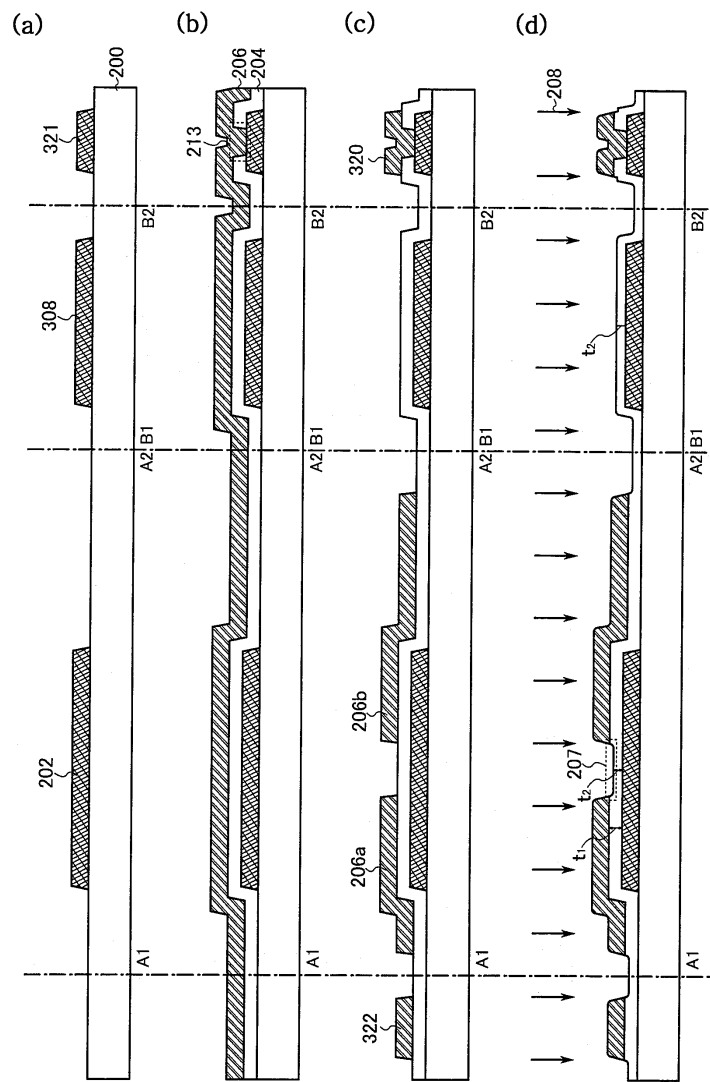
도면7



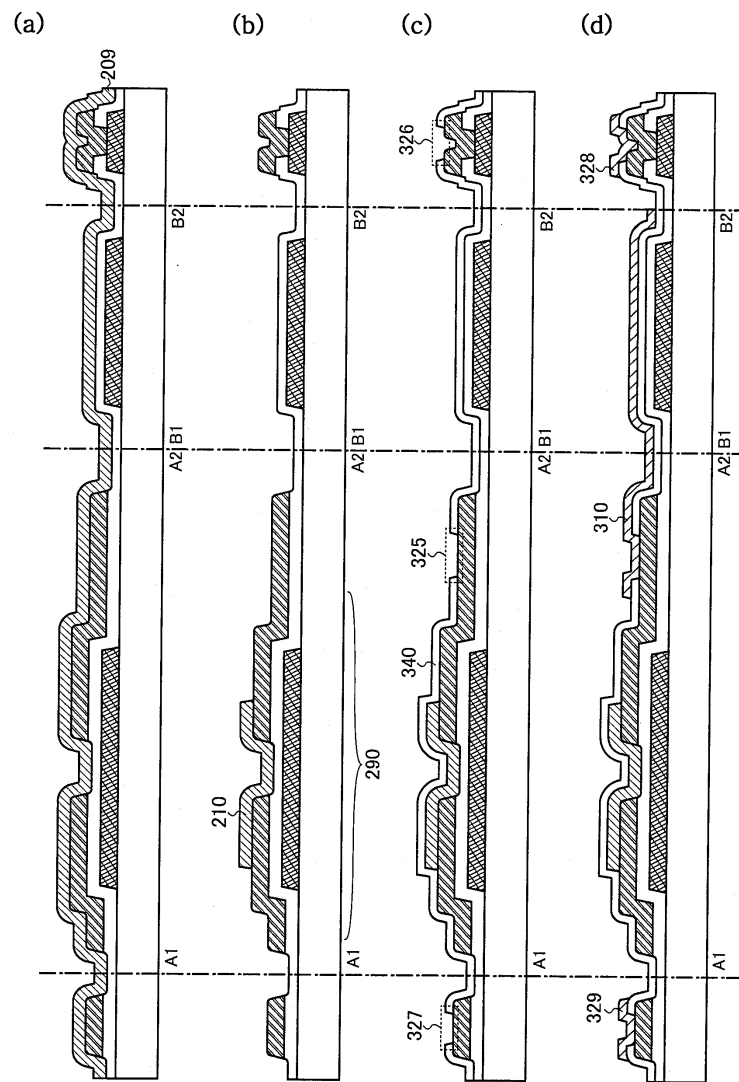
도면8



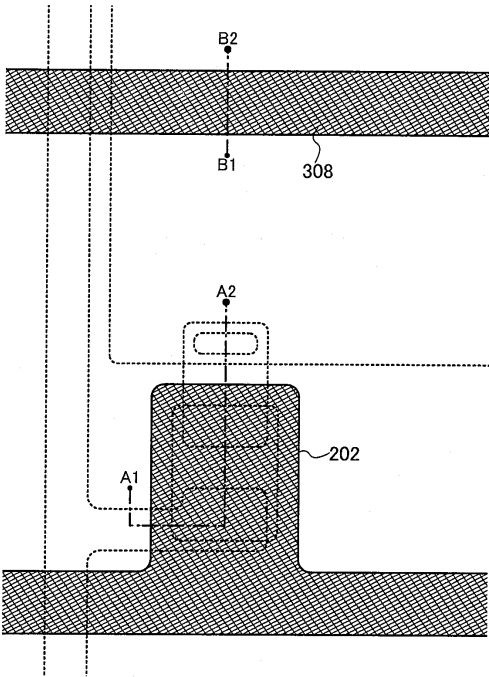
도면9



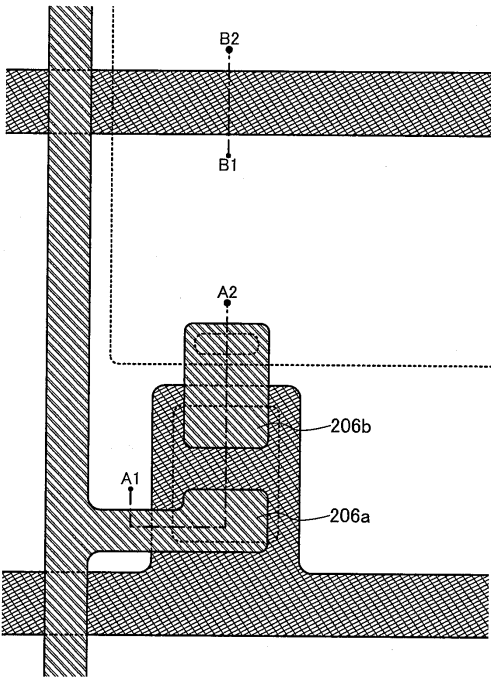
도면10



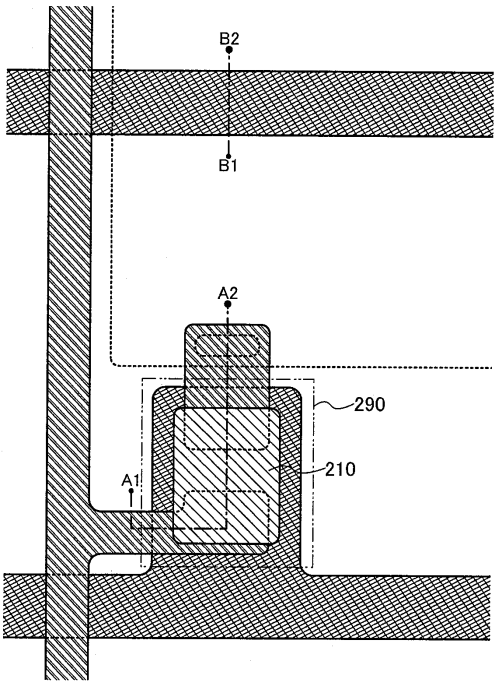
도면11



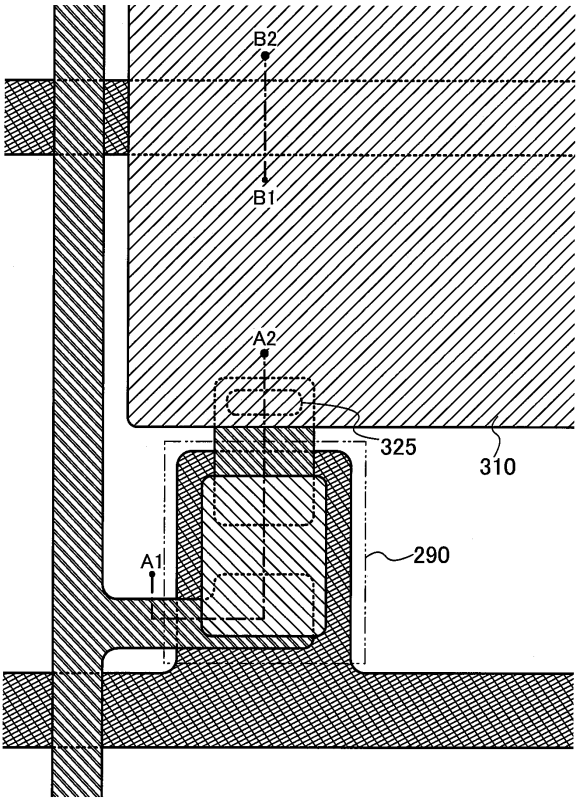
도면12



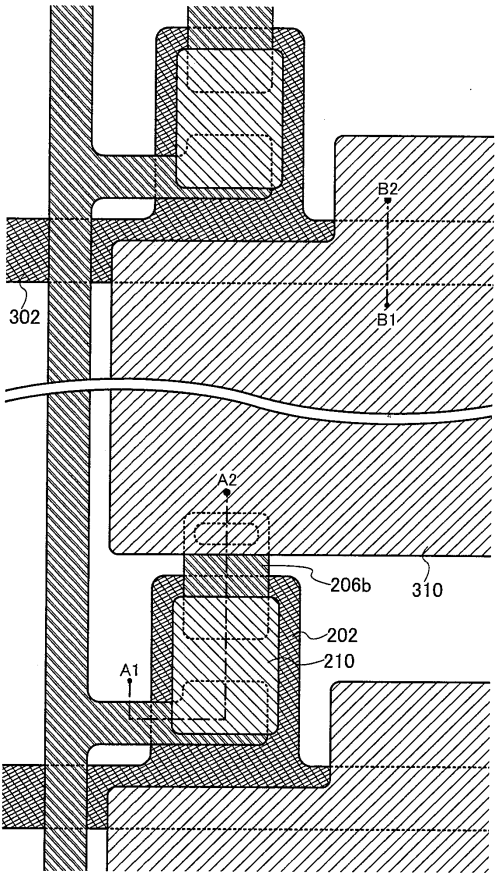
도면13



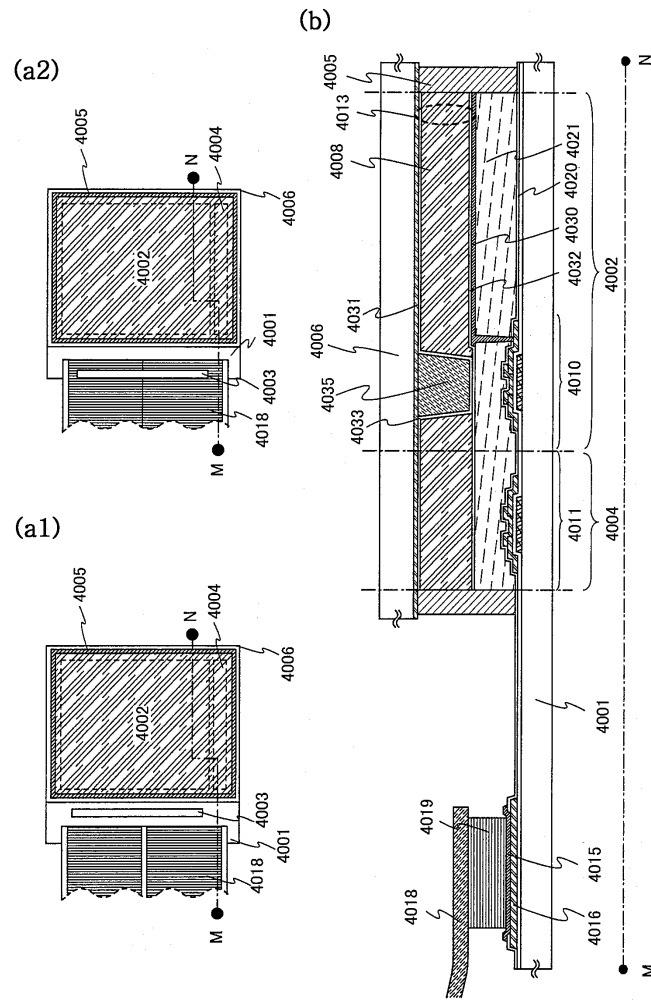
도면14



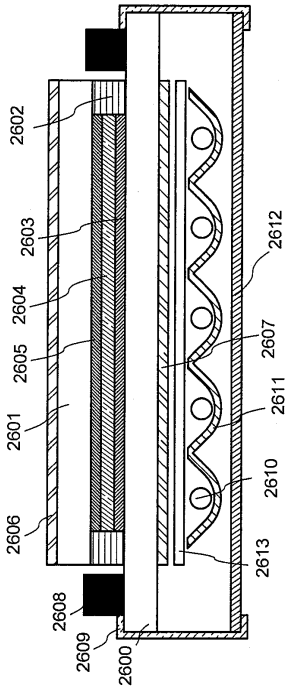
도면15



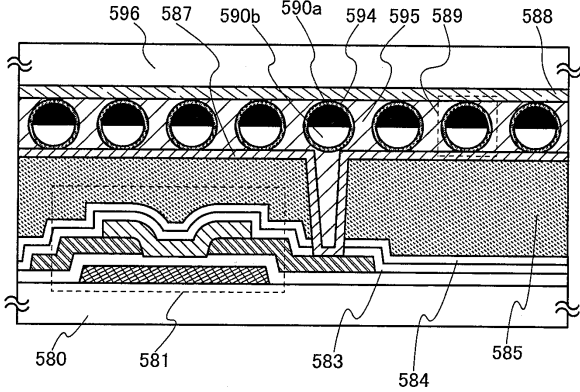
도면16



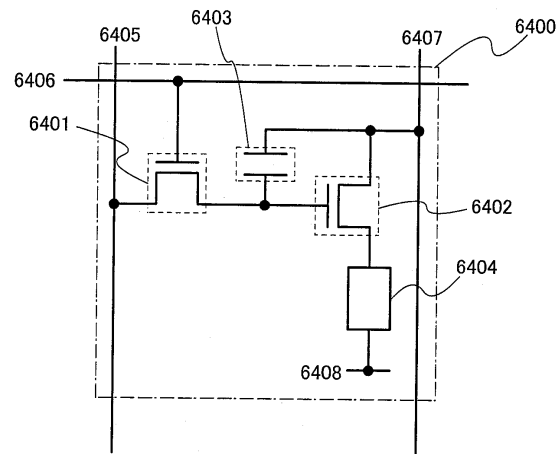
도면17



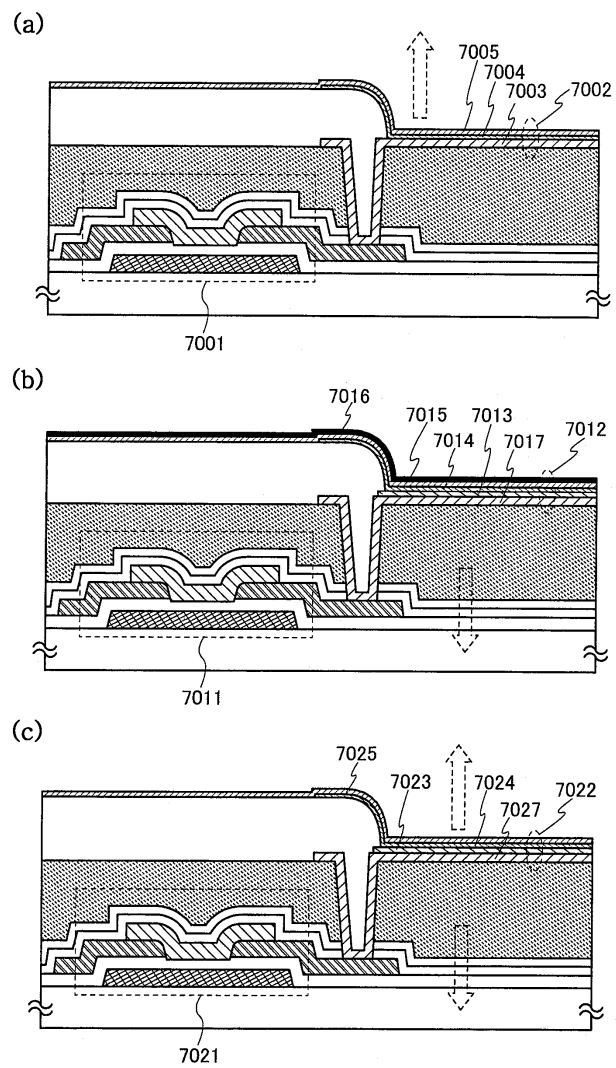
도면18



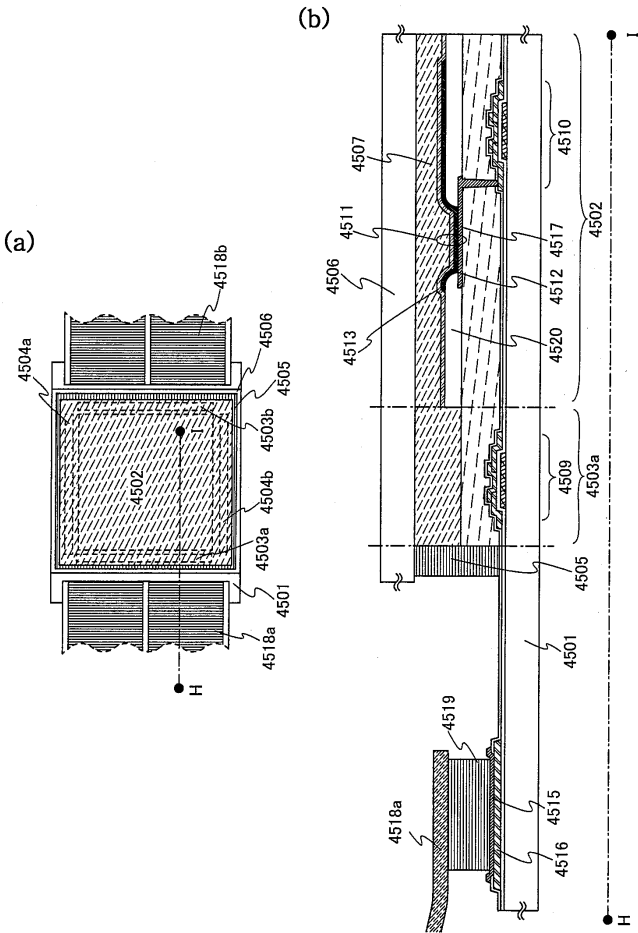
도면19



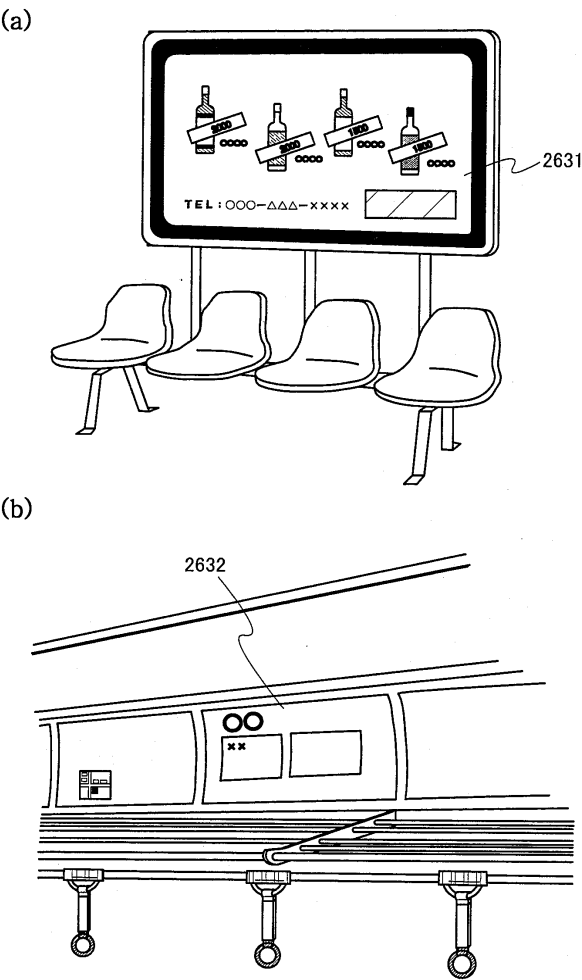
도면20



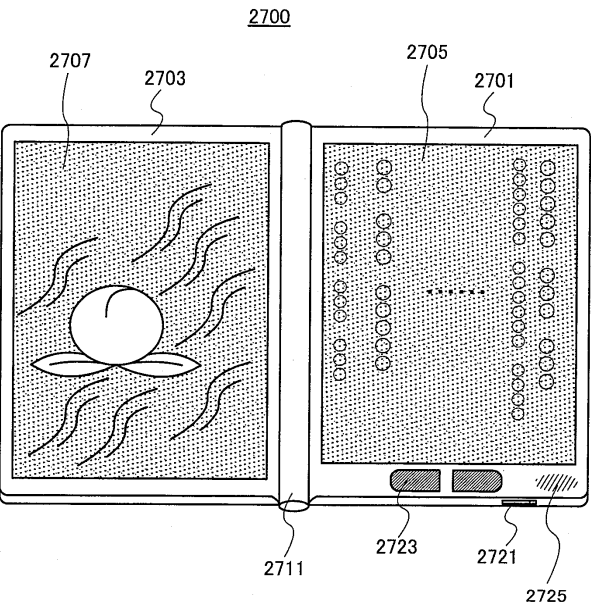
도면21



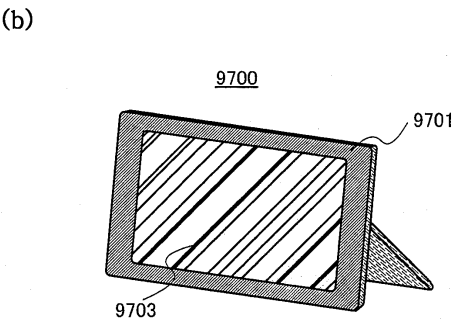
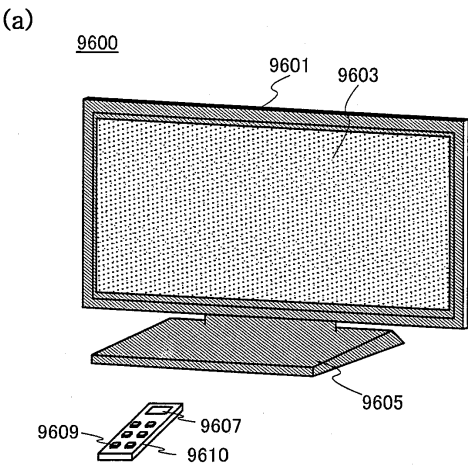
도면22



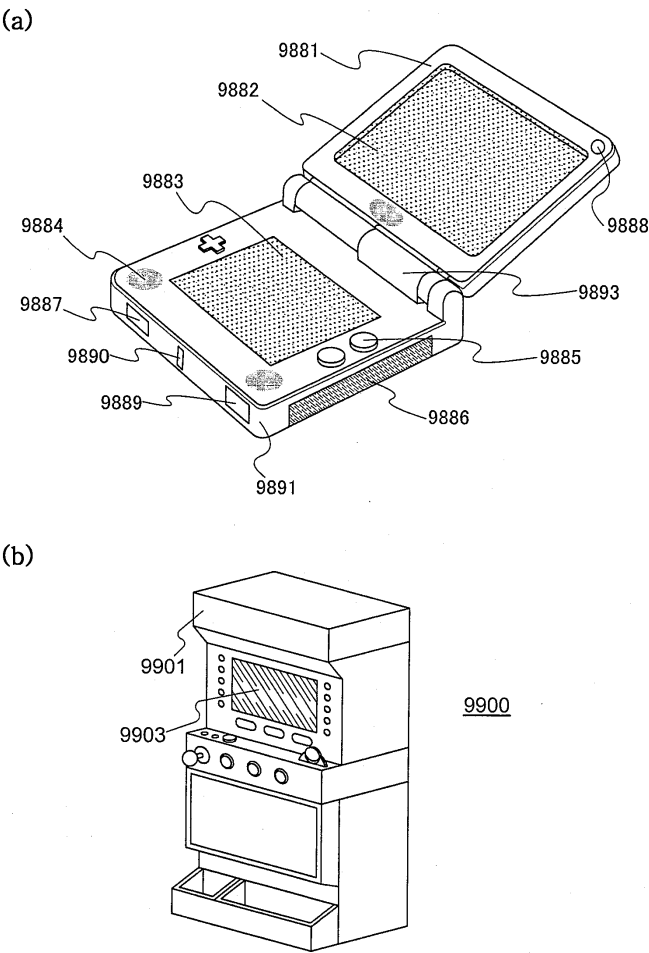
도면23



도면24



도면25



도면26

