

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7558175号
(P7558175)

(45)発行日 令和6年9月30日(2024.9.30)

(24)登録日 令和6年9月19日(2024.9.19)

(51)国際特許分類		F I	
G 0 9 G	3/32 (2016.01)	G 0 9 G	3/32 A
G 0 9 F	9/33 (2006.01)	G 0 9 F	9/33
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20 6 1 2 A
H 0 1 L	33/00 (2010.01)	G 0 9 G	3/20 6 1 2 E
		G 0 9 G	3/20 6 2 1 A
請求項の数 15 (全81頁) 最終頁に続く			
(21)出願番号	特願2021-544238(P2021-544238)	(73)特許権者	599133716
(86)(22)出願日	令和2年1月29日(2020.1.29)		エイエムエスーオスラム インターナシ
(65)公表番号	特表2022-523079(P2022-523079		ヨナル ゲーエムベーハー
	A)		ams-OSRAM Internat
(43)公表日	令和4年4月21日(2022.4.21)		ional GmbH
(86)国際出願番号	PCT/EP2020/052195		ドイツ連邦共和国、93055 レーゲ
(87)国際公開番号	WO2020/157152		ンスブルグ、ライプニッツシュトラッセ
(87)国際公開日	令和2年8月6日(2020.8.6)		4
審査請求日	令和5年1月30日(2023.1.30)		Leibnizstrasse 4, D
(31)優先権主張番号	PA201970060		-93055 Regensburg,
(32)優先日	平成31年1月29日(2019.1.29)		Germany
(33)優先権主張国・地域又は機関	デンマーク(DK)	(74)代理人	100114890
(31)優先権主張番号	PA201970061		弁理士 アインゼル・フェリックス＝ラ
(32)優先日	平成31年1月29日(2019.1.29)		インハルト
最終頁に続く		(74)代理人	100098501
		最終頁に続く	

(54)【発明の名称】 ビデオウォール、ドライバ回路、駆動制御回路およびそれらに関する方法

(57)【特許請求の範囲】

【請求項1】

供給回路であって、
基準信号入力、誤差信号入力および修正信号出力を有する誤差修正検出器と、
電流出力およびコントロール信号端子を有する制御可能な電流源であって、前記コントロール信号端子は、前記修正信号出力に接続されて、前記制御可能な電流源用の制御ループを形成し、前記電流源は、前記コントロール信号端子の信号に応じて前記電流出力に電流を供給するように構成されている、電流源と、
バックアップ信号を供給するように構成された、出力を有するバックアップ源と、
スイッチングデバイスであって、スイッチング信号に応じて、前記電流源の前記電流出力を分離した状態で、前記電流出力の前記電流から導き出された信号または前記バックアップ信号のいずれかを前記誤差信号入力に供給するように構成されたスイッチングデバイスとを備える、供給回路。

【請求項2】

前記バックアップ信号は、電流信号から導き出された前記信号に実質的に対応している、請求項1記載の供給回路。

【請求項3】

前記制御可能な電流源は、前記電流出力に接続された切り替え可能な出力ブランチを有するカレントミラーを備える、請求項1または2記載の供給回路。

【請求項4】

前記出力ブランチは出力トランジスタを有し、該出力トランジスタの制御端子は、スイッチング信号に応じて、前記スイッチングデバイスを介して、前記出力トランジスタを開放するための固定電位に接続されている、請求項 3 記載の供給回路。

【請求項 5】

前記制御可能な電流源は、基準電流を供給することができる入力ブランチを備え、該入力ブランチは、前記誤差修正検出器の前記基準信号入力に接続されたノードを有する、請求項 1 から 4 までのいずれか 1 項記載の供給回路。

【請求項 6】

前記制御可能な電流源はカレントミラーを備え、前記コントロール信号端子は、前記カレントミラーの出力トランジスタの前記制御端子に接続されている、請求項 4 記載の供給回路。

10

【請求項 7】

前記誤差修正検出器は差動増幅器を備え、該差動増幅器の 2 つのブランチが、カレントミラーを介して供給電位に互いに接続されている、請求項 1 から 6 までのいずれか 1 項記載の供給回路。

【請求項 8】

前記差動増幅器の前記 2 つのブランチは、それぞれ異なる幾何学的パラメーターを有する入力トランジスタを備える、請求項 7 記載の供給回路。

【請求項 9】

前記バックアップ源は、前記バックアップ信号が、前記電流信号から導き出された前記信号に実質的に対応するように、前記出力に結合された電圧生成素子を有する、請求項 2 記載の供給回路。

20

【請求項 10】

前記バックアップ源は、電流供給素子と電圧供給素子とからなる直列回路を備え、前記出力は、前記 2 つの素子の間に配置されている、請求項 1 から 9 までのいずれか 1 項記載の供給回路。

【請求項 11】

前記バックアップ源は、前記電流源のカレントミラートランジスタの前記制御端子に接続された制御端子を有するトランジスタを備える、請求項 4 または 6 記載の供給回路。

【請求項 12】

30

前記スイッチングデバイスは、1 つ以上のトランスミッションゲートを有する、請求項 1 から 11 までのいずれか 1 項記載の供給回路。

【請求項 13】

入力側で定義された電流を出力側で前記誤差修正検出器と前記電流源とに供給するように構成された基準カレントミラーを備える、請求項 1 から 12 までのいずれか 1 項記載の供給回路。

【請求項 14】

LED に給電する方法であって、
前記 LED に流れる供給電流を検知し、
前記供給電流を基準信号と比較し、その比較結果から修正信号を導き出し、
前記修正信号にตอบสนองして前記供給電流を変化させて、該供給電流を目標値に調整し、
前記 LED に流れる供給電流をオフにすると同時に、比較ステップ用のバックアップ信号を供給し、
前記バックアップ信号は、前記 LED に流れる供給電流または該供給電流から導き出された信号に実質的に対応している、
方法。

40

【請求項 15】

電流供給部をパルス幅変調する信号により動作させられる LED または LED 配置構造に給電するための、請求項 1 から 13 までのいずれか 1 項記載の供給回路の使用。

【発明の詳細な説明】

50

【技術分野】

【0001】

本特許出願は、以下の独国出願：2019年1月31日付け独国特許出願公開第102019102509.5号明細書、2019年4月23日付け独国特許出願公開第102019110497.1号明細書、2019年6月7日付け102019115479.0号明細書および5月9日付け独国特許出願公開第102019112124.8号明細書の優先権を主張するものであり、これらの開示内容は参照により本明細書に組み込まれ、ならびに2019年1月29日付けデンマーク国特許発明第201970061号明細書（DK PA201970061）の優先権を主張するものであり、この開示内容は参照により本明細書に組み込まれ、ならびに2020年1月29日付け国際出願PCT/EP2020/052191号明細書の優先権を主張するものであり、この開示内容は参照により本明細書に組み込まれる。

10

【0002】

背景技術

モノのインターネットや通信の分野における現在進行中の開発により、さまざまな新しい用途およびコンセプトの可能性が広がってきている。開発、サービスおよび製造の目的で、これらのコンセプトおよび用途は有効性と効率性を高める。

【0003】

新しいコンセプトの態様は、電流または電圧の供給およびさまざまな負荷の駆動制御に関する考察に基づいている。多くの場合、ネットワーク側の供給源は確保されておらず、代わりに、電池、二次電池あるいはスーパーコンデンサなどのエネルギー貯蔵装置によって電流が供給されるのが一般的である。

20

【0004】

表示装置あるいはディスプレイの分野では、差し当たりエネルギー供給はさほど問題にならないかもしれないが、この場合も駆動制御素子の負荷を可能な限り少なくすることが極めて重要である。これに加えて、大型ディスプレイそのものですら薄型化が進んでいることから、一方では利用可能なスペースが減ってきており、他方では発生した廃熱を除去しなければならない。これは、ディスプレイまたはビデオウォールなどの表示装置だけでなく、他の多くの負荷にも当てはまる。

【0005】

概要

以下の概要では、大型ないし超大型のディスプレイもしくはスクリーン、特にビデオウォールを駆動制御するためのさまざまな態様について説明する。その際、かかるデバイスの制御回路および電流供給回路を挙げて、さまざまな実施例を用いながら説明する。ここで強調しておきたいのは、実施例の多くの態様が表示デバイスまたは表示配置構造に言及しているが、これらに限定されるものではなく、他の負荷にも当てはまるということである。

30

【0006】

次の解決策を検討するために、共通かつ同等の理解を定義する目的で、いくつかの用語と表現について説明する必要がある。本文書では、こうした理解のもと、記載された用語が一般に使用される。ただし、個々のケースでは解釈と相違することがあり、その場合には相違が認識できるようにされている。

40

【0007】

「アクティブマトリクスディスプレイ」

「アクティブマトリクスディスプレイ」という用語は、LCDピクセルの制御に用いられる薄膜トランジスタをマトリクス状に配置した液晶モニタに対して元来使用されてきた。各ピクセルには、アクティブコンポーネント（主にトランジスタ）と電流供給端子とを備えた回路がある。しかしながら、現在では、この技術は液晶に限らず、特にLED、ディスプレイまたはビデオウォールの駆動制御回路にも応用されている。

【0008】

50

「アクティブマトリクスキャリア基板」

「アクティブマトリクスキャリア基板」または「アクティブマトリクスバックプレーン」とは、薄膜トランジスタ回路を備えたディスプレイの発光ダイオードの駆動制御部のことである。この場合、回路はバックプレーンに組み入れられていてもよいし、バックプレーンに適用されていてもよい。アクティブマトリクスキャリア基板には、LEDディスプレイ構造への電気端子を形成する1つ以上のインターフェースコンタクトがある。したがって、「アクティブマトリクスキャリア基板」は、アクティブマトリクスディスプレイの構成要素であったり、アクティブマトリクスディスプレイを保持したりすることができる。

【0009】

「拡張現実（AR）」

拡張現実（AR）とは、実環境のインタラクティブな体験であって、実環境の視覚物体が実世界にあり、コンピュータで生成された知覚可能な情報によって拡張される体験である。拡張現実とは、まさにこのコンピュータで生成された知覚可能な情報を使った現実知覚のコンピュータ支援による拡張を意味する。この情報は、人間のあらゆる感覚モダリティに対応することができる。しかしながら、拡張現実とは、情報の視覚的表現、つまり、画像や動画にコンピュータで生成された追加情報や仮想物体をフェードイン／オーバーレイによって補足することのみと理解されることが多い。

【0010】

「オートモーティブ」

オートモーティブとは、一般的に自動車またはオートモビール産業のことを意味している。したがって、この用語は、この部門だけでなく、ディスプレイまたは一般的に非常に高い解像度を有するライトディスプレイおよびLEDを含む他のすべての産業部門もカバーすべきである。

【0011】

「フリップフロップ」

フリップフロップは、出力信号が2つの安定した状態を持つ電子回路であり、双安定フリップフロップまたは双安定マルチバイブレータとも呼ばれることもある。この場合、現在の状態は、その時点で存在する入力信号だけでなく、対象となる時点以前の状態にも依存する。時間への依存はなく、事象への依存のみである。この双安定性により、フリップフロップは1ビットのデータ量を無制限の時間で記憶することができる。ただし、他の記憶装置とは異なり、電源回路が継続的に保証されていなければならない。フリップフロップは、順序回路の基本構成要素として、デジタル技術には欠かせない構造素子であるため、水晶時計からマイクロプロセッサに至るまで、多くの電子回路の基本構成要素となっている。特に、初歩的な1ビットのメモリとして、コンピュータのスタティックメモリチップの基本要素となっている。いくつかの構成形態では、さまざまなタイプのフリップフロップや他のバッファ回路を使用して、状態情報を記憶することができる。それぞれの入出力信号はデジタルであり、すなわち、論理的に「偽」と論理的に「真」とが交互に繰り返される。これらの値は、「低」0、「高」1とも呼ばれている。

【0012】

「ヘッドアップディスプレイ」

ヘッドアップディスプレイは、ユーザーの視界に情報を投影することで、ユーザーが、頭の位置や視線の方向を維持できるディスプレイシステムもしくは投影デバイスである。ヘッドアップディスプレイは、拡張現実システムである。ヘッドアップディスプレイには、視線の方向や空間での向きを判断するためのセンサーが備わっている場合もある。

【0013】

「ディスプレイ」

ディスプレイあるいはLEDアレイは、定義された行と列とに多数の画素が配置されたマトリクスである。その機能に関しては、LEDアレイは、どちらかと言えば同じ種類と同じ色のLEDをマトリクス状に形成したものが多い。したがって、より多くの照射面が得られる。一方、ディスプレイの目的は、特に情報を伝達することであり、個々の画素も

10

20

30

40

50

しくはサブ画素ごとに異なる色やアドレス指定可能な駆動制御が必要になることが多い。ディスプレイは、複数のLEDアレイをバックプレーンまたは他のキャリア上に並べて形成することができる。しかしながら、同様に、LEDアレイがディスプレイを形成することもできる。

【0014】

ディスプレイまたはLEDアレイは、同じものから、すなわち1つのワークピースから形成することができる。LEDアレイのLEDは、モノリシックに形成されていてもよい。かかるディスプレイまたはLEDアレイは、モノリシックLEDアレイまたはディスプレイと呼ばれる。

【0015】

あるいは基板上にLEDを個別に成長させた後、いわゆるピック&プレイプロセスを用いて、キャリア上に個別または一群ごとに相互に所望の間隔を置いて配置することで、2つのアセンブリを形成することもできる。このようなディスプレイまたはLEDアレイは、非モノリシックと呼ばれる。非モノリシックディスプレイまたはLEDアレイでは、個々のLEDの間に他の間隔を設けることも可能である。これらの間隔は、用途や設計に応じて柔軟に選択することができる。そのため、このようなディスプレイまたはLEDアレイは、ピッチ拡張型とも呼ぶことができる。ピッチ拡張型のディスプレイまたはLEDアレイでは、キャリアに転写されたときに、LEDが成長用基板上よりも間隔を開けて配置されることを意味している。非モノリシックディスプレイまたはLEDアレイでは、個々の画素は、それぞれ青色発光のLEDと緑色発光のLEDと赤色発光のLEDとを含み得る。

【0016】

モノリシックLEDアレイと非モノリシックLEDアレイとの異なる利点を1つのモジュールで利用できるようにするために、モノリシックLEDアレイと非モノリシックLEDアレイとを組み合わせ、ディスプレイを構成することができる。これにより、ディスプレイは、異なる機能および／またはアプリケーションを実現することができる。かかるディスプレイはハイブリッドディスプレイと呼ばれる。

【0017】

「光電子構造素子」

光電子構造素子は、動作中に電荷キャリアの再結合によって光を生成し、これを放射する半導体ボディである。生成された光は、赤外線から紫外線までの範囲に及ぶことができ、その波長は、さまざまなパラメーター、特に使用される材料系やドーピングに依存する。光電子構造素子は、発光ダイオードとも呼ばれている。

【0018】

本開示の目的のために、光電子構造素子あるいは発光構造素子という用語は同義的に使用される。そのため、LEDは、その幾何学的形状に関して特別な光電子構造素子である。ディスプレイもしくはビデオウォールでは、光電子構造素子は、通常、モノリシックに存在するか、またはマトリクス上に置かれた個々の素子として存在する。

【0019】

「パッシブマトリクスバックプレーン」または「パッシブマトリクスキャリア基板」

パッシブマトリクスディスプレイとは、個々のピクセルがパッシブに駆動制御される（個々の画素に追加の電子部品を用いない）マトリクスディスプレイのことである。ディスプレイもしくはビデオウォールの発光ダイオードは、IC回路を用いて駆動制御することができる。これに対して、ピクセルがトランジスタでアクティブに駆動制御されるモニタは、「アクティブマトリクスディスプレイ」と呼ばれている。パッシブマトリクスキャリア基板は、パッシブマトリクスディスプレイの構成要素であり、これを保持するものである。

【0020】

「画素」

画素（Pixel）、ピクセル（Bildpunkt）、イメージセルまたは画像素子とは、デジタル

10

20

30

40

50

ラスターグラフィックの個々の色値の他、イメージセンサーもしくはラスター駆動制御によるスクリーン上で色値を取得または表示するのに必要な面積素子を指す。したがって、画素は、ディスプレイデバイスのアドレス指定可能な素子であり、少なくとも1つの発光デバイスを有している。画素は一定のサイズを有し、隣り合う画素は定義された間隔（画素空間）だけ離れている。ディスプレイまたは例えばビデオウォールでは、多くの場合、異なる色の3つの（または追加の冗長性がある場合には4つ以上の）サブ画素を組み合わせることで1つの画素が形成される。

【0021】

「プラナアレイ」

プラナアレイは、本質的に平らな表面である。多くの場合、それは滑らかであり、突出した構造を持たない。通例、表面の粗さは望ましくなく、所望の機能を有しない。プラナアレイは、例えば、いくつかの光電子構造素子を備えたモノリシックプラナアレイである。

【0022】

「パルス幅変調」

パルス幅変調あるいはPWMは、素子、ここでは特にLEDを駆動制御するための変調の一種である。この場合、PWM信号は、それぞれのLEDを流れる電流をオン／オフするように構成されたスイッチを制御し、LEDが発光するか発光しないかのいずれかをとり、PWMでは、一定の周波数 f の矩形波信号が出力される。各期間 T （ $=1/f$ ）におけるスイッチオフ時間に対するスイッチオン時間の相対量によって、LEDが発する光の明るさが決まる。スイッチオン時間が長ければ長いほど、光は明るくなる。

【0023】

「リフレッシュタイム」

「リフレッシュタイム」とは、ディスプレイなどのセルの情報が失われないように、または外部環境によって予め決められているように、当該ディスプレイなどのセルに再度書き込みを行う必要がある時間のことである。

【0024】

「サブ画素」

サブ画素（例えばサブピクセル）は、画素の内部構造を表すものである。通例、サブ画素という用語は、個々の画素に基づき期待され得るものよりも高い解像度と関連している。また、1つの画素は、複数のより小さなサブ画素から構成されることができ、それぞれのサブ画素が1つの色を放射している。画素の全体的な色の印象は、個々のサブ画素の混合によって作り出される。したがって、サブ画素は、ディスプレイデバイスの中で最小のアドレス指定可能な単位である。同様に、サブ画素は、サブ画素が割り当てられている画素のサイズよりも小さい一定のサイズを含んでいる。

【0025】

「バーチャル・リアリティ」

バーチャル・リアリティ（VR）とは、リアルタイムにコンピュータで生成されたインタラクティブな仮想環境において、現実とその物理的特性を表現し、同時に認識することである。バーチャル・リアリティは、操作者の実環境を完全にシミュレートした環境に置き換えることができる。

【0026】

一観点では、ディスプレイもしくはビデオウォールの発光素子の駆動制御が関係している。ここで、一方では、使用される駆動制御モジュールもしくは供給モジュールは大きくないことが望ましい。他方では、ディスプレイもしくはビデオウォールの場合、出力が大きく低下することなく、可能な限り効率的に既存のスペースを利用することも重要である。スケーリングの可能性によって、技術要件を減らすことができる。

【0027】

従来のアプローチおよび技術は、さまざまな理由から限られた範囲でしか利用できない可能性がある。したがって、以下の態様およびさまざまなコンセプトが、言及した課題に処理している。

10

20

30

40

50

【0028】

例えば、60Hz～240Hzのフレームレートを提供するドライバ回路も適切であり得る。これに関連して、特にビデオウォールまたは他の表示装置においては、大きな輝度ダイナミックレンジ（1：100，000）または個々の画素あたり100dBを達成する必要があるか、少なくとも目的に合致している。この範囲は、例えば、外光の影響を受けるビデオウォールの領域において、外光の影響がさまざまに変化しても画像のコントラストおよび輝度を十分に確保するために必要である。同じことがオートモーティブ分野にも当てはまる。

【0029】

ここで、モノリシックアレイの場合、デジタルで生成されるパルス幅変調（PWM）が適していると考えられる。それに従って、この技術は、画素アレイのサイズとCMOS技術のプロセスノードの両方に対してスケラブルであることが望ましい。さらに、デジタルで生成されたPWMにより、画素配アレイと画素電流との両方の不均一性を補正することができる。デジタル非線形PWMは、デジタルコードを処理することができるので、コードのパルス幅への非線形伝達関数によってパルス幅を生成することができる。以下では、さまざまなコンセプトが提示されているが、これらは、そのスケラビリティから、モノリシックディスプレイあるいはLEDを有する画素化アレイへの実装に適している。

【0030】

典型的には、パルス幅変調（PWM）による実装の場合、標準的な画素セル回路が「オフ」と「定格電流」とに交互に非常に高速で切り替えられる。このために、従来の回路では、いわゆる2T1C回路が用いられていた。しかしながら、特に行と列の数が多いディスプレイでは、ディスプレイのいわゆる「リフレッシュレート」を十分に確保するために、プログラミングの頻度が非常に高くなる。従来、この問題は2つ目のトランジスタで解決されていたが、これではスペースがさらに増えてしまい、排熱がさらに発生するか、または故障のリスクがある。特に本明細書で提示されているビデオウォールもしくはLEDの「下」のスペースでは、スペースが足りなくなることもある。それ以外に、配線（すなわち、電流経路内でのLEDの位置）次第では、精度がより高くなり、強度が変動する可能性がある。そこで、これらの問題を軽減するバックゲート付きLED用電流ドライバ素子を以下に提示する。

【0031】

本明細書に記載されている態様によれば、データ信号線、閾値線およびセレクト信号線を有する、LEDを電子的に駆動制御するデバイスが提案される。さらに、デュアルゲートトランジスタに直列に電氣的に接続されかつ第1の電位端子と第2の電位端子との間で一緒に接続されているLEDが企図されている。閾値線には、デュアルゲートトランジスタの第1の制御ゲートが接続されている。同様に、このデバイスは、電荷蓄積部を備えたセレクトホールド回路を有しており、これは、デュアルゲートトランジスタの第2の制御ゲートと、デュアルゲートトランジスタの電流線コンタクトに接続されているとともに、セレクト信号線に接続された制御端子を有する制御トランジスタにも接続されている。

【0032】

そこで、パルス幅変調（PWM）用のトランジスタを追加する代わりに、デュアルゲートトランジスタの追加の制御ゲートを既存の駆動トランジスタとしてPWM信号で変調することが可能である。

【0033】

同様に、第2の態様によれば、LEDとデュアルゲートトランジスタとを電流経路に直列に配置したデバイスが提案される。セレクトホールド回路を介して、デュアルゲートトランジスタの一方の側では、アナログのデータ駆動制御信号を、セレクト信号を利用して印加することでLEDをカラーコントロールする。デュアルゲートトランジスタのもう一方の側では、パルス幅変調信号を取り込むことでLEDの輝度制御が行われる。

【0034】

有利には、バックゲートトランジスタがデュアルゲートトランジスタとして使用される。

10

20

30

40

50

【0035】

同様に、駆動トランジスタのバックゲートの変調を、電流制御経路のアクチュエータとして利用し、フィードバック信号、例えば発光ダイオードの順方向電圧をフィードバックすることで、発光ダイオードの温度ドリフトに対する電流負帰還を実現することもできる。駆動トランジスタのバックゲートの電圧を変調させることで、発光ダイオードの電流を簡単に、しかも省スペースで、特にTFT（薄膜トランジスタ）画素セルにおいてパルス幅変調させることができる。RGBセルの場合、3つのパワートランジスタを節約することができる。

【0036】

バックゲートの電圧に低変調をかけることで、LEDを流れる電流をLEDの温度とは無関係に依存しないようにすることができる。これは、NMOSセルを使用する際に、カソードが共有されているため、LEDが駆動トランジスタのローサイドにある場合に特に有効である。このようなセルは、本質的に電流精度が悪いことから、本発明の思想によって、このようなセルを大幅に改善することができる。

【0037】

それにより、一方では、メインのトランジスタに加えて、追加のトランジスタを経由する代わりに、メインのトランジスタのバックゲートを経由してパルス幅変調を行うことができる。他方では、ディスプレイもしくはビデオウォールにバックゲートトランジスタを使用すると、バックゲートをパルス幅変調で「デジタル的に」ではなく、アナログ電圧で動作させることで温度を安定させることができる。これは、発光ダイオードの順方向電圧 V_f から導き出されるもので、レギュレーションのフィードバックループとして使用される。このような温度安定化により、LEDの色精度と安定性が向上する。

【0038】

いくつかの態様では、デュアルゲートトランジスタはバックゲートトランジスタを含み、この場合、バックゲートが第1の制御ゲートを形成する。これは、コンパクトな構成である。デュアルゲートトランジスタは、対向する2つの制御ゲートを有する薄膜トランジスタとして形成されることができる。これにより、信頼性が高くコンパクトな製造が可能になる。デュアルゲートトランジスタの第1の制御ゲートは、閾値電圧を調整するように構成されていてもよい。このようにして変調を行うことができる。あるいは動作中の第1の制御ゲートにスイッチング信号（PWM信号）を印加することも可能である。このようにして、簡単な輝度制御を行うことができる。

【0039】

別の態様では、LEDは、その第1の端子が第1の電位端子に接続されていてもよく、デュアルゲートトランジスタは、その電流線コンタクトがLEDの第2の端子と第2の電位端子との間に配置されていてもよい。セレクトホールド回路は、デュアルゲートトランジスタの第2の制御ゲートに加えて、LEDの第2の端子にも接続された電荷蓄積部を含んでいてもよい。本構成は、NMOS技術を用いて容易に製造することができる。

【0040】

別の態様では、LEDは、その第1の端子がデュアルゲートトランジスタの第2の電流線コンタクトに接続されていてもよく、その第2の端子が第2の電位端子に接続されていてもよい。デュアルゲートトランジスタは、その電流線コンタクトが、LEDの第1の端子と第1の電位端子との間に接続されている。セレクトホールド回路の電荷蓄積部は、デュアルゲートトランジスタの第2の制御ゲートに加えて、第1の電位端子にも接続されている。そのため、発光ダイオードの順方向電圧がデュアルゲートトランジスタのゲート・ソース間電圧に影響を与えることはない。

【0041】

別の態様では、PMOS技術の実現が関係している。そこでは、LEDは、その第1の端子が第1の電位端子に接続され、デュアルゲートトランジスタは、その電流線コンタクトがLEDの第2の端子と第2の電位端子との間に接続されている。セレクトホールド回路は、デュアルゲートトランジスタの第2の制御ゲートとの電荷蓄積部に加えて、第2

10

20

30

40

50

の電位端子にも接続されていてよい。

【0042】

更なる態様では、セレクトホールド回路は、LEDと並列に接続された更なる制御トランジスタを含み、その制御端子はセレクト信号線に接続されていてよい。

【0043】

更なる構成によれば、電荷蓄積部は、デュアルゲートトランジスタの第2の制御ゲートに加えて、第1の電位端子にも接続されていてよく、さらに、LEDによる順方向電圧の検知に基づいて負帰還する温度補償回路を備え、この温度補償回路が出力側の閾値線を形成してもよい。このように、低い変調をバックゲートトランジスタにかけることができる。

【0044】

いくつかの態様では、温度補償回路は、デュアルゲートトランジスタと並置されていてよい制御パスを含んでいてもよく、直列に接続された2つのパスを有していてもよい。これは簡単な構成である。更なる構成によれば、第3の制御トランジスタと第4の制御トランジスタとによって提供される2つの制御されたパスの間のノードから、閾値線は、デュアルゲートトランジスタの第1の制御ゲートに接続されていてよい。このノードを使って、バックゲートを効果的に駆動制御することができる。更なる構成によれば、第4の制御トランジスタの制御端子は、第2の電位端子に接続されていてよい。このようにして、トランジスタのゲートは第2の電位端子の高電位に安定して設定される。

【0045】

他の態様では、温度補償回路は、2つの経路を提供する制御トランジスタのうちの一方の制御端子と、第1の電位端子とに接続されていてよい第2の電荷蓄積部を含んでいてもよい。これにより、第3のトランジスタのゲート電圧を緩衝することができる。

【0046】

第2のデータ信号線は、第2の電荷蓄積部と第3の制御トランジスタとに結合されている。この線の信号は、負帰還係数をプログラミングするために構成されていてよい。そのため、第2のデータ信号線を用いて、温度補償の微調整を実行することもできる。この微調整は、用途に応じて、更なる制御トランジスタを用いてオン／オフすることができる。

【0047】

別の有利な構成によれば、温度補償回路において、第3の制御トランジスタの制御端子が第2の電位端子に接続されていてよい。このように、第3の制御トランジスタのゲート電圧は、有利に明確かつ安定的に規定される。

【0048】

更なる有利な構成によれば、第5の制御トランジスタがLEDと並列に接続されていてよく、その制御端子には動作中にスイッチング信号（PWM信号）が印加される。このようにして、発光ダイオードは、特にパルス幅変調によって電荷蓄積部なしで、直接オン／オフすることができる。このデュアルゲートトランジスタは、温度安定化された電流源として動作する。

【0049】

画素の輝度調整または調光のための駆動制御も重要である。このような調光は、例えばビデオウォールが昼間と夜間の視界を切り替えられるようにするために必要なものであり得る。原則的には、かかる調光は、コントラストを調整しなければならない場合や、外部からの光によって、ユーザーの目を眩ませないように、または安全に情報を表示できるように、ディスプレイもしくはビデオウォールの輝度をレギュレーションする必要がある場合に好都合かつ有利であり得る。

【0050】

上述の理由から、特にディスプレイもしくはビデオウォールを異なる輝度レベルで動作させるために、LEDを備えた照明ユニットを駆動制御するためのさまざまな技術的解決策が知られている。例えば、複数の行と列とに形成された一連の個々の画素を特定の駆動制御するマトリクスディスプレイを制御するための制御回路が知られている。同様に、LEDの電流を特定の低減もしくは減衰させる駆動制御手段も知られている。例えば液

10

20

30

40

50

晶表示またはO L E Dのディスプレイでは、このいわゆる電流調光が用いられている。

【0051】

L E Dの裏の限られたスペースの中で、部品点数の多い解決策を実現することは困難である。これは、場合によっては回路を非常に複雑なものにする可能性がある。この点に基づき、以下の態様は、L E Dが発する光の輝度を比較的簡単に、正確に、かつ確実に変化させることができるように、輝度を変化させるためのL E Dを備えた照明ユニットの駆動制御をさらに発展させることを目的としている。特に、上述の調光、もしくは輝度およびコントラストの段階が異なる状態での操作を可能にすることを目的としている。

【0052】

したがって、照明ユニットに電気エネルギーを供給するための電圧源と、少なくとも1つのエネルギー貯蔵媒体とを有する、照明ユニットの輝度を変化させるための制御回路が提案されている。後者は、照明ユニットの照明手段のための電流を設定する。さらに、電圧源で生成された電圧信号の電圧を一時的に変化させる制御素子が設けられており、これに基づいて、少なくとも1つのL E Dに流れるL E D電流を調整できる。提案された原理によれば、制御回路はさらに、制御素子が、一周期中に、つまり繰り返しの期間に、異なる電圧を有する第1および第2の電圧信号を照明ユニットに送信し、第1の電圧信号の電圧に応じて輝度レベルを調整することによって、照明ユニットを少なくとも2つの異なる輝度レベルで動作させるようにセットされている。

【0053】

そのため、このコンセプトでは、パルス状の電圧信号が照明ユニットに印加され、電圧信号に応じて照明ユニットの少なくとも1つのL E Dに電流が流れ、その電流によってL E Dが発光することが重要である。これに関して、一周期中に、第1の電圧信号、特にターンオン電圧信号、および第2の電圧信号、特にターンオフ電圧信号が有利な方法で設けられ、照明ユニットに設けられた少なくとも1つのL E Dには、第1の電圧信号の印加中に、電圧に比例した電流が供給されるか、もしくは電圧に比例した電流が流れるようになっている。原則的には、照明ユニットが1つのL E Dを有しているか、または複数のL E Dを有しているかどうかは、ここでは関係がない。一態様では、スイッチング素子はトランジスタを有しており、このトランジスタを介して、照明ユニットの少なくとも1つのL E Dに、それぞれの電圧信号に応じて電気エネルギーが供給され、L E Dの電流が流れることで、これは有利には可視光線を放出する。

【0054】

コンセプト案によれば、照明ユニットは、一周期中に、まず第1の電圧信号がその期間の第1の段階で照明ユニットに送信され、続いて第2の電圧信号がその期間の第2の段階で照明ユニットに送信されるように駆動制御され、照明ユニットの少なくとも1つのL E Dを介した電流の流れは、それぞれの電圧信号の電圧に応じて作用する。ここで重要なのは、第2の電圧信号の電圧もしくは電圧値が、第1の電圧信号の電圧よりも大幅に低いことである。有利には、第2の電圧信号の電圧は、少なくともほぼゼロに近い。

【0055】

提示したコンセプトでは、用途に応じて異なる輝度範囲を設定することが可能であり、それぞれの範囲において輝度自体を調光することができる。これにより、例えば、ビデオウォールあるいはオートモーティブ分野でも、回路にかかる付加的な大きな手間を省いて、照明条件の変化に対応することができる。

【0056】

第1の電圧信号が照明ユニットに送信される期間の第1の段階では、照明ユニットのエネルギー貯蔵媒体が充電される。この場合、同時に、電圧信号の電圧に比例した電流の大きさを有する電流がL E Dに流れ、この結果、L E Dは可視光線を放出する。その期間の第2の段階で第2の電圧信号が照明ユニットに送信されている間、エネルギー貯蔵媒体、好ましくはコンデンサの電位が維持されるので、次の期間の開始まで、これに基づく電流がL E Dに流れ、その結果、L E Dはさらに発光する。その期間の第1の段階中にL E Dを流れる電流の大きさは、理論的には第2の期間中にL E Dを流れる電流の大きさと等し

10

20

30

40

50

いことが望ましいものの、実際にはそうではない。これは、制御回路が、エネルギー貯蔵媒体、特にコンデンサの容量に加えて、通常であれば第2の容量を有していることに起因しており、このようにして、その期間の第2の段階中のエネルギー貯蔵媒体にかかる電圧が、その期間の第1の段階中の電圧に比べて低くなるように容量分圧が作られる。このような第2の容量は、例えば、トランジスタの容量、特にゲート・ソース間容量によってもたらされる。

【0057】

これに関連して、第1の電圧信号が照明ユニットに送信される期間の第1の段階中にLEDを流れる電流の大きさが、第2の電圧信号が照明ユニットに送信される期間の第2の段階中にLEDを流れる電流の大きさと異なること、すなわち小さいことが非常に重要である。しかしながら、見る人は、一周期中のLEDの最大輝度の差であるこの差を認識することはなく、期間中に平均化された光出力を知覚するだけである。

10

【0058】

この効果を、例えばディスプレイに使用される照明ユニットの駆動制御に適切に利用するためには、第1の電圧信号と第2の電圧信号とを、ディスプレイの通常のリフレッシュレートに相当する60Hzの周波数で繰り返すことが有利である。つまり、1秒以内に第1の電圧信号と第2の電圧信号とがそれぞれ60回ずつ照明ユニットに送信され、それぞれの電圧信号の電圧に応じて照明ユニットの少なくとも1つのLEDにLED電流が流れることを意味している。

【0059】

別の態様では、第2の電圧信号が照明ユニットに送信されている間に、コンデンサとして形成されたエネルギー貯蔵媒体から、発光を励起するために必要な電気エネルギーがLEDに供給されることが提供されている。コンデンサの電圧が、その期間の第1の段階に比べて低下しているため、この動作状態のLEDには、その期間の第1の段階に比べて大きさの小さい電流が流れることになり、LEDの輝きは弱くなる。

20

【0060】

さらに、この方法では、制御素子が、0.0025~0.003のデューティサイクルで第1の電圧信号を生成するようにセットされていることが考えられ、このデューティサイクルは、第1の電圧信号の継続時間と、その期間の継続時間との比に対応する。したがって、デューティサイクルは、第1の電圧信号の継続時間と、その期間の継続時間との比を示している。第1および第2の電圧信号のリフレッシュレートが60Hzであることから、つまり、本構成形態による制御素子は、第1および第2の電圧信号が照明ユニットに送信される期間が0.0166秒または16.6ミリ秒となるようにセットされていることになる。好ましい発展形態では、第1の電圧信号は、最大0.050ミリ秒の期間で照明ユニットに送信され、これは約0.003または1:333のデューティサイクルに対応する。この場合、第2の電圧信号は、照明ユニットに16.6ミリ秒の期間で送信される。そのため、この信号に関するデューティサイクルは約1になる。

30

【0061】

見る人が感じるLEDの明るさは、一周期中に放出された平均的な輝度または光出力に依存するため、一周期の第2の段階中にLEDを流れる電流、ひいてはその期間の第2の比較的長い段階で少なくとも1つのLEDが発する光の割合は、照明ユニットのLEDの平均的な光出力に、大きく、不相応に強い影響を与えることになる。

40

【0062】

いくつかの態様によれば、制御回路は、第1の電圧信号の電圧を第1の電圧間隔内にある電圧値に調整することにより、照明ユニットを第1の暗い輝度レベルで動作させ、第1の電圧信号の電圧を、第1の電圧間隔の電圧よりも高い少なくとも第2の電圧間隔内にある電圧値に調整することにより、照明ユニットを少なくとも第2の明るい輝度レベルで動作させるようにセットすることが考えられる。したがって、本構成形態によれば、照明ユニットの駆動制御のために、2つの電圧間隔または電圧範囲が提供され、これらの電圧間隔または電圧範囲のそれぞれは、第1の電圧信号を生成しかつ異なる電圧レベルにある異

50

なる電圧を有している。このように、第1の電圧信号の電圧レベルに応じて、照明ユニットは、第1の暗い輝度レベルまたは第2の明るい輝度レベルのいずれかで動作する。照明ユニットをより明るい輝度レベルで動作させたい場合、照明ユニットの駆動制御は、第1の電圧信号に基づいて行われ、その電圧は、第2の電圧間隔にあり、ひいてはより高い値を有する電圧間隔にある。

【0063】

他の態様では、制御要素は、第1の電圧信号の電圧を少なくとも2つの所定の電圧間隔のうちの1つの範囲内で特定的に変化させたときに、照明ユニットを同じ輝度レベルで動作させるためにセットされている。つまり、有利な方法として、第1の電圧信号、特にその電圧は、連続する2つの期間の間で、対応する電圧が依然として同じ電圧間隔内にある程度しか大きさが変化せず、輝度が僅かに変化しても、照明ユニットが同じ輝度レベルで作動することが保証されることを意味している。したがって、照明ユニット、特に照明ユニット内に設けられた少なくとも1つのLEDを、少なくとも2つの異なる輝度レベルで調光することが可能であり、つまり、少なくとも2つの異なる輝度レベルで、それぞれの場合において、照明ユニットの少なくとも1つのLEDの輝度が特定的に変更される、少なくとも大部分が無段階の範囲を提供することが可能である。

【0064】

更なる構成によれば、第1の電圧間隔または第1の電圧範囲は、少なくとも1.3V～3.0Vの範囲の電圧値を有することが企図されている。さらに、好ましくは、第2の電圧間隔または第2の電圧範囲は、少なくとも4.0V～10.0Vの範囲の電圧値を有することが企図されている。このようにして、輝度のレベルが異なる2つの範囲が実現され、その範囲内で照明ユニットの輝度を再び特定的に無段階に変更したり、調光したりすることができる。

【0065】

前で説明した構成に関しては、比較的小さな第1の電圧信号が照明ユニットに印加されるとすぐに、一周期中にLEDを流れる総電流は、第1の電圧信号が照明ユニットに印加される期間の第1の段階中にLEDを流れる電流によって確定的に決定されるという考えを再び考慮に入れることができる。この場合、照明ユニットは比較的低い輝度で動作し、この動作状態では、その期間の第2の段階で照明ユニットに印加される第2の電圧信号によってLEDに電流が流れることによる発光を無視することができる。

【0066】

一方、比較的高い電圧の第1の電圧信号が照明ユニットに送信された場合、一周期中にLEDを流れる総電流は、第2の段階、つまり第2の電圧信号が照明ユニットに印加されている間にLEDを流れる電流によって確定的に決定される。この場合、照明ユニットは高い輝度レベルで動作し、第1の電圧信号を特定的に変化させることにより、この範囲内で調光が可能である。

【0067】

提示した制御回路は、画像を生成するためのディスプレイ、モニタ、または例えばビデオウォールにおいて使用することができる。これらは、例えば自動車における、より大きなスクリーンまたは表示デバイスの一部となり得る。ARもしくはVRグラスまたは他の装置での実現も考えられる。ここでも、少なくとも2つの異なる輝度レベルでディスプレイ、モニタ、または例えばビデオウォールを動作させることが可能な駆動制御操作できるような駆動制御手段が重要である。

【0068】

特別に形成された駆動制御回路に加えて、いくつかの態様は、電圧源が照明ユニットに電気エネルギーを供給し、照明ユニットの照明手段としての少なくとも1つのLEDに、照明ユニットのエネルギー貯蔵媒体から少なくとも一時的に電気エネルギーが供給される、照明ユニットの輝度を特定的に変更する方法に關している。さらに、この方法では、少なくとも一時的に電圧信号を照明ユニットに送信し、その電圧信号に基づいて、少なくとも1つのLEDに流れるLED電流を調整する。

【0069】

この方法は、一周期中に、異なる電圧を有する第1および第2の電圧信号を照明ユニットに送信し、第1の電圧信号の電圧に応じて輝度レベルを調整することにより、照明ユニットを少なくとも2つの異なる輝度レベルで動作させることを特徴とする。また、本発明では、一周期中に、少なくとも1つのLEDに流れる総電流によって確定的に決定されるLEDの輝度を、その期間の第1の段階で照明ユニットに送信される第1の電圧信号を送信することによって特定のに変化させることが可能である。照明ユニットの駆動制御のために、第1の電圧信号が、その期間の第1の段階で照明ユニットに印加されることから、まず、第1の電圧信号が照明ユニットに印加されている間、照明ユニットのエネルギー貯蔵手段が充電され、照明ユニットの少なくとも1つのLEDに電圧信号の電圧に比例した電流が流れる。その期間の第2の段階では、第1の電圧信号の電圧に比べて大幅に低下した電圧、有利にはほぼゼロに近い電圧を有する第2の電圧信号が照明ユニットに送信される。これにより、まずエネルギー貯蔵手段、特にコンデンサの電位が下がり、その結果、LEDを流れる電流の大きさも小さくなる。

10

【0070】

したがって、その期間の第1の段階に比べて、第2の段階ではLEDの輝きは弱くなるが、比較的長い期間にわたって光り続ける。ここで、第1の電圧信号の電圧値のレベルに応じて、照明ユニットを、平均光出力が比較的高い高輝度レベルで動作させることも、平均光出力が比較的低い低輝度レベルで動作させることもできる。これに関連して、電圧値が比較的低い第1の電圧信号の場合には、その期間の第1の段階がLEDの平均光出力に与える影響が比較的大きく、電圧値が高い第1の電圧信号の場合には、第2の電圧信号が照明ユニットに印加される期間の第2の段階がLEDの平均光出力にとって決定的に重要であることを考慮する必要がある。

20

【0071】

このようにして、第2の電圧信号が照明ユニットに印加されている間、照明ユニットのLEDには、コンデンサとして構成されたエネルギー貯蔵手段から電気エネルギーが供給されることが提供されている。その他の点では、第1の電圧信号の電圧を第1の電圧間隔内にある電圧値に設定することで、照明ユニットを少なくとも一時的に第1の暗い輝度レベルで動作させ、第1の電圧信号の電圧を第1の電圧間隔の電圧よりも高い、少なくとも第2の電圧間隔内にある電圧値に設定することで、照明ユニットを少なくとも一時的に第2の明るい輝度レベルで動作させることが有利である。

30

【0072】

一構成形態では、第1の電圧信号の電圧を、照明ユニットが動作する輝度レベルを変更することなく、連続する2つの期間の間で変化させることが提供されている。このように、LEDは一定の明るさで動作させても、平均光出力にばらつきが生じる。これにより、連続する2つの期間の間で、第1の電圧信号の電圧は、対応する輝度レベルに対して提供される電圧間隔または電圧範囲内で変化する。

【0073】

温度の安定性やプロセスの変動によるダイオードへの入力電圧もしくは電流のドリフトに加えて、使用されるパルス変調も考慮しなければならない。現在のディスプレイでは、発光ダイオードは、通常、パルス幅変調方式で動作している。すなわち、コントラストおよび輝度調整のために、立て続けにオン／オフされる。その際の周波数は、数100kHz〜MHzの範囲である。このスイッチングプロセスは、電流源に逆の効果を及ぼす。これは、これにより、電流源の精度および安定性を損なう可能性がある。電流源内で制御ループが用いられる場合、スイッチングプロセスによってスパイクなどの挙動が起こり、制御ループがその制御範囲から外れてしまうことがある。

40

【0074】

これらの考察を経て、PWM変調時、特にスイッチングプロセス時、出力電流が制御状態を維持し、設定値に追従するように電流源を制御するLED用の調整された電流源が提案される。この電流源、特にフィードバックループは、あらゆる種類の負荷に適しており

50

、特に本願で開示されているものに限定されない。

【0075】

このために、出力電流またはそれから導き出された信号が制御ループに供給され、制御ループはそれを設定値と比較する。それと、電流源をオフにしたり、オン／オフモード（間欠運転）で動作させたりすると、出力電流がオフの間、バックアップ信号が制御ループに供給される。バックアップ信号は、制御ループを変調範囲（Aussteuerbereich）に維持する。バックアップ信号は、予想される出力電流もしくはそれから導き出された信号に対応するか、またはそれに類似していることが好都合である。総じて、このようにして、電流源のスイッチング状態とは無関係に、変調範囲を連続的にレギュレーションすることができる。供給回路の精度および安定性は保たれる。

10

【0076】

一構成では、基準信号入力、誤差信号入力および修正信号出力を有する誤差修正検出器を備えた供給回路が提案される。さらに、電流出力とコントロール信号端子とを有する制御可能な電流源が提供されている。コントロール信号端子は、修正信号出力に接続されて、制御可能な電流源の制御ループを形成する。言い換えれば、誤差修正検出器は、電流源の出力電流を一定の範囲に制御する。したがって、電流源は、コントロール信号端子の信号に応じて電流出力に電流を供給するように構成されている。

【0077】

提案された原理によれば、供給回路は、バックアップ信号を供給するように構成された出力を有するバックアップ源を含んでいる。最後に、制御可能な電流源および誤差修正検出器と動作可能に接続されたスイッチングデバイスが配置されており、スイッチングデバイスは、スイッチング信号に依存して、電流出力の電流から導き出された信号または電流源の電流出力を追加的に分離したバックアップ信号のいずれかを誤差信号入力に供給するようになっている。言い換えれば、スイッチングデバイスは、制御可能な電流源および誤差修正検出器に結合され、電流出力での電流から導き出された信号または誤差信号入力でのバックアップ信号のいずれかを供給するように適合されている。さらに、スイッチングデバイスは、後者の場合、電流出力を非通電にするように構成されている。

20

【0078】

これにより、電流源の動作状態とは無関係に、制御ループを変調範囲に保つ配置構造が作り出される。これにより、電流源は、制御ループと誤差修正検出器とによるレギュレーションに加えて、PWMなどの間欠モードで動作させることができる。

30

【0079】

バックアップ信号は、電流信号から導き出された信号に実質的に対応していると好都合である。このようにして、制御ループと特に誤差修正検出器とには、電流源の信号とほとんど変わらない信号が与えられるので、レギュレーションおよび変調はそのまま維持される。

【0080】

一態様では、制御可能な電流源は、切り替え可能な出力ブランチを有するカレントミラーを有している。これは電流出力に接続されるか、または電流出力を形成する。出力ブランチは、入力側に配置されたカレントミラートランジスタの制御端子に接続された制御端子もしくはゲートを有する1つ以上の出力トランジスタを含んでいてもよい。

40

【0081】

別の態様では、出力ブランチの出力トランジスタは、その制御端子がスイッチングデバイスに接続されている。スイッチングデバイスは、出力トランジスタのスイッチング信号に応じて、出力トランジスタを開放するための固定電位に接続するか、または制御端子を入力側に配置されたカレントミラートランジスタの制御端子に接続するように構成されている。制御端子が固定電位になると、出力トランジスタは開放または遮断、すなわち電流をそれ以上流さなくなり、負荷と供給回路の出力が非通電にされる。

【0082】

他の態様では、スイッチングデバイスは、出力ブランチに配置され、電流出力もしくは

50

出力トランジスタを負荷から分離するように構成されている。この態様では、誤差修正検出器の誤差信号入力用のタップが、スイッチングデバイスと負荷との間に配置されている。

【0083】

別の態様では、制御可能な電流源は入力ブランチを有している。入力ブランチには基準電流信号が供給可能であるため、電流源はそれに依存した出力電流を提供する。制御可能な電流源の入力ブランチは、誤差修正検出器の基準信号入力に接続されたノードをさらに含んでいる。そのため、例えば、出力電流を引き出すために電流源に供給される基準電流は、誤差修正検出器の基準信号としても機能する。

【0084】

さらに、制御可能な電流源はカレントミラーを含んでいてもよく、コントロール信号端子は、カレントミラーの出力トランジスタの制御端子に接続されている。これにより、出力トランジスタを流れる電流を制御信号で変化させ、レギュレーションを行うことができる。カレントミラーの出力トランジスタの制御端子とカレントミラーのカレントミラートランジスタとの結合は、コンデンサにより正帰還で行われる。このコンデンサは、周波数補償のために用いられ、レギュレーションの安定性を向上させる。

【0085】

別の態様は、差動増幅器に関する。これには、差動増幅器の2つのブランチがカレントミラーを介して供給電位に接続されたものが含まれ得る。任意に、差動増幅器の2つのブランチは、それぞれ異なる幾何学的パラメータを有する入力トランジスタを含んでいてもよい。カレントミラーと合わせて、基準信号と誤差信号との間の異なる固定係数を考慮に入れることができる。

【0086】

別の態様では、バックアップ源は、バックアップ信号が電流信号から導き出された信号に実質的に対応するように、出力に結合された電圧生成素子を含んでいる。これにより、バックアップ信号が通常の動作時に負荷を流れる電流をシミュレートし、制御ループを変調領域に保つことができる。

【0087】

バックアップ源は、電流供給素子と電圧供給素子とからなる直列回路を有していてもよく、出力は2つの素子の間に配置されている。同様に、別の態様では、バックアップ源は、電流源のカレントミラートランジスタの制御端子に接続された制御端子を有するトランジスタを含んでいてもよい。

【0088】

別の態様は、1つ以上のトランスミッションゲートを有するスイッチングデバイスに関する。供給回路は、入力側で定義された電流を出力側で誤差修正検出器に供給し、電流源に供給するように構成された基準カレントミラーを含んでいてもよい。

【0089】

別の態様は、LEDの電流供給のための供給回路の使用に関する。これは、供給回路により動作し、具体的にはオン／オフで動作する。すなわち、電流供給回路のパルス幅を変調した信号でLEDを動作させている。この動作は光電子構造素子では珍しいことではないが、供給回路は、このパルス幅変調動作の間、安定した正確な出力電流を発生させる。

【0090】

別の態様は、LEDに電力を供給する方法に関する。ここでは、負荷によって供給電流が検知される。これは、LEDを流れる電流を検出することで行うことができる。あるいは負荷を流れる電流と既知の関係にある電流から信号を導き出すこともできる。供給電流またはそれから導き出された信号を基準信号と比較し、その比較結果から修正信号を生成する。必要に応じて、修正信号を用いて、負荷を流れる供給電流を目標値に調整する。

【0091】

それから、一定の間隔で負荷をオフにする、すなわち、供給電流から切り離すことが提供されている。かかる場合には、供給電流から導き出された信号の代わりに、バックアッ

10

20

30

40

50

ブ信号を生成して比較ステップに使用する。言い換えれば、供給電流もしくはそれから誘導された信号の代わりに、バックアップ信号を基準信号と比較し、この比較から修正信号を生成する。これにより、当面、負荷に電流が供給されているかとは無関係にレギュレーションすることができる。この場合、バックアップ信号は、負荷を流れる供給電流またはそれから導き出された信号に実質的に対応する。

【0092】

別の態様は、低い自己消費電力で、多数の光電子構造素子、特にLEDを駆動することができるドライバ回路を実現することにある。

【0093】

本願の第1の態様では、複数の光電子構造素子を駆動または制御するためのドライバ回路が提供されている。光電子構造素子は、LEDとして構成され、行と列とを有するアレイに配置され、例えばビデオウォールを形成する。各LEDは1つの画素を表す。あるいは各画素が複数のサブ画素、例えば3つのサブ画素を含む場合、各LEDはサブ画素の1つを形成してもよい。

【0094】

ドライバ回路は、複数の第1のメモリセルを含み、第1のメモリセルの各々は、LEDのそれぞれの1つに割り当てられている。さらに、各メモリセルには、セット入力とリセット入力と呼ばれる2つの入力と、1つの出力とがある。第1のメモリセルは、ラッチであってもよく、1ビットのメモリとして構成されていてもよい。各第1のメモリセルは、出力で第1の状態と第2の状態との2つの異なる状態を有していてもよく、第1の状態はハイの状態であり、第2の状態はローの状態であってもよい。

【0095】

セット入力で第1のメモリセルのうちの1つから受信したセット信号が、出力で第1のメモリセルを第1の状態にトリガする。第1のメモリセルは、リセット入力で受信したリセット信号によって第2の状態にリセットされるまで、第1の状態を保持する。各第1のメモリセルの出力、特に出力に提供された出力信号は、LEDのそれぞれの1つを制御または駆動するように構成されている。特に、出力信号は、LEDがオンにされて光を放つか、オフにされて光を発しないかを判断する。

【0096】

ドライバ回路、第1のメモリセルとその関連する回路の製造には、とりわけCMOS技術が特に適している。第1の態様によるドライバ回路は、デジタル式ドライバ回路であり、従来のドライバ回路に比べて低消費電力・低面積である。さらに、第1の態様によるドライバ回路は、より優れた線形性を提供する。各第1のメモリセルは、その出力にパルス幅変調信号(PWM)信号を供給することができる。

【0097】

一構成形態では、各第1のメモリセルは、2つのクロスカプルNORゲートまたは2つのクロスカプルNANDゲートを含んでいる。NORゲートまたはNANDゲートの各々は、2つの入力と1つの出力とを有している。各NORゲートまたはNANDゲートの出力は、他のNORゲートまたはNANDゲート的一方の入力に結合されている。NORゲートまたはNANDゲート的一方の入力はセット信号を受信し、NORゲートまたはNANDゲートの他方の入力のリセット信号を入力する。

【0098】

代替的な構成形態では、各第1のメモリセルは、N型金属酸化物半導体トランジスタ(NMOSトランジスタ)とP型金属酸化物半導体トランジスタ(PMOSトランジスタ)とを直列に接続されたものとして含み、つまり、2つのトランジスタのチャネルが直列に接続されていることを意味する。さらに、NMOSトランジスタとPMOSトランジスタとの間にはインバータの入力が接続されており、インバータの出力はNMOSトランジスタおよびPMOSトランジスタのゲートに接続されている。ドライバ回路は、複数の読み込み可能なカウンタを含み、それぞれのカウンタにパルス幅値などのデータが読み込まれると、それぞれのLEDを流れる電流をオンにするためのセット信号をアクティブにする

10

20

30

40

50

ように構成されていてもよい。カウンタは、現在の値が負荷されたデータ値に達するまでカウントする。その後、カウンタがリセット信号をアクティブにし、それぞれのLEDを流れる電流をオフにする。

【0099】

LEDのアレイがN列の画素に配列されている場合、ドライバ回路は、選択された行ごとにN列の画素に対するPWM信号を同時に生成するN個のカウンタを含んでいてもよい。さらに、ドライバ回路は、複数のLEDに共通のまたはグローバルな調光信号を生成するように構成された単一の共通カウンタを含んでいてもよい。

【0100】

暗い画素をゲート制御するために、ドライバ回路は複数の第2のメモリセルを含んでいてもよい。各第2のメモリセルは、それぞれの第1のメモリセルに結合され、必要に応じてそれぞれの第1のメモリセルの出力信号をオーバーライドして、それぞれのLEDがオフのままになるように構成されていてもよい。言い換えれば、第2のメモリセルは、これらの光電子構造素子がフレーム中に暗い画素を表示するときに、それぞれの第1のメモリセルがそれぞれのLEDをオンにするのを防止する。

【0101】

本願の第2の態様による光電子デバイスあるいはディスプレイもしくはビデオウォールは、上述のように、複数のLEDと、第1の態様による複数のLEDを駆動するためのドライバ回路とを含んでいる。LEDは、アレイ状に配置され、ディスプレイまたはディスプレイの一部分を形成してもよい。LEDの各々は、アレイの画素を形成することができる。あるいは各LEDがサブ画素を形成していてもよい。例えば、RGB画素アレイの場合、1つの画素には、赤色、緑色もしくは青色の光を発する3つの光電子構造素子またはLEDが含まれている。あるいは3つのLEDのうち、少なくとも2つのLEDが同じ色の光を発し、その光が変換材料によって変換されるように、変換材料が企画されていてもよい。

【0102】

LEDは、特に、LEDの下にある集積回路(IC)の上に配置されていてもよい。回路は異なる材料系で形成されていてもよい。

【0103】

第3の態様では、第2の態様による光電子デバイスもしくはディスプレイもしくはビデオウォールを動作させる方法が提供される。フレーム開始時には、グローバルリセットが行われ、画素電流がオフになり、すべての光電子素子がオフになる。次に、暗い画素の読み込みが1行ずつ実行される。このように、フレーム中に暗転する光電子素子は、第2のメモリセルによって制御される。引き続き、ラインごとのコンテンツ依存のPWM、例えばグレースケールPWMが実行される。このように、第1のメモリセルによって、光電子構造素子を流れる電流が制御される。

【0104】

さらに、フレーム開始時のグローバルリセット後、コモンまたはグローバルな調光(グローバルディミング)が始まるまで、画素電流はオフのままであってもよい。光電子構造素子の共通の調光は、光電子構造素子を流れる電流が第1のメモリセルによって制御される前に実行されてもよい。グローバルディミングデータは、映像/画像信号処理ICまたはLED駆動ICでグレースケールデータと合成され、別途グローバルディミングパルスが必要とせず、グレースケールデータのみを行ごとに更新するようにしてもよい。第2の態様による光電子デバイスおよび第3の態様による方法は、第1の態様によるドライバ回路に関連して、上で開示された構成形態を含んでいてもよい。

【0105】

例えば画素用の負荷、特に発光ダイオードを駆動制御するための新規のコンセプトは、光を制御するためのアナログランプに基づいている。複数の光電子構造素子を行と列とに配置したディスプレイマトリクス、例えばビデオウォールなどの制御回路では、各画素のオン/オフ動作の設定にパルス幅変調を用いることができる。原理は従来のパルス幅変調

10

20

30

40

50

方式と似ているように見えるが、実装は異なっている。

【0106】

マトリクスディスプレイ、特にLEDマトリクスディスプレイ、例えばビデオウォールなどの制御回路は、行セレクト信号用の行セレクト入力、データ信号用の列データ入力、ランプ信号用のランプ信号入力およびトリガ信号用のトリガ入力を含んでいる。説明のために、ランプ信号とは、第1の値から第2の値まで時間的に変化する信号のことである。通常、ランプ信号は周期的なものである。この回路は、行セレクト信号に応答してデータ信号をバッファリングするように構成された列データバッファを含んでいる。一部の变形例では、列データ信号のレベルは、発光デバイスの輝度に対応していてもよい。パルスジェネレータは、列データバッファおよびランプ信号入力に結合され、トリガ信号、データ信号およびランプ信号に

10

【0107】

提案された原理は、アナログパルスジェネレータを実装している。ランプ信号は空間的にも時間的にも多重化できるため、異なる画素の活性化によるアーティファクトを抑制することができる。さらに、時間的な多重化により、ランプ信号を使用した場合には、画素のスイッチング動作が異なる。すなわち、画素に対応したLEDが異なるタイミングで切り替わることで、より均一な電力分配となり、電流のピークを防ぐことができる。

【0108】

一部の变形例では、パルスジェネレータは、バッファリングされたデータ信号をランプ信号と比較するコンパレータデバイスを含んでいる。その結果は、コンパレータの出力およびトリガ入力に結合された出力バッファに供給され、かかる構成では、列データバッファは入力バッファとして機能することができる。パルスジェネレータの出力バッファと合わせて、ダブルバッファリングを実現し、これにより、より長いデューティサイクルを使用するディスプレイに回路を実装し、リフレッシュレートなどを低減することができる。一般的に、このコンセプトは、拡張現実用途で好まれる消費電力をさらに削減する。

20

【0109】

出力バッファは、例えばフリップフロップなどの単一のメモリステージを含んでいてもよい。一部の变形例では、バッファは、コンパレータデバイスの出力と、相応してトリガ入力とに結合された入力を備えたRSフリップフロップを含むことができる。この点については、現在の実装状況や、対応するデータ信号およびトリガ信号の符号（正または負）に応じて、対応するフリップフロップの反転入力を使用することも可能である。一部の变形例では、列データバッファは、データ信号を記憶するコンデンサと、コンデンサと列データ入力との間に配置されたスイッチとを含む。コンデンサは、入力バッファが数ボルトのオーダーの電圧信号しか印加しないような小さな容量を有し、コンパレータデバイスは非常に高い入力インピーダンスを有している。コンパレータは、差動増幅器を用いて実装されていてもよい。例えば、コンパレータの反転入力をデータカラムバッファに結合し、その非反転入力をランプ信号入力に結合してもよい。

30

【0110】

実装状況に応じて、制御回路に結合されたLEDは短時間しか動作しないことがある。一部の变形例では、LEDは通常のサイクルの約50%しか作動しないことがある。このような場合、必要のない制御回路の一部を非アクティブにできると便利である。このためにコンパレータデバイスは、トリガ信号に基づいてその消費電力を調整するために、トリガ入力に結合された電力制御入力を有していてもよい。あるいはコンパレータデバイスを出力バッファに結合し、出力バッファの出力状態に基づいてその消費電力を制御してもよい。この点について、出力バッファは、トリガ信号によってリセットまたはトリガされるまで、コンパレータデバイスに結合された入力とは無関係にその出力状態を維持するように構成されていてもよい。

40

【0111】

別の態様は、ランプ信号の生成に関している。一部の变形例では、制御回路は、ランプ

50

信号入力にランプ信号を供給するランプジェネレータを含み、ランプジェネレータは、トリガ信号に応答して開始値と終了値との間で変動する信号を生成するように構成されている。ランプジェネレータは、他のさまざまな制御回路に共通のランプ信号を送るグローバルランプジェネレータとして実装されていてもよい。あるいは複数のランプジェネレータを用意し、個々のランプジェネレータで複数の行とそれぞれの画素を駆動制御することも可能である。かかる実装により、ランプ信号の多重化が一時的に可能となり、アーティファクトを低減することができる。さらに、ランプジェネレータから供給されるランプ信号を多重化してから、ランプ信号入力に印加することもできる。

【0112】

別の態様は、アドレス指定可能な行と列とに配置された複数の発光デバイスを有するマトリクスディスプレイにおいて、発光デバイスの照明を制御する方法に関するものである。提案された原理によれば、本方法は、選択された列と少なくとも1つの発光デバイスに対して、トリガ信号とデータ信号とを供給することを含む。この場合、データ信号のレベルは、トリガ信号を基準にしてパルスに変換される。より具体的には、一部の變形例では、データ信号のレベルはトリガ信号に対するパルス幅に変換される。このパルスは、発光デバイスのオン／オフをパルスで制御するために用いられる。

【0113】

いくつかの態様では、データ信号のレベルを変換することには、第1の値と第2の値との間のランプ信号を生成することが含まれる。データ信号はランプ信号と比較され、状態信号が生成される。状態信号はデジタル信号であってもよい。この場合、パルス信号は、トリガ信号と状態信号の変化とに基づいている。実質的には、パルス信号は、LOWとHIGHとの間の状態信号の変化に応じて、HIGHからLOWに値を設定またはリセットされる。もちろん、この「値の設定」と「値のリセット」という原則は、入れ替え可能である。

【0114】

ランプ信号は、トリガ信号に応じて生成または開始されることができる。一部の變形例では、両方の信号が共通の信号から導き出されてもよい。データ信号の供給は、一部の變形例では、データ信号のプリバッファリングを含む場合がある。例えば、データ信号は、コンデンサなどのメモリデバイスにプリバッファリングされていてもよい。

【0115】

他の態様では、セレクトヒューズ付きの冗長なLEDブランチによって、ディスプレイ、特にビデオウォール、またはディスプレイモジュールの作製中に発生したLEDの欠陥を修正することに関係している。

【0116】

ディスプレイの、特にビデオウォール場合、作製中にLEDが故障することがある。その原因としては、例えば装着不良や、モノリシックディスプレイモジュールの場合は、いずれかの層の欠陥が挙げられる。このような欠陥の場合、実質的には2つのバリエーションがある。一方はコンタクトが露出している状態で、これを「Open」といい、もう一方はアノードとカソードが短絡している状態で、これを「Short」という。どちらもセルの発光ダイオードの故障につながる。

【0117】

サブ画素または画素の故障する確率を下げるために、サブ画素ごとに冗長なLEDが提供される。欠陥が発生した場合には、適切な回路関連の措置を講じることで、セルが故障しないようにする。すなわち、欠陥のある発光ダイオードを電流源から切り離すことができる。しかしながら、一部の變形例では、エラーがない場合、2つのLED、具体的には、典型的なLEDと冗長なLEDとは同じ電流源から供給されていることがある。そのため、発光ダイオード1つあたりの電流がほぼ半分になる。これはまた、交差電流と占有波長との間の依存関係から生じるカラーシフトにつながる。加えて、ディスプレイ、特にビデオウォール、またはこれのモジュールのプロセス技術上、すべての発光ダイオードにコモンカソードを1つしか実装できないことが多い。バックプレーン（例：TFTバックブ

10

20

30

40

50

レーン)の別の構造によっては、画素セルの構造にNMOストランジスタ(N型金属酸化膜半導体トランジスタ)しか使用できない場合がある。従来の2T1C(2つのトランジスタと1つのコンデンサ)セルでは、発光ダイオードの交差電流とその順方向電圧とに明確な依存関係がある。

【0118】

これらの問題を解決するためにいくつかのアプローチがあるが、そのほとんどは追加の労力やスペースも必要とする。本明細書で提案されている原理によれば、冗長性を確保しつつ、発光ダイオードを流れる電流を半減させないという解決策が得られる。さらに、PMOストランジスタを使用することができるため、自由度が高まっている。

【0119】

画素セルまたはサブ画素、特に2T1Cセルとして複数のLEDを電子的に駆動制御するデバイスが作り出される。第1のトランジスタと、LEDに割り当てられているエンボス電子構造素子とにより、このLEDに直列に接続されたヒューズをトリガさせる電流が生成される。

【0120】

したがって、画素セルまたはサブ画素の複数のLEDを電子的に駆動制御するデバイスは、それぞれ内部でLEDが接続された第1のブランチおよび少なくとも1つの第2のブランチと、LEDと直列に配置された電子ヒューズとを含んでいる。第1のブランチおよび少なくとも1つの第2のブランチは、一方の側が電位端子に接続されている。さらに、データ信号入力、セレクト信号入力および駆動出力を有するドライバ回路が提供されている。駆動出力は、第1のブランチおよび少なくとも1つの第2のブランチのもう一方の側に接続されている。最後に、このデバイスは、少なくとも1つの第2のブランチに割り当てられているエンボス部品を含んでおり、このエンボス構造素子は、直列に配置された電子ヒューズをトリガさせる電流の流れを生成するように構成されている。

【0121】

このように、追加のエンボス信号線と追加の電子エンボス構造素子とを組み合わせることで、導入することが特徴的で、特にトランジスタまたはダイオードとして構成されていてもよい。これにより、エンド・オブ・ライン(EOL)テスト後には、色および画素ごとに1つの発光ダイオードのみがアクティブとなり、具体的には、エラーのない画素の場合にも同様にアクティブとなる。言い換えれば、欠陥が発生した場合は、まだ機能しているLEDが選択される。一方、欠陥がない場合、すなわち、1つのブランチの両方のLEDが機能している場合であっても、2つのうちの1つが持続的にオフにされる。

【0122】

このように、複数のLEDを電子的に構成する方法では、まず、第1のブランチと第2のブランチのそれぞれのLEDの機能のテストが実行される。第1のブランチと第2のブランチの両方のLEDが機能していれば、電子エンボス構造素子にエンボス信号が印加される。引き続き、第2のブランチのLEDと直列に接続されたヒューズをトリガさせる電流の流れの第2のブランチに印加される。このために通常、ヒューズは溶断ヒューズとして構成されている。

【0123】

ある構成によれば、エンボス構造素子は、エンボストランジスタを有していてもよく、その電流線コンタクトは、エンボス構造素子が割り当てられているLEDに電氣的に並列に接続され、その制御コンタクトはエンボス信号線に接続されている。あるいはエンボス構造素子にはエンボスダイオードも形成されていてもよく、この端子は、当該エンボス構造素子が割り当てられているLEDの第2の端子に接続されている。エンボスダイオードの他方の端子はエンボス信号線に接続されている。

【0124】

提案されている配置構造により、LEDをいわゆるコモンアノードまたはコモンカソードとして形成することが可能になる。すなわち、構成に応じて、各ブランチのLEDは、供給電位と電流源との間または電流源と基準電位端子との間のいずれかに接続される。こ

10

20

30

40

50

のように、一方のケースでは、LEDは供給電位端子と電子ヒューズとに接続されている。他方のケースでは、LEDはヒューズと基準電位端子との間に接続されている。電流源は常に各ブランチの電子ヒューズに接続されている。2T1Cセルの電荷蓄積手段は、電流源トランジスタのゲートと固定電位、すなわち、電流源トランジスタも接続されている電位端子に接続されている。

【0125】

別の態様では、上述した複数のデバイスを有するディスプレイ、特にビデオウォール、もしくはディスプレイモジュール、特にビデオウォールのモジュールが提示され、ディスプレイの画素セルは、行および／または列に沿って、共通のエンボス信号線にそれぞれ電氣的に接続されている。列の各画素セルは、共通の供給リード線によってディスプレイの外側の共通のキャリア上に配置されたスイッチングトランジスタに供給電位端子で電氣的に接合されている。

【0126】

駆動制御および冗長回路を準備するためのさまざまなコンセプトに加えて、LEDもしくはモノリシックアレイを有するキャリアと、駆動制御部を含むキャリアとを接続することもさらに検討されている。LEDとIC回路の両方を全く同じ材料系で実現しようとするコンセプトが存在する。これ自体は推奨されるべきものであり、少なくとも部分的には実現可能である。しかしながら、LEDの材料系には欠点があり、IC回路には条件付きでしか適していない。

【0127】

別の態様は、一方では駆動制御回路を、他方ではマトリクス状に配置されたLEDを生成するために、異なる材料系を構築することにある。これには実質的に2つの可能性がある。まず、一方の材料系から出発して構造素子を作製し、次いでもう一方の材料系への移行部を作り出し、この中で更なる構造素子を提供することができる。材料系を通るリードと移行部とが構造素子をつなぐ。このアプローチでは、一方の「面」の作製が、他方の「面」にダメージを与えずに可能となるように、異なるプロセスパラメータを選択・調整することが1つの課題となる。例えば、プロセス温度（例えば、拡散プロセスまたは注入プロセスなど）が非常に異なるため、温度によっては拡散が起こらなかったり、望ましくない拡散が起こったりする。このようにして、構造素子が破損する可能性がある。いくつかの態様では、例えばシリコンベースの1つの技術で駆動制御部を作製し、引き続き、ロッドなどの異なる材料系を成長させることが提案される。

【0128】

別のアプローチでは、駆動制御部と画素アレイとを別々に作製し、電氣的・機械的に接続することが提案されている。このようにして、ニーズや要件をそれぞれの状況に合わせて、作製を最適化することができる。他方で、デジタル駆動制御技術を用いることで、機能を制限することなく、キャリア間の必要なコンタクトパッドの数を減らすことができる。このようにして、新規のデジタルとアナログのコンセプトが開発されることで、例えばビデオウォールなどのディスプレイさらには表示デバイスやマトリクスの製造が可能になる。

【0129】

LEDディスプレイを構築するための一態様は、ディスプレイもしくはビデオウォール内の発光素子またはLEDの制御に関している。このように、ディスプレイは、複数のLEDが行と列とに配置されている。いくつかの態様では、LEDはサブユニットにまとめることができる。これにより、作製、試験および加工が容易になる。

【0130】

一構成では、行と列とに配置された複数の画素を有するディスプレイが提供される。第1の基板構造は、第1の材料系で作製され、複数のLEDを有している。LEDは、第1の基板構造の中および／または上のリード線によって、個別にアドレス指定可能である。主放射方向に面していない第1の基板構造の表面には、複数の接点が配置されている。

【0131】

さらに、ディスプレイは、LEDをアドレス指定するための複数のデジタル回路を含む第2の基板構造を有している。第2の基板構造は、第1の基板構造とは異なる材料系で作製されている。第2の基板構造は、第1の基板構造の接点に対応する複数の接点を表面に含んでいる。ここで、提案された原理によれば、第1の基板構造と第2の基板構造とは、機械的にも電氣的にも互いに接続されているため、コンタクト領域が互いに対応することになる。このコンセプトによれば、ディスプレイのデジタルとアナログの素子を別々に異なる材料系で作製し、次いでこれらを互いに接続することが提案される。そうすることで、それぞれの場合において最適な技術を使用することができる。

【0132】

これに関連して、LEDを有する第1の基板構造は、モノリシックモジュールとして構成されていてもよい。それ以外に、モジュラー構造を使用することもできる。その結果、第1の基板構造自体は、さまざまなLEDからなるモジュール用のキャリアとなる。いくつかの態様では、第1の基板構造は、各画素の電流源などのアナログ回路を含んでいる。同様に、本明細書で提供されている冗長回路およびドライバ回路も考えられる。このような回路を薄膜技術で実行することは可能であるが、電流搬送能力への要求が高くなりすぎないようにする必要がある。可能であれば、いくつかの態様では、第1の基板構造にマルチプレクサまたは他の回路を設けると好都合であり得る。これにより、第1の基板構造と第2の基板構造との間のコンタクト領域の数を減らすことができる。2つのLEDのうちの1つをそれぞれの場合において選択する単純なスイッチであれば、必要なコンタクト面積は約半分になる。他の態様では、例えば、LEDにコモンカソード層を使用することで、場合によってはコンタクトを組み合わせることが可能である。

【0133】

材料系に関しては、それぞれの技術や材料系には、それぞれの利点や課題があるため、柔軟に選択される。第2の基板構造は、特に、単結晶、多結晶またはアモルファスのシリコンをベースにしている。これらの材料系でデジタル回路を実現することはよく理解されており、必要に応じてサイズ調整することができる。同様に、インジウムガリウム亜鉛酸化物、GaNまたはGaAsも第2の基板構造に適した材料系である。第1の基板構造の材料系としては、以下の化合物のうちの少なくとも1つを用いることができる：GaN、GaP、GaInP、InAlP、GaAlP、GaAlInP、GaAsまたはAlGaAs。一態様では、使用される材料系によって熱膨張率や結晶学的パラメーターが異なる場合がある。そのため、両基板構造は直接ではなく、いくつかの中間層を介して接続されることが多い。

【0134】

デジタル回路を備えた第2の基板構造には、供給リード線の他に、各画素のクロック信号およびデータワードからPWM様の信号を生成するための複数のデジタル回路が含まれていてもよい。さらに、画素のデータワードに対応する長さをそれぞれ有するシフトレジスタを直列に接続し、各シフトレジスタを一時的な記憶用のバッファに接続することが可能である。

【0135】

前述のコンタクト領域の低減のために、第2の基板構造は、複数のLEDを駆動制御するために、第1の基板構造のデマルチプレクサに電氣的に結合された1つ以上のマルチプレクサを含むことができる。

【図面の簡単な説明】

【0136】

以下の主題では、上記で言及し、要約したいいくつかの態様について、さまざまな構成や例を用いて、より詳細に説明する。

【図1A】デュアルゲートトランジスタの一構成例を横断面図で示したものである。

【図1B】デュアルゲートトランジスタの2つの平面図である。

【図1C】閾値電圧のトップゲート電圧への依存関係を表した図である。

【図2】提示されたコンセプトによるいくつかの態様を有するLED用の駆動制御回路の

10

20

30

40

50

第1の構成例を示す図である。

【図3】更なる態様を有するLED用の駆動制御回路の第2の構成例を示す図である。

【図4】コンセプト案のいくつかの態様に従ったLED用の駆動制御回路の第3の構成例を示す図である。

【図5】更なる態様を有するLED用の駆動制御回路の更なる構成例を示す図である。

【図6】コンセプト案のいくつかの態様に従ったLED用の駆動制御回路の更なる構成例を示す図である。

【図7】前図を補足する更なる構成例を示す図である。

【図8】いくつかの態様に従ったLED用の駆動制御回路の第5の構成例を示す図である。

【図9】態様を説明するためのSRAM6Tセルの回路図である。

10

【図10】いくつかの態様を説明するためのドライバ回路の回路図である。

【図11】提案されたいくつかの態様に従ったデジタル素子と画素アレイとを備えたディスプレイの概略図である。

【図12】暗色画素のクロックフローを説明するための回路図である。

【図13】いくつかの態様に従った、画素ストリームのグローバルバイアスを表した図である。

【図14】図13の構成形態に従ったいくつかの信号を用いた信号タイミング図である。

【図15】省スペース化されたドライバ回路の更なる構成形態を示す図である。

【図16】同様に省スペース化された更なるドライバ回路の構成を示す図である。

【図17】いくつかの態様に従った調光駆動制御のいくつかの態様を説明するための、2つのLED用のドライバ回路の概略図である。

20

【図18】異なるコンデンサ電圧を関数とするLEDに流れるLED電流の図である。

【図19】比較的高い第1の電圧信号で駆動制御したときのLED付き照明ユニットの輝度を示す概略図である。

【図20】比較的低い第1の電圧信号で駆動制御したときのLED付き照明ユニットの輝度を示す更なる概略図である。

【図21】本明細書で提示されているコンセプトのいくつかの態様に従った、コンデンサ電圧用を選択された電圧の関数として、LED付き照明ユニットの平均光出力を示す図である。

【図22】LED用のPWM供給回路の主要構成を示すブロック図である。

30

【図23】提案された原理によるLED用のPWM供給回路の一構成例を示す図である。

【図24】動作状態にある図23の構成を、信号の流れに関する追加情報とともに示した図である。

【図25】2つの単純なスイッチングデバイスの概略図である。

【図26】図23に示した信号点を有する提案された構成の信号タイミング図である。

【図27】LEDディスプレイの発光デバイスのオン／オフ比を制御するのに適したアナログランプベースの制御回路の例示的な構成を示す図である。

【図28】図23に従ったコンセプトのさまざまな信号による信号タイミング図である。

【図29】冗長なLEDと、LEDを分離するための溶断ヒューズとを備えた画素セルの回路関連の図である。

40

【図30】LEDの欠陥を補償することができる、冗長なLEDを備えた回路の更なる構成形態を示す図である。

【図31】提示されたコンセプトのいくつかの態様に従った、冗長なLEDを備えた回路の第3の構成例を示す図である。

【図32】欠陥のあるLEDを交換することができる、冗長なLEDを備えた回路の第4の構成例を示す図である。

【図33】冗長なLEDを備えた回路の第5の構成例である。

【図34】LEDの欠陥を補償する、冗長なLEDを備えた回路の第6の構成例を示す図である。

【図35】上で提示されている回路のうちの1つによって駆動制御される画素セルをテス

50

トして構成する方法の一構成を示す図である。

【図 3 6 A】形状とサイズの要件を考慮した、1 つ以上の L E D 用の制御回路の代替的な構成の概略図を示す。

【図 3 6 B】形状とサイズの要件を考慮した、複数の L E D 用のドライバ回路の代替的な構成の概略図を示す。

【図 3 6 C】図 3 6 A で使用された O R ゲートの代わりに、例えばコンパレータで使うことができるコンパレータ回路の一構成を示す図である。

【図 3 6 D】出力信号を生成するために使用される各種カウンタワード 1 D ~ 3 D とメモリレジスタのタイミング図である。

【図 3 7 A】L E D 表示部一配置構造の側面図である。

【図 3 7 B】図 3 6 A および図 3 7 A の構成に従ったさまざまなセクションの相互接続のさまざまな例を示す図である。

【図 3 8】L E D ドライバのアナログ部に使用されるアモルファスシリコンを用いたオフセット型の反転トランジスタの一例を示す図である。

【図 3 9】L E D ドライバ回路に適したポリシリコントランジスタのいくつかの例を示す図である。

【図 4 0】L E D または L E D 表示部の回路図である。

【図 4 1】さまざまなサブマトリクスに分割された L E D 表示部の回路図である。

【図 4 2】表示部の画素内の L E D 用のドライバ回路の従来のアプローチを示した図である。

【図 4 3】ディスプレイでの使用に適した従来の列ドライバの一構成を示す図である。

【図 4 4】ディスプレイでの使用に適した従来の行ドライバの一構成を示す図である。

【0 1 3 7】

詳細な説明

ディスプレイもしくはビデオウォールの場合、各画素を第 2 の画素とは切り離して個別に駆動制御することで、あらゆる種類の情報を適宜柔軟に可視化することができる。簡単に言えば、約 2 0 0 万画素の従来のテレビやモニタのように 1 9 2 0 × 1 0 8 0 画素のマトリクスを別々に駆動制御する必要がある。

【0 1 3 8】

そのため、新しいコンセプトが必要となるが、それは大きく 2 つの領域に分けることができる。1 つ目の領域は、トランジスタやコンデンサなどの素子の新しい設計に関するものである。2 つ目の領域は、L E D 画素を駆動制御するための回路技術とその原理に関するものである。簡単に言えば、画素を行と列とにアドレス指定するためのデジタル伝送路が、それに対応する行と列の復号化のようにスペースをとるということである。同じことが、個々の L E D に必要な電流を流すための電流源やバッファの実装についても言える。L E D をモノリシックに組み立てたり、個々に実装して組み立てたりした場合であっても、ディスプレイ内の L E D に対処する新しいアプローチで良好な視覚的印象を得るというさまざまなコンセプトが可能になり得る。

【0 1 3 9】

図 1 A は、N M O S 技術で形成されたバックゲートもしくはデュアルゲートトランジスタを使った L E D 用の電流ドライバの構成例を示している。この構成形態は、少数の部品で実現することができる。

【0 1 4 0】

このようなバックゲートトランジスタは、電流ドライバトランジスタまたは電流源としても頻繁に用いられる。これは特に、T F T（薄膜技術）で組み立てられ、標準的な制御端子やゲートに加えて、バックゲートとも呼ばれる第 2 の制御端子を有している。このバックゲートを追加することで、以下で説明するようにトランジスタの導電チャネルを変化させることができる。パルス幅変調（P W M）用のトランジスタを追加する代わりに、既存のデュアルゲートトランジスタのバックゲートを P W M 信号で変調することができる。

【0 1 4 1】

図1 Aは、バックゲートで制御されたNMOS電界効果トランジスタの横断面図を示している。左側にはソース領域S、右側にはドレイン領域Dがあり、ここで、両領域の間には電流を導通するチャンネルが提供されている。通常の電界効果トランジスタでは、ゲート1つでチャンネルの抵抗値、すなわち、チャンネルが電流を導通する能力が変化させられる。デュアルゲートトランジスタでは、第1のボトムゲートBと第2のトップゲートTとによってチャンネルが変化させられる。この場合、チャンネルの異なる側にゲートが配置される。ここに示す構成例では、トップゲート（アッパーゲート）が追加のバックサイドコンタクトもしくはバックゲートコンタクトを提供する。

【0142】

図1 Bは、図1 Aに記載のデュアルゲートトランジスタの2つの平面図を示している。左側の図に示すように、左側のソース領域Sと右側のドレイン領域Dとは、トップゲートTおよび／またはボトムゲートBを用いた電流線によって制御することができる。図1 Bの右側の図は、図1 Aによる配置の一部分を示している。

【0143】

図1 Cは、閾値電圧のトップゲート電圧 V_{TG} への依存性、ひいては背面コンタクトと閾値電圧 V_{TH} との相互作用を表したものである。特に、閾値電圧 V_{TH} は、電界効果トランジスタが電流を導通する状態になるゲート・ソース間電圧 V_{GS} である。図1 Cでは、x軸はトップゲートTに印加される電圧 V_{TG} を示す。この関数として、y軸は制御されたNMOS電界効果トランジスタのチャンネルの導電性が変化したときの閾値電圧 V_{TH} を示している。例えば、トップゲートの電圧が0Vのときは、電流が流れるための閾値電圧は0.5Vである。絶縁ゲート-ZO-NMOSトランジスタ（Insulated-Gates-ZO-NMOS-Transistor）にトップゲートを追加することで、トランジスタの閾値電圧 V_{TH} を広い範囲でほぼ直線的にシフトさせることができる。

【0144】

図2は、LED、特にディスプレイもしくはビデオウォール用の画素またはサブ画素を電子的に駆動制御するためのデバイスの第1の構成例を示している。LEDは、第1の電位GNDと第2の電位Vddとの間でデュアルゲートトランジスタと直列に接続されている。この配置は、デュアルゲートトランジスタT2の第1の制御ゲートもしくはバックゲートBGに接続された閾値線PWMを有している。閾値線PWMは制御電極を追加で有している。背面コンタクトを有するこのバックゲートBGを図1 Aおよび図1 Bに示している。図1 Cのグラフによれば、背面コンタクトを介して閾値電圧を大きくシフトさせることができ、すなわち、ゲートGとソースSとの間の電圧 U_{GS} は一定のままで、追加のゲートBGによって出力電流を変調することができる。原則的には、ゲートGとバックゲートBGとを逆に使用することも可能である。すなわち、第1の制御端子BGで電流設定を行い、第2のゲートGでパルス幅変調を行うことができる。この回路を提供する広いダイナミックレンジにより、閾値電圧を第2のトランジスタT2の安全なオフをもたらす範囲にシフトさせることができる。

【0145】

これにより、PWM（パルス幅変調）動作が可能になる。

【0146】

更なる利点は、デュアルゲートトランジスタT2を用いた回路案の高速化である。高速切り替えを行うことが可能である。「データ」線を使った変調とは異なり、メモリ容量を使用しないため、同じドライバ出力でより高速な変調が可能である。

【0147】

さらに、この配置は、データ信号線dataとセレクト信号線selとを含んでいる。最後に、この配置には、電荷蓄積手段Csと制御トランジスタT1とを備えたセレクトホールド回路もさらに含まれている。電荷蓄積手段は、デュアルゲートトランジスタT2の第2の制御ゲートGとLEDの端子との間に配置されている。制御トランジスタT1の制御端子は、セレクト信号線Selに接合されている。動作時には、デュアルゲートトランジスタT2のゲートGへのセレクト信号線を介してデータ信号線にデータが印加される。

電圧 U_{GS} はコンデンサ C_s に蓄えられ、セレクトトランジスタ T_1 がオフになった後も印加される。電圧はデータ信号で指定され、アドレス指定はセレクト信号 S_{el} で行われる。

【0148】

こうしてゲート G は、固定されたチャネルを生成し、ひいては電流経路に一定の電流を流す。このようにして、トランジスタ T_2 によって定電流源が提供され、さらにトランジスタ T_2 のバックゲートでPWM信号によってパルス幅変調される。したがって、LEDは、電荷蓄積手段のデータによって指定された電流と「オフ」状態との間を、PWM信号によって行き来する。LEDは、いくつかの構成では、印加された電流に依存して色が僅かに変化するため、データ信号で色を、PWM信号で光度を、それぞれ僅かに変化させることができる。色の依存性が低い場合は、固定PWMでデータを介して光度を設定することもできる。

10

【0149】

図2の構成は、GNDベースのプログラミングを行わずに、NMOS-TFT（薄膜）トランジスタ T_2 を用いて調整可能な定電流源のパルス幅変調を示している。しかしながら、この構成は温度安定性ではない。この温度不安定性は、発光ダイオードにかかる電圧降下の温度依存性により、電荷蓄積手段 C_s にかかる電圧が僅かに変動することに起因している。

【0150】

図3は、NMOS技術で提供されるLED画素セルを電子的に駆動制御するためのデバイスの第2の構成例を示している。前述の構成と同様に、電流経路は、第1の電位端子GNDと第2の端子 V_{dd} との間で直列に接続されたLEDとデュアルゲートトランジスタ T_2 とを含んでいる。セレクト信号ホールド回路の電荷蓄積手段 C_s は、一方の端子がトランジスタ T_2 のゲート G に接続され、他方の端子がソース S と第1の電位GNDとの間に接続されている。その結果、電荷蓄積手段 C_s にかかる電圧は一定となり、発光ダイオードの順方向電圧に依存しなくなるため、ひいては温度依存性でもなくなる。セレクト信号ホールド回路はGNDにプログラミングされている。

20

【0151】

他方で、LEDは、ドレイン端子 D と供給電位 V_{dd} との間に接続されている。そのため、LEDは、電気的に高い電位を供給する第2の電位端子 V_{dd} の側に配置されている。この配置は図2のものに対応しているが、発光ダイオードはローサイドに配置されておらず、つまりカソードがGND（グラウンド（Masse））に配置されておらず、トランジスタ T_2 のハイサイドもしくは上側回路に配置されている。そのため、発光ダイオードのカソードはトランジスタ T_2 のドレインに接続され、そのアノードは第2の電位端子 V_{dd} に接続されている。それに応じて、LEDは、例えば、従来の「コモンカソード（Common Cathode）」の代わりにコモンアノードトポロジー（gemeinsame Anodentopologie）を示している。

30

【0152】

図4は、デバイスの第3の構成例、すなわち、図2に記載の構成を示しているが、ここではNMOS薄膜トランジスタ（TFT）の代わりにPMOS薄膜トランジスタを用いて実行している。そのため、PMOSトランジスタのみを使用している。本構成では、電荷蓄積手段は、デュアルゲートトランジスタ T_2 のソースと第1の電位 V_{dd} との間に接続されている。

40

【0153】

図2～4に示す構成では、画素マトリクスでの古典的な駆動制御が可能である。ここでは、トランジスタ T_2 の「フロントゲート」（通常の）ゲート G に電圧値データが書き込まれ、ホールドコンデンサ C_s がこの電圧値を記憶し、それに応じて第2のトランジスタ T_2 を制御する。これは、例えばRGB画素の色混合を設定するために使用される。それから、バックゲートBGを介して第2のトランジスタ T_2 にパルス幅変調（PWM）電圧が印加され、この電圧はパルス幅変調（PWM）により発光ダイオードの電流を時間的に

50

変調し、例えば、予めプログラミングされた色に対する画素の一般的な輝度を変化させるために使用される。この色は、第1のトランジスタ T_1 とコンデンサ C_s とによって予めプログラミングされている。例えば、1つの表示行のすべてのトランジスタにおいて、それぞれのバックゲートに同一のパルス幅変調信号を印加することも可能である。このようにして、行全体が「調光」される。

【0154】

ディスプレイ全体のすべてのバックゲート、すなわち、すべての列とすべての行が、共通のパルス幅変調信号 PWM で駆動制御され、画像内容を変えることなく、ディスプレイ全体もしくはビデオウォールを「調光」することも可能である。これは、例えば、自動車のディスプレイのデイナイトモードやビデオウォールにも使用することができる。このようにして、輝度を外部の明るさに合わせて動的かつ無段階に調整することができる。ビデオウォール分野では、このようにビデオウォールの一部を個別に駆動制御して、暗い部分を明るくしたり、明るい部分を暗くしたりすることが場合によっては可能となる。

【0155】

図5は、デバイスの第4の構成例、すなわち、駆動制御デバイスの設計の更なる構成形態を示している。図2による表示およびデバイスに加えて、第3のトランジスタ T_3 が LED に並列に接続され、第3のトランジスタ T_3 の制御端子はセレクト信号線 Se_l に接合されている。定電流源としてのトランジスタ T_2 は、ここではゲートのみで構成されている。このような配置により、 LED のアノード電位とは無関係にプログラミングを行うことができる。ここに示したデバイスは、 $NMOS$ ベースの $IGZO$ プロセスと、 LED のアセンブリに関するプロセス工学からのコモンカソードの要件とを組み合わせることで得られる。これをもとに、 $2T1C$ （2つのトランジスタと1つのキャパシタ）電流源を実装することが可能となる。

【0156】

セレクト信号線 Se_l に高電位 V_{dd} が印加されている場合、第1のトランジスタ T_1 がデータ信号線 V_{data} に接続され、さらに第3のトランジスタ T_3 が電流を導通する状態となるため、発光ダイオードがバイパスされ、コンデンサ C が基準電位（ GND ）に接続されることになる。このようにして、コンデンサは、 LED のアノード電位ではなく、下側の低い方の第1の電位端子の基準電位 GND を基準とした電圧 V_{data} でプログラミングされる。セレクト信号線 Se_l の電位が基準電位（ GND ）であれば、第1のトランジスタ T_1 と第3のトランジスタ T_3 とは遮断され、コンデンサ C はその電圧を、第2のトランジスタ T_2 のゲート・ソース間電圧 U_{gs} に対応する予めプログラミングされたものとして保持するようになる。アノード電位がシフトすると、 V_{data} の切り離しにより第2のトランジスタ T_2 へのゲート電位もシフトするため、トランジスタ T_2 のゲート・ソース間電圧 U_{gs} は一定に保たれることになる。このようにして、第2のトランジスタ T_2 は、電流源として動作することができる。

【0157】

図6は、デバイスの第5の構成例、すなわち、サブ画素セルの構成形態を示している。図6は、図5に記載の配置構造を示しているが、ここでは第2のトランジスタ T_2 がデュアルゲートトランジスタとして形成されており、その追加のゲート端子 BG がパルス幅変調の適用のために閾値線 PWM に接続されているという点で異なっている。フロントゲート G は電荷蓄積手段 C に接続され、バックゲート BG にはパルス幅変調された信号が供給される。

【0158】

トランジスタ $T_1 \sim T_3$ は、ホールドコンデンサ C_1 と一緒に $NMOS$ 型の $3T1C$ セルを形成している。トランジスタ T_1 とトランジスタ T_2 とで構成される $2T1C$ セルは、 $PMOS$ 型として構成されていてもよい。この場合、例えば、第3のトランジスタ T_3 は必要ではない。トランジスタ T_2 は、いわゆる「デュアルゲートトランジスタ」として構成されている。

【0159】

10

20

30

40

50

図 7 は、追加の温度安定化が行われるデバイスの一構成例を表したものである。トランジスタ T 1 および T 2 は、ホールドコンデンサ C 1 と一緒になって、N M O S 型の 2 T 1 C セルを提供している。発光ダイオードは、プロセス上の理由から「コモンカソード」、つまり共通のカソードが設けられているため、トランジスタ T 2 のローサイドに配置されている。T 2 は「デュアルゲートトランジスタ」として構成されており、そのため 2 つの制御電極を有している。前述のいくつかの例と同様に、本構成でも、デュアルゲートトランジスタ T 2 のゲート（図 1 A におけるボトムゲートに相当）は、2 T 1 C セルのトポロジーの一部であり、電荷蓄積手段 C 1 のグランド関連のプログラミングと D a t a 1 線の信号とによって L E D の色と一般的な輝度を設定する。バックゲート B G（図 1 A のフロントゲート）を介して、電流源として動作するトランジスタ T 2 に P W M 信号を印加することができる。

10

【0160】

そのため、トランジスタ T 2 のゲート・ソース間電圧は、L E D の順方向電圧に依存する。発光ダイオードにかかる電圧降下は、交差電流だけでなく温度にも依存するため、プログラミングの実際の期待値とは大きく異なる出力電流が発生することになる。これは、次の等式 1 で表すことができる：

$$I_{LED} = K (U_{data} - U_{LED}(T, I) - U_{th})^2 \quad (\text{等式 1})$$

上記式中、 U_{data} は、電荷蓄積手段 C 1 にかかる電圧である。L E D が自己発熱すると、その順方向電圧は低下し、トランジスタ T 2 を流れる電流が増加することになる。負帰還がないことから、そのため L E D の動作パラメーターを変更すると、電流ひいては L E D の輝度や色に大きな影響が生じる。

20

【0161】

そこで、トランジスタ T 2 のデュアルゲートトランジスタとしての機能を利用して、このような影響を補正できる負帰還が提案される。負帰還は、基準電位 A V S S とトランジスタ T 3 の制御端子との間に接続されたホールドコンデンサ C 2 を含んでいる。コンデンサ C 2 の第 1 の端子は、デュアルゲートトランジスタ T 2 のバックゲート B G の制御を形成し、コンデンサ C 2 の他方の端子は、デュアルゲートトランジスタ T 2 のソース S に接続されている。負帰還は、更なるトランジスタ T 4 を含んでおり、その制御端子およびドレイン端子は供給電位 A V D D に接続されている。トランジスタ T 4 のソース端子は、バックゲート B G およびトランジスタ T 3 のドレインに接続されている。最後に、補正を任意にプログラミングするために、第 5 のトランジスタ T 5 が設けられており、このトランジスタ T 5 は、ホールドコンデンサ C 2 にセレクト信号 S e t 2 を使用して D a t a 2 線に補正值を記憶させる。

30

【0162】

トランジスタ T 3 のゲート・ソース間電圧は、ホールドコンデンサ C 2 の電圧から発光ダイオードの順方向電圧を差し引いた値に相当する。この順方向電圧 V_{f_LED} が上昇すると、コンデンサ C 2 の蓄えられた電荷は変わらないことから、第 3 のトランジスタ T 3 のゲート・ソース間電圧 U_{GS} は低下する。したがって、第 3 のトランジスタ T 3 を流れる電流は低下する。この電流はトランジスタ T 4 にも流れるので、第 4 のトランジスタ T 4 のゲートは供給電位に結合されていることから、第 4 のトランジスタ T 4 の電圧降下 U_{DS} は小さくなる。したがって、トランジスタ T 2 のバックゲートへのノードでは、より高い電圧が生じる。その結果、トランジスタ T 2 の閾値電圧についてはより低くなる。次の等式 2 によるトランジスタ T 3 と T 4 の対応設計によって、発光ダイオードの順方向電圧の記載した反応を可能な限り補正することができる：

40

【数 1】

$$\beta = -\sqrt{\frac{W_4 \cdot L_3}{W_3 \cdot L_4}}$$

として、 $U_{th} \cdot I_{T2} = U_{th} \cdot U_{th} \cdot I_{Nom} + \beta \cdot U_{BG-S-S} \quad (\text{等式 2})$

50

である。 $\beta = -0.52$ の典型的な値からは、 $L_3 = L_4 = L_{min}$ にて $W_3 = 3.69 \cdot W_4$ となる。

【0163】

第5のトランジスタT5とキャパシタC2とを用いて、負帰還を含む画素セルのData2を微調整することができる。図7に示す構成形態では、事前に複雑な計算を行うことなく、電流安定性が大幅に改善される。「データ」信号の複雑な事前計算をせずに、僅かな部品で電流の不安定性が補正される。これにより、動作中の温度変化を補正することができる。さらに、特にSel2を介して制御入力Data2を追加することで、第3のトランジスタT3による静止電流の低減を図ることができる。

【0164】

図8は、LED駆動制御デバイスの第6の構成形態を示している。前述の例のように、LEDはディスプレイまたは例えばビデオウォールのモジュールの一部であってもよい。図2に記載の構成に加えて、温度補償とLEDにかかる順方向電圧の影響とを考慮して、さらに改良を加えている。

【0165】

本構成では、LEDの第2の端子に接続された第1の電流線コンタクトを有する第3の電子スイッチT3を含んでおり、この第3の電子スイッチT3の第2の電流線コンタクトが、第2の電子スイッチT2の第1の制御端子BGに接続されている。さらに、このデバイスは、第4の電子スイッチT4を含んでいる。第3の電子スイッチT3の制御端子が、第4の電子スイッチT4の第2の電流線コンタクトに接続されており、これらは一緒になって供給電位AVDDに接続されている。第4の電子スイッチT4の制御端子も供給電位AVDDに接続されている。最後に、第4の電子スイッチT4は、その第1の電流線コンタクトが第3の電子スイッチT3の第2の電流線コンタクトに接続されている。

【0166】

第1の制御端子BGを介して第2の電子スイッチT2を制御するために第5の電子スイッチT5が設けられている。これはLEDと並列に接続されている。さらに、第5の電子スイッチT5は、その第2の電流線コンタクトが第3の電子スイッチT3の第1の電流線コンタクトに接続されている。第5の電子スイッチT5の制御端子は、パルス幅変調信号PWMを供給するための端子と電気的に接続されている。

【0167】

図8に示すデバイスの挙動やその機能は、図7に記載のデバイスと同様である。しかしながら、図7とは異なり、第3のトランジスタT3のゲートは、固定電位Vddに電気的に接続されている。任意に、第3のトランジスタT3からの交差電流なしに発光ダイオードを安全にオフにするために、追加の第5のトランジスタT5を提供することができる。第5のトランジスタT5は、第3のトランジスタT3からLEDへの交差電流が問題にならない場合には必要ではない。ここで提示するデバイスによれば、ホールドコンデンサなしでパルス幅変調PWMの制御が行われる。このようにして、同じサイクルタイムでパルス幅変調の可能な分解能を高めることができる。同様に、蓄積コンデンサの再充電が必ずしも必要ではなくなり、スイッチング速度を向上させることができる。

【0168】

以下では、更なる態様として、画素もしくは関連するLEDの輝度調整または調光のための制御が関係している。このような調光は、例えば昼間と夜間の視界を切り替えたりするオートモティブ分野だけでなく、ビデオウォールにも頻繁に使用される。原則的に、かかる調光は、コントラストを調整する必要がある場合や、外光によってディスプレイの輝度をレギュレーションし、ユーザーの目を眩ませないようにしたり、安全に情報を表示できたりするようにする必要がある場合に好都合かつ有利であり得る。

【0169】

従来の方法では、PWM制御と電流調光とでこの問題に対処できるが、LEDの外部パラメータが頻繁に変化するため、複雑な補償回路が必要になる。代替的に、いわゆるT1C回路を用いて、当該回路にドライバ駆動制御のための制御信号を供給し、コンデン

10

20

30

40

50

サに蓄えることも可能である。この場合、コンデンサに加えられる電圧で輝度が調整される。こうして、本発明では、寄生的な望ましくない効果として発生することが多い態様、すなわちドライバトランジスタのゲート・ソース間容量を利用している。これにより、コンデンサの容量で容量分圧が形成され、トランジスタのゲートの電圧が下がることになる。ゲート・ソース間容量を適切に選択することで、より広い範囲で輝度を調整することができる。

【0170】

一態様では、少なくとも1つのLEDの輝度を調整する制御回路は、制御端子を有する電流ドライバ素子を備えている。この素子は、LEDと直列に接続され、その第1の端子を第1の電位に接続している。電荷蓄積手段が、制御端子と第1の電位との間に配置され、制御端子と第1の端子の間に定義された容量で容量分圧を形成している。

10

【0171】

それから、本発明によれば、第1の期間中に制御信号を制御端子に供給し、それに基づいて、第1の期間中に少なくとも1つのLEDを流れる電流を設定することができる制御素子が設けられている。第1の期間に続く第2の期間中に、第1の期間中の制御信号と容量分圧とから得られる低減された制御信号により、LEDを流れる電流が定められている。

【0172】

こうして、制御素子によって制御信号を選択すると、LEDの輝度は、第1の期間中の電流またはその後の第2の期間中のLEDを流れる電流のいずれかに実質的に依存するように調整することができる。

20

【0173】

言い換えれば、制御信号は、第1および第2の期間中にLEDを流れる総電流を決定し、制御信号が適切に選択された場合、第1の期間中にLEDを流れる電流または第2の期間中にLEDを流れる電流に実質的に依存する。

【0174】

このように、制御素子は、全期間中にLEDを少なくとも2つの異なる輝度レベルで動作させるために、第1の期間中に第1または第2の制御信号を供給するように整えられている。このために、例えば、第2の制御信号は第1の制御信号よりも大きく、第2の制御信号から導き出される低減された制御信号が、電流ドライバを駆動制御して、LEDを動作させるのに十分な電流を供給するのに十分なものとなる。

30

【0175】

前述のように、電流ドライバ素子は、電界効果トランジスタを含んでいてもよく、そのゲートが制御端子を形成し、設計上決められたゲート・ソース間容量を有している。したがって、第2の期間中にトランジスタまたは電流ドライバの制御端子に印加している低減された制御信号である信号は、第1の期間中の制御信号、ならびに電荷蓄積手段の容量と、電荷蓄積手段の容量および定義された容量の和との比率に基づいて得られる。

【0176】

このような回路は、第1の期間と第2の期間とが周期的に続いて起こるように、ある一定の周波数で動作させられる。この周波数は60Hz、多くの場合100Hzもしくは120Hz、または60Hz～150Hzの範囲であってもよい。一態様では、制御素子は、第2の期間と第1の期間との比率を調整可能にするように構成されており、その比率は、300:1～100:1の範囲、特に100:1の範囲であってもよい。このために、制御素子は制御トランジスタを含んでおり、その制御端子では、第1および第2の期間ひいてはデューティサイクルを信号によって調整することができる。

40

【0177】

こうして、一周期の第1の期間中のさまざまな制御信号によって輝度レベルを選択することができる。このために一態様では、第1の制御信号の電圧が第1の電圧間隔内にあるときはLEDを第1の暗い輝度レベルで動作させ、第2の電圧信号の電圧が第1の電圧間隔よりも少なくとも部分的に高い第2の電圧間隔内にあるときはLEDを少なくとも第2の明るい輝度レベルで動作させることが企図されている。

50

【0178】

これに関連して、輝度は、全期間中にLEDを流れる電流によって決定される。第1の電圧間隔内にある制御信号では、総電流は実質的に第1の期間中の電流によって決定される。なぜなら、容量分圧とそれに伴う第2の期間中の低減された制御信号の電圧の低下とにより、この期間中のLEDを流れる電流は非常に低く限られたものであり、動作には十分ではないか、もしくは関連性もないからである。この期間中、電流ドライバは駆動制御されないか、またはごく僅かに駆動制御されるだけで、LEDはほとんど点灯しないか、全く点灯しない。

【0179】

一方、第1の期間中に制御信号が第2の電圧間隔内にある場合、一周期の総電流は、実質的に第2の期間中の電流によって決定される。この場合、容量分圧とそれに伴う第2の期間中の低減された制御信号の電圧の低下にもかかわらず、電流ドライバは依然として十分に駆動制御され、LEDを動作させるのに十分な量の電流がLEDを流れることになる。第1の電圧間隔の値は1.3V～4.5Vの範囲である。第2の電圧間隔は4.0V～10.0Vの範囲を有している。

【0180】

更なる態様は、制御端子を有する電流ドライバ素子に接続された少なくとも1つのLEDの輝度を調整する方法であって、制御端子の第1の端子が第1の電位に接続され、制御端子と第1の電位との間に電荷蓄積手段が接続されており、そうすることで電荷蓄積手段が、制御端子と第1の端子との間に定義された容量で容量分圧を形成する方法に関するものである。この方法では、第1の期間中に制御信号を制御端子に印加することで、第1の期間中に少なくとも1つのLEDを流れる電流が調整される。第1の期間に続く第2の期間中に、制御信号がオフにされ、これにより、LEDを流れる電流が、第1の期間中の制御信号と容量分圧とから得られる低減された制御信号によって定められる。ここでいう制御信号をオフにするとは、第1の期間中の制御信号と容量分圧とから得られる低減された信号のみがその後制御端子に作用するように、制御信号を制御端子から切り離すことと理解される。

【0181】

そのため、この低減された制御信号は、分圧によって容量分圧の比率だけ制御信号より低くなる。特に、一観点では、第2の期間中に制御端子に印加している低減された信号は、第1の期間中の制御信号、ならびに電荷蓄積手段の容量と、電荷蓄積手段の容量および定義された容量の和との比率に基づいて得られる。

【0182】

なお、別の態様としては、第2の期間と第1の期間との比率が300:1～100:1の範囲、特に100:1の範囲であることが挙げられる。他の態様では、第1の制御信号の電圧が第1の電圧間隔内にあるときはLEDを第1の暗い輝度レベルで動作させ、第2の電圧信号の電圧が第1の電圧間隔よりも少なくとも部分的に高い第2の電圧間隔内にあるときはLEDを少なくとも第2の明るい輝度レベルで動作させることが提案される。

【0183】

これに関連して、この方法案では、全期間中にLEDを流れる電流によって輝度が決定される。第1の電圧間隔内にある制御信号では、容量分圧とそれに伴う第2の期間中の電圧低下とにより、この期間中にLEDを流れる電流は非常に小さいため、総電流は実質的に第1の期間中の電流によって決定される。この期間中、電流ドライバは駆動制御されないか、またはごく僅かに駆動制御されるだけである。

【0184】

一方、制御信号が第1の期間中に第2の電圧間隔内にあるとき、総電流は実質的に第2の期間の電流によって決定される。この場合、容量分圧とそれに伴う第2の期間中の制御信号の電圧低下にもかかわらず、電流ドライバは依然として十分にトリガされ、LEDを動作させるのに十分な量の電流が流れることになる。第1の電圧間隔の値は1.3V～4.5Vの範囲である。第2の電圧間隔は4.0V～10.0Vの範囲を有している。

【0185】

駆動制御に必要な第1または第2の制御信号は、デジタル制御ワードからデジタル／アナログ変換によって得られる。そのために、デジタル制御ワードはビット数 n を有している。ここで、最下位の m ビット ($M < n$ 、例えば $m = n - 2$ ビット) が第1の制御信号に対応し、すなわち、最上位のビット数は0である。言い換えれば、 n ビットが第2の制御信号に対応する。また、最上位のビット数は粗い輝度調整に、最下位のビット数はより精密な範囲調整に使用される。

【0186】

図17は、2つのLED4を照明手段として有する照明ユニット1の制御回路を示している。基本的な構造としては、ここで示しているように制御回路は2T1Cアーキテクチャで実現することができる。ただし、他のアーキテクチャも考えられる。

10

【0187】

光の生成に関する冗長性を確保するために、図示の構成形態によれば2つのLED4が設けられている場合であっても、照明ユニットとして1つのLED4または複数のLED4が使用されるかどうかは、本発明の実現には一般的に無関係である。照明ユニット1もしくはLED4は、例えば、1つの画素の1色のLEDであってもよい。

【0188】

図17に示す構成例では、並列接続された2つのLED4に、電流ドライバトランジスタ6を介して、発光を励起するために必要な電気エネルギーがそれぞれ供給される。各LED用のトランジスタ6に加えて、両方のLED4に共通の電流源が設けられていてもよい。電流ドライバトランジスタ6は、供給電位端子2と基準電位端子2aとの間でLED4と直列に接続されている。供給電位端子2は、照明ユニット1の動作に必要な電気エネルギーもしくは電圧を供給する。

20

【0189】

電流ドライバトランジスタ6のゲートと基準電位端子2aとの間には、輝度値を記憶するコンデンサが接続されている。このコンデンサは制御トランジスタ7と1つになって2T1Cセルを形成している。そのゲートにパルス信号が印加されることで、トランジスタ7の他方の端子から電流ドライバトランジスタ6の制御端子に制御信号8が印加される。

【0190】

それから、図17Aによる回路でコンセプト案に沿って動作させるために、トランジスタ7のゲートにパルス信号が印加されている。On／Offのデューティサイクルは、例えば200：1とすることができる。すなわち、繰り返し周波数が60Hzの場合、Onパルス継続時間は約50 μ s、Offパルス継続時間は約16.6msとなる。

30

【0191】

この一周期の中で、第1の期間（ONパルス継続時間）中にパルス信号を介して制御トランジスタが閉じられ、第2の期間（OFFパルス継続時間）において再び制御トランジスタが開かれるようになる。したがって、第1の期間中は、制御信号8が電流ドライバトランジスタ6の制御端子にコンデンサ3を介して印加されている。この制御信号が電流ドライバトランジスタ6を制御し、制御信号8によって生じる電流がLEDを流れる。同時に、制御信号の電圧がコンデンサを介して生じるまで、コンデンサに電荷が加えられる（端子2aの電位を参照）。

40

【0192】

第1の期間の後、制御トランジスタ7は再び開かれる。これで、制御信号8の電圧がコンデンサに蓄えられ、さらに電流ドライバトランジスタを駆動制御することが望ましい。しかしながら、実際に使用してもそうはならない。なぜなら、第2の期間において、蓄積コンデンサ3の容量とトランジスタ7のゲートおよびソースから形成される容量とからなる容量分圧が形成されるからである。これにより、しばしばコンデンサ3の実効電圧9が離散的な値で減少することになる。低減された実効電圧9は、制御信号の電圧に $C1 / (C1 + Cp)$ を乗じたもので、 $C1$ はコンデンサ容量、 Cp はゲート・ソース間容量である。つまり、第1の期間と比較してやや小さい制御信号9（またはやや小さい電圧）がドライ

50

バトランジスタ 6 に印加されているので、LED 4 にはより低い強度の電流が流れることになる。そのため、LED 4 の輝度は、一周期の第 2 の期間中にやや低下する。ただし、これは見る人には認識されない。なぜなら、輝度の認識には、周期に関連して存在する平均光出力のみが極めて重要だからである。

【0193】

このように、制御端子には、全周期において、制御信号 8 が第 1 の期間中に印加されており、低減された制御信号 9 が第 2 の期間中に印加されている。周波数が 60 Hz の場合、第 1 の期間では 0.05 ms ~ 0.06 ms、第 2 の期間では約 16.6 ms となる。これは、LED の平均光出力との関係では、第 2 の期間中に LED が発する光が、一周期中の LED の平均光出力に占める割合が比較的高いことを意味している。

10

【0194】

これは、LED を流れる平均電流に相当する。第 2 の期間中に LED を流れる電流は、全周期中の平均電流に占める割合が比較的高い。

【0195】

この結果、制御信号 8 に低い電圧が選択された場合、一周期中に LED 4 を流れる総電流ひいては平均光出力が、第 1 の期間に制御信号 8 が印加されている間に LED 4 を流れる電流の強さによって確定的に決定されることを意味する。したがって、制御信号 8 に低い電圧値が選択された場合、照明ユニット 1 を低輝度レベルで動作させ、この低輝度範囲内で必要に応じて調光することができる。

【0196】

20

それに対して、第 1 の電圧信号 8 に高い電圧、例えば 8 V が選択された場合、一周期中に LED を流れる総電流は、低減された制御信号 9 が電流ドライバトランジスタ 6 に印加されている周期のうち第 2 の期間中の電流によって確定的に決定されることになる。高い制御信号 8、すなわちより高い電圧が選択された場合、照明ユニット 1 は高い輝度レベルで動作し、必要に応じてこの輝度レベルで調光することができる。低減された制御信号 9 が照明ユニットに印加されている周期のうち第 2 の期間中、この動作状態でも 1 μ A 超の電流が依然として LED を流れることから、LED 4 の特に効果的な動作が可能となる。

【0197】

さらに、LED モジュールにはフォトニック結晶 32 が導入されている。この結晶は、活性層 20 のすぐ上にまで延びており、その部分で、例えば活性層の上の領域で発光パターンを変化させ、その結果、その部分で発光促進効果をもたらすことができる。

30

【0198】

図 18 は、LED 4 を流れる電流の強さを、制御信号 8 および低減された制御信号 9 の電圧の関数として示したグラフである。第 1 の期間中に約 1 V ~ 3 V の電圧値を有する制御信号 8 が印加された場合、LED 4 を流れる電流は、この周期の第 1 の期間中に印加されている第 1 の電圧信号 8 によって確定的に決定されることが明確に見て取れる。その一方で、この周期の第 2 の期間では、印加されている制御信号 9 が容量分圧によって低減されるため、LED 4 を流れる電流はほぼゼロとなる。

【0199】

第 1 の期間中の制御信号の電圧が約 3.0 V になってから初めて、低減された制御信号 9 の電圧も増加し、ひいては第 2 の段階中に LED 4 を流れる電流の強さも増加する。

40

【0200】

これに関して、一周期における 2 つの段階の長さが異なるため、すなわち、制御信号 8 が照明ユニット 1 に印加されている短い第 1 の段階と、低減された制御信号 9 が電流ドライバトランジスタ 6 に印加されている長い第 2 の段階とにより、LED 4 の平均光出力に対する第 2 の期間の影響が著しく大きくなることを、それぞれの場合において考慮しなければならない。そのため、制御信号 8 の電圧が 3.0 V を超えると、LED を流れる一周期中の総電流が大幅に増加することがわかる。この事実から、3.0 V または 3.5 V 超の比較的高い電圧を用いた制御信号では、一周期中に LED 4 を流れる総電流の割合が、第 2 の期間中の電流の割合によって確定的に決定されることになる。

50

【0201】

さらに、図19には、比較的高い電圧を用いて制御信号8を印加した場合の、制御信号8, 9の時間的な経過と、その結果生じる光点10とを概略的に示している。照明ユニットに送信される制御信号8は、図示の構成例では10Vの電圧を有している。その他の点では、第2の段階中に照明ユニットに印加される低減された制御信号9の電圧は、たしかに低下しているものの、依然として0Vを大きく上回る電圧を有している。このような制御信号8, 9の電圧推移により、明るい光点10が形成され、このように照明ユニットは高い輝度レベルで動作させられる。

【0202】

これと比較して、図20は、比較的低い電圧（ここでは2.0V）の制御信号8を照明ユニットに印加している動作状態を示している。この場合、低減された制御信号9は、少なくともほぼ0Vの電圧を有している。一周期中の照明ユニット10の平均光出力で決まる光点10の輝度は、図19に示す動作状態に比べて大幅に低下する。このように、照明ユニットとそのために使用されるLEDとは、比較的低い輝度レベルで動作し、このレベルで必要に応じて調光することができる。

【0203】

最後に、図21は、電流量とも呼ばれることがある、一周期中にLEDに伝えられる電気エネルギーが、一周期の第1および第2の期間中に照明ユニットに印加されている電圧信号の関数としてどのように挙動するかをグラフで示している。x軸は第1の期間の電圧、y軸は一周期中の電流である。

【0204】

比較的低い電圧、特に3V程度までの電圧で制御信号が印加された場合、LEDを流れる総電流はこの制御信号に起因することが見て取れる。3V超の電圧で制御信号を印加した場合にのみ、低減された制御信号の電圧も上昇する。特に、この動作状態では、照明ユニットのLEDに電流が流れ、この電流は、その周期の第2の期間の長さに基づき、その周期中にLEDを流れる総電流の量ひいては少なくとも1つのLEDを備えた照明ユニットの平均光出力もしくは輝度に著しい影響を与えることになる。

【0205】

その他の点では、図21は、このようにして駆動制御される照明ユニットを、制御信号について選択した電圧に応じて、2つの異なる輝度レベルで動作できることを示している。この2つの輝度レベルにおいても、制御信号の下限電圧値と上限電圧値とで制限された調光範囲内で、照明ユニットの輝度を無段階に変化させることが可能である。図21に示した2つの特性曲線の推移は、適切な回路設計を使って、特に、スイッチング素子として使用されるトランジスタのコンデンサ容量とゲート・ソース間容量とを明確に規定することによって、必要に応じて調整することができる。さらに、使用される電子部品の適切な選択および寸法設定により、制御信号および低減された制御信号の電圧レベルを規定することが考えられる。

【0206】

説明した構成例が示すように、本発明により構成された制御回路は、少なくとも1つのμLEDを有する照明ユニットを、比較的簡単な方法で、少なくとも2つの輝度レベルで動作させることができる。特に、ここでは、制御信号の電圧レベルに応じて、一周期の第1の期間または第2の期間にLEDを流れる電流が、LEDを流れる総電流ならびに平均光出力および見る人が知覚可能なLEDの輝度に決定的な影響を及ぼすことが考慮される。

【0207】

別の態様は、電流源のレギュレーションに対する反応を、PWMレギュレーションでどのように低減できるかという問題と関係している。パルス幅変調方式では、コントラストおよび輝度調整のために、電流源が立て続けにオン／オフされる。その際の周波数は、数100kHz～MHzの範囲である。電流源内で制御ループが用いられる場合、スイッチングプロセスによってスパイクなどの挙動が起こり、制御ループがその制御範囲から外れてしまうことがある。

10

20

30

40

50

【0208】

図22は、スイッチングプロセス中にも安定した状態を保つ、LED用の調整された電流源の概略的なブロック図を表している。この電流源は、ディスプレイまたは他の表示デバイス、例えばビデオウォールに使用することができる。

【0209】

供給回路は、基準信号、特に基準電流、または必要に応じて基準電圧も供給する基準ブランチ10を含んでいる。基準信号から、更なるすべての供給電流と、必要に応じて電圧も続けて導き出される。基準信号から更なる基準信号を生成することもできる。基準信号、すなわち基準電流は、高い温度安定性だけでなく、製造中のプロセス変動に対する安定性も有していることを特徴としている。基準ブランチは、必要に応じて、正確で安定した基準信号、例えば基準電流を提供する1つ以上の補正回路を含むことができる。

10

【0210】

この例では、基準ブランチ10は、誤差修正検出器20の基準入力22と、制御可能な供給源30とに接続されている。誤差修正検出器20は、基準入力に加えて、誤差信号入力23と修正信号出力21とを含んでいる。検出器20の構成は、入力23の誤差信号を入力22の基準信号またはそこから導き出された信号と比較し、それに基づいて修正信号をその出力21に生成するようになっている。

【0211】

制御可能な供給源30は、このブロック図では正確には示されていない制御可能な電流源を有している。さらに、供給源は、回路の動作状態において誤差検出器にフィードバック信号を供給する第2のバックアップ源40を含んでいる。このために、動作状態、すなわち入力74の動作信号に応じて、電流源を負荷に切り替えるか、または負荷から切り離してバックアップ源40を接続するスイッチングデバイス70が設けられている。その結果、電流源から負荷への信号またはバックアップ源の信号のいずれかが検出器50で検出される。

20

【0212】

検出には、電流-電圧変換器や電圧降下検出器を使用することができる。検出器50を用いて、電圧もしくは電圧降下や電流を検知することができる。検出された信号は、それから誤差修正検出器20にフィードバックされ、基準信号またはそれから導き出された信号と比較される。ここから生まれる誤差修正信号は、制御可能な電流源の調整に用いられる。ここで負荷60に電流源30が供給されると、誤差修正検出器20は、負荷を流れる電流を基準信号で定義された値に調整する。LEDの場合は、ダイオードを流れる電流を正確に調整することができる。温度の影響で負荷の電圧降下や負荷を流れる電流が変化した場合は、誤差修正検出器が電流をそれに合わせて再調整する。この部分の回路とその動作は制御ループに相当する。

30

【0213】

次に負荷が電流から切り離されると、例えばPWM変調の場合に発光ダイオードがオフにされると、制御ループはまず再調整しようとするが、その後に制御範囲からは外れてしまう。そこで、本発明によれば、誤差修正検出器20にバックアップ信号を供給することが企図されている。これは、負荷をオンにしたときの公称信号と実質的に同じであるか、少なくとも非常に似ている。その結果、誤差修正検出器20は、負荷の動作状態とは無関係に最適な範囲で動作し、制御ループがその変調範囲から外れることはない。これにより、非常に高速なレギュレーションが可能となり、検出器20がそのレギュレーション範囲外に出ることを防ぐことができる。

40

【0214】

このように、提案された電源回路は、電流源や電圧源を高精度に駆動制御するための制御ループの一部として、補正回路の他にバックアップ源も含んでいる。補正回路には、電流源または電圧源から導き出された信号またはバックアップ源の信号が選択的に供給される。この信号の供給により、制御ループが制御範囲外になることなく、電流源をオフにすることが可能になる。

50

【0215】

図23は、発光ダイオード60に供給する電流源を駆動制御するための具体的な構成を示している。発光ダイオード60は、ここでは図示していない画素マトリクスの一部であり、例えばディスプレイ、ビデオウォールまたは高精度の電流供給が必要とされる用途の一部である。発光ダイオードの場合、温度が変化すると、ダイオードを流れる電流も変化することから、輝度だけでなく色温度の変化にもつながる可能性がある。この影響は、電流源をレギュレーションすることで補われる。画像または映像を表示するために使用されるディスプレイや画素マトリクスは、発光ダイオードを高周波数でオン／オフするパルス幅変調方式で動作させられることが多い。この2つの状態の比率が、それぞれの発光ダイオードの輝度を与える。

10

【0216】

以下に示す電源回路は、実質的にMOS回路技術を用いて組み立てられている。電界効果トランジスタには、図示するようにn型のものとp型のものがある。この場合、電源回路は、供給電位VDDと負荷との間に接続されている。電界効果トランジスタのチャネルタイプを交換し、負荷と基準電位または接地電位VGとの間で配置を変えることで、代替的な構成ができる。個々のトランジスタをバイポーラトランジスタに置き換えたり、かかるトランジスタでカレントミラーなどのアセンブリを形成したりすることも可能である。バンドギャップ・リファレンスを使用して正確な電圧を生成し、次いでこの電圧から変換器により電流を供給することができる。

【0217】

20

供給回路は、基準電流を供給する2つの部分10aおよび10bからなる複合基準ブランチ10を含んでいる。これらの部分はカレントミラーの一部を形成している。第1の基準電流用の基準ブランチ10aは、直列接続された2つのトランジスタ、n型電界効果トランジスタ12aおよびp型電界効果トランジスタ11aを含んでいる。前者のトランジスタは電源端子に、後者のトランジスタは基準電位に接続されている。トランジスタ12aのゲートはドレイン端子に接続されているため、一定の電流を印加することができる。トランジスタ11aは、差動増幅器の固定電流を伴う電流源を形成する4つの直列に接続されたトランジスタ24に、基準ブランチを流れる電流をコピーする。差動増幅器は、誤差修正検出器20のコンポーネントを形成しており、トランジスタ24からの電流源に加えて、反転型の入力トランジスタと非反転型の入力トランジスタとをそれぞれ1つのブランチに含み、このブランチは、2つのp型トランジスタからなる更なるカレントミラー26を介して供給電位VDDに接続されている。非反転型の入力トランジスタ27は基準信号入力22を形成し、反転型のトランジスタ28は誤差信号入力21につながっている。この2つのトランジスタは、本構成例のミラー26のトランジスタと同様に同じ寸法を有している。しかしながら、各構成では、チャネル幅や長さなどの幾何学的な寸法によって、異なる利得係数が既に提供されている場合もある。これは、後述するように、誤差信号と基準信号との間にも固有の係数がある場合に必要となり得る。かかる固有の係数は、後述するように、電流源30と検出器20のためにタップされる信号（誤差信号と基準信号）との構成から得られる。

30

【0218】

40

制御可能な電流源30は、出力ブランチと基準ブランチとを備えたカレントミラーを有しており、このカレントミラーは同時にバックアップ源40を形成している。基準源10bは、基準ブランチ入力32に接続されている。同様に、この入力32は、非反転型のトランジスタ27と、誤差修正検出器20の基準信号入力とに接続されている。このようにして、カレントミラーの基準ブランチに正確な電流が印加され、定義された電圧降下が中央タップを通して誤差検出器の入力22に導かれている。基準ブランチ10bは、電流源30のカレントミラーの基準ブランチを通る電流の流れを調整し、入力22への基準電圧もしくは基準信号を定義するための、2つの直列に接続されたトランジスタを含んでいる。トランジスタ101のゲートは、トランジスタ11aのゲートに接続されており（ただし、ここでは図示せず）、ひいては基準源10のカレントミラーの一部となっている。制

50

御可能な電流源 30 は、供給電位 VDD が印加される供給入力と、p 型のカレントミラートランジスタ 34 とを有している。このトランジスタは、供給入力と端子 32 との間に位置している。ゲートと端子 32 との間にはコンデンサ 35 が接続されており、基準ブランチの電圧がゲートに結合されるようになっている。この電圧はまた誤差検出器の基準信号も形成する。

【0219】

カレントミラーの通常のリード線の代わりに正帰還のコンデンサを使用する理由は、特に、トランジスタ 35 のゲートを検出器 20 の誤差修正出力 21 に接続する追加のコントロール信号端子 31 のための追加の周波数補償に起因している。そのため、ゲートには誤差修正信号も供給される。

【0220】

さらに、トランジスタのゲートは、スイッチングデバイス 70 を介して出力トランジスタ 36 のゲートにつながっている。このゲートは供給電位 VDD と出力との間に配置されている。これにより、基準ブランチの電流が電流源の出力ブランチ 37 にコピーされる。2 つのトランジスタ 34 と 36 の寸法設定を適切に行うことで、出力電流とトランジスタ 34 を備えたブランチを流れる電流との比率を適宜調整することができる。例えば、出力トランジスタ 36 のチャネル幅がトランジスタ 34 の 10 倍であれば、単純に近似して、電流も同じ倍数で高められる。図 23 のイラストでは、出力トランジスタ 36 は単一のトランジスタである。しかしながら、複数のトランジスタが並置された形で構成されていてもよい。

【0221】

電流源 30 のスイッチングデバイス 70 は、信号に応じて、出力トランジスタ 36 のゲートを固定電位（この場合は供給電位）に接続するか、カレントミラートランジスタ 34 のゲートに接続するかのいずれかで構成されている。第 1 のケースでは、電位 VDD が p 型トランジスタのゲートを遮断するため、出力トランジスタ 36 は無電流で切り替えられる。この場合、トランジスタは電流を流さないで、トランジスタ 36 はオープンとも言える。第 2 のケースでは、出力トランジスタ 36 が閉じられ、電流がカレントミラートランジスタ 34 を介して上述の係数で出力にコピーされ、発光ダイオード 60 に導かれる。

【0222】

電流源 30 の出力は、負荷 60 もしくは発光ダイオードと、第 2 のスイッチングデバイス 70 との両方に接続されている。このスイッチングデバイス 70 は、電流源の出力の電圧を誤差検出器 20 の誤差信号入力に印加するか、またはバックアップ信号を印加する。これは、p 型の出力トランジスタ 41 とそれに直列に接続されたトランジスタ 43 とで形成されているバックアップ源 40 によって提供される。2 つのトランジスタ 41 と 43 とで構成される直列接続は、供給電位 VDD と接地電位 VG との間に配置されている。中央のノード 42 は、バックアップ信号のための出力を形成する。トランジスタ 43 のゲートは、そのドレイン端子に導かれており、それによりノード 42 に接続されている。p 型出力トランジスタ 41 のゲートは、トランジスタ 34 のゲートに接続されている。そのため、トランジスタ 34 と 41 とからもカレントミラーが形成される。しかしながら、ここでは、出力トランジスタ 41 の寸法設定を適切に行うことで、このブランチを流れる電流が出力ブランチを流れる電流よりも大幅に低くなるように、異なる係数が選択されている。

【0223】

2 つのスイッチングデバイス 70 は、実質的に同期して動作し、トランジスタ 36 のゲートがトランジスタ 34 のゲートに切り替わったときに、電流源 30 の出力が検出器 20 の誤差信号入力 23 に接続されるように構成されている。一方、カレントミラーの出力トランジスタが無電流で切り替えられる場合は、誤差信号入力にバックアップ源のバックアップ信号が印加されており、すなわちタップ 42 が入力 23 に接続される。

【0224】

ここで示す構成では、バックアップ源は常に起動しており、すなわち、出力トランジスタは常にトランジスタ 34 とともにカレントミラーを形成し、バックアップ源のブランチ

10

20

30

40

50

に電流を流す。代替的な構成では、ここでもスイッチングデバイス 70 とは逆に動作するスイッチが設けられていてもよく、すなわち、このスイッチは、例えば、電圧が負荷に印加されるか、もしくは電流が電流源 30 によって供給されるときに、バックアップ源を無電流で切り替える。

【0225】

ここで、供給回路の動作において、ノード 71 がノード 72 に接続され、同時にトランジスタ 34 および 36 のゲートが互いに接続されるように、スイッチングデバイス 70 が接続されているものとする。この場合、電流源は、負荷のために出力電流を提供する。これにより、発光ダイオード 60 には数ボルト、例えば 2 ～ 3 ボルトの大きさの電圧降下が発生する。この電圧降下は、検出器 20 の差動増幅器によって誤差信号として検知され、基準信号と比較される。発光ダイオードを流れる電流が、例えば温度変化によって変化すると、誤差信号も変化し、検出器は修正信号出力 21 でカレントミラーの修正信号を生成し、これをコントロール信号端子 31 に供給する。

10

【0226】

こうして、出力トランジスタ 36 のゲートにも修正信号が印加され、それに応じて電流が調整されるようになる。誤差検出器 20 は、反転型のトランジスタ 27 と非反転型のトランジスタ 28 の両方の飽和電圧が同じになるように、出力カレントミラーを調整する。誤差修正検出器 20 と、出力に接続されたカレントミラーとを用いて、負荷に依存しない電流源が形成される。

【0227】

発光ダイオードはパルス幅変調方式で動作させられことが多いため、ダイオードを流れる電流は定義された間隔で変化し、すなわち、ダイオードは高周波数でオン／オフされる。このパルス幅によって、ダイオード 60 の輝度が決まる。このために、カレントミラーのスイッチングデバイス 70 が用いられる。しかしながら、電流がオフにされた場合に、誤差検出器 20 は初めてこれに抵抗する。そのため、しばしば最適な変調範囲から外れてしまうことがある。電流をオンにしても同じことが起こる。ここでは、差動増幅器は、それが正常な制御範囲に含まれるまで少しばかり時間が必要である。さらに、振動またはオーバーシュートが発生することもあり、ダイオードの寿命を縮めるだけでなく、ユーザーの目に触れることもある。第 2 のスイッチングデバイス 70 が、バックアップ源を介して誤差検出器をその変調範囲に維持することでこれを防止する。

20

【0228】

これに関して、図 24 は、主な信号の流れを示した図である。ダイオードがオフの状態では、出力ブランチの p 型電界効果トランジスタ 36 のゲートは、供給電位 VDD に直接接続されている。下段のスイッチングデバイス 70 は、バックアップ源 40 のタップ 42 を検出器 20 の誤差信号入力 23 に接続する。バックアップ源は低い比率で電流をコピーし、直列に接続された第 2 のトランジスタは必要な電圧を発生させるのに用いられる。これは、通常の動作における負荷の予想電圧降下に近い値となるように選択されている。そのため、誤差検出器はその変調範囲に維持され、制御ループはその定常状態を保つ。

30

【0229】

図 25 は、2 つの単純なスイッチングデバイスの概略図である。この他にも、さまざまなスイッチを使用することができる。さらに、このデバイスは、発光ダイオードの輝度を調整するために設けられていてもよい PWM 信号を用いて簡単に操作することができ、他の用途では、他の適切なスイッチが使用される。スイッチングデバイス 70 は、公知のインバータと同様の構造をしているが、ここで示されているトランジスタが再びトランスミッションゲートを表しているという点で異なっている。出力 71 は、誤差信号入力に接続されている。入力 74 は、スイッチング信号、例えば PWM 信号が供給されるスイッチング入力を形成している。直列に接続されたタイプの異なる 2 つのトランスミッションゲートが配置されており、これら 2 つのトランスミッションゲートの間に出力 71 が置かれている。p 型のゲート 73 は、その端子 73 がバックアップ源との接続を形成している。第 2 のトランスミッションゲートの端子 72 は、電圧信号の端子を形成している。

40

50

【0230】

図26は、異なる動作状態における供給回路の各種信号の信号時間図を示している。 V_{PWM} は、発光ダイオード60を動作させるためのパルス幅変調信号を記述している。この信号は、回路デバイス70にも印加される。これは論理信号であり、「High」と「Low」の2つの状態を交互に繰り返す。約 $8\mu s \sim 18\mu s$ と、その後の $26\mu s \sim 44\mu s$ のHighの状態では、発光ダイオードがオンになり、それ以外の時間はオフになる。発光ダイオードを流れる電流は、 I_{LED} で表された最も下の曲線からわかるように、このスイッチング時間に従う。

【0231】

それに対して、電圧 V_{LED} は、オンの状態とオフの状態との間で、ごく僅かにしか変化しない。電圧は下がり続け、やがて約1.4Vの閾値電圧に達すると、電流が流れなくなり、すなわち、発光ダイオードがオフになる。発光ダイオードがオンになったとき、すなわち $8\mu s$ の時間で、発光ダイオードにかかる電圧降下は、実質的にバックアップ電圧またはバックアップ信号 V_H に対応している。オン時には、バックアップ信号に小さな電圧降下が見られるが、これはプロセスに起因するものであり得、例えば、使用される電界効果トランジスタのパラメータに依存する。異なるタイプ(p型もしくはn型mos)が使用されているため、そのスイッチング挙動は常に同じではなく、スイッチング時間中に残留電流が流れる可能性がある。

10

【0232】

V_{in} は反転入力、すなわち誤差信号入力23の信号推移を示している。スイッチング時間 $8\mu s$ の前は、スイッチングデバイス70の位置の関係で、電圧 V_H は誤差信号入力の電圧と等しく、オンにした後は電圧 V_{LED} に対応している。これは、図26の符号「=」で示されている。 V_H は、通常の動作で予想されるLED電圧 V_{LED} に可能な限り近くなるように選択されている。

20

【0233】

誤差修正検出器20は、誤差信号入力23の電圧 V_{in} と基準入力22の電圧 V_{ip} とを互いに比較し、それにより修正信号 V_o を生成する。スイッチング時間 $8\mu s$ では、非反転入力の電圧 V_{ip} に小さなディップが存在し、これにより修正信号の小さなピークが増加する。これはシミュレーションアーティファクトであり得るが、電流源のブランチで負荷が急激に変化したことが原因とも考えられる。いずれにしても、修正信号は非常に小さくて速いことから、何ら影響は及ぼさない。

30

【0234】

第2のスイッチング時間である $18\mu s$ では、何ら挙動を示さないか、仮に示したとしても著しく低い挙動しか示さない。とはいえ、オン時のレギュレーションでは、誤差検出器の変調挙動が大きく損なわれることはなく、高速フィードバックにより正確な修正信号が供給されるため、出力電流や電圧が速やかに所望の値に制御され、その後は一定に保たれる。これに関連して、図26のシミュレーションでは、 $0.5\mu s$ 未満のレギュレーションが示されている。

【0235】

この提案された電源回路により、高精度の電流源が提供され、この電流源は、特に発光ダイオード用途の正確で色に忠実な駆動制御に適している。これに関して、既知のPWMは、画素マトリクスやディスプレイなどで、個々の発光ダイオードのコントラスト調整にもさらに利用できる。パルス幅変調時のスイッチングプロセスによる電流源への影響は、提案された措置によって低減される。その結果、入力電圧の公称値よりも数パーセント程度の小さな動作電流の変動も、スイッチングプロセスにより安定性に影響を与えることなく実現することができる。

40

【0236】

ある実装では、電流源のトランジスタ同士を空間的に密接に構築し、これらを互いに強く熱的に結合するようにすることが適している。バックアップブランチには、Siのpnダイオードや、アンプなどの他の手段を備え付けることで、バックアップ信号を動作時の

50

負荷にかかる電圧降下に近似させることが適している。

【0237】

ディスプレイもしくはビデオウォールのLEDや画素全般を駆動制御するには、LEDに流す電流を設定するだけでなく、スイッチング比率をデジタル制御することができる。固有消費電力が低いデジタルドライバ回路では、消費電力が低いにもかかわらず、多くの光電子素子、特にLEDを駆動することができる。

【0238】

図9は、1ビットメモリとして2つのクロスカップルドインバータ2を実装するスタティックランダムアクセスメモリの6Tメモリセル、SRAM-6Tメモリセル1の一構成形態の概略的な回路図を示している。SRAM-6-Tメモリセル1は、65nmのCMOS技術で1ビットあたり $1.08\mu\text{m}^2 \sim 1.7\mu\text{m}^2$ の範囲のコンパクトなメモリサイズと、1ビットあたり $0.26\mu\text{W} \sim 0.37\mu\text{W}$ の範囲の低消費電力とを有している。

【0239】

図10は、LED11である光電子素子を駆動するように構成されたドライバ回路10の一構成形態の概略的な回路図を示している。ドライバ回路10は、フルデジタルで、CMOS技術を用いて製造されている。これに関連して、図10は回路図のみを示している。LED11は、所望の波長の光を生成するのに適した材料系で作られており、回路は異なる材料系で作られていてもよい。図示した機能では、両方の素子が電氣的に接触している。このための方法を本願では開示している。

【0240】

ドライバ回路10は、2つのクロスカップルドNORゲート12, 13を実装し、これらはLED11を流れる電流を制御するための第1のメモリセルまたはラッチを形成している。ドライバ回路10は、図10に示されていない追加の第1のメモリセルを含んでいる。この追加の第1のメモリセルは、図9に示されている第1のメモリセルと同じ構造を有しており、更なるLEDを流れる電流を制御するために使用される。

【0241】

各NORゲート12, 13は、2つの入力と1つの出力とを有している。各NORゲート12, 13の出力は、他方のNORゲート12, 13の入力の一方に結合されている。NORゲート12の他方の入力セット信号 S_i を受信し、NORゲート13の他方の入力はリセット信号 R_i を受信する。NORゲート13は、その出力に信号Qを生成し、この信号はトランジスタ14のゲートを制御する。2つのNORゲート12および13の入力 R_i , S_i と出力Qとで構成されるこの回路は、RSフリップフロップに相当する。したがって、このように接続されたNORゲートは、図示した回路で置き換えることができる。

【0242】

トランジスタ14は、そのゲート電圧に応じて、LED11を流れる電流をオン／オフする。この電流はトランジスタ15によって発生される。LED11とトランジスタ14, 15のチャネルは、電源電圧VDDと接地GNDとの間に直列に接続されている。ドライバ回路10は、トランジスタ18, 19にそれぞれ結合された2つのプルアップPMOSトランジスタ16, 17をさらに実装している。トランジスタ16, 17は、ゲート端子でそれぞれ $\text{not}-S_i$ 信号と $\text{not}-R_i$ 信号とを受信する。

【0243】

LED11は、他のLEDと一緒に画素アレイに配置されている。図10に示すように、各LEDはドライバ回路に接続されている。行iの選択を可能にするために、トランジスタ18, 19はそれぞれNORゲート12, 13に結合されている。トランジスタ18, 19は、ゲート端子の行セレクト信号の行 i によって制御される。さらに、クロスカップルドNORゲート12, 13の状態を保持するために、プルダウン抵抗20, 21が提供されている。セット not -信号 S_i （アクティブローセット）がNORゲート12によって受信されると、NORゲート13の出力がHigh状態になるようにトリガされる。クロスカップルドNORゲート12, 13は、NORゲート13が受信したりセッ

トノットーR__i（アクティブローセット）信号によってLow状態にリセットされるまで、High状態を保持する。

【0244】

図11は、光電子デバイス30の一構成形態の概略的な回路図を示している。光電子デバイス30は、図10に示すように、LEDドライバ回路10のアレイを含む画素回路アレイ31を実装している。アレイは、一例として、2Kの行と2Kの列とを実装している。各ドライバ回路10は、それぞれのLEDに接続されている。さらに、LEDアレイは、異なる第III族材料のチップでできており、アレイ内の各LEDは、図10のトランジスタ14のドレインで各画素ドライバ回路に接続されている。

【0245】

行デコーダとドライバ32は、行__1～行__2Kの行を順に選択する。LEDを流れる電流を制御するPWM信号は、N個の読み込み可能な8ビットカウンタ33によって生成され、この例では、Nは2Kである。N個のカウンタ33は、選択された行ごとに、N列の画素に対して同時にセット信号S__iとリセット信号R__i（またはnote_S__iとnote_R__iのバックアップ信号）を生成する。画素パルス幅の値、すなわち8ビットの画素グレーデータがカウンタ33に読み込まれると、セット信号S__iが作動して画素ストリームがオンになり、カウンタ33は例えば40MHz～100MHzの間の画素クロック周波数でスタートする。カウンタ33が画素データ値に到達すると、リセット信号R__iが作動し、画素ストリームをオフにする。

【0246】

さらに、画素アレイのグローバルまたはコモンディミングを生成する9ビット（MSB）のカウンタ34がある。このようにして、カウンタ34に読み込まれた9ビットの画素ディミング調光データは、画素アレイの背景の輝度を決定する。ディミングパルス幅が0の場合は、行の画素が点灯するように行スキャンが実行される。それ以外の場合は、まずグローバル画素照明が行われ、次いで行ごとのスキャンが実行される。カウンタ33で生成されたセット信号S__iとリセット信号R__iと、カウンタ34で生成されたグローバルまたはコモンディミング信号とは、N個のバッファとマルチプレクサ35に供給され、これらの信号を画素回路アレイ31の列に送信する。

【0247】

グローバルディミングデータをビデオ／画像信号プロセッサICまたはLEDドライバICでグレースケールデータと合成することで、別途グローバルディミングパルスが必要とされず、グレースケールデータのみを行ごとに更新することも可能である。カウンタ33、34は、読み込み__カウンタ信号によって制御される。さらに、カウンタ33はクロック信号clkを受信する。カウンタ34は、クロック信号clk-MSBを受信する。

【0248】

暗い画素をゲート制御するために、ドライバ回路は、各LEDに対して第2のメモリセルまたはラッチを実装することができる。図12は、図10に示されたドライバ回路10に基づくドライバ回路40の一構成形態の概略的な回路図を示している。ドライバ回路40は、第1のメモリセル41と第2のメモリセル42とを実装している。第1のメモリセル41と第2のメモリセル42との両方は、セット入力S、リセット入力Rおよび出力Qを有している。さらに、第1のメモリセル41のリセット入力Rは、第2のメモリセル42のセット入力Sに接続されている。第1および第2のメモリセル41、42の出力Qは、ANDゲート43の入力に接続されている。ANDゲート43の出力は、トランジスタ14のゲートに接続されている。

【0249】

図12に示した機能的なタイミング図からわかるように、各フレームの最初にグローバルリセットが実行され、すべての画素が暗くなる。次いで、第2のメモリセル42のセット入力Sにグローバルセット信号S__dを印加して、すべての画素を「通常の画素」にする。引き続き、画素回路アレイの第2のメモリセル42を行ごとに読み込みまたはリセットして、選択的な暗い画素を実装している。光電子デバイスの一構成形態は、空間平均化

10

20

30

40

50

画素バイアス電流を実装している。この光電子デバイスは、例えば $22\text{ nA} \sim 1\text{ }\mu\text{A}$ の画素電流範囲をカバーするグローバルNビットデジタルーアナログ変換器(DAC)を実装している。図13に示すように、周辺の同一バイアス電流を加算して、空間平均化バイアスを生成する。

【0250】

画素電流のオン／オフは、暗い画素の場合は第2のメモリセルまたはラッチの状態によって制御され、正常なアクティブな画素の場合はPWM信号によって制御される。図14は、光電子デバイスのタイミング図を示している。タイミング図のライン1は、1フレームの長さを示している。フレームの間にコンテンツ、例えばビデオシーケンスがディスプレイに表示される。

【0251】

フレームの開始時にグローバルリセットが実行され、ディスプレイのすべての画素が暗くなる(ライン2を参照)。次いで、暗い画素が行ごとに読み込まれ、このフレームの間でこれらの画素が恒常的に暗くなるようにする(ライン3～4を参照)。引き続き、背景が同じ明るさになるように、グローバルディミングが適用される(ライン5を参照)。次いで、グレースケールのデータが読み込まれ、行1で始まり、行2Kで終わるPWM信号が生成される(ライン6～7を参照)。最後にライン8では、画素がオンになったときの様子を示している。フレームが終了すると、次のフレームが始まる。図15は、LED11を駆動するように構成されたドライバ回路50の更なる構成形態の概略的な回路図を示している。ドライバ回路50はフルデジタルで、図10に示したドライバ回路10よりもさらに少ない面積で済む。

【0252】

ドライバ回路50において、第1のメモリセルは、電源電圧VDDと接地GNDとの間に直列に接続されたNMOSトランジスタ51とPMOSトランジスタ52とを実装しており、このことは、2つのトランジスタ51、52のチャネルが直列に接続されていることを意味している。さらに、トランジスタ51と52の間には、インバータ53の入力が接続されている。インバータ53の出力は、トランジスタ51、52のゲートに接続されている。

【0253】

さらに、電源電圧VDDと接地GNDとの間には、NMOSトランジスタ54とPMOSトランジスタ55とが直列に接続されている。トランジスタ54、55は、それらのゲート端子に、それぞれセット信号S1とリセット信号note-R1とを受信する。暗い画素をゲート制御するために、ドライバ回路50は、第1のメモリセルと同じ構造を有しておりかつ図15にも示されている第2のメモリセルまたはラッチを実装している。第2のメモリセルは、直列に接続されたNMOSトランジスタ56およびPMOSトランジスタ57と、インバータ58と、直列に接続されたNMOSトランジスタ59およびPMOSトランジスタ60とを実装している。

【0254】

トランジスタ59、60は、それらのゲート端子に、それぞれセット信号S2とリセット信号note-R2とを受信する。第1のメモリセルのインバータ53の出力は信号Q1を生成し、第2のメモリセルのインバータ58の出力は信号Q2を生成している。信号Q1とQ2とは、NANDゲート61の入力に供給される。NANDゲート61の下流にはインバータ62が配置されており、インバータ62の出力はトランジスタ14のゲートに結合され、そのゲート電圧に応じてLED11を流れる電流をオン／オフする。

【0255】

上で示した図15のタイミング図からは、まず、第1のメモリセルにリセット信号note-R1を印加することで、グローバルリセットが実行されることがわかる。次いで、セット信号S1を印加して、第1のメモリセルを出力Q1でHigh状態にトリガする。第1のメモリセルは、リセット信号note-R1によってLow状態にリセットされるまで、High状態を維持する。図15の下段のタイミング図は、暗い画素読み込み時の第2

10

20

30

40

50

のメモリセルの機能を示している。まず、信号 S 2 によってグローバルセット信号が印加される。次いで、リセット信号 `not-R 2` によって暗部の画素が行ごとに読み込まれる。

【0256】

図16は、図15に示したドライバ回路50の変形例であるドライバ回路70の更なる構成形態の概略的な回路図を示している。ドライバ回路70は、ドライバ回路50と同じ第1および第2のメモリセルを含んでいるが、ドライバ回路70は、第1および第2のメモリセルの出力信号を結合するためのNANDゲートを含んでいない。代わりに、ドライバ回路70は、トランジスタ54と直列に接続された追加のNMOSトランジスタ71を含んでいる。特に、トランジスタ71は、トランジスタ54と接地GNDとの間に配置されている。トランジスタ71のゲートは、第2のメモリセルの出力信号Q2によって制御される。

10

【0257】

図27は、画素ドライバを含む制御回路2500の形をした電流制御のためのアナログランプの一構成を示している。これは、半導体材料で作られており、ここに記載されているさまざまな技術を使用している。このようなコンセプトは、光制御のためのアナログランプに基づいており、少数の構造素子で実現されており、動作時のヒステリシスによりノイズを低減し、ダブルバッファリングを可能にしている。ダブルバッファリングにより、より長いデューティサイクルが可能となり、全体の消費電力を削減することができる。この態様は、特に他の省電力機能と組み合わせると有利になり得る。

【0258】

この制御回路は、パルスジェネレータ2530と、入力段としての列データバッファとを組み合わせたものとしての画素ドライバを有している。本構成では、例えば行または列の複数の画素2506にも使用可能な共通のランプジェネレータ2502が制御回路の一部となっている。この制御回路は、その出力2521をLED画素の調整可能な電流源の制御入力に結合している。調整可能な電流源の制御入力に印加されるパルス信号DWに基づいて、電流源を選択的にアクティブおよび非アクティブにすることができる。パルス信号DWに応答して、LEDはオン／オフされる。代替的な構成では、電流源をスイッチまたは同様の素子で置き換えて、LEDが選択的にオンまたはオフになるようにしてもよい。信号DWのパルス長は、画素のLED素子の輝度に対応している。

20

【0259】

制御回路2500は、行セレクト信号RSの行セレクト入力2503と、データ信号AVの列データ入力2504とを有している。これらの入力は、従来のアプローチと同様であり、実際に同様の方法で使用することができる。制御回路は、トリガまたは「ランプスタート」信号RASのためのトリガ入力2501と、ランプ信号のためのランプ信号入力2505とを有している。

30

【0260】

図42に示した従来のセルと同様に、列データ入力は、スイッチ2510を介してコンデンサ2509に接続され、コンデンサ2509内にLEDの輝度に対応したデータ情報が蓄えられる。

【0261】

スイッチ2510は、ここで説明したように、Si技術の電界効果トランジスタとして実装されているが、GaまたはIn技術の電界効果トランジスタとしても実装されている。スイッチ2510のゲートまたは制御入力は、行セレクト入力に接続され、行セレクト信号RSを取得する。しかしながら、従来のアプローチでは、コンデンサに蓄えられた電荷を利用して発光デバイスを直接流れる電流を制御していたのに対し、コンデンサ2509はスイッチ2510と一緒に入力バッファとして利用されている。入力バッファの出力2511、特にコンデンサとスイッチは、パルスジェネレータ2530に接続され、パルスを発生させる。

40

【0262】

パルスジェネレータ2530は、例えば差動増幅器と、RSフリップフロップとして実

50

装された出力バッファステージ 2507 とを含むコンパレータ 2508 を有しており、その動作は NOR ゲートと NAND ゲートとで表現することができる。差動増幅器は、スイッチ 2510 と同じ技術で実装されている。このために、差動増幅器は、例えば、本願に記載されているようなトランジスタを含んでいてもよい。コンパレータの反転入力 2511 はコンデンサ 2509 に接続され、非反転入力 2512 はランプ入力信号 2505 に接続されている。コンパレータ 2508 は、後で詳しく説明するように、消費電力を減らすために選択的にオフにすることができる。

【0263】

コンパレータ 2508 は、その出力にステータス信号または比較結果 CS を提供する。コンパレータの出力は、RS フリップフロップ 2507 のリセット入力 R に直接接続される。セット入力 S は、トリガ入力 2501 に接続される。

【0264】

制御回路の動作については、図 28 に経時的に示されている各種信号を参照して、より詳細に説明する。このために、行セレクト信号 RS が印加され、コンデンサ 2509 には一定の電荷が蓄積されると仮定する。コンパレータの非反転入力には、一定の信号 IS が印加されている（参照番号 2512 に対応）。信号 IS は、制御回路に付随する LED の輝度に対応している。

【0265】

時間 T1 で、トリガ信号 RAS が低レベルの LOW から高レベルの HIGH に変化し、続いて RS フリップフロップ 2507 のセット入力 S も HIGH になる。時間 T3 で、トリガ信号 RAS は再び LOW レベルに変化する。T1 と同時にランプ信号 Rsig が印加される。ランプ信号 Rsig は、トリガが HIGH になっている時間にわたって直線的に増加する。すなわち、ランプ信号 Rsig は、LOW に対応する第 1 の値から始まり、第 2 のレベル、すなわち HIGH レベルまで上昇する。ランプ信号 Rsig は、コンパレータの非反転入力にも印加される。T1 から T2 にかけての期間に、コンパレータはコンデンサ 2509 にバッファリングされた信号 IS とランプ信号 Rsig とを比較する。非反転入力の信号が反転入力よりも小さい間は、RS フリップフロップのリセット入力 R に印加される出力信号は LOW のままである。時間 T2 で、リセット入力 R は、コンパレータの出力が LOW から HIGH に変化したときの結果信号 CS の立ち上がりエッジを受信する。そのとき、ランプ信号はバッファリングされた信号 IS よりも高くなる。

【0266】

この遷移の結果として、RS フリップフロップの出力 Q は、電流源の制御信号 DW を時間 T2 から LOW 値にリセットする。このように、出力信号 DW が電流源を再びオフにする時間 T2 は、一様に上昇するランプ Rsig を前提とした場合、コンデンサ 2509 に蓄積される電荷に依存することがわかる。このように、パルスはランプ信号 Rsig と信号 IS とによって定義され、その長さは実質的に T0 から T2 までの期間に対応している。

【0267】

時間 T3 で、トリガ信号は HIGH から「LOW」になる。

【0268】

同時に、ランプ信号がオフになり、コンパレータは「LOW」信号を出力することになる。そのため、R 入力および S 入力の信号はいずれも LOW になる。コンパレータのヒステリシスが小さいため、入力 S のトリガ信号の遷移が少し速くなり、入力 R の信号 CS の遷移とは無関係に、フリップフロップは出力信号 DW を LOW のままにしてしまう。時間 T5 で、入力 S でトリガ信号 RAS が繰り返され、同様にランプ信号 Rsig も初期値で再び開始される。

【0269】

時間 T3 ～時間 T5 の期間は、各行の対応する列を再プログラミングするためのブランキング時間である。このために、時間 T7 で行セレクト信号がトリガされ、スイッチ 2510 を介して列データ線がコンデンサに接続されることになる。コンデンサ 2509 は、新しい値に充電または放電される。この例では、コンデンサ 2509 は、異なる（より低

10

20

30

40

50

い)輝度に対応した、はるかに小さな値に放電される。充電は、時間T7で開始され、時間T4で終了し、このとき、行セレクト信号RSが再びLOWになり、スイッチが開かれる。目下の行のサイクルが時間T5で再スタートする間に、別の行をアドレス指定して再プログラミングすることができる。

【0270】

信号ISのレベルが比較的低い場合、コンパレータ2508は、新しいサイクルの時間T6でいち早くその出力を変更する。その結果、出力Qは時間T6で「LOW」になり、この時間はトリガ信号RASの前の時間周期よりもはるかに短い時間である。制御信号DWを有する出力Qは、当該出力に結合されたLEDの電流を制御する。出力信号DWがHIGHであり続ける時間が長ければ長いほど、LEDに電流が流れ、対応する色の輝度が高くなる。コンパレータ2508と、おそらくRSフリップフロップも、消費電力を減らすために再プログラミングとブランキング時間との間はオフにしている。このために、少なくともコンパレータは、トリガ入力に接続された電力制御ユニット2520を有している。トリガ信号RsigがHIGHである限り、コンパレータ2508には電流が供給され、その動作が実行される。コンパレータは、ブランキング時間中はトリガ信号に応答してオフになる。

【0271】

いくつかの例では、ブランキング時間がトリガ信号の実際の時間よりも大幅に長い場合があるため、パルスジェネレータ全体をオフにしている。

【0272】

代替的な構成では、再び図28の時間T2を参照すると、コンパレータは、バッファリングされた信号ISの閾値にランプ信号が到達するとすぐに、その出力信号CSをLOWからHIGHに切り替える。トリガ信号SがまだHIGHであるため、RSフリップフロップは出力信号をLOWに切り替える。このとおり、リセット入力Rのレベルにかかわらず、出力QはLOWのままである。そのため、リセット後に入力Rの信号が遷移してコンパレータがオフになることもある。一部の变形例では、電力制御ユニット2520は、出力Qに結合されて、出力Qの状態に基づいてコンパレータへの電流供給を制御することもできる。

【0273】

異なる行をアドレス指定する際には、セグメンテーションや追加のランプを利用することができる。これにより、時空間的な多重化の実装が可能となり、電流スパイクの発生が低減され、消費電力の変動が少なくなる。この例では、コンパレータの特定の入力に信号を印加しているが、当業者であれば、この原理の構成を変更することが可能であることを認識することができる。例えば、反転入力と非反転入力とを入れ替えて、逆の動作をさせることができる。RSフリップフロップには、2つのトランジスタと抵抗とが必要であり、設計時にRSフリップフロップに小さな非対称性を実装し（例えば1つの抵抗の値を調整することで）、スイッチング動作を調整し、未定義の状態が防がれる。

【0274】

いくつかのディスプレイもしくはビデオウォールでは、LEDにダメージを与える個々の画素欠陥が生じる場合がある。このような欠陥は避けることができない。しかしながら、ディスプレイもしくはビデオウォールは修理しようにも非常に困難である。そこで、サブ画素を冗長に設計する、すなわち同一色のサブ画素を複数設けるだけでなく、フェイルオーバーによる冗長なLEDブランチを提供することが提案されている。さらに、これらの冗長な画素は、同じ電流源に接続することも可能である。テストでは、各LEDの機能が試験される。試験の結果、2つの機能しているLEDが得られた場合、一方のLEDを特定の非アクティブにして、異なる電流の流れによる他方のLEDの色の变化や輝度の低下を補うことができる。一方、欠陥が検出された場合は、冗長なLEDが継続して使用される。

【0275】

図29は、このような冗長性と同時にフェイルオーバーを提供するデバイス案の一構成

例を示している。この図では、第1のブランチと第2のブランチとをそれぞれ有する2つの画素セルが示されており、各々のブランチに、LED D1aまたはD1bがそれぞれ備わっている。LED D1aとD1bとは、共通の基準電位端子GNDに接続されている。それらの他の端子は、それぞれ電子ヒューズFaとFbとに接続されている。例えば、これらはヒューズを流れる電流が十分に大きくなると溶断してしまう溶断ヒューズである。さらに、第2のブランチ、すなわちヒューズFbとLED D1bとを有するブランチは、エンボス構造素子EPTを示している。これは、本構成ではMOSFETトランジスタとして構成されており、そのドレイン端子はヒューズとLEDとの間に接続されている。そのソースコンタクトは共通の基準電位となり、ゲートにはエンボス信号線EPdieを介してセレクト信号Vburnが供給可能である。原則的には、回路に応じて、エンボス信号線EPによって、行または代替的に列をアドレス指定、駆動制御または選択することができる。

10

【0276】

さらに、画素セルは、電流ドライバトランジスタT1を備えた2T1C回路を含んでいる。これは、一方では供給電位に接続され、他方では第1および第2のブランチとそのヒューズFaおよびFbとに接続されている。電荷蓄積手段Cは、第1のトランジスタT1のゲートと第1のトランジスタT1のソース端子に電氣的に接続されている。さらに、「t1Cセル」には、データ端子VdataとトランジスタT1のゲートとの間に接続されたトランジスタT2も含まれている。そのゲートにはセレクト信号を供給することができる。

20

【0277】

画素の各色ごとに、電気ヒューズFaおよびFbに2つのそれぞれ電氣的に直列に接続されたLED D1aおよびD1bが設けられていてもよい。このようにして、各画素のすべてのサブ画素に対して冗長性を持たせる。

【0278】

LEDがそれぞれ行と列とに沿って共通のエンボス信号線EPに電氣的に接続されている場合、例えば列の各画素セルは、アクティブディスプレイの外側の共通のキャリア上に配置されたスイッチングトランジスタへの共通の供給リード線によって、供給電位端子VDDに電氣的に接続され、アドレス指定されていてもよい。そのため、列の各ヒューズを作動させたり、溶断したりすることができる。

30

【0279】

以下では、この回路の動作モードについて詳しく説明する。

【0280】

第1のケースでは、2つのLEDのうちの1つに欠陥があり、具体的には「OPEN」と示され、つまり、欠陥のあるLEDには電流が流れないような状態になっている。この場合、テストは対応する結果を出し、それぞれの場合において他方のLEDが自動的に使用される。一方で、「SHORT」、すなわち短絡が起こっている場合もある。この短絡が起こると、短絡したダイオードを通る抵抗が非常に小さくなるため、それぞれのヒューズを流れる電流が著しく大きくなってしまふ。この結果、SHORT時にはヒューズも切断されてしまふ。

40

【0281】

3つ目のケースは、両方のLEDが期待通りに機能する状態に関するものである。このケースでは、電流源の電流が両ブランチに分かれてしまふため、色の誤差が生じてしまふ可能性がある。ここで、占有波長は、選択された電流によって異なる。したがって、かかるケースでは、エンボス構造素子EPTが導電性になるように、信号Vburn（高電位、例えばVDD）が印加される。トランジスタT1は、データ線およびセレクト線上の対応する信号によって同時に完全にスイッチングされ、ヒューズには高電位が印加される。その結果、大電流が流れてヒューズFbが破壊され、ダイオードD1bが安全に切断される。

【0282】

50

P M O S 技術の構成では、電位および信号は、それに応じて極性が反転する。

【 0 2 8 3 】

ヒューズは、異なる幅を有する金属ストリップとして形成されていてもよい。例えば、長さを $33\ \mu\text{m}$ 、幅を一方の長手方向端部で $20\ \mu\text{m}$ 、他方の長手方向端部で $9\ \mu\text{m}$ 、長さ $12\ \mu\text{m}$ の中央領域で $2\ \mu\text{m}$ とすることができる。長手方向の両端部は、正方形や長方形に作られ、通路を有していてもよい。正方形の長手方向端部は、トランジスタ T 1 に向かって形成され、長方形の長手方向端部は、発光ダイオードに向かって形成されていてもよい。材料は、例えば I G Z O であってもよい。

【 0 2 8 4 】

特にゲートとソースとが持続的に電氣的に接続されているダイオード回路では、上記の金属ストリップの代わりに、薄膜トランジスタを使用することもできる。各 L E D に、固有の薄膜トランジスタを設けることができる。これは、制御可能な電流源としても、電氣的なヒューズとしても機能することができる。信号によって、例えば薄膜トランジスタをゼロ電位にすることで、増加した電流の流れによって薄膜トランジスタを焼損させ、L E D をオフにすることができる。原則的には、一般に知られているすべての電気ヒューズを使用可能である。起動またはトリガしてもヒューズが破壊されることはないが、いずれにしても、関連する L E D を確実に非通電にする必要がある。

【 0 2 8 5 】

このようにして、例えばレーザー切断などの追加のステップステップを経ることなく、エンド・オブ・ラインテストを実行することができる。さらに、エンボス構造素子としてエンボスダイオードとの組み合わせも可能である。

【 0 2 8 6 】

図 2 9 は、右側に第 1 の画素セルの隣接セルを示している。各行には、セレクト信号線 V s e l、エンボス信号線 E P およびデータ信号線 V d a t a を接続することができる。セレクト信号線は、V s e l と V d a t a とを用いて、関連するヒューズを起動させるための関連する行を選択するための信号を生成する。エンボス信号線 E P は、ヒューズブローイング電流 (Durchschmelzstrom) I_{burn} を生成するためのヒューズブローイング電圧 V_{burn} を供給する。

【 0 2 8 7 】

図 3 0 は、電流源と L E D との配置構造を逆にしたデバイス案の第 2 の構成例を示している。図 2 9 は、コモンカソードを有する構成を示しているが、図 3 0 は、L E D とコモンアノードとを有する配置構造を示している。

【 0 2 8 8 】

L E D D 1 a および D 1 b のアノード端子は、供給電位端子 V D D に接続されている。第 1 のトランジスタ T 1 の第 1 の電流線コンタクトは、基準電位端子 G N D に接続されている。第 1 のトランジスタ T 1 のドレイン端子は、電気ヒューズ F a および F b の共通端子につながっている。セレクトホールド回路は、第 1 のトランジスタ T 1 の制御コンタクトと、第 1 のトランジスタ T 1 のソース端子とに接続されている電荷蓄積手段 C を有している。

【 0 2 8 9 】

この配置構造の動作は同様であるが、トランジスタ E P T は、ヒューズ F b および L E D D 1 b と供給電位との間に接続されている。エンボス信号線 E P を介してエンボストランジスタ E P T のゲートに電圧 V_{burn} を印加することで、溶断ヒューズである電気ヒューズ F b を溶断することができる。

【 0 2 9 0 】

図 3 1 は、セレクトヒューズによって選択可能な L E D の冗長なブランチを備えたデバイスの第 3 の構成例を示している。図 3 1 の構成とは対照的に、ヒューズと L E D とから構成される直列接続は、各ブランチで逆になっている。このように、ヒューズは供給電位端子に直接接続され、各ブランチの L E D はカソード側で共通のベースポイントと電流ドライバトランジスタ T 1 に接続されている。さらに、エンボストランジスタ E P T は、そ

10

20

30

40

50

のドレイン端子がヒューズF bとLED D 1 bとの間に接続されている。そのソース端子は、LEDの共通のベースポイントである電流ドライバトランジスタT 1にもつながっている。2 T 1 Cセルの構造は、前の図と同じである。ヒューズを溶断するために、ダイオードD 1 bにエンボストラジスタE P Tと信号V b u r nとをブリッジさせ、高いヒューズ溶断電流がヒューズF bに流れるようにしている。

【0291】

発光ダイオードは、ここではV D DまたはG N Dの電位端子に共通して接続されていないので、LEDの共通電極、すなわち、1つの電極を複数の画素に割り当てることは実現できない。この配置構造は、例えば、プロセス技術上の理由で共通電極を必要としない場合に適している。

10

【0292】

図32は、図29の構成を若干変更したものである。ここでは、トランジスタがP M O S、特にトランジスタT 1として構成され、電荷蓄積手段がゲートと固定電源との間に接続されている。この構成の利点は、電荷蓄積手段Cにかかる電圧が、順方向電圧や温度変動によるその変化によって僅かに異なる可能性がある図29の構成とは対照的に、電荷蓄積手段にかかる電圧が独立していることである。温度変動に左右されないという同様の利点は、図30の構成にも示されている。

【0293】

図33は、図32の構成の更なる代替的な構成を示している。エンボス構造素子は、ここでは、エンボスダイオードE P Dであり、このエンボスダイオードE P Dは、一方の端子が、エンボスダイオードE P Dが割り当てられているLED D 1 bの第2の端子に接続され、その他方の端子が、アドレス指定を可能にするエンボス信号線E Pに接続されている。図33によれば、エンボスダイオードE P Dの第1の端子は、ヒューズF bとLED D 1 bとの間に接続され、エンボスダイオードE P Dの第2端子は、エンボス信号線E Pに接続されている。後者には、電気ヒューズを溶断する溶断電圧V _ b u r nも印加される。

20

【0294】

動作時には、第1のトランジスタT 1のスイッチングによって、トリガとなる電気溶断ヒューズF bの選択が行われる。このために、データ線D a t aとセレクトラインS e lとによって、電荷蓄積手段Cへの電圧の対応するプログラミングが行われる。通常の動作とは異なり、V D D端子は0ボルトまたは負の電圧に設定されている。この場合、エンボス信号線E Pには、V D Dの電圧よりも正の電圧V _ b u r nが印加される。このようにして、大電流I FもしくはI _ b u r nが、電気ヒューズF bおよび導電接続された第1のトランジスタT 1を介してエンボスダイオードE P Dに流れ、選択された画素セルのヒューズF bがトリガされる。ヒューズF bが溶断して、関連する発光ダイオードD 1 bがオフになる。さらに、大電流が発光ダイオードD 1 bまたはD 1 aを流れてこれにダメージを与えることがないように、第1の電位端子G N Dの電位も0ボルトより大きく、例えば溶断電圧V _ b u r nに等しいのが理想的である。

30

【0295】

本構成例によれば、電気ヒューズF bをトリガするのに必要な電流(I F, I _ b u r n)は、「通常運転」時に流れる電流とは逆方向に流れる。この方法によれば、E O Lテストの一環として、例えばレーザー切断などの追加のプロセスステップは必要ない。

40

【0296】

図34は、図33による構成に一部変更を加えたものを示しており、エンボスダイオードの向きだけが逆になっている。ここでは、エンボスダイオードは、アノード側で第2のブランチのヒューズF bとLED D 1 bとの間に接続されている。図34に記載の配置構造は、電流ドライバトランジスタT 1としてのP M O S薄膜トランジスタと、LEDのためのコモンカソード配置構造とによって構築されている。ディスプレイの行のエンボス信号線E Pは、すべてここで接続されている。トリガとなる電気ヒューズF bの選択は、第1のトランジスタT 1のスイッチングによって行われる。そのために、電荷蓄積手段C

50

を 0 V などの電圧にして、 $T1$ が導通するようにする。 VDD 端子には 10 ボルトなどの正電圧が印加されている。エンボス信号線 EP に印加される電圧 V_{burn} は、ここでは供給電位端子 VDD の電圧よりも負の値であり、例えば 0 ボルトである。このようにして、大電流 I_{burn} が、エンボスダイオード EPD 、電気溶断ヒューズ Fb および導電接続された第 1 のトランジスタ $T1$ を介して流れ、選択された画素セルのヒューズ Fb がトリガされ、ひいては溶断される。

【0297】

その一方で、第 1 の電位端子 GND の電位は、発光ダイオード $D1a$ および $D1b$ が逆方向に接続され、ひいては第 1 のトランジスタ $T1$ が導通しているにもかかわらず、大電流が発光ダイオード $D1b$ または $D1a$ を流れてこれにダメージを与えるおそれがないように、第 2 の電位端子 VDD の電位と同じくらいの高さにするのが理想的である。本構成例によれば、ヒューズ Fd をトリガするのに必要な電流 (IF) I_{burn} は、配置構造の「通常運転」で流れるのと同じ方向に流れる。

【0298】

図 35 は、複数の LED を電子的に構成するための方法の一例を示している。最初のステップ $S1$ では、第 1 のブランチと第 2 のブランチのそれぞれの LED の機能性がテストされる。この結果、いくつかの可能性が考えられるが、その中でも最も一般的なのは次のものとなる。この場合、どちらの LED も期待通りに機能する。これが当てはまる場合、第 2 のステップ $S2$ では、エンボス信号がエンボス電子構造素子に印加される。その後、電流ドライバまたは電流源によって電流が供給され、この電流が導電性の電流エンボス素子を介して流れる。この場合、電流は、 LED にダメージは与えないが、対応するブランチのヒューズは破壊されるように選択される。これにより、対応するブランチが非アクティブになる。一方、欠陥が見つかった場合は、 2 つのブランチのうち 1 つだけが機能する。もう 1 つは「 $OPEN$ 」、すなわち、欠陥のあるブランチに電流が全く流れていない状態であるか、または「 $SHORT$ 」、すなわち、短絡が起こっている状態のいずれかである。後者の場合は、このブランチの電流増加と低い抵抗とにより、欠陥のあるブランチのヒューズが破壊され得、そのため、 $SHORT$ と $OPEN$ との状態間で変化する、配置構造全体の機能にもはや影響を与えない。

【0299】

上記の方法により、エンボス信号線を全画素に接続されたグローバル線として構成することができる。アドレス指定は、アクティブなディスプレイの外側にあるパネル上のトランジスタ回路を介した供給リード線と、 $2T1C$ セルの電荷蓄積手段のセレクトリード線および対応するプログラミングとによって行われる。

【0300】

このようにして、配線の手間が減ることになる。同様に、必要な層もしくは膜の数を減らすことができ、これはコスト削減にもつながり得る。しかしながら、スイッチングトランジスタは、これが列の電流を流すことができるように構成されなければならない。さらに、このプロセスの間、パネルもしくは共通のキャリアの電力損失が増加する。

【0301】

図 $36A$ は、本機能を有する LED 表示部配置構造の 3 つの主要部分の、デジタルおよびアナログのコンセプトの一般的な概要を示している。セクション II と III は、複数の画素が行と列とに配置されたディスプレイもしくはビデオウォールのアナログ領域に関するものである。各画素 141 は、異なる色のサブ画素からなってもよい。あるいは同じサイズの画素を備えた表示部を使って異なる色を得ることもできる。本構成例では、 LED 表示部は、第 1 の基板キャリア上または第 1 の基板キャリア内に LED 画素が集積されたものを含むモノリシック表示部として実装されているが、他の構成、特に本願で開示されている構成も考えられる。

【0302】

場合によっては、第 1 の基板キャリアは、アナログセクション III の回路も含んでいる。代替案として、 LED の基板はより薄く、その下側に複数のコンタクトを有している。

この場合、下側のコンタクトは、アナログセクションⅠⅠを含むキャリアに接合されるか、または他の方法で取り付けられる。あるいはアナログセクションⅠⅠは、反対側にＬＥＤ画素も搭載した薄型の基板上に成長させることもできる。かかるアプローチにより、アナログセクションとＬＥＤ画素との間の位置合わせ不良（ミスアライメント）を減らすことができる。他方で、アナログ回路の集積に適した材料系が求められている。

【０３０３】

この配置構造のアナログセクションⅠⅠには、それぞれの画素を流れる電流の制御回路が含まれている。このために、各画素１４１は、そのアノードコンタクトを共通のソース電位１４１１に接触される。ＬＥＤ画素のそれぞれのカソードは、調整可能なドライバに接続されており、本ケースでは電流源１４２として実現されており、この電流源はまたセクションⅠⅠで統合された端子１４１２に接続されている。そのため、この構成では、共通のアノードコンタクトが実現されている。本出願で開示されているカバー電極は、このような機能を提供することができる。しかしながら、もう１つのケースとして、コモンカソードが存在している。この場合、ＬＥＤは、カソード電位端子１４１２と電流源との間に配置される。かかる配置構造の利点は、供給電圧をある程度低くできることと、ＬＥＤが大きな入力電圧を処理する必要がないこととである。

【０３０４】

セクションⅠⅠはまた、基準電流源１４１０、例えば温度安定化カレントミラーを含み、同じ基準電流をそれぞれの電流源１４２に提供する。この例では、１つの電流源のみを示しているが、複数の基準電流源を使用して、異なる画素にそれぞれの基準電流を提供することもできる。例えば、各画素行は、基準電流源に割り当てられていてもよい。かかる基準電流源が切り替え可能であれば、各行の電流源を周期的にオン／オフすることができ、これは消費電力の削減につながる。構成では、セクションⅠⅠはポリシリコンで製造されており、したがって、セクションⅠのＬＥＤの実現とは異なる材料系を含んでいる。

【０３０５】

各電流源１４２に供給される基準電流とは別に、電流源は、各電流源で選択的に動作させた後に各画素で別々に動作させるためのスイッチング入力も含まれている。説明したように、ＰＷＭ技術を用いて電流源を切り替え、個々の画素の輝度を調整することで、全体の消費電力がさらに削減される。ＰＷＭ信号は、この配置構造のデジタルセクションⅠⅠで生成される。

【０３０６】

デジタルセクションⅠⅠⅠは、クロック入力ＣＬＫとデータ入力ＤＡＴとを含んでいる。データ入力ＤＡＴは、直列に接続された１２ビットのシフトレジスタ１４８に結合されている。シフトレジスタは、入力されたデータストリームを受信し、対応するワードを１２ビットのメモリ１４７に提供して記憶する。１２ビットメモリは、１２ビットのワードをメモリに記憶するためのフリップフロップなどの回路を有していてもよい。このメモリは、それぞれコンパレータ１４４の他方の入力に結合されている。このようにして、１つのデータストリームで行全体の輝度値をメモリ１４７のフリップフロップに一時的に記憶することができる。

【０３０７】

入力ＣＬＫのクロック信号は、カウンタ１４９のクロックを規定し、１２ビットのカウントワードＤ０．．１１を供給する。カウンタワードＤ０．．１１は、各ＬＥＤ画素の電流源１４２に接続されたそれぞれのコンパレータ１４４に印加される。代替的な構成では、必要に応じて、他の構造素子、例えば、異なるゲートの組み合わせを使用することもでき、これにより、接続されているメモリのワードよりもカウンタワードＤ０．．Ｄ１１が小さいかどうかをチェックする。

【０３０８】

このような配置構造の動作において、コンパレータ１４４は、カウンタワードＤ０．．Ｄ１１をメモリワード、すなわち１２ビットメモリの内容と比較する。その結果に応じて、例えば、コンパレータを用いた比較により、カウンタワードＤ０．．Ｓ１１がメモリワ

10

20

30

40

50

ードよりも大きい小さいかを示すかどうかで、電流源をオンまたはオフにする。言い換えれば、コンパレータを用いた比較により、各画素を駆動するためのカウンタ149のクロック信号に基づいたパルス幅が得られることになる。例えば、連鎖図の最初の画素は暗い値を有し、つまりオフになっており、2番目の画素は明るい値、つまり完全にオンになっていることを意図している。それから、データストリームには、次のような関連性のある0と1の2つのワードの文字列として、「0000000000000111111111111111」の形で連なっている。ワードはそれぞれ2つのメモリ147のうちの1つに格納された後、反転した形で上述のコンパレータ144に渡される。この比較はコンパレータで行われる。カウンタワードDがメモリワードMよりも小さい限り、ドライバはオンのままである（そのため、反転コンパレータを使用した例では、「1111111111111111」と「0000000000000000」とがカウンタワードと比較される）。

【0309】

LEDディスプレイ配置構造もしくはビデオウォールには、要件や制約が異なるさまざまな部品が含まれているため、単一の半導体材料で実装することは困難である。

【0310】

図36Bは、本機能を有するLEDディスプレイ配置構造の3つの部分に関する別の構成形態を示している。第1の部分は、図36Aの対応する部分Iと実質的に同じであるが、部分IIは僅かに異なる構成をしている。部分IIには、より高いクロックの同期信号Syncを用いて異なる画素間を切り替えるデマルチプレクサDEMUXが含まれている。この信号Syncの周波数は、リフレッシュレートよりも高く、デマルチプレクサDEMUXで生成される信号O1～O3の数に依存する。一構成では、デマルチプレクサは、行または列のすべての画素を制御する。代替的な構成では、画素の各サブ画素にデマルチプレクサを使用してもよい。これらを組み合わせることも可能である。こうして、部分IIと部分IIIとの間の必要なコンタクト領域の数を減らすことができる。

【0311】

他方で、部分IIIは、それぞれのコンパレータComp.D>Mの出力と第2の部分IIのデマルチプレクサとの間のマルチプレクサを含んでいる。同期信号Syncは、部分IIのデマルチプレクサの場合と同じで、共通して生成される。図36Aの構成と比較したときの別の変更点は、個々のコンパレータのPWM変調を決定するカウンタワード(D0...D11)が、共通してではなく、個々のコンパレータに直接供給されていることである。図36Aの構成とは対照的に、マルチプレクサおよびデマルチプレクサの実装には、相互接続の数、すなわち、純粋なデジタル部IIIと部分IIとの間の接続を減らすことができるという利点がある。それに対して、部分IIIとIIの間には、これらのインターフェースのいずれかを介して、追加の高周波同期信号をルーティングする必要がある。

【0312】

図36Cは、原則的に図36Aおよび36Bの構成において部分的に使用することができるような、既知のコンパレータの構成の機能回路図を示している。この回路は、2ビットのコンパレータを表しているが、数ビットまで拡張することができる。実際には、反転入力を省略して実装することも可能である。さらに、カウンタワードとの比較が行われるため、回路部分A>BまたはA<Bの実装をすれば足りる。

【0313】

図36Dは、異なるカウンタワード1D～3Dと、例えば出力信号の生成に使用されるメモリレジスタとのタイムダイアグラムである。カウンタワードD0...11はタイムシフトしており、各タイムワードは前のタイムワードが通過した時点で開始される。コンパレータまたはOR関数を用いて出力信号O1～O3が生成され、これはマルチプレクサに供給される。

【0314】

LEDディスプレイ配置構造には、要件や制約が異なるさまざまな部品が含まれているため、単一の半導体材料で実装することは困難である。

【0315】

図37Aは、個々の部分の接触と配線プロファイルのさまざまな態様を説明するための、ディスプレイもしくはビデオウォールの例示的な横断面図を示している。図36Aまたは36Bと同様に、ディスプレイは、LED部I、アナログ部IIおよびデジタル部IIを含んでいる。LED部分は、GaN、InGaP、または青色、赤色または緑色の発光に適した他の半導体材料をベースにしている。LED部Iは、共通のカソードまたはアノード(+)接点層1411を含み、これは上面に延在し、LED画素141の各活性領域を接続している。図示されていないのは、層1411の表面上の追加の取り出し構造体または光整形構造体である。これにはフォトリソニック構造体または変換体などが含まれ得る。

【0316】

画素は基板上に配置され、光学的および電氣的に互いに分離されているため、その発光が隣り合うLEDの画素と干渉することなく、画素を別個に制御することができる。例えば、LED画素141は、上述した電流制限ドーピングを用いて実装することができる。この場合、ドーピングによって電流の流れがより小さな領域に制限される。ドーピングによりバンドギャップが変化することで、電荷キャリアが効果的に閉じ込められる。量子効率および／または放射パターンを改善するための、このような閉じ込めなどの構造上の措置の例は、本願明細書の他の箇所で開示されている。画素は、上でも同様に述べているように、スロット型アンテナ構造体に配置されたLEDナノロッドを含んでいてもよい。インゴットまたは本願明細書に開示されている別のLED構造体も考えられる。

【0317】

下側は、リーク電流を回避するために、部分的に絶縁材料を有している。表面は、領域IIが、それぞれの画素素子の主に下に位置するように整列しているような形状になっている。各LED画素は、LEDディスプレイの領域IIとの接続を形成する、領域IIに面している接触面を有している。

【0318】

図37Aのディスプレイのアナログ部IIは、同じ半導体材料系から、もしくは当該材料系をベースにして実装することができる。例えば、電流源に使用される能動素子および受動素子は、GaN、InGaPまたはInAlP系に実装することができる。かかる場合には、従来のいくつかの堆積技術を用いて素子を成形することができる。これには、部分Iの界面にあるLED画素のコンタクトを部分II内の導体トラックに容易に合わせることができるという利点がある。温度係数の違いによる歪みも最小限に抑えることができる。あるいは部分IIは異なる半導体材料で形成されている。例えば、多結晶シリコンまたはアモルファスシリコンの構造体が適しており、小型部品を形成するものと理解されている。両部分は別々に形成され、整列され、相互に接続されてよい。更なる選択肢として、ポリシリコン材料をさまざまな成長プロセスによって下側の表面層に堆積させ、引き続き、必要な回路部品を形成することもできる。電圧を下げるために1つ以上の犠牲層を実装することもできる。さらに、まずポリシリコン層を形成し、次に所望の材料系を用いてLED画素を形成してもよい。この例では、領域IIと領域Iとで異なる材料系を使用しているが、膨張率などのパラメータを調整しているため、一緒に製造することが可能である。

【0319】

そのために、部分IIは多結晶シリコンで作製されている。多結晶シリコンまたはアモルファスシリコンの構造体は、特に小型寸法の部品を形成するためによく知られている。このためにポリシリコン材料を適切なキャリア上に施与し、そこに必要な部品を形成する。熱膨張を抑えるために、いくつかの中間層または犠牲層が設けられており、これらの層は、更なる機能を引き継ぐことはないが、熱的にまたは異なる結晶構造によって調整される。このような層は、領域IIと領域Iとの間にも存在しており、そこではLED画素製造用に意図された材料系への変更が行われる。引き続き、LEDの画素が形成される。

【0320】

あるいはすべての部分を別々に形成し、整列させ、それからボンディングすることも可

10

20

30

40

50

能である。

【0321】

煩雑さに応じて、部分ⅠⅠは、図37Aに要素151と結合層152とで示されているように、電流源またはスイッチの一部である1つ以上のトランジスタを含んでいる。部分ⅠⅠのいくつかの層に配置された結合層152は、部分ⅠⅠの表面上のコンタクトを部分ⅠⅠ内のさまざまな部品に接続する。例えば、トランジスタ152のコンタクト165sは、この結合層を介して、上側コンタクトおよび対応するLEDに接続される。同様に、トランジスタスイッチングまたは抵抗挙動を制御するゲートコンタクト169が、デジタル部ⅠⅠⅠに隣り合う部分の底面でコンタクトインターフェース153に結合されている。

【0322】

デジタル部ⅠⅠⅠはシリコンをベースにしており、いくつかのデジタル回路170を有している。デジタル部ⅠⅠⅠは、通常は別個に形成され、ボンディングステップでアナログ領域ⅠⅠと電氣的に接続される。デジタル領域とアナログ領域とを別個に形成することで、一方では最適化された製造技術を用いることができ、他方ではデジタル部にボンディングする前にアナログ部とLED部とをテストすることができる。アナログ部と同様に、デジタル部ⅠⅠⅠには、デジタル信号およびアナログ信号用の中間接続部をいくつか有している。デジタル部ⅠⅠⅠに電流を供給することもできる。

【0323】

さまざまな組立てや実装は、一態様では、アナログ部分内のトランジスタを統合して、電流源および制御回路を形成することであり得る。図38および図39は、半導体材料内に電界効果トランジスタを実装するさまざまな例を示している。

【0324】

図38は、アモルファスシリコンで形成された反転積層型のトランジスタを示している。このトランジスタは、ゲートコンタクト156の上に、SiNから形成された絶縁性のゲート層155を有している。ゲートコンタクト156は、小さな凸部によって形成されていることから、ゲート層155がこの凸部に追従し、中央領域157と2つの傾斜した側壁158とを有している。このゲート層の上には、アモルファスシリコン154の層が形成されており、ここでも中央領域と2つの傾斜面とを形成している。アモルファス層154の表面を高濃度n型ドーピングして、高い伝導性を有するアモルファスシリコン151の高濃度n型ドーブ層を形成してもよい。あるいは高濃度n型ドーブ層151は、層154上に施与される。

【0325】

最後に、n型ドーブ層151上に、シリコン層154およびSiN層155のサイドエッジにも延在する金属層が施与される。金属層と層151におけるギャップが構造体を分割し、そうすることでソースコンタクトおよびドレインコンタクトを形成している。特に、金属層152は電界効果トランジスタのドレインコンタクトを形成し、金属層153はソースコンタクトを形成している。この場合、ソース・ドレイン間の中央領域のポリシリコン層に伝導性チャンネルが形成されている。高濃度n型ドーブポリシリコン層151は、層154のチャンネルと良好な電氣的接続を提供している。この構造により、ごく僅かなスペースを使って、ソース・ドレイン以外の側からゲートを接触させることが可能になる。

【0326】

図39は、省スペースのポリシリコントランジスタの2つの例を示している。このトランジスタは、ベース基板として成長したSiO2層を有するガラスキャリア上に形成されている。各トランジスタは、非ドーブのポリシリコン層170によって分離された2つの高濃度n型ドーブポリシリコン領域165sおよび165dを有し、この非ドーブのポリシリコン層170は、領域165sと165dとの間に配置されている。ドレイン領域に相接する形で、ポリシリコン170とドレイン領域165dとの間に配置された、低濃度ドーブされたドレイン領域166が設けられている。

【0327】

あるいはポリシリコン170とドレイン領域165dとの間に、金をドーブした領域1

10

20

30

40

50

67が形成される。この場合、ソース165s、ドレイン165dおよび非ドープ領域170は、領域165sおよび165dのそれぞれの側壁上に延在するSiO₂層によって完全に覆われる。165sおよび165dには、ソース・ドレイン領域にアクセスするための穴が開けられている。この穴には、電氣的コンタクトを作り出すために、金属、例えばAlが充填されている。このコンタクトはSiO₂層の側壁も越えて延びているため、接触のための領域が大きくなっている。ポリシリコン層170の上の中央部には、絶縁性のSiO₂層の上にアルミニウム層169を成膜してゲートが形成されている。ゲート169は、ソースおよびドレインのそれぞれの金属コンタクトから電氣的に絶縁されている。

【0328】

LED表示部を制御する従来の回路では、画素はアドレス指定可能な行と列とに配置されている。各画素は、特定の色のLED、あるいは3つの異なるLEDのトリプレットからなっている。後者の場合、3つのサブ画素を含み、それぞれ1つのサブ画素に特定の色のLEDが備わっている画素を指すこともある。

【0329】

図36Aまたは36Bの例を再び参照すると、図37Bは、LED構造体をデジタル回路部に接続するためのさまざまな構成形態を示している。ここでの2つの部分は、異なる材料系または技術に基づいている。それぞれの場合において上部の第1の部分は、行と列とに配置されたLED素子または画素もしくはサブ画素を含んでいる。所望の色に応じて、異なる材料系または技術が使用され、ここでは例示的に、材料InGa_NおよびInGaAlPが挙げられる。第1の例では、ウェハまたはLED構造体を、W2W（ウェハツーウェハ）プロセスを用いて結晶シリコンベースのウェハに接続し、これは、デジタル回路部と場合によっては必要となるアナログ部とを含んでいる。図36Bの例では、上側のウェハで部分Iが実現され、下側のウェハは、部分IIとIIIとを含んでいる。図37Bの第2の例では、第1の部分を有する第1のウェハの下面に、多結晶シリコンの薄膜層を低温で堆積させる。この部分では、デジタル部IIIに接続するための純粋なインターコネクトを提供するか、または追加でLEDを駆動制御するためのドライバ回路などの部品を配置する。これらの2つの例では、ウェハ同士が互いに接合され、所望のディスプレイまたはマトリクスが作製される。一方、代替的な構成が示す第3の例では、デジタル回路を備えた個々のチップが提供されており、部分IIと作用結合の関係にある。チップは、例えば、ディスプレイの一部を駆動制御するための行および列ドライバを含んでいる。

【0330】

これに加えて、図41は、以下で詳細に説明する構成形態を示している。このようにして、ディスプレイの各部分を別個に駆動制御することができる。さらに、このように製造を分けることで、部分IIIのデジタル回路の要素に欠陥が生じて、ウェハ全体を交換することなく、欠陥のある回路を個別に分離することができる。

【0331】

アナログ部の中には、デジタル駆動制御のコンセプトを実現するための新しいコンセプトがさらに必要である。LED表示部を制御するための従来の回路では、画素はアドレス可能な行と列とに配置されている。これと同じ原理がここでも当てはまることができる。各画素は、特定の色のLED、あるいは3つの異なるLEDのトリプレットを有している。後者の場合、3つのサブ画素を含み、それぞれ1つのサブ画素に特定の色のLEDが備わっていれば、画素と呼ぶこともできる。

【0332】

図40は、従来のLED表示部をアドレス指定するために必要な要素の概略図を示している。各画素には色の異なる3つのLEDが含まれているが、簡単のために1つのカラータイプのみを示している。画素はアドレス可能な列と行に配置されている。ディスプレイは、1行1920画素×1020列の画素マトリクス1800を有している。画素マトリクスはモノリシックに組み立てられていた。このディスプレイは、複数の行ドライバ1802と複数の列ドライバ1803とを有しており、画素マトリクスの各画素を個別にアドレス指定する。いずれのタイプのドライバも、マトリクスに組み込んだり、インターフェ

ースを介してマトリクスに結合された外部コンポーネントとして提供したりすることができる。組み合わせも可能である。

【0333】

行ドライバ1812の各々は、個々のドライバデバイスを有しており、このドライバデバイスは、対応するリード線1805a, 1805bに結合され、このリード線を介して電流を駆動する。同様に、各列ドライバはドライバ素子1813を有し、各ドライバ素子は、データ線1804a, 1804bに接続されている。画素ドライバ1801は、行と列の交点に配置されている。画素ドライバ1801は、行と列とに接続され、関連する画素を駆動する。

【0334】

このディスプレイは、外部コンポーネントからの制御信号およびアドレス信号を含んでおり、ここでは、そのうちの2つ、すなわちDATAとSYNCとについて説明する。後者の信号SYNCは、行ドライバと列ドライバとを相互に同期させるために使用され、アーティファクトを回避し、クリーンなプログラミングを実現するためのものである。対応する行をアドレス指定することで、その対応する行に関連する画素が選択される。次いで、DATA信号を対応する列に印加して、選択された行の各画素ドライバ1801をプログラミングする。

【0335】

画素数の多いディスプレイの場合、従来の表示部プログラミング用のクロックでは、プログラミング信号の周波数が高くなってしまうことがある。例えば、図40のディスプレイでは、各サブ画素の色深度に応じて、1ビット・1行あたりのプログラミング周波数が数MHzの範囲になることがある。例えば、1024種類の照明値に対応する10ビットの輝度深度では、1080本のディスプレイ行および60Hzのフレームレートのプログラミング周波数は約66MHzとなる。

【0336】

下の表は、プログラミング信号の周波数と、1ビット・1行あたりのプログラミング時間（単位： μ s）を示している。色深度または照明深度が増加すると、プログラミングのためのPWM時間単位が増加し、したがってプログラミング周波数も増加する。

【0337】

【表1】

カラービット数	PWM ユニット	プログラミング 時間(μ 秒)	プログラミング 周波数(MHz)
8	255	0.06	17
10	1023	0.02	66
12	4096	0.00	265
14	16383	0.00	1062

【0338】

特にカラービット数または照明ビット数が多い場合（すなわち12ビットまたは14ビット）、プログラミング時間が非常に短くなるため、対応する行ドライバおよび列ドライバの負荷が高くなる。1つの画素が白から黒に変わったり、逆に黒から白に変わったりする極端なケースでは、列ドライバは数nsで画素を再プログラミング（リロード）しなければならない。比較のために、最先端のDDR4ラムは、約800MHz~1.5GHzの内部周波数で動作し、つまり、14ビットの照明深度のプログラミング周波数の範囲内で動作する。

【0339】

プログラミング周波数を下げるために、メモリのときと同様にクロックの立ち上がりと

立ち下がりのエッジを使用してプログラミングを行うことができる。ディスプレイをセグメント化して、表示マトリクスを分割することも可能である。製造技術に応じて、セグメント化することで、個々のセグメントを別個にテストし、そうして欠陥が発生した場合には交換することができる。

【0340】

図41は、 1920×1080 画素のディスプレイを 2×2 マトリクスにセグメント化し、サブディスプレイとした一例を示している。各サブディスプレイ1800a～1800dは、 960×540 画素のマトリクスが含まれる。図40のディスプレイと同様に、各サブディスプレイは、固有の列ドライバおよび行ドライバ1802a～1802dおよび1803a～1803dを有している。DATA信号およびSYNC信号が、それぞれのセグメントに供給される。行数が少なくなると、それに応じてプログラミング周波数も減少する。図41のように列をさらにセグメント化することで、列ドライバの要求値が引き下げられ、プログラミングサイクルごとの負荷が軽減される。次の表は、1つのセグメントに108本のディスプレイ行がある場合（このようなセグメントは合計10個あり、同じくりフレッシュレートは60Hzである）のプログラミング時間およびプログラミング周波数の一例を示している。

【0341】

【表2】

カラービット数	PWM ユニット	プログラミング 時間(μ 秒)	プログラミング 周波数(MHz)
8	255	0.61	1.7
10	1023	0.15	6.6
12	4096	0.04	26.5
14	16383	0.01	106

【0342】

表に示したように、セグメント化によって行数が減少することで、プログラミング時間およびプログラミング周波数の各要求値が、セグメント化の数のほぼ数分の1となる。各セグメントも同様の方法で実装されている。各画素マトリクス1800, 1800a～1800dは、画素ドライバと発光デバイスとが配置された行と列とを含んでいる。

【0343】

図42は、2T1C構造のように、ディスプレイのブランキング時間中にプログラムされた電荷によってLEDを流れる電流が制御される従来の画素ドライバの一例を示している。ドライバは、行線1805とデータ線1804との交点に配置されている。さらに、電源電圧 V_{DD} と電流 I_{DAC} とを供給する供給線2002が、ドライバトランジスタ2003を介して発光デバイス2004に結合されている。このように、ドライバトランジスタ2003は、制御可能な電流源として動作する。ドライバトランジスタ2003を流れる電流は、1T1C構造2002によって制御される。特に、電界効果トランジスタM2は、そのゲートがプログラミングのための行セレクト線に接続され、スイッチとして機能する。

【0344】

行セレクト線の「HIGH」信号によってアクティブにされると、トランジスタM1が閉じ、データ線1804はコンデンサC1を所望のレベルまで充電する。このプログラミング中は、供給線がオフになっていることから、発光デバイスは実質的にオフになっている場合がある。これにより、プログラミング中のさまざまなアーティファクトが防がれる。再プログラミング後は、トランジスタM2が再び開き、コンデンサに蓄えられた電荷が電流トランジスタM1を駆動することで、発光デバイスに電流が流れる。この電流は、蓄

えられた電荷に対応しており、したがって所望の照明レベルにも対応している。

【0345】

図43は、従来の列ドライバまたはデータドライバの回路図を示している。ドライバには、デジタル部とアナログ部とを有しており、対応するデータ線を駆動する。あるいはこの出力でデータ線用の専用ドライバを駆動することも可能である。GND、VDDおよびVSSの電流供給接続とは別に、更なる制御信号CLKおよびDIRが供給される。異なる色のデジタル値R、GおよびBが一時的な記憶用のバッファに記憶される。デジタル値は、レベルシフタで転送・処理され、デジタルアナログ変換器に供給される。DACは、別途生成された修正信号Vg-corを用いて一部の値を補正することができる。アナログ信号に変換された後、出力バッファに記憶され、次いで出力バッファに印加される。アナログrgb信号は、そのときデータ線に印加される。ここでは3本のデータ出力ラインしか示していないが、列データドライバは表示マトリクスのすべてのデータ線に信号を供給する。

10

【0346】

図44は、従来の行ドライバの一例を示している。このドライバは、CLK信号とDIR信号とを受信するシフトレジスタを有し、レベルシフタを介して複数の論理ANDゲートに結合されている。ゲートはENABLE信号も受信し、これに応答して出力バッファの対応する出力がHIGHになる。動作中、シフトレジスタはCLK信号ごとにビットをシフトし、対応するゲートの1つにHIGH信号を選択的に印加する。ENABLE信号は、再プログラミング時に行選択をグローバルにアクティブにするために必要である。

20

【0347】

以下では、例示的な主題として、さまざまなデバイスおよび配置構造、ならびに製造、処理および操作する方法が再度記載される。以下の主題は、提案された原理とコンセプトのさまざまな態様と構成を提示しており、これらはさまざまな方法で組み合わせることができる。このような組み合わせは、以下で示すものに限定されない。

【0348】

1. 特にNMOS技術により作成されたLED画素セルを電子的に駆動制御するためのデバイスであって、

- ー データ信号線、閾値線およびセレクト信号線と、
- ー デュアルゲートトランジスタに、第1の電位端子と第2の電位端子との間で一緒に直列に電氣的に接合されたLEDであって、
- ー 上記デュアルゲートトランジスタは、その電流線コンタクトが、LEDの端子と電位端子との間に配置されており、上記デュアルゲートトランジスタの第1の制御ゲートが上記閾値線に接続されている、LEDと、
- ー 上記デュアルゲートトランジスタの第2の制御ゲートと、上記デュアルゲートトランジスタの電流線コンタクトに接続されているとともに、上記セレクト信号線に接続された制御端子を有する制御トランジスタにも接続されている電荷蓄積部を備えたセレクトホールド回路と

を有している、デバイス。

30

【0349】

2. 上記デュアルゲートトランジスタがバックゲートトランジスタを含んでおり、バックゲートが上記第1の制御ゲートを形成している、主題1記載のデバイス。

40

【0350】

3. 上記デュアルゲートトランジスタの上記第1の制御ゲートが、閾値電圧を調整するように構成されている、主題1または2記載のデバイス。

【0351】

4. 上記デュアルゲートトランジスタが、対向する2つの制御ゲートを有する薄膜トランジスタを有している、前述の主題のいずれか1つ記載のデバイス。

【0352】

5. 動作中に上記閾値線にスイッチング信号(PWM信号)が印加されるように構成さ

50

れている、前述の主題のいずれか1つ記載のデバイス。

【0353】

6. 上記LEDの第1の端子が上記第1の電位端子に接続されており、上記デュアルゲートトランジスタは、上記LEDの第2の端子と上記第2の電位端子との間にその電流線コンタクトを有して配置されており、電荷蓄積部が、上記デュアルゲートトランジスタの上記第2の制御ゲートに接続されているとともに、光電子構造素子の第2の端子にも接続されている、前述の主題のいずれか1つ記載のデバイス。

【0354】

7. 上記LEDの第1の端子が上記デュアルゲートトランジスタの第2の電流線コンタクトに接続され、上記LEDの第2の端子が上記第2の電位端子に接続されており、

10

上記デュアルゲートトランジスタは、上記LEDの第1の端子と上記第1の電位端子との間に電流線コンタクトを有して配置されており、

上記電荷蓄積部が、上記デュアルゲートトランジスタの第2の制御ゲートと上記第1の電位端子とに接続されている、前述の主題のいずれか1つ記載のデバイス。

【0355】

8. ー 上記LEDの第1の端子が第1の電位端子に接続されており、

ー 上記デュアルゲートトランジスタは、上記LEDの第2の端子と上記第2の電位端子との間に電流線コンタクトを有して配置されており

ー 上記電荷蓄積部は、上記デュアルゲートトランジスタの第2の制御ゲートと上記第2の電位端子とに接続されている、前述の主題のいずれか1つ記載のデバイス。

20

【0356】

9. 上記セレクトホールド回路が、更なる制御トランジスタを含んでおり、当該制御トランジスタは、上記LEDと並列に接続されており、上記制御トランジスタの制御端子がセレクト信号線と接続されている、前述の主題のいずれか1つ記載のデバイス。

【0357】

10. 上記デュアルゲートトランジスタが、上記第2の制御ゲートを提供するゲートを有するトランジスタとしてのみ形成されている、主題9記載のデバイス。

【0358】

11. 上記電荷蓄積部が、上記デュアルゲートトランジスタの上記第2の制御ゲートと上記第1の電位端子とに接続されており、さらに、

30

上記LEDによる順方向電圧の検知に基づいて負帰還する温度補償回路を含んでおり、上記温度補償回路は、出力側において閾値線で信号を送り出すように構成されている、前述の主題のいずれか1つ記載のデバイス。

【0359】

12. 上記温度補償回路が、上記デュアルゲートトランジスタと並置されており、直列に接続された2つのパスを有する制御パスを含んでいる、主題11記載のデバイス。

【0360】

13. 第3の制御トランジスタと第4の制御トランジスタによって提供される2つの制御されたパスの間のノードから、上記閾値線が、上記デュアルゲートトランジスタの上記第1の制御ゲートに接続されている、主題11記載のデバイス。

40

【0361】

14. 上記第4の制御トランジスタの上記制御端子が、上記第2の電位端子に接続されている、主題13記載のデバイス。

【0362】

15. 上記温度補償回路が、上記2つのパスのうちの1つを提供する制御トランジスタの制御端子と上記第1の電位端子とに接続された第2の電荷蓄積部を含んでいる、主題11から14までのいずれか1つ記載のデバイス。

【0363】

16. 上記第2のデータ信号線が、負帰還係数をプログラミングするために、上記第2の電荷蓄積部と上記第3の制御トランジスタとに結合されている、主題15記載のデバイ

50

ス。

【0364】

17. 上記結合が、第2のセレクト信号線によって駆動制御される第5の制御トランジスタを介して構築される、主題16記載のデバイス。

【0365】

18. 上記温度補償回路が、その第3の制御トランジスタを介して第2の電位端子に接続されている、主題11から14までのいずれか1つ記載のデバイス。

【0366】

19. 第5の制御トランジスタが上記LEDと並列に接続されており、上記制御トランジスタの制御端子には動作中にスイッチング信号（PWM信号）が印加される、主題11から14までのいずれか1つ記載のデバイス。

10

【0367】

20. 上記トランジスタがNMOS技術の電界効果トランジスタとして構成されている、前述の主題のいずれか1つ記載のデバイス。

【0368】

21. 上記セレクトホールド回路を介して、アナログのデータ駆動制御信号をセレクト信号によって上記LEDに印加することで上記LEDをカラーコントロールし、パルス幅変調信号を取り込むことでLEDの輝度制御を行う、前述の主題のいずれか1つ記載のデバイスを動作させる方法。

【0369】

20

22. 複数の光電子素子を駆動するためのドライバ回路であって、
セット入力、リセット入力および出力のそれぞれを有する複数の第1のメモリセルを含み、

各第1のメモリセルは、上記セット入力のセット信号によって上記出力で第1の状態にトリガされ、上記リセット入力で第2の状態にリセットされるまで上記第1の状態を保持し、

各第1のメモリセルの上記出力が、光電子素子のそれぞれの1つを制御するように構成されている、ドライバ回路。

【0370】

23. 上記各第1のメモリセルが、上記出力でパルス幅変調（PWM）信号を供給し、上記PWM信号は、それぞれの光電子素子を流れる電流をオン／オフするように構成されたスイッチを制御する、主題22記載のドライバ回路。

30

【0371】

24. 上記各第1のメモリセルが、2つのクロスカップルNORゲートまたは2つのクロスカップルNANDゲートを含んでいる、前述の主題のいずれか1つ記載のドライバ回路。

【0372】

25. 上記各第1のメモリセルは、直列に接続されたNMOSTランジスタおよびPMOSTランジスタと、上記NMOSTランジスタと上記PMOSTランジスタの間に接続された入力ならびに上記NMOSTランジスタおよび上記PMOSTランジスタのゲートに接続された出力を有するインバータとを含んでいる、前述の主題のいずれか1つ記載のドライバ回路。

40

【0373】

26. さらに、データ値がそれぞれのカウンタに負荷されたらセット信号をアクティブにし、それぞれのカウンタが負荷されたデータ値に達したらリセット信号をアクティブにするようにそれぞれが構成された複数のカウンタを含んでいる、前述の主題のいずれか1つ記載のドライバ回路。

【0374】

27. 上記複数の光電子素子に共通の調光信号を生成するように構成された共通カウンタをさらに含んでいる、前述の主題のいずれか1つ記載のドライバ回路。

50

【0375】

28. 複数の第2のメモリセルをさらに含み、各第2のメモリセルは、上記第1のメモリセルのそれぞれの1つに結合され、必要に応じてそれぞれの上記第1のメモリセルの出力信号をオーバーライドして、それぞれの上記光電子素子がオフのままになるように構成されている、前述の主題のいずれか1つ記載のドライバ回路。

【0376】

29. 光電子デバイスであって、
複数の光電子素子と、
前述の主題のいずれか1つ記載の複数の光電子素子を駆動するためのドライバ回路とを含む、光電子デバイス。

10

【0377】

30. フレーム中に指定された順序で実行される以下のステップ：
－ すべての光電子素子をオフにするステップ；
－ 上記第2のメモリセルによって、フレーム中に暗転する光電子素子を制御するステップ；
－ 上記第1のメモリセルによって、上記光電子素子を流れる電流を制御するステップを含む、主題29記載の光電子デバイスを操作する方法。

【0378】

31. 上記第1のメモリセルによって、上記光電子素子を流れる電流を制御する前に、上記光電子素子の共通の調光を実行する、主題30記載の方法。

20

【0379】

32. 少なくとも1つのLEDの輝度を調整するための制御回路であって、
－ 第1の端子が第1の電位に接続されている制御端子と
－ 制御端子と第1の電位との間に接続され、制御端子と第1の電位との間に定義された容量で容量分圧を形成する電荷蓄積手段と、
－ 第1の期間中に制御信号を制御端子に印加するように構成された制御素子であって、この制御信号に基づいて少なくとも1つのLEDを流れる電流が第1の期間中に調整可能である制御素子と、
を備えた電流ドライバ素子を含み、

上記第1の期間に続く第2の期間中に、上記第1の期間中の上記制御信号と上記容量分圧とで形成される低減された制御信号によって、上記LEDを流れる電流を定め、

30

上記制御素子は、上記第1の期間中に第1の制御信号または第2の制御信号を供給して、上記LEDを少なくとも2つの異なる輝度レベルで動作させるように配置されている、制御回路。

【0380】

33. 上記電流ドライバ素子が電界効果トランジスタを含んでおり、そのゲートが制御端子を形成し、定義された容量が設計上予め定められたゲート・ソース間容量である、主題32記載の制御回路。

【0381】

34. 上記第2の期間中に上記制御端子に印加される低減された制御信号は、上記第1の期間中の制御信号と、上記電荷蓄積手段の容量と、上記電荷蓄積手段の上記容量と上記定義された容量との和の比率に基づいて得られる、前述の主題のいずれか1つ記載の制御回路。

40

【0382】

35. 上記制御素子が、上記第1および第2の期間を60Hz以上の繰り返し周波数で駆動するように配置されていることを特徴とする、前述の主題のいずれか1つ記載の制御回路。

【0383】

36. 上記制御素子が制御トランジスタを含んでおり、その制御端子において上記第1および第2の期間を信号によって調整可能である、前述の主題のいずれか1つ記載の制御

50

回路。

【0384】

37. 第1の期間に対する第2の期間の比が、300：1～100：1の範囲、特に100：1の範囲である、前述の主題のいずれか1つ記載の制御回路。

【0385】

38. 上記第1の制御信号の電圧が第1の電圧間隔内にあるときは上記LEDを第1の暗い輝度レベルで動作させ、上記第2の制御信号の電圧が第1の電圧間隔よりも少なくとも部分的に高い第2の電圧間隔内にあるときは上記LEDを少なくとも第2の明るい輝度レベルで動作させるように構成された、前述の主題のいずれか1つ記載の制御回路。

【0386】

39. 上記第1の電圧間隔が1.3V～4.5Vの範囲であることを特徴とする、主題38記載の制御回路。

【0387】

40. 上記第2の電圧間隔が4.0V～10.0Vの範囲であることを特徴とする、主題38または39記載の制御回路。

【0388】

41. 第1の端子が第1の電位に接続されている制御端子であって、制御端子と上記第1の端子との間に接続され、制御端子と第1の電位との間に定義された容量で容量分圧を形成する電荷蓄積手段を有する制御端子を備えた電流ドライバ素子に接続された少なくとも1つのLEDの輝度を調整する方法であって、以下のステップ：

- － 第1の期間中に制御信号を制御端子に印加することで、上記第1の期間中に少なくとも1つのLEDを流れる電流を調整するステップと、
 - － 上記第1の期間に続く第2の期間中に上記制御信号をオフにすることで、上記第1の期間中の上記制御信号と上記容量分圧とで形成される低減された制御信号によって上記LEDを流れる電流を調整するステップと
- を含む、方法。

【0389】

42. 上記第2の期間中に上記制御端子に印加される低減された上記制御信号が、上記第1の期間中の制御信号から、電荷蓄積手段の容量と、上記電荷蓄積手段の容量と上記定義された容量との和の比率に基づいて得られる、主題41記載の方法。

【0390】

43. 上記第2の期間と上記第1の期間との比が、300：1～100：1の範囲、特に100：1の範囲である、前述の主題のいずれか1つ記載の方法。

【0391】

44. 上記第1の制御信号の電圧が第1の電圧間隔内にあるときは上記LEDを第1の暗い輝度レベルで動作させ、上記第2の制御信号の電圧が第1の電圧間隔よりも少なくとも部分的に高い第2の電圧間隔内にあるときは上記LEDを少なくとも第2の明るい輝度レベルで動作させる、前述の主題のいずれか1つ記載の方法。

【0392】

45. 上記制御信号が、ビット数nを有するデジタル制御ワードから導き出され、上記nビットは第2の制御信号に対応し、最下位のmビットは上記第1の制御信号に対応する、前述の主題のいずれか1つ記載の方法。

【0393】

46. 前述の主題のいずれか1つ記載のLED、LED配置構造またはLEDモジュールを駆動制御するための、前述の主題のいずれか1つ記載の制御回路の使用。

【0394】

47. 供給回路であって、
- － 基準信号入力、誤差信号入力および修正信号出力を有する誤差修正検出器と、
 - － 電流出力およびコントロール信号端子を有する制御可能な電流源であって、上記コントロール信号端子は、修正信号出力に接続されて、制御可能な電流源の制御ループを形

10

20

30

40

50

成し、上記電流源は、上記コントロール信号端子の信号に応じて上記電流出力に電流を供給するように構成されている、電流源と、

- － バックアップ信号を供給するように構成された出力を有するバックアップ源と、
 - － スwitchングデバイスであって、スイッチング信号に応じて、上記電流源の電流出力を追加的に分離した状態で、上記電流出力の前記電流から導き出された信号またはバックアップ信号のいずれかを誤差信号入力に供給するように構成された、スイッチングデバイスと
- を含む、供給回路。

【0395】

48．上記バックアップ信号が、電流信号から導き出された信号に実質的に対応している、主題47記載の供給回路。

10

【0396】

49．上記制御可能な電流源が、電流出力に接続された切り替え可能な出力ブランチを有するカレントミラーを含んでいる、前述の主題のいずれか1つ記載の供給回路。

【0397】

50．上記出力ブランチが出力トランジスタを含み、上記出力トランジスタの制御端子は、スイッチング信号に応じて、上記スイッチングデバイスを介して、上記トランジスタを開放するための固定電位に接続されている、主題49記載の供給回路。

【0398】

51．上記制御可能な電流源が、基準電流を供給することができる入力ブランチを有しており、上記入力ブランチは、誤差修正検出器の基準信号入力に接続されたノードを有している、前述の主題のいずれか1つ記載の供給回路。

20

【0399】

52．上記制御可能な電流源がカレントミラーを含んでおり、上記コントロール信号端子が上記カレントミラーの出力トランジスタの上記制御端子に接続されている、前述の主題のいずれか1つ記載の供給回路。

【0400】

53．上記誤差修正検出器が差動増幅器を含んでおり、その2つのブランチがカレントミラーを介して供給電位に互いに接続されている、前述の主題のいずれか1つ記載の供給回路。

30

【0401】

54．上記差動増幅器の2つのブランチが、それぞれ異なる幾何学的パラメーターを有する入力トランジスタを含んでいる、主題53記載の供給回路。

【0402】

55．上記バックアップ源が、上記バックアップ信号が、上記電流信号から導き出された信号に実質的に対応するように、出力に結合された電圧生成素子を含んでいる、前述の主題のいずれか1つ記載の供給回路。

【0403】

56．上記バックアップ源が、電流供給素子と電圧供給素子とからなる直列回路を含んでおり、上記出力は上記2つの素子の間に配置されている、前述の主題のいずれか1つ記載の供給回路。

40

【0404】

57．上記バックアップ源が、上記電流源の上記カレントミラートランジスタの制御端子に接続された制御端子を有するトランジスタを含んでいる、前述の主題のいずれか1つ記載の供給回路。

【0405】

58．上記スイッチングデバイスが1つ以上のトランスミッションゲートを有している、前述の主題のいずれか1つ記載の供給回路。

【0406】

59．入力側で定義された電流を出力側で上記誤差修正検出器と上記電流源とに供給す

50

るように構成された基準カレントミラーを含んでいる、前述の主題のいずれか1つ記載の供給回路。

【0407】

60. LEDに給電する方法であって、

- － 上記LEDに流れる供給電流を検知するステップと、
- － 上記供給電流を基準信号と比較し、その比較結果から修正信号を導き出すステップと、

と、
－ 上記修正信号に応答して上記供給電流を変化させて、上記供給電流を目標値に調整するステップと、

－ 上記LEDに流れる供給電流をオフにすると同時に、比較ステップ用のバックアップ信号を供給するステップと

を含む、方法。

【0408】

61. 上記バックアップ信号が、上記LEDに流れる供給電流または供給信号から導き出された信号に実質的に対応している、主題60記載の方法。

【0409】

62. 電流供給部をパルス幅変調する信号により動作させられるLEDまたはLED配置構造、特に前述の主題のいずれか1つ記載のLEDまたはLED配置構造に給電するための、前述の主題のいずれか1つ記載の供給回路の使用。

【0410】

63. 行と列とに配置された複数の発光デバイスを含む表示マトリクス of の制御回路であって、

- － 行セレクト信号用の行セレクト入力およびデータ信号用の列データ入力と、

－ 第1の値と第2の値との間のレベルを有するランプ信号用のランプ信号入力およびトリガ信号用のトリガ入力と、

－ 上記行セレクト信号に応答してデータ信号をバッファリングするように構成された列データバッファと、

－ 上記列データバッファおよび上記ランプ信号入力に結合され、上記トリガ信号、上記データ信号および上記ランプ信号に応答して、上記複数の発光デバイスの少なくとも1つのオン／オフ比を制御するためにバッファリングされた出力信号を供給するように構成されたパルスジェネレータと

を含む、制御回路。

【0411】

64. 上記パルスジェネレータが、

－ 上記バッファリングされたデータ信号を上記ランプ信号と比較するコンパレータデバイスと

－ 上記コンパレータデバイスの出力および上記トリガ入力に結合された出力バッファとを含んでいる、主題63記載の制御回路。

【0412】

65. 上記出力バッファが、フリップフロップ、特に、上記コンパレータデバイスの出力と上記トリガ入力とにそれぞれ結合された入力を備えたRSフリップフロップを含んでいる、主題64記載の制御回路。

【0413】

66. 上記列データバッファが、上記データ信号を記憶するコンデンサと、上記コンデンサと列データ入力の間に配置されたスイッチとを含んでいる、主題63から65までのいずれか1つ記載の制御回路。

【0414】

67. 上記コンパレータデバイスが、上記トリガ信号に基づいてその消費電力を調整するために、トリガ入力に結合された電力制御入力を含んでいる、主題63から66までのいずれか1つ記載の制御回路。

10

20

30

40

50

【0415】

68. 上記コンパレータデバイスが、上記出力バッファの出力状態に基づいてその消費電力を制御するために、上記出力バッファに結合されている、主題63から67までのいずれか1つ記載の制御回路。

【0416】

69. 上記コンパレータが、その反転入力を上記データカラムバッファに結合し、その非反転入力を上記ランプ信号入力に結合している、主題63から68までのいずれか1つ記載の制御回路。

【0417】

70. さらに、

－ 上記ランプ信号入力に上記ランプ信号を供給するランプジェネレータを含み、上記ランプジェネレータは、上記トリガ信号に応答して開始値と終了値との間で変動する信号を生成するように構成されている、主題63から68までのいずれか1つ記載の制御回路。

【0418】

71. アドレス指定可能な行と列とに配置された複数の発光デバイスを有するマトリクス表示部において、発光デバイスの照明レベルを制御する方法であって、

－ 選択された列と少なくとも1つの発光デバイスに対してデータ信号を供給するステップと、
－ トリガ信号を供給するステップと、
－ 上記データ信号のレベルを、トリガ信号を基準にしてパルスに変換するステップと、
－ 上記発光デバイスのオン／オフ比をパルスで制御するステップとを含む、方法。

【0419】

72. 上記データ信号のレベルを変換するステップが、

－ 第1の値と第2の値の間のランプ信号を生成するステップと、
－ 上記データ信号を上記ランプ信号と比較して比較信号を生成するステップと、
－ 上記トリガ信号と上記比較信号の変化とに基づいてパルスを生成するステップとを含む、主題71記載の方法。

【0420】

73. 上記パルスを生成するステップが、トリガ信号に応答して出力信号のレベルを第1の値に設定するステップと、上記比較信号の変化に応答して上記出力信号のレベルを第2の値に設定し直すステップとを含む、主題71記載の方法。

【0421】

74. 上記トリガ信号に応答して上記ランプ信号を生成する、主題72または73記載の方法。

【0422】

75. 上記データ信号を供給するステップが、上記データ信号のプリバッファリング、特にメモリデバイスへの上記データ信号のプリバッファリングを含む、主題71から74までのいずれか1つ記載の方法。

【0423】

76. 複数のLEDを電子的に駆動制御するデバイスであって、

－ LEDが内部に接続されている第1のブランチおよび少なくとも1つの第2のブランチと、上記LEDと直列に配置された電子ヒューズとを有し、上記第1のブランチおよび少なくとも1つの第2のブランチは、一方の側が電位端子に接続されており、
－ 上記第1のブランチおよび少なくとも1つの第2のブランチのもう一方の側に接続された、データ信号入力、セレクト信号入力および駆動出力を有するドライバ回路を有し、
－ 上記少なくとも1つの第2のブランチに割り当てられ、上記直列に配置された電子ヒューズをトリガさせる電流の流れを生成するように構成されたエンボス構造素子を有する、デバイス。

【0424】

77. 上記エンボス構造素子が、エンボストランジスタを有しており、その電流線コンタクトは、上記エンボストランジスタが割り当てられている上記LEDに電氣的に並列に接続され、その制御コンタクトはエンボス信号線に接続されていることを特徴とする、前述の主題のいずれか1つ記載のデバイス。

【0425】

78. 上記エンボス構造素子が、エンボスダイオードを有しており、一方の端子は、上記エンボスダイオードが割り当てられている上記LEDの第2の端子に接続されており、他方の端子は上記エンボス信号線に接続されていることを特徴とする、前述の主題のいずれか1つ記載のデバイス。

【0426】

79. 上記LEDの第1の端子が基準電位端子に接続されており、
上記LEDのヒューズの共通端子と供給電位端子との間に電流線コンタクトを有する第1のランジスタが配置されており、
電荷蓄積手段が、上記第1のランジスタの制御コンタクトおよび上記第1のランジスタの第1の電流線コンタクトに電氣的に接合されていることを特徴とする、前述の主題のいずれか1つ記載のデバイス。

【0427】

80. 上記LEDの第2の端子が供給電位端子に接続されており、
上記第1のランジスタの第1の電流線コンタクトが基準電位端子に接続されており、
上記第1のランジスタの第2の電流線コンタクトが電気ヒューズの共通端子と供給電位端子に接続されており、
電荷蓄積手段が、上記第1のランジスタの制御コンタクトおよび上記第1のランジスタの第1の電流線コンタクトに接続されていることを特徴とする、前述の主題のいずれか1つ記載のデバイス。

【0428】

81. 上記LEDの第2の端子が、上記LEDに割り当てられたヒューズにそれぞれ接続されており、
上記第1のランジスタの第1の電流線コンタクトが基準電位端子に接続されており、
上記第1のランジスタの第2の電流線コンタクトが上記LEDの第1の端子に接続されており、
電荷蓄積手段が、上記第1のランジスタの制御コンタクトおよび上記第1のランジスタの第1の電流線コンタクトに接続されていることを特徴とする、前述の主題のいずれか1つ記載のデバイス。

【0429】

82. 上記LEDの第1の端子が基準電位端子に接続されており、
上記LEDのヒューズの共通端子と供給電位端子との間に電流線コンタクトを有する第1のランジスタが配置されており、
電荷蓄積手段が、上記第1のランジスタの制御コンタクトおよび上記第1のランジスタの第2の電流線コンタクトに電氣的に接合されていることを特徴とする、前述の主題のいずれか1つ記載のデバイス。

【0430】

83. 上記LEDの第1の端子が基準電位端子に接続されており、
上記LEDのヒューズの共通端子と供給電位端子との間に電流線コンタクトを有する第1のランジスタが配置されており、
電荷蓄積手段が、上記第1のランジスタの制御コンタクトおよび上記第1のランジスタの第2の電流線コンタクトに電氣的に接合されており、上記エンボスダイオードの第1の端子が上記LEDの第2の端子に接続されており、上記エンボスダイオードの第2の端子が上記エンボス信号線に接続されていることを特徴とする、前述の主題のいずれか1つ記載のデバイス。

10

20

30

40

50

【0431】

84. 上記LEDの第1の端子が基準電位端子に接続されており、
上記LEDのヒューズの共通端子と供給電位端子との間に電流線コンタクトを有する第1のトランジスタが配置されており、
電荷蓄積手段が、上記第1のトランジスタの制御コンタクトおよび上記第1のトランジスタの第2の電流線コンタクトに電氣的に接合されており、上記エンボスダイオードの第2の端子が上記LEDの第2の端子に接続されており、上記エンボスダイオードの第1の端子が上記エンボス信号線に接続されていることを特徴とする、前述の主題のいずれか1つ記載のデバイス。

【0432】

85. 上記ドライバ回路が、第1のトランジスタ、第2のトランジスタおよび電荷蓄積手段を有しており、上記セレクト信号線は、上記第2のトランジスタの制御コンタクトに当接し、上記データ信号入力は、上記第2のトランジスタの電流線コンタクトに当接し、上記第1のトランジスタの第1または第2の電流線コンタクトが、上記第1のブランチおよび第2のブランチのLEDに電流供給のために接続された駆動出力を提供することを特徴とする、前述の主題のいずれか1つ記載のデバイス。

【0433】

86. 前述の主題のいずれか1つ記載の複数のデバイスを備えたディスプレイもしくはディスプレイモジュールであって、
上記ディスプレイの画素セルが、行および／または列に沿って、共通のエンボス信号線にそれぞれ電氣的に接合されており、
列の各画素セルは、共通の供給リード線によって上記ディスプレイの外側の共通のキャリア上に配置されたスイッチングトランジスタに供給電位端子で電氣的に接合されている、ディスプレイもしくはディスプレイモジュール。

【0434】

87. 前述の主題のいずれか1つ記載の複数のLEDを電子的に構成する方法であって、以下のステップ：
－ 上記第1のブランチと上記第2のブランチのそれぞれの上記LEDの機能をテストするステップと、
－ 上記第1のブランチと上記第2のブランチの上記LEDに欠陥がない場合、
－ 上記電子エンボス構造素子にエンボス信号を印加するステップと、
－ 上記第2のブランチの上記LEDと直列に接続されたヒューズをトリガさせる電流の流れを上記第2のブランチに印加するステップと
を含む、方法。

【0435】

88. 行と列とに配置された複数の画素を有するディスプレイを備えたディスプレイ配置構造であって、
－ 第1の基板構造であって、上記第1の基板構造の中または上に、行と列とに配置された画素構造を形成するLEDが配置されており、上記LEDは個別に駆動制御可能であり、光の照射方向と対向する上記第1の基板構造の表面には、複数の接点が配置されている、第1の基板構造と、
－ 第2の基板構造であって、上記第1の基板構造の接点に対応する複数の接点を表面に含み、光電子構造素子をアドレス指定するための複数のデジタル回路を有する第2の基板構造を有し、
上記第1の基板構造と上記第2の基板構造とは互いに接続されており、複数の接点が上記対応する接点に電氣的に接合されており、
上記第1の基板構造は、第1の材料系で形成されており、上記第2の基板構造は、上記第1の材料系とは異なる第2の材料系で形成されている、ディスプレイ配置構造。

【0436】

89. 上記第1の材料系が、以下の化合物：GaN、GaP、GaInP、InAlP

、GaAlPまたはGaAlInP、GaAs、AlGaAsのうちの少なくとも1つを含み、上記第2の材料系は、以下の材料系：単結晶、多結晶、アモルファスシリコン、インジウムガリウム亜鉛酸化物、GaNまたはGaAsのうちの少なくとも1つを含んでいる、主題88記載の配置構造。

【0437】

90．上記第1のキャリア構造には、複数の切り替え可能な電流源が含まれており、各電流源は、画素に供給するために上記画素に接続されており、その切り替え入力は、デジタル回路から切り替え信号を供給するための接点に結合されている、前述の主題のいずれか1つ記載の配置構造。

【0438】

91．上記切り替え可能な電流源が、上記LEDに使用される材料系または上記第1の材料系とは異なる材料系に配置されている、主題90記載のディスプレイ配置構造。

【0439】

92．上記第2の基板構造の複数のデジタル回路が、各画素のクロック信号とデータワードからPWM様の信号を生成するように構成されている、前述の主題のいずれか1つ記載の配置構造。

【0440】

93．上記複数のデジタル回路が、直列に接続された多数のシフトレジスタを含み、各シフトレジスタは、画素の上記データワードに対応する長さを有し、各シフトレジスタは、一時的な記憶用のバッファに接続されている、主題92記載の配置構造。

【0441】

94．上記複数のデジタル回路が、複数の光電子構造素子を駆動制御するために、上記第1の基板構造のデマルチプレクサに電気的に結合されたマルチプレクサを含んでいる、前述の主題のいずれか1つ記載の配置構造。

10

20

30

40

50

【図面】
【図 1 A】

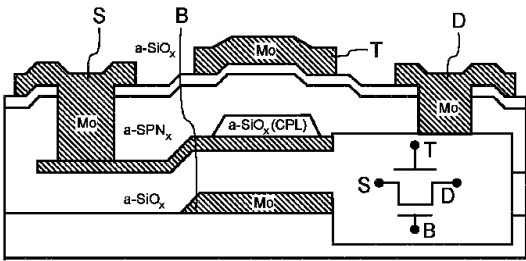


FIG. 1A

【図 1 B】

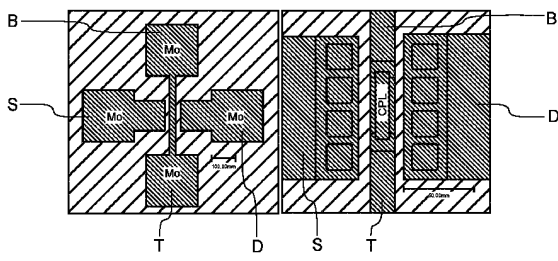


FIG. 1B

10

【図 1 C】

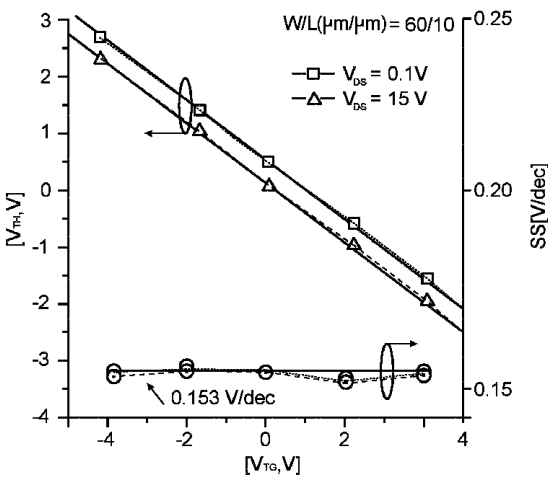


FIG. 1C

【図 2】

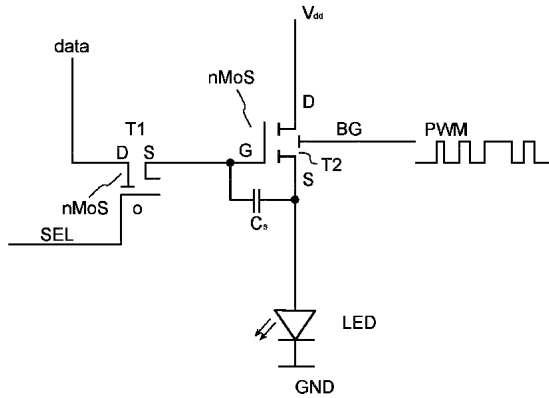


FIG. 2

20

30

40

50

【図 3】

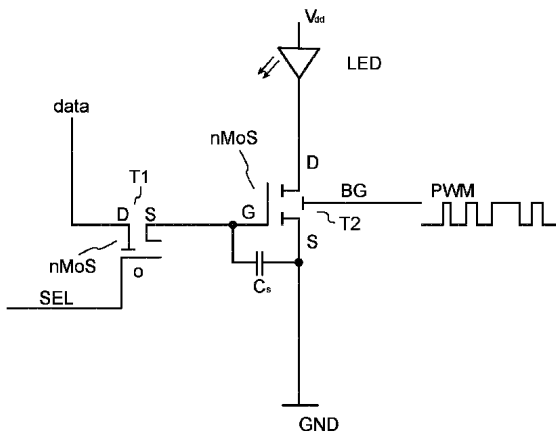


FIG. 3

【図 4】

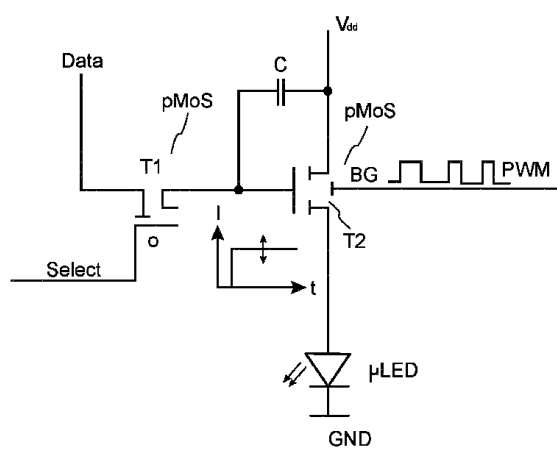


FIG. 4

【図 5】

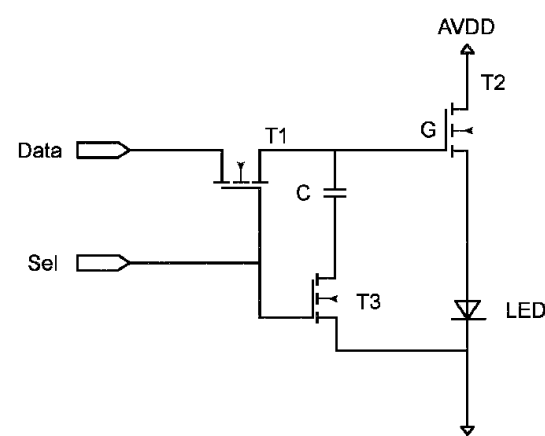


FIG. 5

【図 6】

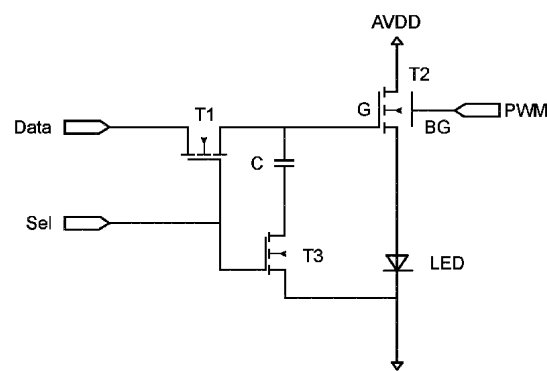


FIG. 6

10

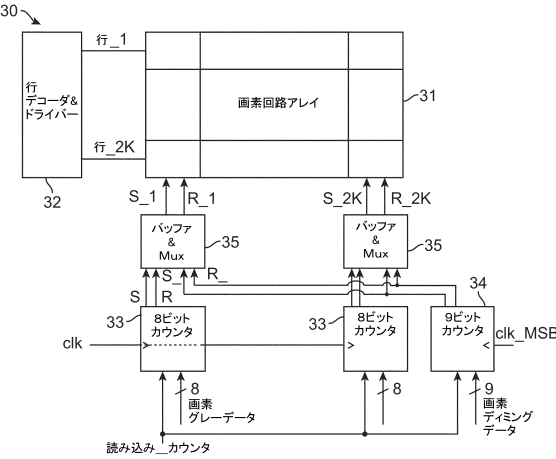
20

30

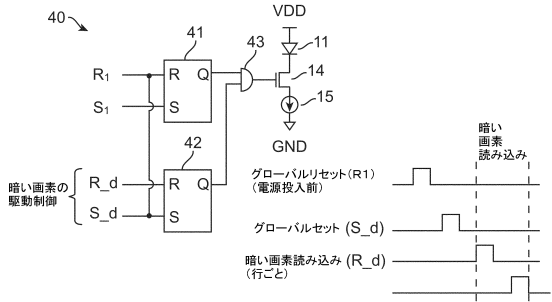
40

50

【図 1 1】

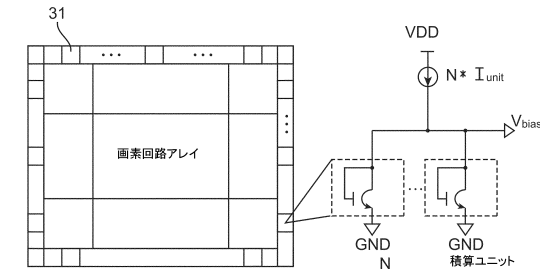


【図 1 2】

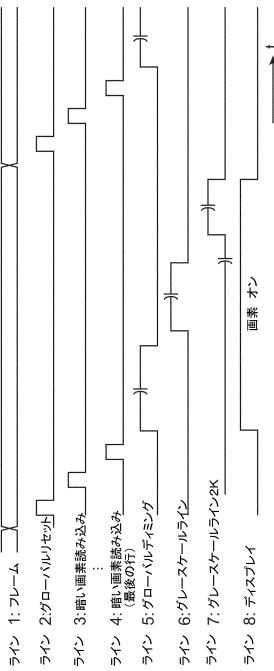


10

【図 1 3】



【図 1 4】



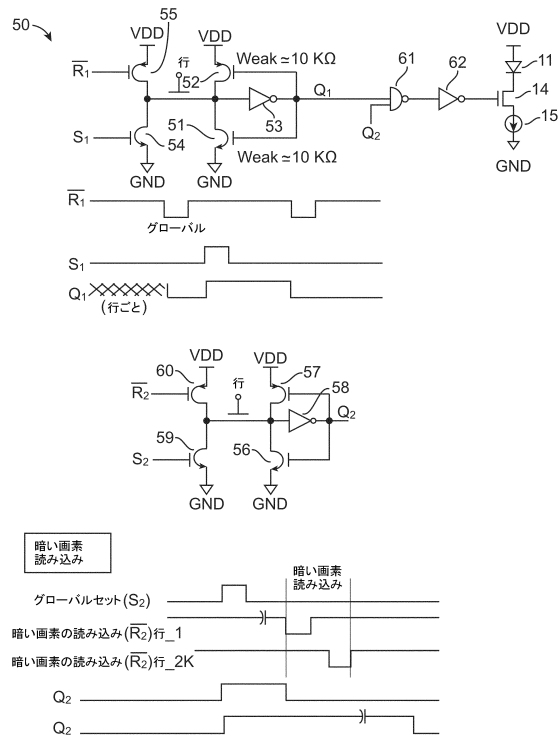
20

30

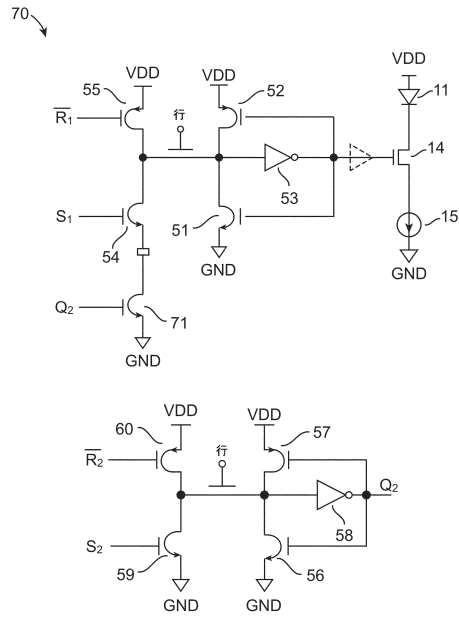
40

50

【図 1 5】



【図 1 6】



10

20

【図 1 7】

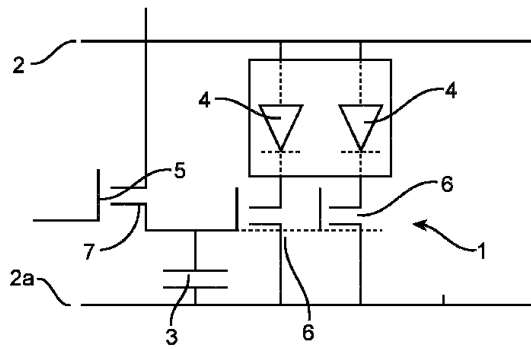


FIG. 17

【図 1 8】

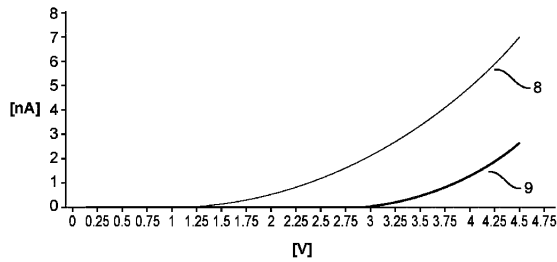


FIG. 18

30

40

50

【図 19】

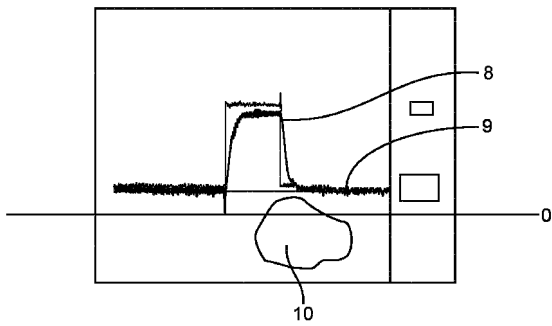


FIG. 19

【図 20】

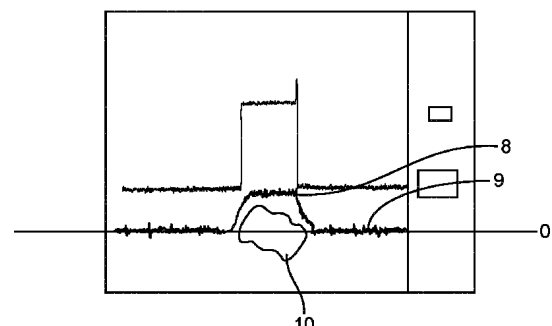


FIG. 20

【図 21】

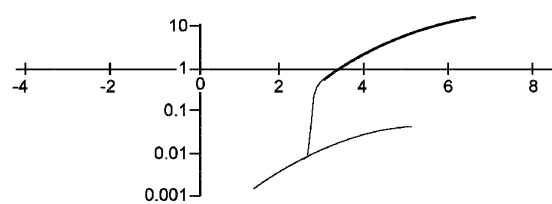


FIG. 21

【図 22】

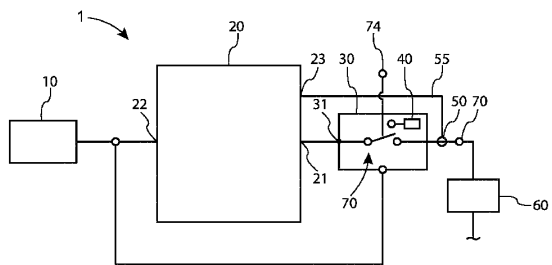


FIG. 22

【図 23】

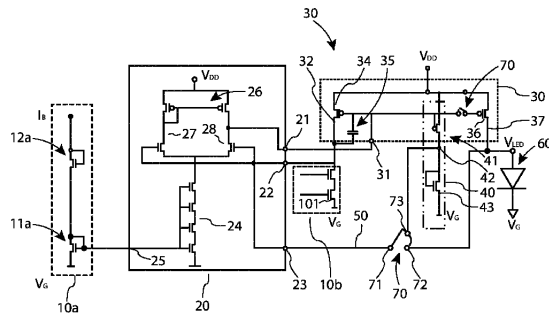


FIG. 23

【図 24】

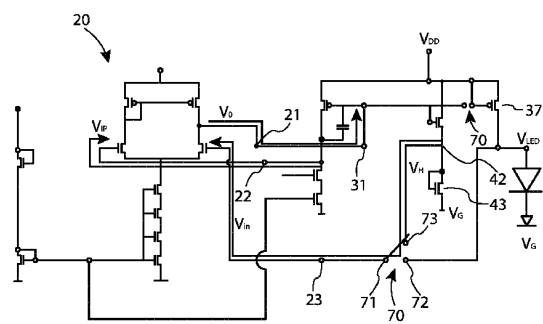


FIG. 24

【図 25】

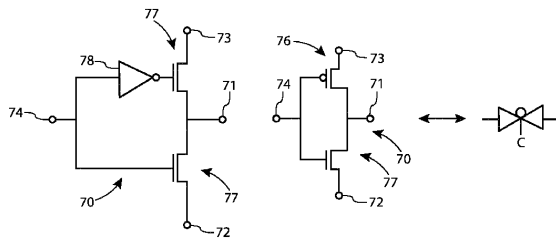


FIG. 25

【圖 26】

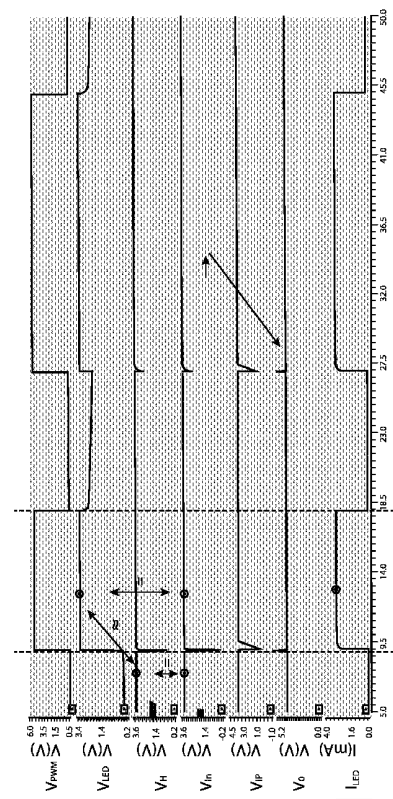


FIG. 26

【図 27】

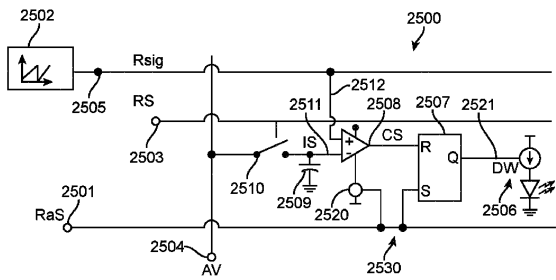


FIG. 27

【図 28】

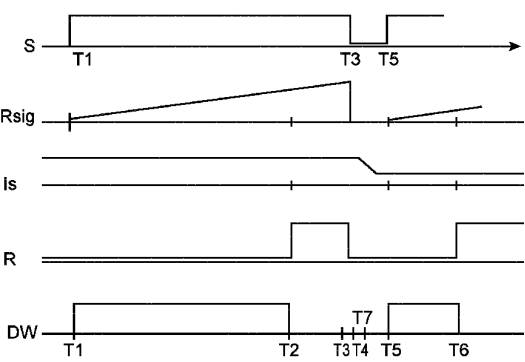


FIG. 28

【図 29】

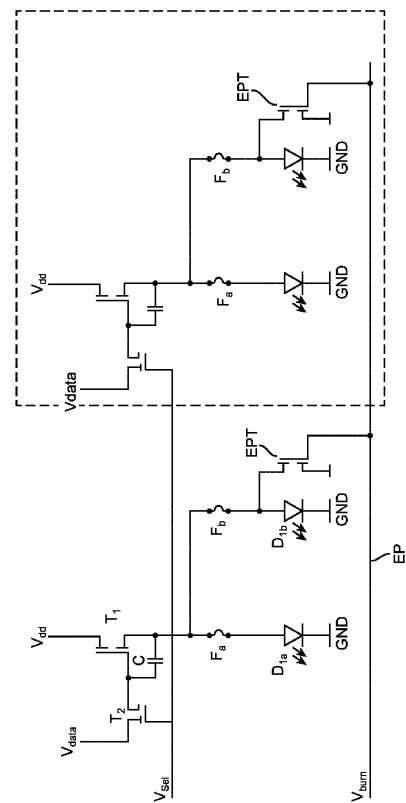


FIG. 29

【図 30】

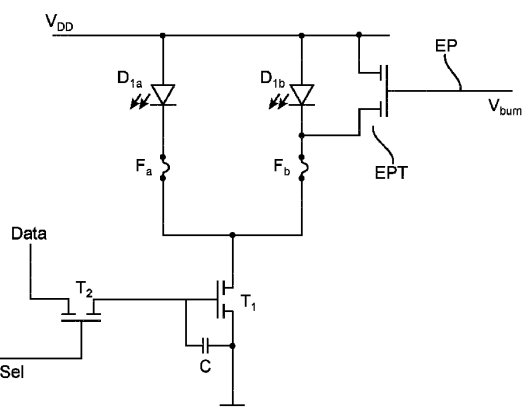


FIG. 30

10

20

30

40

50

【図 3 1】

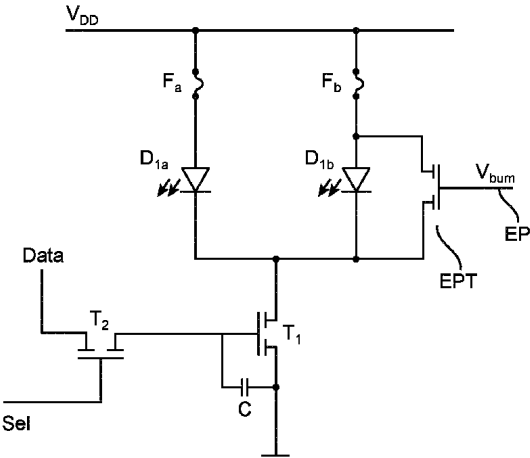


FIG. 31

【図 3 2】

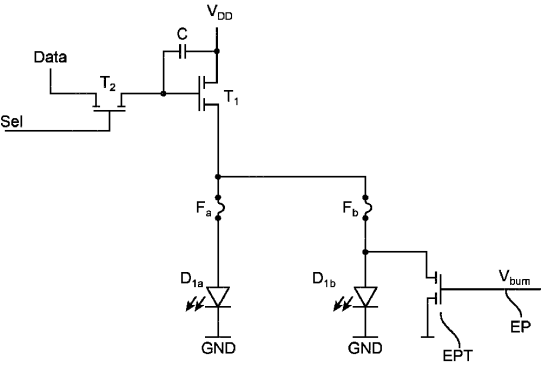


FIG. 32

10

【図 3 3】

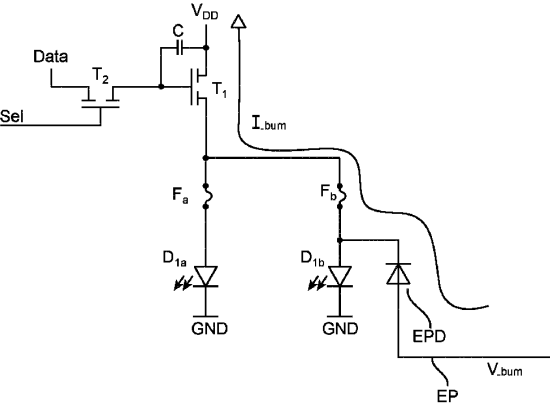


FIG. 33

【図 3 4】

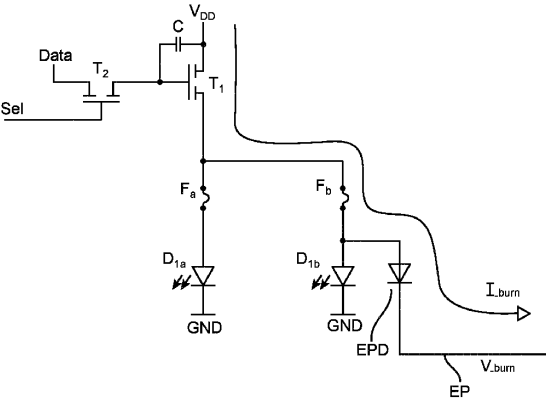


FIG. 34

30

40

50

【図 3 5】

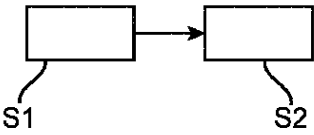


FIG. 35

【図 3 6 A】

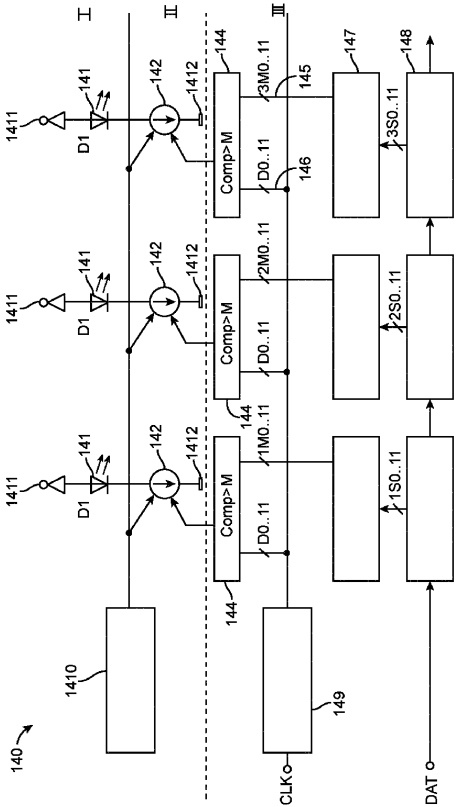
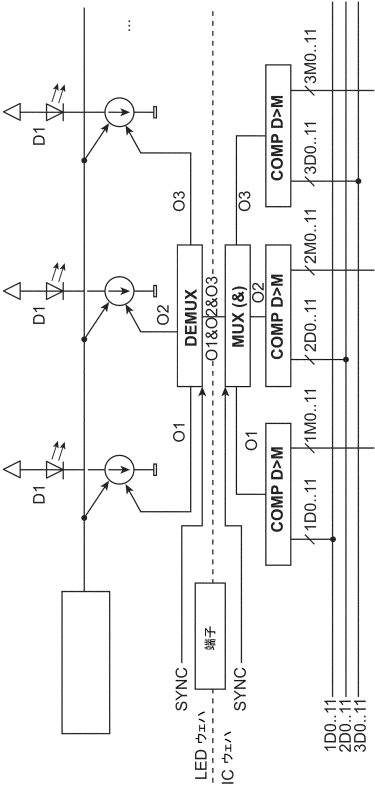


FIG. 36A

【図 3 6 B】



【図 3 6 C】

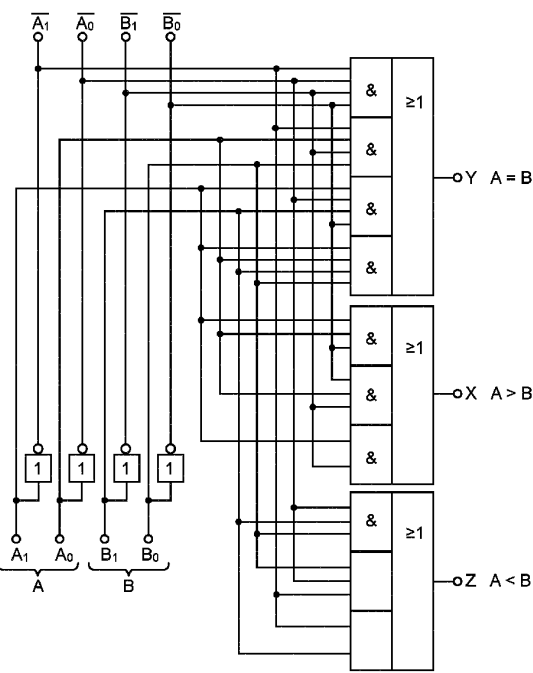


FIG. 36C

10

20

30

40

50

【図 3 6 D】

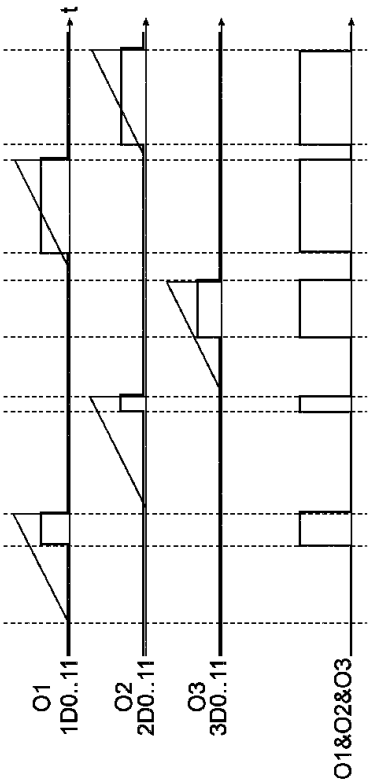


FIG. 36D

【図 3 7 A】

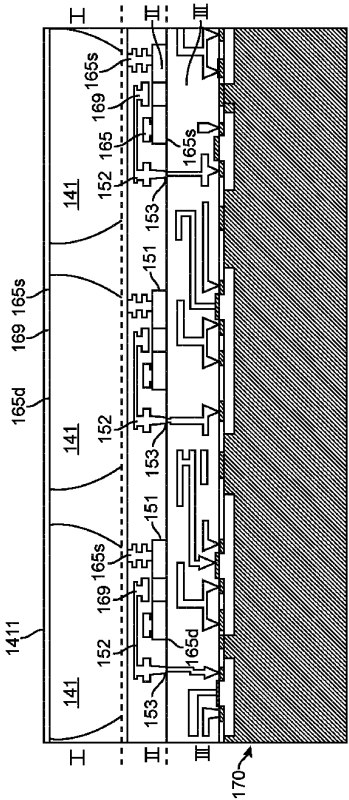
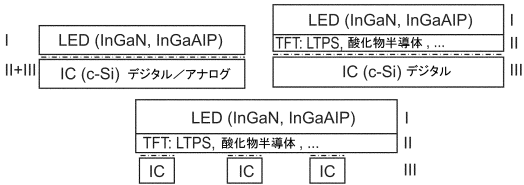
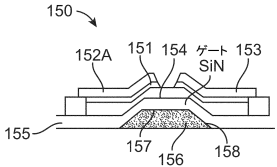


FIG. 37A

【図 3 7 B】



【図 3 8】



10

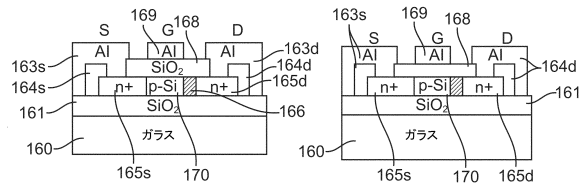
20

30

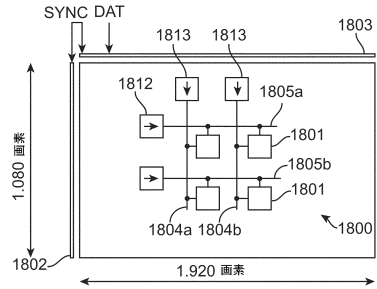
40

50

【図 3 9】



【図 4 0】



10

【図 4 1】

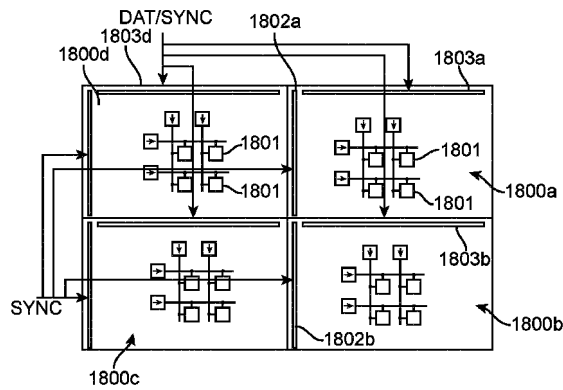


FIG. 41

【図 4 2】

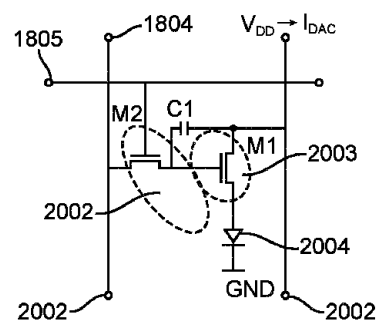
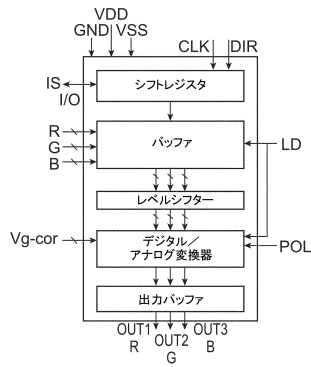


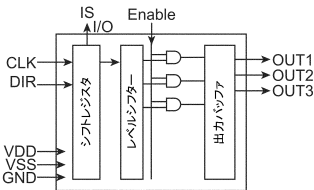
FIG. 42

20

【図 4 3】



【図 4 4】



30

40

50

フロントページの続き

(51)国際特許分類

F I

G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 8 0 G
H 0 1 L	33/00	J

(33)優先権主張国・地域又は機関

デンマーク(DK)

(31)優先権主張番号 102019102509.5

(32)優先日 平成31年1月31日(2019.1.31)

(33)優先権主張国・地域又は機関

ドイツ(DE)

(31)優先権主張番号 102019110497.1

(32)優先日 平成31年4月23日(2019.4.23)

(33)優先権主張国・地域又は機関

ドイツ(DE)

(31)優先権主張番号 102019112124.8

(32)優先日 令和1年5月9日(2019.5.9)

(33)優先権主張国・地域又は機関

ドイツ(DE)

(31)優先権主張番号 102019115479.0

(32)優先日 令和1年6月7日(2019.6.7)

(33)優先権主張国・地域又は機関

ドイツ(DE)

(31)優先権主張番号 62/937,552

(32)優先日 令和1年11月19日(2019.11.19)

(33)優先権主張国・地域又は機関

米国(US)

(31)優先権主張番号 PCT/EP2020/052191

(32)優先日 令和2年1月29日(2020.1.29)

(33)優先権主張国・地域又は機関

欧州特許庁(EP)

弁理士 森田 拓

(74)代理人 100116403

弁理士 前川 純一

(74)代理人 100134315

弁理士 永島 秀郎

(74)代理人 100162880

弁理士 上島 類

(72)発明者 トルステン バオムハインリッヒ

ドイツ連邦共和国 アルトドルフ ヘーフェンシュトラッセ 7アー

(72)発明者 ジャンージャック ドロレ

ドイツ連邦共和国 オーバートラウブリング エアレンリング 1

(72)発明者 フーベアト ハルブリッター

ドイツ連邦共和国 ディートフルトーテーギング アム アーツベアク 3

(72)発明者 イェンス リヒター

ドイツ連邦共和国 ヘーマウ ユーラシュトラッセ 12

(72)発明者 ポール ター

アメリカ合衆国 カリフォルニア フリーモント ウィンディング・ビスタ・コモン 3224

-
- (72)発明者 キリアン レーガウ
 ドイツ連邦共和国 レーゲンスブルク エルプブリンツーフランツヨーゼフシュートラーク 18
- (72)発明者 クリストファー ゼル
 ドイツ連邦共和国 ファイツブロン ケーニヒスベアガー・シュートラーク 6
- (72)発明者 ホア ヴー
 アメリカ合衆国 カリフォルニア ミルピタス アリソル・コート 868
- (72)発明者 バトリック ヘルナー
 ドイツ連邦共和国 レーゲンスブルク レガーシュートラーク 8アー
- (72)発明者 ジョン パーク
 アメリカ合衆国 カリフォルニア サニーヴェール カスケード・ドライブ 981
- (72)発明者 カニシュク チャンド
 アメリカ合衆国 カリフォルニア サンタ・クララ サラトガ・アベニュー 444
- 審査官 村上 遼太
- (56)参考文献 特開2007-324416 (JP, A)
 特開2013-200327 (JP, A)
 特開2018-141955 (JP, A)
 特開2012-164746 (JP, A)
 特開2016-212418 (JP, A)
 米国特許出願公開第2014/0265887 (US, A1)
 米国特許出願公開第2015/0207399 (US, A1)
 米国特許出願公開第2017/0086268 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
 G05B1/00-7/04
 11/00-13/04
 17/00-17/02
 21/00-21/02
 G05F1/00-7/00
 G09F9/00-9/46
 G09G3/00-5/42
 H01L33/00-33/46
 H05B39/00-39/10
 45/00-45/59
 47/00-47/29
 H10K50/00-99/00