# (19)대한민국특허청(KR)
# (12) 공개특허공보(A)

(51) 。Int. Cl.$^7$
H01L 29/786
H01L 51/20
H01L 21/336

(11) 공개번호 10-2004-0105251
(43) 공개일자 2004년12월14일

(21) 출원번호 10-2004-7017661
(22) 출원일자 2004년11월02일
번역문 제출일자 2004년11월02일
(86) 국제출원번호 PCT/US2003/012022
(86) 국제출원출원일자 2003년04월17일
(87) 국제공개번호 WO 2003/094219
(87) 국제공개일자 2003년11월13일

(30) 우선권주장 10/137,562 2002년05월02일 미국(US)

(71) 출원인 쓰리엠 이노베이티브 프로퍼티즈 컴파니
미국 55133-3427 미네소타주 세인트 폴 피.오.박스 33427

(72) 발명자 씨스,스티븐디.
미국 55133-3427 미네소타주 세인트 폴 포스트 오피스 박스 33427

보드,폴에프.
미국 55133-3427 미네소타주 세인트 폴 포스트 오피스 박스 33427

하세,마이클에이.
미국 55133-3427 미네소타주 세인트 폴 포스트 오피스 박스 33427

씨스,실바케이.
미국 55133-3427 미네소타주 세인트 폴 포스트 오피스 박스 33427

(74) 대리인 주성민
백만기
이중희

심사청구 : 없음

## (54) 트랜지스터의 제조 방법

## 요약

정적 섀도우 마스크의 단일 어퍼처를 통하여 기판에 소스 전극 및 드레인 전극 형상물을 피착하는 단계를 포함하고, 상기 어퍼처는 적어도 두개의 대향 모서리를 가지며, 상기 형상물들의 형상이 상기 어퍼처, 그리고 상기 기판에 대한 소스 재료들의 위치에 위해 규정되는 트랜지스터 제조방법.

## 대표도

도 1

## 색인어

트랜지스터, 섀도우 마스크, 어퍼처

# 명세서

## 기술분야

본 발명은 섀도우 마스크를 이용하여 트랜지스터를 제조하는 방법에 관한 것이다. 다른 측면으로, 본 발명은 섀도우 마스크를 포함하는 트랜지스터에 관한 것이다.

## 배경기술

전통적으로, 트랜지스터와 회로를 패터닝하는데 사진석판술을 이용해왔다. 그러나, 사진석판술을 이용하는 것은 저비용으로, 넓은 면적에 적용하는 경우에는 바람직하지 못하다. 왜냐하면 상대적으로 비용이 높기 때문이다. 따라서, 저비용 패터닝 기술을 발전시키기 위한 노력이 증대되고 있다. 인쇄 방법과 기계적 섀도우 마스크 사용을 포함한 다양한 패터닝 기술이 저비용, 및 넓은 면적에의 적용을 위해서 제안되어 왔다. 그러나, 이러한 방법들은 문제가 있을 수가 있다.

기존의 기계적 섀도우 마스크 기술은 전형적으로 미리정해진/미리형성된 마스크 레벨 시스템이다. 각 마스크 레벨은 이전층과 정렬될 수 있도록 정확하게 위치되어야 한다. 웹 처리식(web-handled) 기판위에, 요구되는 수준의 정확도(일반적으로 약 5 ㎛) 이내로, 강성 섀도우 마스크들을 정확하게 위치 맞춤시키는 것은 저비용의 높은 처리량 환경에서 어려울 수 있다.

또한, 처리 조건과 기판 재료에 따라, 트랜지스터 기판이 처리가 진행되는 동안 팽창 또는 수축될 수 있다. 만약 기판의 크기가 어떤 임계값 이상으로 변화되면, 이어지는 섀도우 마스크 레벨은 이미 기판위의 것들과 더 이상 위치 정렬될 수 없다. 동적 패터닝 공정을 이용하거나, 강성 섀도우 마스크에 더 큰 허용 오차를 갖도록 설계하여, 이 문제를 해결할 수도 있으나, 이상적인 해법은 아니다. 동적 패터닝 공정은 비용이 높고 느리며, 설계 허용 오차를 크게 하는 것은 궁극적으로 회로의 성능을 저하시킬 수 있다.

## 발명의 상세한 설명

상술한 관점에 비추어, 본 발명자는 저비용으로 다단 레벨을 정렬하는 어려움을 극복할 수 있고 넓은 면적에 적용할 수 있는 경제적인 트랜지스터 패터닝 방법이 필요함을 인식하였다. 또한, 본 발명자는 처리 중에 기판과 동시에 섀도우 마스크를 변형시키는 것이 이로울 것이라고 인식하였다.

간략히 설명하자면, 본 발명의 일 측면에 따르면, 정적(stationary) 섀도우 마스크(즉, 기판에 대해서 변동이 없는 섀도우 마스크)를 사용하는 트랜지스터를 패터닝하는 방법이 제공된다. 상기 방법은 정적 섀도우 마스크의 단일 어퍼처를 통하여 기판에(즉, 기판에 직접적으로, 또는 기판상의 다른 형상물(feature) 또는 층에)에 소스 전극 및 드레인 전극 형상물을 피착하는 단계를 포함하고, 상기 어퍼처는 적어도 두개의 대향 모서리를 가지며, 상기 형상물들의 형상은 상기 어퍼처, 그리고 상기 기판에 관련하는 소스 재료들의 위치에 의해 규정된다. 바람직하게는, 섀도우 마스크는 영구적으로 기판에 부착된다. 더 바람직하게는, 섀도우 마스크가 영구적으로 기판에 부착되고 기판 재료의 탄성계수 보다 더 낮은 탄성계수를 갖는 재료로 만들어진다.

상기 방법에서, 각 층을 규정하는데 단일 섀도우 마스크를 사용하므로써, 트랜지스터 형상 층이 잘못 위치정렬(misregistration)되는 문제를 피할 수 있다는 것이 발견되었다. 웹 처리식 기판위에서, 각 트랜지스터를 규정하기 위해, 단일 섀도우 마스크를 사용하는 것은 필요한 정렬 단계수를 감소시키는 결과를 가져오므로, 생산 효율을 증가시킨다. 또한, 본 발명의 적어도 몇몇 방법들은 영구적으로 부착된 섀도우 마스크를 사용하는 패터닝(patterning) 기술을 제공한다. 이런 섀도우 마스크는 기판과 동시에 변형되기 때문에 처리 도중에 기판의 수축이나 팽창으로 인한 문제들에 민감하지 않다.

그러므로, 본 발명의 방법적인 측면들은 다중 형상물 레벨을 정렬하는 어려움을 해소하는, 저비용이며 넓은 면적에 적용되는 트랜지스터를 패터닝하는 경제적인 방법을 위한 기술적인 요구들을 만족시켜 준다.

본 발명의 다른 측면에 따르면, 금속 산화물 반도체(CMOS)소자와 같은 상보성 트랜지스터 회로 소자에서 사용하기 위해서, n-채널과 p-채널 상보성 반도체 재료를 서로 인접하게 피착하는 방법이 제공된다. 상기 방법은 기판에 게이

트 전극, 게이트 유전체, 소스 전극과 드레인 전극 형상물을 형성하고, 제 1 반도체 재료와 제 2 반도체 재료를 정적 섀도우 마스크의 단일 어퍼처를 통해서 피착하는 단계를 포함한다. 이때 반도체 재료들 각각의 적어도 한 부분은 다른 반도체 재료와 겹치지 않도록 어퍼처는 최소한 두개의 대향 모서리를 가진다. 상기 방법은 다중 마스크를 사용하는 트랜지스터들의 다중 형상물 레벨의 정렬과 관련하여 발생되는 어려 움을 해소한다.

또한, 본 발명의 다른 일 측면에 따르면, 기판에 영구적으로 부착된 섀도우 마스크를 포함하는 트랜지스터를 구비한 제품과, 그 제품을 포함하는 장치가 제공된다.

## 도면의 간단한 설명

도1은 본 발명의 실시예를 도시한 개략도.

도2a 내지 도2c는 영구 부착된 섀도우 마스크를 사용한 전극 형상물의 경사 피착을 도시한 대표적인 순서도.

도3a 및 도3b는 CMOS 회로 설계에서 사용하기 위해 서로 인접한 상보성 반도체의 피착을 허용하는 본 발명의 실시예를 도시한 개략도.

도4는 제거 가능한 섀도우 마스크를 갖는 본 발명의 실시예를 도시한 개략도.

## 실시예

트랜지스터를 제조하기 위한 본 발명의 방법은, 정적 섀도우 마스크의 단일 어퍼처(aperture)를 통해서 기판상에 트랜지스터 형상물을 피착하는 단계를 포함한다. 특히, 유용한 형태의 트랜지스터 장치인, 박막 트랜지스터(TFT)는 일반적으로 게이트 전극 형상물, 게이트 전극 형상물에 인접한 게이트 유전체 형상물, 게이트 유전체 형상물에 인접한 소스 전극 및 드레인 전극 형상물, 및 게이트 유전체 형상물에 인접하고 소스와 드레인 전극 형상물에 인접한 반도체층을 포함하고 있다(예를 들어, S.M.Sze, Physics of Semiconductor Devices, 2nd edition, John Wiley and Sons, page 492, New York (1981) 참조). 도1에 도시된 바와 같이, 트랜지스터(10)는 본 발명에 따라, 소스 전극(12)과 드레인 전극(14)의 형상물을 섀도우 마스크(18)의 단일 어퍼처(16)를 통해서 기판(22)에 일정 각도로 유지된 피착 소스(20, 30)로부터 피착하여(즉, 경사 피착에 의해서) 제조될 수 있다. 또한, 트랜지스터의 게이트 전극(24)과 게이트 유전체(26)의 형상물, 및 반도체층(28)은 동일한 단일 어퍼처(16)를 통해서 피착시킬 수 있어서 트랜지스터 전체를 단일 섀도우 마스크를 사용하여 제조할 수 있다. 단일 섀도우 마스크를 이용하므로써, 다중 섀도우 마스크를 이용할 때 발생하는 트랜지스터의 다중 형상물 레벨을 정렬하는 어려움이 해소된다.

섀도우 마스크의 어퍼처 및 기판과 관련된 소스 재료의 위치가 트랜지스터 형상물의 형상을 규정한다. 바람직하게도, 어퍼처는 그것의 윗부분보다 바닥(즉, 기판에 인접한 어퍼처 부분)이 더 넓다. 만약, 시스템이 기하학적으로 적절하게 설계되어 있다면, 경사 증착에 의해서 피착된 소스 전극과 드레인 전극 형상물은 정밀하게 규정된 채널 길이만큼 분리될 것이다. 이때 채널 길이는 섀도우 마스크의 대향 모서리의 높이와 기판에 수직인 소스의 각도에 의해서 결정된다. 전형적으로, 섀도우 마스크의 대향 모서리는 거의 평행하고 거의 직선이다.

바람직하게는, 섀도우 마스크가 처리 도중에 기판과 동시에 변형되도록 하기 위해서 섀도우 마스크를 영구적으로 기판에 부착시킨다.

바람직하게는, 소스 전극과 드레인 전극 형상물은 일 이상의 소스로 부터 적층되며, 이들 소스는 기판에 대해서 일반적으로 직각이 아닌 한 각도 또는 각도들 을 갖고 위치하고 있으며, 소스 전극과 드레인 전극 형상물들은 이들 사이에 간격(또는 채널)을 갖고 형성된다. 전극 형상물의 각각의 피착 사이에 소스에 대해서 기판을 이동시킴으로써(예를 들어, 기판을 대략 180도 회전하면서), 소스와 드레인 전극 형상물들이 단일 소스로부터 피착될 수도 있다. 일반적으로 사실상 기판은 기판의 평면내에서 움직이지만, 정확하게 기판의 평면내부에 있어야 할 필요는 없다. 이와 달리, 소스와 드레인 전극 형상물은 어퍼처의 양쪽에 위치한 별도의 소스들로부터 피착될 수 있다.

전형적으로, 소스 전극과 드레인 전극 형상물은 약 5에서 50 ㎛(바람직하게는, 약 5에서 20 ㎛) 길이의 채널에 의해 서로 분리되도록 피착시킨다. 게이트 유전체 형상물은 기판에서 서로 다른 각도 또는 서로 다른 거리에 있는 소스를 사용하므로써 게이트 전극 형상물에 의해 커버되는 영역과는 다른(예를 들면, 더 큰) 영역 상에 피착될 수 있다. 바람직하게는, 소스와 드레인 전극, 그리고 게이트 전극 사이의 단락을 방지하기 위해서 게이트 유전체 형상물이 게이트 전극 형상물을 완전히 커버한다. 이것은 게이트 유전체 형상물용 소스를 게이트 전극 형상물용 소스보다 기판에 더 가깝게 위치시키므로써 성취될 수 있다.

영구 섀도우 마스크를 제조하기 위한 대표적인 처리 공정에서, 후막의 건식 또는 습식 감광제가 트렌지스터 기판에 도포되어, 사진석판술로 패터닝된다. 만약 단일 소스가 사용된다면, 기판은 회전 고정물에 고정될 수 있다. 도2a에서와 같이, 게이트 전극 형상물(24), 유전체 형상물(26), 그리고 선택적으로 반도체 층(28)(미도시)이 기판(22)에 수직인 소스(20)로부터 피착될 수 있다. 소스 전극 (12)과 드레인 전극(14)의 형상물은 기판에 대해 고정된 각도를 갖는 소스(30)에 의해서 피착된다. 소스 전극 형상물(12)(또는 드레인 전극 형상물(14))이 피착된 이후, 도2b에 도시된 바와 같이, 셔터가 닫혀지고, 기판은 180도 회전되고, 도2c에 도시된 바와 같이, 셔터가 열리고, 다른 전극 형상물이 피착된다. 이와 달리, 소스 전극 형상물과 드레인 전극 형상물이 어퍼처의 양쪽에 있는 별개의 소스로부터 피착될 수 있다.

상기한 방법으로 제조된 복수의 트랜지스터는 단일 기판에 피착될 수 있다. 복수의 트랜지스터들을 연결시켜 회로를 형성하도록 할 수 있다. 트랜지스터를 패터닝하기에 앞서 장치들간의 상호 연결부가 패터닝될 수도 있다.

본 발명의 또 다른 실시예는 CMOS 회로 설계에서 사용하기 위해 서로 이웃하는 P-채널과 n-채널 상보적 반도체의 피착을 허용한다. 게이트 전극 형상물(24), 게이트 유전체 형상물(26) 그리고 소스 전극(12)과 드레인 전극(14)의 형상물은, 도3a에 도시된 바와 같이, 이 분야에서 알려진 표준 방법을 사용하여 패터닝 될 수 있다. 상보적 반도체 재료(즉, 제 1 반도체층(32)과 제 2 반도체층(34))는 도3b에 도시된 바와 같이, 각 반도체 형상물에서 적어도 한 부분이 다른 반도체 형상물과 중첩되지 않도록 반도체 형상물을 형성하기 위해서 섀도우 마스크(18)의 단일 어퍼처를 통해서 경사진 소스(30)로부터 피착된다. 이 어퍼처는 적어도 두개의 양쪽 모서리를 가진다. 피착 소스는 기판과 일정한 각도를 유지하고 있고, 따라서 피착된 서로 다른 반도체 재료가 중앙에서 중첩되지 않는다.

본 발명의 또 다른 실시예로서, 도4에 도시된 바와 같이, 트랜지스터(10)의 형상물을 패터닝하기 위해서 제거 가능한 섀도우 마스크(40)가 사용된다. 바람직하게는, 제거 가능한 섀도우 마스크를 재사용할 수 있다. 제거 가능한 섀도우 마스크를 사용하는 것은, 실질적으로 평평한 기판을 가능하게 하고(형상물을 피착한 후에 마스크를 제거), 이는 어떤 면에서 섀도우 마스크가 기판에 부착된 채로 남아 있는 것 보다, 차후의 처리 단계에서 사용하기에 더 용이하다.

트랜지스터를 포함하는 다양한 전자 장치들은 본 발명의 방법으로 제조된 트랜지스터를 사용하여 제조할 수 있다. 이들 제품은 게이트 전극, 게이트 유전체, 소스 전극 및 드레인 전극 형상물, 반도체층, 기판, 및 기판에 영구 부착된 섀도우 마스크를 포함할 수 있다. 섀도우 마스크는 어퍼처를 포함하며, 이 어퍼처는 상부 보다는 바닥부가 더 넓은 것이 바람직하다. 소스와 드레인 전극 형상물은 반도체층의 위나 아래쪽에 있을 수 있다. 그러나, 반도체층의 상부에 있는 것이 바람직하다.

게이트 유전체 형상물이 게이트 전극 형상물에 의해서 커버되는 면적보다 더 넓은 면적을 커버하는 것이 바람직하다. 이는 유전체 형상물용 소스를 게이트 전극 형상물용 소스보다 기판에 더 가깝게 위치시켜서 성취할 수 있다. 게이트 유전체 형상물이 게이트 전극 형상물을 완전히 커버하는 것이 바람직하다.

다른 일 실시예로서, 상기 제품은 게이트 전극, 게이트 유전체, 소스 전극 및 드레인 전극 형상물, 제 1 반도체 형상물, 제 2 반도체 형상물, 기판, 및 어퍼처를 구비하는 영구 부착된 섀도우 마스크를 가질 수 있다. 본 실시예에서, 상기 반도체 형상물의 적어도 일 부분은 다른 반도체 형상물과 중첩되지 않는다.

본 발명의 제품들은 여러 가지 전자 시스템 뿐만 아니라, 통합 섀도우 마스크를 갖는 다수의 트랜지스터를 구비하는 집적 회로에서 사용될 수 있다. 예를 들면, 이런 시스템들은 무선 주파수 인식(RFID) 태그(예를 들면, K. Finkenzeller, RFID Handbook , John Wiley and Sons, New York(1999)에 기술되어 있음), 센서 장치, 디스플레이 장치(예를 들면, S.Sherr, Electronic Displays , John Wiley and Sons, pp. 201-340, New York (1993)에 기술되어 있음) 등을 포함한다.

섀도우 마스크

상기 트랜지스터 형상물은 정적 섀도우 마스크의 단일 어퍼처를 통해서 피착된다. 어퍼처는 적어도 두개의 대향 모서리를 가지고 있다. 이 방법에 사용하기에 적합한 섀도우 마스크는, 트랜지스터를 제조하기 전에 트랜지스터 기판위에 (부품으로써) 영구 부착되거나 또는 구성될 수 있다. 그런 섀도우 마스크는 습식 또는 건식 필름 포토레지스트를 포함한 포토레지스트를 포함할 수 있고, 일반적인 사진석판술로 만들어질 수 있다(예를 들면, B.El-Kareh, Fundamentals of Semiconductor Processing Technologies, Kluwer Academic Publishers, pp.169-252, Boston(1995) 에 기술됨). 건식 필름 포토레지스트는 롤러로 도포될 수 있다. 이와 달리, 섀도우 마스크는 제거 가능하다. 바람직하게는, 제거 가능한 섀도우 마스크 역시 재사용 가능하다. 제거 가능한 섀도우 마스크를 만드는데 적당한 재료로는, 실리콘과 같은 결정 재료, 구리와 강과 같은 금속재료, 그리고 폴리이미드, 폴리에스테르, 폴리스틸렌, 폴리메틸메타아크릴레이트, 폴리카보네이트 또는 그들의 결합체를 포함하는 것 등의 중합물질이 포함될 수 있다. 통상적으로, 제거 가능한 섀도우 마 스크는, 마스크를 형성하는 재료를 그대로 두면서 어퍼처가 위치될 곳에서 재료를 제거하므로써 만들어 질 수 있다. 제거 가능한 섀도우 마스크는 일반적인 가공, 정밀 가공, 다이아몬드 가공, 레이저 절단, 또는 (전형적으로 사진

석판술로 정의되는) 화학적 또는 플라즈마 또는 이온 빔 에칭을 포함한 여러 가지 기술로 패터닝될 수 있다. 전자 방출 또는 스파크-침식 가공으로 불리는, 전기 방전가공(EDM)은 섀도우 마스크를 만드는데 이용될 수 있는 널리 알려진 기술이다. EDM은 전극 도구(예를 들면, 전선)와 가공대상물 사이에 아크를 형성하는 전기적 방전 경로상에 있는 재료를 침식가공한다.

결정재료(예를 들면, 실리콘, 게르마늄 또는 갈륨 아세나이드)의 웨이퍼들은 경사 증착을 위한, 제거 가능하고, 재사용할 수 있는 마스크를 만드는데 매우 적합하다. 적당한 두께(예를 들면, 약 100에서 200 ㎛)를 갖고, 양면이 연마된 실리콘 웨이퍼가 폭넓게 이용 가능하다. 섀도우 마스크는 사진석판술과 에칭(예를 들면, B. EL-Kareh, Fundamentals of Semiconductor Processing Technologies, Kluwer Academic Publisher, pp.169-252, Boston(1995)에 기술됨)을 포함한 널리 알려진 공정으로 제조될 수 있다. 어퍼처의 패턴은 이방성 습식 화학 에칭(예를 들면, Marc Madou , Fundamentals of Microfabrication, CRC Press, pp. 168-176(1997)에 기술됨)이나 또는 이방성 이온 에칭(예를 들면, 미국 특허 제 5,501,893호 참조)을 포함한 어떤 적절한 방법으로 웨이퍼를 통해서 에칭될 수 있다.

## 기판

기판은 일반적으로 제조, 시험 및/또는 사용되는 동안 트랜지스터를 지지한다. 선택적으로, 기판은 트랜지스터에 대한 전기적 기능을 제공할 수도 있다. 유용한 기판 재료는 유기 및 무기 재료들을 포함한다. 예를 들면, 기판은 무기 유리, 세라믹 포일, 중합 재료(예를 들면, 아크릴, 에폭시, 폴리아미드, 폴리카보네이트, 폴리이미드, 폴리케톤, 폴리(옥시-1, 4-페놀린옥시-1, 4-페닐린카르보닐-1, 4-페놀린)(종종 폴리(에테르 에테르 케톤) 또는 PEEK로 언급됨), 폴리노보넨, 폴리페닐렌옥사이드, 폴리(에틸렌 나프탈렌디카르복시레이트)(PEN), 폴리(에틸렌 테레프탈레이트)(PET), 폴리(페닐렌설파이트(PPS)), 채워진 중합 재료(예를 들면, 섬유 강화 플라스틱(FRP)), 및 코팅된 금속 포일을 포함할 수 있다. 바람직하게는, 기판은 가요성일 수 있다.(즉, 지름 1미터 이하의 롤에 감겨질 수 있다)

## 게이트 전극 형상물

게이트 전극 형상물은 모든 유용한 전기도체로 만들어질 수 있다. 예를 들어, 게이트 전극 형상물은 도핑된 실리콘(doped silicon), 또는 알루미늄, 크롬, 금, 은, 니켈, 팔라듐, 백금, 탄탈륨 또는 티타늄과 같은 금속을 포함할 수 있다. 전도성 폴리머도 역시 이용될 수 있는데, 예를 들면 폴리아닐린 또는 폴리(3,4-에틸렌디옥시티오펜)/폴리(스틸렌 설포네이트)(PEDOT:PSS)이 있다. 또한, 합금, 결합체 및 이런 재료들로 된 다층재료들도 사용될 수 있다. 어떤 트랜지스터에서는, 동일한 재료가 게이트 전극 기능을 제공하면서 또한 기판을 지지하는 기능을 제공할 수도 있다. 예를 들면, 도핑된 실리콘은 게이트 전극 형상물과 트랜지스터의 지지체의 양쪽 역할을 모두 하도록 이용될 수 있다.

## 게이트 유전체 형상물

게이트 유전체 형상물은 일반적으로 게이트 전극 형상물에 인접하여 위치한다. 이 게이트 유전체 형상물은 트랜지스터 장치의 밸런스(balance)로부터 게이트 전극 형상물을 전기적으로 절연한다. 예를 들면, 게이트 유전체 형상물로 유용한 재료들로는 무기 전기 절연 재료들이 포함된다.

게이트 유전체 형상물로 유용한 재료들의 구체적 예들로는, 스트론티에이트, 탄탈레이트, 티타네이트, 지르코네이트, 알루미늄 산화물, 실리콘 산화물, 탄탈 산화물, 티타늄 산화물, 실리콘 질화물, 바륨 티타네이트, 바륨 스트론튬 티타네이드, 바륨 지르코네이트 티타네이트, 아연 셀레나이드와 아연 황화물을 포함한다. 또한, 합급, 결합물, 및 이런 재료들의 다층도 게이트 유전체 형상물로 사용될 수 있다.

## 소스 전극과 드레인 전극 형상물

소스 전극과 드레인 전극 형상물은 게이트 유전체 형상물에 의해서 게이트 전극 형상물과 분리되어 있는 한편, 반도체층은 소스 전극과 드레인 전극 형상물의 상부 또는 하부에 위치할 수 있다. 소스 전극과 드레인 전극 형상물로 어떤 전도체도 사용될 수 있다. 사용가능한 재료로는 상기 게이트 전극 형상물 재료들 대부분이 포함될 수 있다. 예를 들면, 알루미늄, 바륨, 칼슘, 크롬, 금, 은, 니켈, 팔라듐, 백금, 티타늄, 폴리아닐린, PEDOT:PSS, 다른 도전 폴리머, 이들의 합금, 이들의 결합체, 그리고 이들의 다층이 포함된다. 이 분야에서 알려진 바와 같이, 이들 재료들 중의 어떤 것은 전자 전도 반도체 재료(electron-conducting semiconductor materials)로 사용되는데 적당하고, 다른 것들은 정공 전도 반도체 재료(hole-conducting semiconductor materials)로 사용되기에 적절하다.

## 반도체층

반도체층은 유기 또는 무기 반도체 재료를 포함할 수 있다. 유용한 무기 반도체 재료에는 비정질 실리콘, 카드뮴 설파이드, 카드뮴 셀레나이드, 및 텔레륨이 포함된다. 유용한 유기 반도체 재료에는 아센과 그들의 치환 유도체들이 있다. 특별한 예로서 안트라센, 나프탈렌, 테트라센, 펜타센 그리고 치환 펜타신 (바람직하기는, 펜타신 또는 치환 펜타신)

이 포함된다. 다른 예로서는 반도전성 폴리머, 페리린, 풀레린, 프탈로시아닌, 올리고시오펜, 및 이들의 치환 유도체들이 포함된다.

아센의 치환 유도체들은 적어도 한개의 전자 공여 그룹(electron-donating group), 할로게 원자, 또는 그들의 결합체로 치환된 아센, 또는 적어도 한개의 전자 공여 그룹, 할로겐 원자, 또는 그들의 결합체로 치환된 벤조 어닐레이티드 아센 또는 폴리벤조-어닐레이티드 아센이 있다. 전자 공여 그룹은 1 내지 24개의 탄소원자를 갖는 알킬, 알콕시, 또는 티오알콕시 그룹에서 선택된다. 우선적이나 제한없는 알킬(alkyl) 그룹의 예들에는 메틸, 에틸, n-프로필, 이소프로필, n-부틸, sec-부틸, n-펜틸, n-헥실, n-헵틸, 2-메틸헥실, 2-에틸헥실, n-옥틸, n-노닐, n-데실, n-도데실, n-옥타데실, 그리고 3,5,5-트리메틸헥실이 있다.

치환 펜타신과 그것들을 만드는 방법은 2001년 9월 26일자 출원되어 계속중인 미국 특허 출원번호 제09/966,954호 및 제09/966,961호에 기술되어 있다.

벤조-어널레이티드 아센과 폴리벤조-어널레이티드에 대한 더 자세한 내용은, 예를 들면, 이 분야의 NIST 특별판 922 '폴리사이클릭 아로마틱 하이드로 카아본 스트러쳐 인덱스'('Polycyclic Aromatic Hydrocarbon Structure Index', U.S. Govt. Printing Office, by Sander and Wise(1997))에서 찾아 볼 수 있다.

반도체층이, 예를 들어, CMOS 회로 설계에서 제 1 반도체 재료와 제 2 반도체 재료를 포함하면, 두 반도체 재료들이 무기성이거나, 또는 반도체 재료들 중에서 적어도 하나(또는 둘다)는 유기성일 수도 있다(예로써, 미국 특허 제5,625,199호를 참조). CMOS 회로 설계를 위한 유용한 재료로는 상기 반도체 재료들이 포함된다. 바람직하게는, 반도체 재료들 중 적어도 하나는 펜타신, 치환 펜타신, 또는 비정질 실리콘을 포함하며, 보다 바람직하게는, 한 반도체 재료는 비정질 실리콘이고 다른 반도체 재료는 펜타신이나 치환 펜타신이다.

## 실시예

본 발명의 목적과 장점은 다음의 실시예에서 더욱 예시된다. 그러나 이들 실시예에 열거된 특정 재료 및 그 양, 그리고 다른 조건과 상세한 내용들은 본 발명을 부당하게 한정하는 것으로 해석되어서는 않된다.

어퍼처를 규정하는 일련의 리브(ribs)를 가지고 있는 섀도우 마스크는 건식 필름 포토레지스트를 사용하여 준비하였다. 섀도우 마스크 리브의 준비는 열적으로 산화된 실리콘 웨이퍼에 두층의 100 ㎛ 건식 필름 포토레지스트(Shipley Laminar 5040, Shipley Company, L.L.C. 455 Forest Street, Marlborough, MA사 제품)를 피착하고, 적절한 리소그래피 마스크를 통해서 포토레지스트를 UV에 노출시 키는 것으로 구성된다. 노출된 포토레지스트는 제조회사의 시방서 대로 처리하였다. 최종 리브(rib)의 높이와 폭은 각각 약 190 과 135 ㎛ 이고, 리브의 중간에서 중간사이의 간격은 약 300 ㎛ 이다.

섀도우 마스크는 기판위에 형성하였다. 기판은 실리콘 결정 <100>배향 실리콘 웨이퍼(Silicon Valley Microelectronics, San Jose, California 에서 입수)의 실리콘 산화물면으로 구성되었는데, 앞면에서는 1000Å 두께의 고온 열적 실리콘 산화물을, 그리고 웨이퍼의 뒷면에는 5000Å 두께의 증착된 알루미늄 금속층이 있다. 1mm의 선과 간격을 가진 금속-포일 마스크를 리브(rib)에 수직한 선들을 갖는 건식 필름 섀도우 마스크의 상부에 위치시켜 독립된 트랜지스터를 구분하였다. 우선 한 전극 세트를 피착하고 마스킹된 웨이퍼를 180도 회전시키고 다른 전극 세트를 피착시키는 경사진 증착에 의해 소스와 드레인 전극(Au)을 마스킹된 웨이퍼의 실리콘 산화층 상에 피착시켰다. 소스와 드레인 전극 사이에 약 20 ㎛의 채널 길이가 구비될 수 있도록 각도가 정해진다. 생성된 샘플을 반도체층을 피착하기 전에, 시편은 상온에서 10분동안 헥사메틸디실라잔(HMDS)에 노출시겼다.

펜타신(Aldrich Chemical에서 입수)을 3단로(Thermolyne 79500 tube furnace, from Barnstead Thermolyne, Dubuque, Iowa)를 사용하여, 일정 유량의 질소 가스 분위기하의 감압 상태에서 정제시켰다. 정제된 펜타신을 진공상태(약 $10^{-6}$ Torr (또는 $1.33x10^{-4}$ Pa))에서 HMDS 처리된 샘플 표면(즉, 소스 및 드레인 전극과 이들 간의 간극)에 400Å의 두께로 피착시켰다. 이때 온도는 65°C로 유지하였다.

공통 게이트 전극으로 작용하는 알루미늄 층을 가지고 있는 생성된 박막 트랜지스터(TFTs)의 트랜지스터 성능을 이 분야에서 알려진 방법을 사용하여, 대기중의 상온에서 측정하였다. 예를 들면, 피직스 오브 세마이콘덕터(S.M. Sze, Physics of Semiconductor Devices, page 442, John Wiley amp; Sons, New York, 1981)에 게재된 측정 방법. 예를 들어, 0V에서 60V까지의 게이트-소스 바이어스 레벨에서, 드레인 전류 $I_D$ 대 드레인 전압 $V_D$ 를 도시하여 이 TFTs가 완전하게 기능한다는 것을 확인할 수 있었다. 반도체 파라미터 분석기(모델 4145A, Hewlett-Packard사 제품, San Jose, CA)를 사용하였다.

## 산업상 이용 가능성

본 발명은 정적 섀도우 마스크를 사용하는 트랜지스터를 패터닝하는 방법을 제공하여, 각 층을 구분하기 위한 단일 섀도우 마스크를 사용하므로써 생산 효율을 증가시킨다. 또한, 영구적으로 부착된 섀도우 마스크를 사용하는 패터닝 기술을 제공한다.

본 발명의 범위와 사상으로부터 벗어나지 않는 본 발명의 다양한 변형 및 개조가 본 기술 분야에서 숙련된 자들에게 명백해질 것이다. 본 발명은 본 명세서에서 기술한 예시적인 실시예 및 예에 의해 부당하게 제한되는 것을 의도하지 않는다고 이해되어야 하며 이러한 예 및 실시예들은 단지 본 발명의 범위 안의 예로서 나타나며 오직 특허 청구 범위에 의해서만 제한될 수 있다고 의도된다.

## (57) 청구의 범위

**청구항 1.**

트랜지스터 제조방법으로서, 정적 섀도우 마스크의 단일 어퍼처를 통하여 기판에 소스 전극 및 드레인 전극 형상물을 피착하는 단계를 포함하고, 상기 어퍼처는 적어도 두개의 대향 모서리를 가지며, 상기 형상물들의 형상이 상기 어퍼처, 그리고 상기 기판에 대한 소스 재료들의 위치에 위해 규정되는 제조방법.

**청구항 2.**

제1항에 있어서, 상기 기판이 가요성인 트랜지스터 제조방법.

**청구항 3.**

제1항에 있어서, 상기 섀도우 마스크는 제거할 수 있는 트랜지스터 제조방법.

**청구항 4.**

제3항에 있어서, 상기 제거할 수 있는 마스크는 재사용할 수 있는 트랜지스터 제조방법.

**청구항 5.**

제1항에 있어서, 상기 섀도우 마스크가 상기 기판에 영구적으로 부착되어 있는 트랜지스터 제조방법.

**청구항 6.**

제1항에 있어서, 상기 단일 어퍼처를 통하여 게이트 전극 및 게이트 유전 퍼처를 피착하는 단계를 더 구성하는 트랜지스터 제조방법.

**청구항 7.**

제1항에 있어서, 상기 단일 어퍼처를 통하여 반도체층을 피착하는 단계를 더 구성하는 트랜지스터 제조방법.

**청구항 8.**

제7항에 있어서, 상기 반도체층이 유기성인 트랜지스터 제조방법.

**청구항 9.**

제8항에 있어서, 상기 소스 전극 및 드레인 전극 형상물은 상기 반도체층의 상부에 피착되는 트랜지스터 제조방법.

**청구항 10.**

제8항에 있어서, 상기 반도체층이 펜타신 또는 치환 펜타신인 트랜지스터 제조방법.

**청구항 11.**

제7항에 있어서, 상기 반도체층이 무기성인 트랜지스터 제조방법.

**청구항 12.**

제11항에 있어서, 상기 반도체층이 비정질 실리콘을 구성하는 트랜지스터 제조방법.

**청구항 13.**

장치 제조방법으로서, 게이트 전극, 게이트 유전체, 소스 전극, 및 드레인 전극 형상물을 기판에 형성하는 단계와, 정적 섀도우 마스크의 단일 어퍼처를 통하여 제 1 반도체 물질 및 제 2 반도체 물질을 피착하는 단계를 포함하며, 상기 각 반도체 물질의 적어도 일부분이 다른 반도체 물질과 중첩하지 않도록 상기 어퍼처는 적어도 두개의 대향 모서리를 구비하고 있는 장치 제조방법.

**청구항 14.**

제13항에 있어서, 상기 기판이 가요성인 장치 제조방법.

**청구항 15.**

제13항에 있어서, 상기 제 1 반도체 물질과 상기 제 2 반도체 물질 둘 모두가 무기성인 장치 제조방법.

**청구항 16.**

제13항에 있어서, 상기 반도체 물질의 적어도 하나는 유기성인 장치 제조방법.

**청구항 17.**

제16항에 있어서, 상기 반도체 물질중의 하나는 펜타신 또는 치환 펜타신을 구성하는 장치 제조방법.

**청구항 18.**

제13항에 있어서, 상기 반도체의 적어도 하나는 비정질 실리콘을 구성하는 장치 제조방법.

**청구항 19.**

제13항에 있어서, 상기 제 1 반도체 물질이 비정질 실리콘이고, 상기 제 2 반도체 물질이 펜타신인 장치 제조방법.

**청구항 20.**

제1항에 있어서, 상기 소스 전극와 드레인 전극 형상물은, 상기 형상물들사이에 간격을 가지고 형성되도록, 상기 기판에 대하여 각도 또는 각도들을 가지고 위치된 일 이상의 소스로부터 피착되는 장치 제조방법.

**청구항 21.**

제20항에 있어서, 상기 소스 전극 및 드레인 전극 형상물이, 상기 각 전극 형상물사이의 소스에 대하여 상기 기판을 움직임으로써, 단일 소스로 부터 피착되는 장치 제조방법.

**청구항 22.**

제20항에 있어서, 상기 소스 전극과 드레인 전극 형상물이 상기 어퍼처의 양측에 위치된 개별 소스로부터 피착되는 장치 제조방법.

**청구항 23.**

제1항에 있어서, 상기 어퍼처는 그 상부보다 그 바닥이 더 넓은 장치 제조방법.

**청구항 24.**

제6항에 있어서, 상기 게이트 유전체 형상물은, 상기 유전체 형상물이 상기 게이트 전극 형상물에 의해 커버된 영역보다 더 넓은 영역을 커버하도록, 상기 기판에 상대적인 위치들에 위치된 일 이상의 소스로부터 피착되는 장치 제조방법.

**청구항 25.**

제1항에 있어서, 단일 기판에 다수의 트랜지스터가 피착되는 장치 제조방법.

**청구항 26.**

제25항에 있어서, 상기 다수의 트랜지스터를 연결하여 회로를 형성하는 단계를 더 구성하는 장치 제조방법.

**청구항 27.**

게이트 전극, 게이트 유전체, 소스 전극 및 드레인 전극 형상물, 반도체 층, 기판, 호 어퍼처를 구비하는 섀도우 마스크를 포함하는 제품으로서, 상기 섀도우 마스크는 상기 기판에 영구 부착되어 있고, 상기 소스 및 드레인 전극 형상물은 상기 어퍼처에 의해 규정되는 제품.

**청구항 28.**

제27항에 있어서, 상기 기판이 가요성인 제품.

**청구항 29.**

제27항에 있어서, 상기 반도체 층이 유기성인 제품.

**청구항 30.**

제27항에 있어서, 상기 반도체 층이 무기성인 제품.

### 청구항 31.

제29항에 있어서, 상기 반도체 층이 펜타신 또는 치환 펜타신을 구성하는 제품.

### 청구항 32.

제30항에 있어서, 상기 반도체 층은 비정질 실리콘을 구성하는 제품.

### 청구항 33.

제29항에 있어서, 상기 반도체 층의 상부에 소스 및 드레인 전극 형상물을 가지는 제품.

### 청구항 34.

게이트 전극, 게이트 유전체, 소스 전극 및 드레인 전극 형상물, 제 1 반도체 형상물, 제 2 반도체 형상물, 기판, 및 어퍼처를 구비하는 섀도우 마스크를 포함하는 제품으로서, 상기 섀도우 마스크는 상기 기판에 영구 부착되어 있고, 상기 반도체 형상물은 상기 어퍼처에 의해 규정되며, 상기 각 반도체 형상물의 적어도 일부분은 다른 반도체 형상물과 중첩하지 않는 제품.

### 청구항 35.

제34항에 있어서, 상기 기판이 가요성인 제품.

### 청구항 36.

제34항에 있어서, 상기 제 반도체 형상물 및 상기 제 2 반도체 형상물 둘 모두가 무기성인 제품.

### 청구항 37.

제34항에 있어서, 상기 반도체 형상물의 적어도 하나가 유기성인 제품.

### 청구항 38.

제37항에 있어서, 상기 반도체 형상물의 적어도 하나가 펜타신 또는 치환 펜타신인 제품.

### 청구항 39.

제34항에 있어서, 상기 반도체 형상물의 적어도 하나가 비정질 실리콘인 제품.

### 청구항 40.

제27항에 있어서, 상기 어퍼처가 그 상부보다 바닥부가 더 넓은 제품.

### 청구항 41.

제27항에 있어서, 상기 케이트 유전 형상물이 상기 게이트 전극 형상물을 완전히 커버하는 제품.

### 청구항 42.

제27항의 제품을 구성하는 무선주파수 식별 태그.

### 청구항 43.

제34항의 제품을 구성하는 무선주파수 식별 태그.

### 청구항 44.

제27항의 제품을 구성하는 센서 장치.

### 청구항 45.

제34항의 제품을 구성하는 센서 장치.

### 청구항 46.

제27항의 제품을 구성하는 디스플레이 장치.

### 청구항 47.

제34항의 제품을 구성하는 디스플레이 장치.

### 청구항 48.

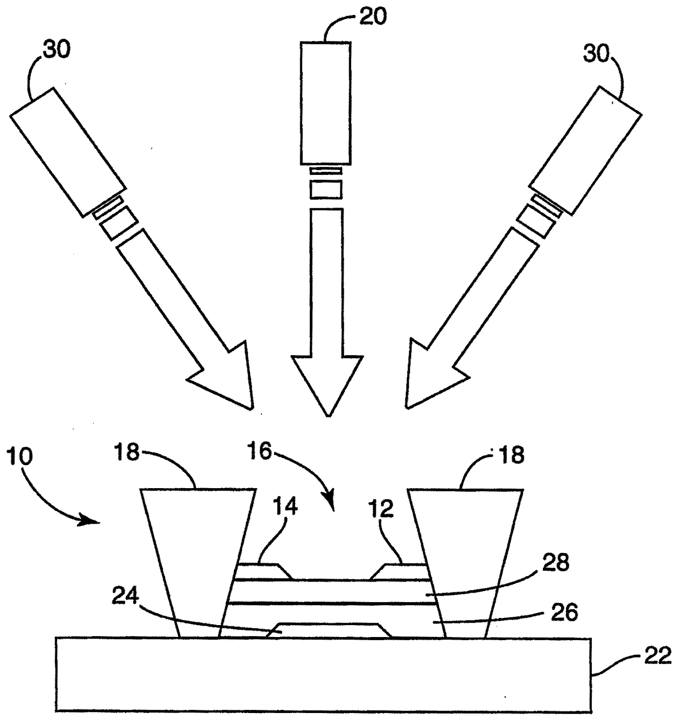
제27항에 있어서, 상기 제품이 집적회로인 제품.

### 청구항 49.

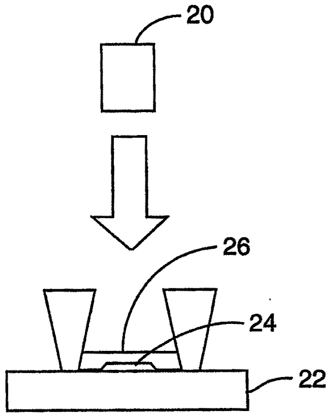
제34항에 있어서, 상기 제품이 집적회로인 제품.

## 도면

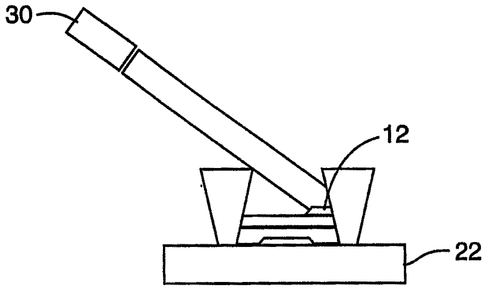
도면1



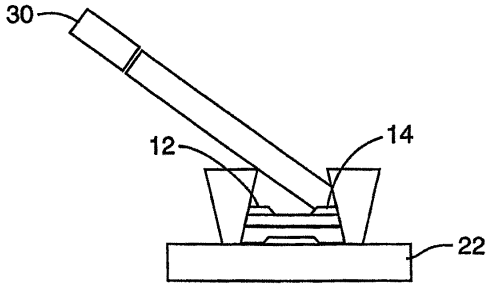
도면2a



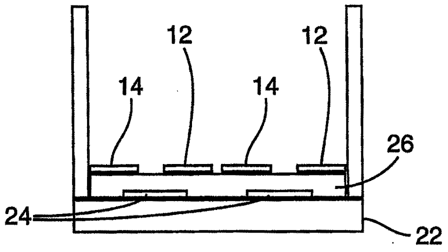
도면2b



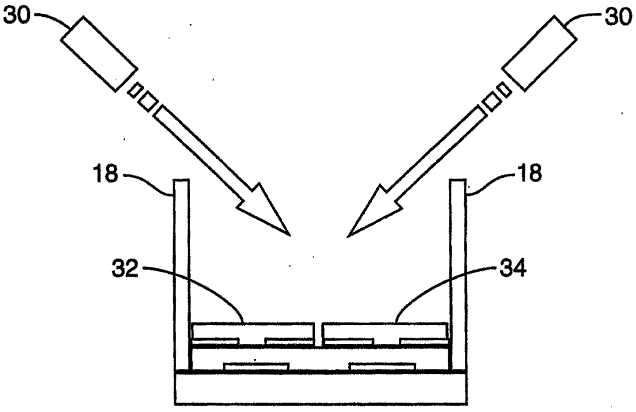
도면2c



도면3a



도면3b



도면4