(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년06월04일
(11) 등록번호 10-2816943
(24) 등록일자 2025년05월30일

(51) 국제특허분류(Int. Cl.)
H01L 25/075 (2025.01) *H01L 25/16* (2025.01)
H10D 86/00 (2025.01) *H10H 20/00* (2025.01)
H10H 20/825 (2025.01) *H10H 20/833* (2025.01)
H10H 20/851 (2025.01)
(52) CPC특허분류
H01L 25/0753 (2013.01)
H01L 25/167 (2023.08)
(21) 출원번호 10-2021-7025067
(22) 출원일자(국제) 2020년03월19일
심사청구일자 2023년01월10일
(85) 번역문제출일자 2021년08월06일
(65) 공개번호 10-2021-0143729
(43) 공개일자 2021년11월29일
(86) 국제출원번호 PCT/JP2020/012313
(87) 국제공개번호 WO 2020/196271
국제공개일자 2020년10월01일
(30) 우선권주장
JP-P-2019-055382 2019년03월22일 일본(JP)
(56) 선행기술조사문헌
JP2009094144 A*
JP2014072215 A*
US20090152573 A1*
WO2018132070 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
니치아 카가쿠 고교 가부시키가이샤
일본 도쿠시마켄 아난시 가미나카쵸 오카 491반치 100
(72) 발명자
아키모토 하지메
일본 도꾸시마껭 아난시 가미나까쪼 오까 491-100 니치아 카가쿠 고교 가부시키가이샤 내
(74) 대리인
이광직, 윤승환

전체 청구항 수 : 총 22 항 심사관 : 김민수

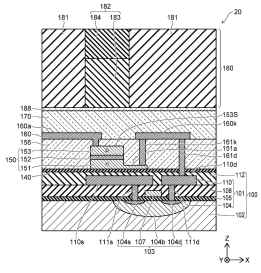
(54) 발명의 명칭 **화상 표시 장치의 제조 방법 및 화상 표시 장치**

(57) 요 약

실시형태에 따른 화상 표시 장치의 제조 방법은, 발광층을 포함하는 반도체층을 제1 기판 상에 형성한 기판을 준비하는 공정과, 회로 소자를 포함하는 회로가 형성된 제2 기판에, 상기 반도체층을 접합하는 공정과, 상기 반도체층을 에칭하여 발광 소자를 형성하는 공정과, 상기 발광 소자를 덮는 절연막을 형성하는 공정과, 상기 절연막

(뒷면에 계속)

대 표 도 - 도1



을 관통하여 상기 회로에 도달하는 비아를 형성하는 공정과, 상기 발광 소자의 상기 제2 기판 측의 면에 대향하는 면 측에서 상기 발광 소자와 상기 회로 소자를, 상기 비아를 통해 전기적으로 접속하는 공정을 구비한다. 상기 비아는, 서로 다른 층에 설치된 상기 발광 소자 및 상기 회로 소자를 서로 접속한다.

(52) CPC특허분류
H10D 86/40 (2025.01)
H10H 20/0137 (2025.01)
H10H 20/018 (2025.01)
H10H 20/825 (2025.01)
H10H 20/833 (2025.01)
H10H 20/851 (2025.01)

명 세 서

청구범위

청구항 1

발광층을 포함하는 반도체층을 제1 기판 상에 형성한 기판을 준비하는 공정과,

회로 소자와 상기 회로 소자에 전기적으로 접속된 제1 배선층을 포함하는 회로가 형성된 제2 기판에, 상기 반도체층을 접합하는 공정과,

상기 반도체층을 에칭하여 발광 소자를 형성하는 공정과,

상기 발광 소자를 덮는 절연막을 형성하는 공정과,

상기 절연막을 관통하여 상기 제1 배선층에 도달하는 비아를 형성하는 공정과,

상기 발광 소자와 상기 회로 소자를 상기 비아를 통해 전기적으로 접속하는 공정을 구비하고,

상기 비아는, 서로 다른 층에 설치된 상기 발광 소자 및 상기 회로 소자를 서로 접속하고,

상기 반도체층을 상기 제2 기판에 접합하기 전에 상기 제1 기판을 제거하는 공정과,

상기 발광 소자의 표면을 노출시키는 공정

을 더 구비한, 화상 표시 장치의 제조 방법.

청구항 2

발광층을 포함하는 반도체층을 제1 기판 상에 형성한 기판을 준비하는 공정과,

회로 소자와 상기 회로 소자에 전기적으로 접속된 제1 배선층을 포함하는 회로가 형성된 제2 기판에, 상기 반도체층을 접합하는 공정과,

상기 반도체층을 에칭하여 발광 소자를 형성하는 공정과,

상기 발광 소자를 덮는 절연막을 형성하는 공정과,

상기 절연막을 관통하여 상기 제1 배선층에 도달하는 비아를 형성하는 공정과,

상기 발광 소자와 상기 회로 소자를 상기 비아를 통해 전기적으로 접속하는 공정을 구비하고,

상기 비아는, 서로 다른 층에 설치된 상기 발광 소자 및 상기 회로 소자를 서로 접속하고,

상기 반도체층을 상기 제2 기판에 접합한 후에 상기 제1 기판을 제거하는 공정과,

상기 발광 소자의 표면을 노출시키는 공정

을 더 구비한, 화상 표시 장치의 제조 방법.

청구항 3

제1항 또는 제2항에 있어서,

노출된 상기 발광 소자의 노출면에 투명 전극을 형성하는 공정을 더 구비한, 화상 표시 장치의 제조 방법.

청구항 4

제1항 또는 제2항에 있어서,

상기 반도체층을, 상기 제1 기판 상에 형성된 완충층 상에 성장시키는, 화상 표시 장치의 제조 방법.

청구항 5

제4항에 있어서,

상기 완충층은 질화물을 포함하는, 화상 표시 장치의 제조 방법.

청구항 6

제1항 또는 제2항에 있어서,

상기 제1 기판은 실리콘 또는 사파이어를 포함하는, 화상 표시 장치의 제조 방법.

청구항 7

제1항 또는 제2항에 있어서,

상기 반도체층은 질화 갈륨계 화합물 반도체를 포함하고,

상기 제2 기판은 실리콘을 포함하는, 화상 표시 장치의 제조 방법.

청구항 8

제1항 또는 제2항에 있어서,

상기 발광 소자 상에 파장 변환 부재를 형성하는 공정을 더 구비한, 화상 표시 장치의 제조 방법.

청구항 9

회로 소자와,

상기 회로 소자에 전기적으로 접속된 제1 배선층과,

상기 회로 소자 및 상기 제1 배선층을 덮는 제1 절연막과,

상기 제1 절연막 상에 배치된 발광 소자와,

상기 발광 소자의 적어도 일부를 덮는 제2 절연막과,

상기 발광 소자에 전기적으로 접속되며 상기 제2 절연막 상에 배치된 제2 배선층과,

상기 제1 절연막 및 상기 제2 절연막을 관통하여, 상기 제1 배선층 및 상기 제2 배선층을 전기적으로 접속하는 제1 비아를 구비하고,

상기 제1 배선층은 제1 배선을 포함하고,

상기 제1 배선의 적어도 일부를 포함하는 부분은, 상기 발광 소자의 바로 아래에 설치되고,

상기 부분의 외주는, 평면에서 보았을 때, 상기 부분에 투영된 상기 발광 소자의 외주를 포함하는, 화상 표시 장치.

청구항 10

제9항에 있어서,

상기 발광 소자의 상기 제1 절연막 측의 면에 대향하는 발광면을 노출시키는 개구를 가지고 있고, 상기 발광면 상에 투명 전극을 구비한, 화상 표시 장치.

청구항 11

제10항에 있어서,

상기 개구로부터 노출된 노출면은 조면(粗面)을 포함하는, 화상 표시 장치.

청구항 12

제9항 내지 제11항 중 어느 한 항에 있어서,

상기 제1 절연막과 상기 발광 소자의 사이에 완충층을 더 구비한, 화상 표시 장치.

청구항 13

제9항 내지 제11항 중 어느 한 항에 있어서,

상기 회로 소자는 트랜지스터를 포함하고,

상기 발광 소자는, 제1 도전형의 제1 반도체층과, 상기 제1 도전형과는 다른 제2 도전형의 제2 반도체층과, 상기 제1 반도체층과 상기 제2 반도체층의 사이에 설치된 발광층을 포함하고, 상기 제1 절연막으로부터 상기 제2 배선층을 향하여, 상기 제1 반도체층, 상기 발광층, 및 상기 제2 반도체층의 순으로 적층되고,

상기 제1 배선층은, 상기 트랜지스터의 제1 주전극에 접속된 제2 배선을 포함하고,

상기 제2 배선층은, 상기 제1 반도체층에 접속된 제3 배선을 포함하고,

상기 제1 비아의 일단은 상기 제2 배선에 접속되고,

상기 제1 비아의 타단은 상기 제3 배선에 접속된, 화상 표시 장치.

청구항 14

제13항에 있어서,

상기 제2 절연막을 관통하는 제2 비아를 더 구비하고,

상기 제2 비아의 일단은 상기 제1 반도체층에 접속되고,

상기 제2 비아의 타단은 상기 제3 배선에 접속된, 화상 표시 장치.

청구항 15

제13항에 있어서,

상기 제1 도전형은 p형이며,

상기 제2 도전형은 n형이며,

상기 트랜지스터는 p채널 트랜지스터인, 화상 표시 장치.

청구항 16

제13항에 있어서,

상기 제1 도전형은 n형이며,

상기 제2 도전형은 p형이며,

상기 트랜지스터는 n채널 트랜지스터인, 화상 표시 장치.

청구항 17

제9항 내지 제11항 중 어느 한 항에 있어서,

상기 발광 소자는 질화 갈륨계 화합물 반도체를 포함하고,

상기 회로 소자는 기판에 형성되고, 상기 기판은 실리콘을 포함하는, 화상 표시 장치.

청구항 18

제9항 내지 제11항 중 어느 한 항에 있어서,

상기 발광 소자 상에 파장 변환 부재를 더 구비한, 화상 표시 장치.

청구항 19

복수의 트랜지스터와,

상기 복수의 트랜지스터에 전기적으로 접속된 제1 배선층과,

상기 복수의 트랜지스터 및 상기 제1 배선층을 덮는 제1 절연막과,

상기 제1 절연막 상에 배치된 제1 도전형의 제1 반도체층과,

상기 제1 반도체층 상에 배치된 발광층과,

상기 발광층 상에 배치되며 상기 제1 도전형과는 다른 제2 도전형의 제2 반도체층과,

상기 제1 절연막, 상기 발광층 및 상기 제1 반도체층을 덮음과 함께 상기 제2 반도체층의 적어도 일부를 덮는 제2 절연막과,

상기 복수의 트랜지스터에 따라 상기 제2 절연막으로부터 각각 노출된, 상기 제2 반도체층의 복수의 노출면 상에 배치된 투명 전극에 접속된 제2 배선층과,

상기 제1 절연막 및 상기 제2 절연막을 관통하여, 상기 제1 배선층의 복수의 배선 및 상기 제2 배선층의 배선을 전기적으로 접속하는 복수의 제1 비아를 구비하고,

상기 제2 배선층은, 상기 복수의 제1 비아를 통해 상기 제1 배선층의 상기 복수의 배선과 전기적으로 접속되는 복수의 배선을 포함하고,

상기 복수의 트랜지스터의 하나는, 상기 제1 배선층의 상기 복수의 배선의 하나, 상기 복수의 제1 비아의 하나, 및 상기 제2 배선층의 상기 복수의 배선의 하나를 통해 상기 제1 배선층에 접속되고,

상기 복수의 트랜지스터의 다른 하나는, 상기 제1 배선층의 상기 복수의 배선의 다른 하나, 상기 복수의 제1 비아의 다른 하나, 및 상기 제2 배선층의 상기 복수의 배선의 다른 하나를 통해 상기 제1 배선층에 접속되는, 화상 표시 장치.

청구항 20

제19항에 있어서,

상기 제1 배선층은, 상기 복수의 트랜지스터 중 제1 트랜지스터의 주전극에 접속된 제1 배선을 포함하고,

상기 제2 배선층은, 상기 제1 반도체층에 접속된 제2 배선을 포함하고,

상기 제1 비아는 상기 제1 배선과 상기 제2 배선의 사이에 설치된, 화상 표시 장치.

청구항 21

제20항에 있어서,

상기 제1 배선층은, 상기 복수의 트랜지스터 중 상기 제1 트랜지스터와는 다른 제2 트랜지스터의 주전극에 접속된 제3 배선을 포함하고,

상기 제2 배선층은, 상기 제1 반도체층에 접속된 제4 배선을 포함하고,

상기 제1 비아와는 다른 제2 비아가, 상기 제3 배선과 상기 제4 배선의 사이에 설치된, 화상 표시 장치.

청구항 22

제19항 내지 제21항 중 어느 한 항에 있어서,

상기 제2 반도체층은 상기 제2 절연막에 의해 분리된, 화상 표시 장치.

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

발명의 설명

기 술 분 야

[0001] 본 발명의 실시형태는 화상 표시 장치의 제조 방법 및 화상 표시 장치에 관한 것이다.

배 경 기 술

[0002] 고휘도, 광시야각, 고콘트라스트이며 저소비 전력인 박형 화상 표시 장치의 실현이 요망되고 있다. 이러한 시장 요구에 대응하기 위해, 자발광 소자를 이용한 표시 장치의 개발이 진행되고 있다.

[0003] 자발광 소자로서, 미세 발광 소자인 마이크로 LED를 사용한 표시 장치의 등장이 기대되고 있다. 마이크로 LED를 사용한 표시 장치의 제조 방법으로서, 개별적으로 형성된 마이크로 LED를 구동 회로에 순차 전사하는 방법이 소개되고 있다. 그러나, 풀 하이비전(full high-vision)이나 4K, 8K 등으로 고화질로 됨에 따라, 마이크로 LED의 소자 수가 많아지면, 다수의 마이크로 LED를 개별적으로 형성하고, 구동 회로 등을 형성한 기판에 순차 전사하는 것으로는, 전사 공정에 방대한 시간을 필요로 한다. 나아가, 마이크로 LED와 구동 회로 등과의 접속 불량 등이 발생하여, 수율의 저하가 생길 우려가 있다.

[0004] Si 기판 상에 발광층을 포함하는 반도체층을 성장시켜, 반도체층에 전극을 형성한 후, 구동 회로가 형성된 회로 기판에 접합하는 기술이 알려져 있다(예를 들면, 특허문헌 1).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 특허문헌 1: 일본특허공개 제2002-141492호 공보

발명의 내용

해결하려는 과제

[0006] 실시형태는, 발광 소자의 전사 공정을 단축하여, 수율을 향상시킨 화상 표시 장치의 제조 방법 및 화상 표시 장치를 제공한다.

과제의 해결 수단

[0007] 본 발명의 일 실시형태에 따른 화상 표시 장치의 제조 방법은, 발광층을 포함하는 반도체층을 제1 기판 상에 형성한 기판을 준비하는 공정과, 회로 소자를 포함하는 회로가 형성된 제2 기판에, 상기 반도체층을 접합하는 공정과, 상기 반도체층을 에칭하여 발광 소자를 형성하는 공정과, 상기 발광 소자를 덮는 절연막을 형성하는 공정과, 상기 절연막을 관통하여 상기 회로에 도달하는 비아를 형성하는 공정과, 상기 발광 소자의 상기 제2 기판측의 면에 대향하는 면 측에서 상기 발광 소자와 상기 회로 소자를, 상기 비아를 통해 전기적으로 접속하는 공정을 구비한다. 상기 비아는, 서로 다른 층에 설치된 상기 발광 소자 및 상기 회로 소자를 서로 접속한다.

[0008] 본 실시형태에 따른 화상 표시 장치는, 회로 소자와, 상기 회로 소자에 전기적으로 접속된 제1 배선층과, 상기 회로 소자 및 상기 제1 배선층을 덮는 제1 절연막과, 상기 제1 절연막 상에 배치된 발광 소자와, 상기 발광 소자의 적어도 일부를 덮는 제2 절연막과, 상기 발광 소자에 전기적으로 접속되며 상기 제2 절연막 상에 배치된 제2 배선층과, 상기 제1 절연막 및 상기 제2 절연막을 관통하여, 상기 제1 배선층 및 상기 제2 배선층을 전기적으로 접속하는 제1 비아를 구비한다.

[0009] 본 실시형태에 따른 화상 표시 장치는, 복수의 트랜지스터와, 상기 복수의 트랜지스터에 전기적으로 접속된 제1 배선층과, 상기 복수의 트랜지스터 및 상기 제1 배선층을 덮는 제1 절연막과, 상기 제1 절연막 상에 배치된 제1 도전형의 제1 반도체층과, 상기 제1 반도체층 상에 배치된 발광층과, 상기 발광층 상에 배치되며 상기 제1 도전형과는 다른 제2 도전형의 제2 반도체층과, 상기 제1 절연막, 상기 제1 반도체층 및 상기 발광층을 덮음과 함께 상기 제2 반도체층의 적어도 일부를 덮는 제2 절연막과, 상기 복수의 트랜지스터에 따라 상기 제2 절연막으로부터 각각 노출된, 상기 제2 반도체층의 복수의 노출면 상에 배치된 투명 전극에 접속된 제2 배선층과, 상기 제1 절연막 및 상기 제2 절연막을 관통하여, 상기 제1 배선층의 배선 및 상기 제2 배선층의 배선을 전기적으로 접속하는 제1 비아를 구비한다.

발명의 효과

[0010] 본 실시형태의 일 실시형태에 의하면, 발광 소자의 전사 공정을 단축하여, 수율을 향상시킨 화상 표시 장치의 제조 방법 및 화상 표시 장치가 실현된다.

도면의 간단한 설명

[0011] 도 1은 제1 실시형태에 따른 화상 표시 장치의 일부를 예시하는 모식적인 단면도이다.

도 2a는 제1 실시형태의 화상 표시 장치의 변형예 1개를 예시하는 모식적인 단면도이다.

도 2b는 제1 실시형태의 화상 표시 장치의 변형예 1개를 예시하는 모식적인 단면도이다.

도 2c는 제1 실시형태의 화상 표시 장치의 변형예 1개를 예시하는 모식적인 단면도이다.

도 3은 제1 실시형태의 화상 표시 장치를 예시하는 모식적인 블록도이다.

도 4는 제1 실시형태의 화상 표시 장치의 일부를 예시하는 모식적인 평면도이다.

도 5a는 제1 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 5b는 제1 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 5c는 제1 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 6a는 제1 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 6b는 제1 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 6c는 제1 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 7a는 제1 실시형태의 화상 표시 장치의 변형예의 제조 방법을 예시하는 모식적인 단면도이다.

도 7b는 제1 실시형태의 화상 표시 장치의 변형예의 제조 방법을 예시하는 모식적인 단면도이다.

도 8a는 제1 실시형태의 화상 표시 장치의 변형예 1개의 제조 방법을 예시하는 모식적인 단면도이다.

도 8b는 제1 실시형태의 화상 표시 장치의 변형예 1개의 제조 방법을 예시하는 모식적인 단면도이다.

도 9는 제1 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 10a는 제1 실시형태의 화상 표시 장치의 변형예의 제조 방법을 예시하는 모식적인 단면도이다.

도 10b는 제1 실시형태의 화상 표시 장치의 변형예의 제조 방법을 예시하는 모식적인 단면도이다.

도 10c는 제1 실시형태의 화상 표시 장치의 변형예의 제조 방법을 예시하는 모식적인 단면도이다.

도 10d는 제1 실시형태의 화상 표시 장치의 변형예의 제조 방법을 예시하는 모식적인 단면도이다.

도 11은 제2 실시형태에 따른 화상 표시 장치의 일부를 예시하는 모식적인 단면도이다.

도 12는 제2 실시형태의 화상 표시 장치를 예시하는 모식적인 블록도이다.

도 13a는 제2 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 13b는 제2 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 14a는 제2 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 14b는 제2 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 15는 제2 실시형태의 화상 표시 장치의 변형예의 일부를 예시하는 모식적인 단면도이다.

도 16은 제3 실시형태에 따른 화상 표시 장치의 일부를 예시하는 모식적인 단면도이다.

도 17a는 제3 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 17b는 제3 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 18a는 제3 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 18b는 제3 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

도 19는 제3 실시형태에 따른 화상 표시 장치의 변형예의 일부를 예시하는 모식적인 단면도이다.

도 20a는 제3 실시형태의 화상 표시 장치의 변형예의 제조 방법을 예시하는 모식적인 단면도이다.

도 20b는 제3 실시형태의 화상 표시 장치의 변형예의 제조 방법을 예시하는 모식적인 단면도이다.

도 21은 화소 LED의 특성을 예시하는 그래프이다.

도 22는 제4 실시형태에 따른 화상 표시 장치를 예시하는 블록도이다.

도 23은 제4 실시형태에 따른 화상 표시 장치의 변형예를 예시하는 블록도이다.

도 24는 제1~제3 실시형태 및 이들 변형예의 화상 표시 장치를 모식적으로 예시하는 사시도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 도면을 참조하면서, 본 발명의 실시형태에 대해 설명한다.

[0013] 한편, 도면은 모식적 또는 개념적인 것이며, 각 부분의 두께와 폭의 관계, 부분간의 크기의 비율 등은, 반드시 현실의 것과 동일하다고는 할 수 없다. 또한, 동일한 부분을 나타내는 경우라 하더라도, 도면에 따라 서로의 치수나 비율이 다르게 표현되는 경우도 있다.

[0014] 한편, 본원 명세서와 각 도면에 있어서, 이미 나온 도면에 관하여 전술한 것과 마찬가지의 요소에는, 동일한 부호를 붙여 상세한 설명을 적절히 생략한다.

[0015] (제1 실시형태)

[0016] 도 1은 실시형태에 따른 화상 표시 장치의 일부를 예시하는 모식적인 단면도이다.

[0017] 도 1에는, 본 실시형태의 화상 표시 장치의 서브픽셀(20)의 구성이 모식적으로 나타내어져 있다. 화상 표시 장치에 표시되는 화상을 구성하는 픽셀(10)은, 복수의 서브픽셀(20)에 의해 구성되어 있다.

[0018] 이하에서는, XYZ의 3차원 좌표계를 사용하여 설명하는 경우가 있다. 서브픽셀(20)은 2차원 평면 상에 배열되어 있다. 서브픽셀(20)이 배열된 2차원 평면을 XY 평면으로 한다. 서브픽셀(20)은, X축 방향 및 Y축 방향을 따라 배열되어 있다.

[0019] 서브픽셀(20)은, XY 평면에 대략 평행한 발광면(153S)을 가지고 있다. 발광면(153S)은, 주로, XY 평면에 직교하는 Z축의 정(正)방향을 향하여 광을 출력한다.

[0020] 도 1은 서브픽셀(20)을 XZ 평면에 평행한 면으로 절단한 경우의 단면을 모식적으로 나타내고 있다. 이 단면도는, 후술하는 도 4의 A-A'선에 있어서의 화살표를 따라 취한 단면이다.

[0021] 도 1에 나타내는 바와 같이, 화상 표시 장치의 서브픽셀(20)은, 트랜지스터(103)와, 제1 배선층(110)과, 제1 절연막(층간 절연막)(112)과, 발광 소자(150)와, 제2 절연막(층간 절연막)(156)과, 제2 배선층(160)과, 비아(161d)를 구비한다. 서브픽셀(20)은 컬러 필터(180)를 더 구비한다. 컬러 필터(파장 변환 부재)(180)는, 표면 수지층(170) 상에, 투명 박막 접착층(188)을 통해 설치되어 있다. 표면 수지층(170)은, 발광 소자(150), 층간 절연막(156) 및 배선층(160) 상에 설치되어 있다.

[0022] 트랜지스터(103)는 기판(102)에 형성되어 있다. 후술하는 도 3 및 도 12에 나타내는 바와 같이, 기판(102)에는, 트랜지스터(103) 이외에, 다른 트랜지스터나 저항, 커패시터 등의 회로 소자가 형성되고, 배선 등에 의해 회로(101)를 구성하고 있다. 이하에서는, 회로(101)는, 회로 소자가 형성된 소자 형성 영역(104), 절연층(105), 배선층(110), 배선층(110)과 회로 소자를 접속하는 비아 및 회로 소자 사이 등을 절연하는 절연막(108)을 포함하는 것으로 한다. 기판(102), 회로(101) 및 층간 절연막(112) 등의 그 외의 구성요소를 포함시켜 회로 기판(100)이라고 부르는 경우가 있다.

[0023] 트랜지스터(103)는, p형 반도체 영역(104b)과, n형 반도체 영역(104s, 104d)과, 게이트(107)를 포함한다. 게이트(107)는, 절연층(105)을 통해, p형 반도체 영역(104b) 위에 설치되어 있다. 절연층(105)은, 소자 형성 영역(104)과 게이트(107)를 절연함과 함께, 인접하는 다른 회로 소자와의 절연을 충분히 취하기 위해 설치되어

있다. 게이트(107)에 전압이 인가되면, p형 반도체 영역(104b)에 채널이 형성될 수 있다. 트랜지스터(103)는 n채널 MOSFET이다.

[0024] 소자 형성 영역(104)은 기판(102)에 설치되어 있다. 기판(102)은, 예를 들면 Si 기판이다. 소자 형성 영역(104)은, p형 반도체 영역(104b)과 n형 반도체 영역(104s, 104d)을 포함한다. p형 반도체 영역(104b)은, 기판(102)의 표면 부근에 설치되어 있다. n형 반도체 영역(104s, 104d)은, p형 반도체 영역(104b) 내에서 p형 반도체 영역(104b)의 표면 부근에 서로 이격되어 설치되어 있다.

[0025] 기판(102)의 표면에는, 절연층(105)이 설치되어 있다. 절연층(105)은, 소자 형성 영역(104)도 덮고 있고, p형 반도체 영역(104b) 및 n형 반도체 영역(104s, 104d)의 표면도 덮고 있다. 절연층(105)은, 예를 들면 SiO_2이다. 절연층(105)은, 덮고 있는 영역에 따라 SiO_2나 Si_3N_4 등을 포함하는 다층의 절연층이어도 된다. 절연층(105)은, 고유전율을 갖는 절연 재료의 층을 포함해도 된다.

[0026] 절연층(105)을 통해, p형 반도체 영역(104b) 위에 게이트(107)가 설치되어 있다. 게이트(107)는, n형 반도체 영역(104s, 104d)의 사이에 설치되어 있다. 게이트(107)는, 예를 들면 다결정 Si이다. 게이트(107)는, 다결정 Si보다 저저항의 실리사이드 등을 포함해도 된다.

[0027] 이 예에서는, 게이트(107) 및 절연층(105)은 절연막(108)으로 덮여 있다. 절연막(108)은, 예를 들면 SiO_2나 Si_3N_4 등이다. 배선층(110)을 형성하는 데 표면을 평탄화하기 위해, 나아가 PSG(Phosphorus Silicon Glass)나 BPSG(Boron Phosphorus Silicon Glass) 등의 유기 절연막을 설치하도록 해도 된다.

[0028] 절연막(108)에는, 비아(111s, 111d)가 형성되어 있다. 절연막(108) 상에는, 제1 배선층(제1 배선층)(110)이 형성되어 있다. 제1 배선층(110)은, 전위가 다를 수 있는 복수의 배선을 포함하고 있고, 배선(110s, 110d)을 포함하고 있다. 한편, 이와 같이, 도 1 이후의 단면도에서는, 배선층의 부호는, 그 배선층에 포함되는 하나의 배선의 옆 위치에 표시되어 있는 것으로 한다. 비아(111s, 111d)는, 배선층(110)의 배선(110s, 110d)과 n형 반도체 영역(104s, 104d)의 사이에 각각 설치되고, 이들을 전기적으로 접속하고 있다. 배선층(110) 및 비아(111s, 111d)는, 예를 들면, Al이나 Cu 등의 금속에 의해 형성되어 있다. 배선층(110) 및 비아(111s, 111d)는 고융점 금속 등을 포함해도 된다.

[0029] 절연막(108) 및 배선층(110) 상에는, 나아가 평탄화막으로서, 제1 층간 절연막(112)이 설치되어 있다. 층간 절연막(제1 절연막)(112)은, 예를 들면 PSG나 BPSG 등의 유기 절연막이다. 제1 층간 절연막(112)은, 회로 기판(100)에 있어서 그 표면을 보호하는 보호막으로서도 기능한다.

[0030] 층간 절연막(112) 상에 걸쳐 버퍼층(140)이 설치되어 있다. 버퍼층(완충층)(140)은, 예를 들면 AlN 등의 나이트라이드를 포함한다. 버퍼층(140)을 설치함으로써, 발광 소자(150)를 에피택셜 성장시켰을 때에 발생하는 결정 결함을 저감시키는 것을 기대할 수 있다. 이와 같이, 발광 소자(150)와 제1 층간 절연막(112)의 사이에는, 버퍼층(140)이 설치되어 있는 경우에 한정되지 않고, 제1 층간 절연막(112) 상에 직접 발광 소자(150)가 설치되어 있어도 된다.

[0031] 회로 기판(100) 중의 배선(110s)은, 발광 소자(150)가 재치되어 있는 위치까지 X축 방향으로 연장하여 설치되어 있다. 후술하는 도 4에 나타내는 바와 같이, 배선(110s)은, 발광 소자의 Y축 방향의 길이 정도 또는 그보다 길게 Y축 방향으로도 연장하여 있다.

[0032] 환언하면, 배선(110s)의 외주는, XY 평면에서 보았을 때 발광 소자(150)를 Z축 상방으로부터 투영했을 때의 외주를 포함하고 있다. 이에 의해, 배선(110s)은, 발광 소자(150)의 하방으로의 광의 산란을 차광하여, 트랜지스터(103)에 도달하지 않도록 할 수 있다. 배선(110s)의 재료를 적절히 선택함으로써, 발광 소자(150)의 하방으로의 산란을 발광면(153S) 측에 반사시켜 발광 효율을 향상시킬 수 있다. 또한, 배선(110s)이, 발광 소자(150)의 하방으로의 산란광을 차광함으로써, 트랜지스터(103)에의 광의 도달이 억제되어, 트랜지스터(103)의 오동작을 방지할 수도 있다.

[0033] 발광 소자(150)는, n형 반도체층(제1 반도체층)(151)과, 발광층(152)과, p형 반도체층(제2 반도체층)(153)을 포함한다. n형 반도체층(151), 발광층(152) 및 p형 반도체층(153)은, 회로 기판(100)의 층간 절연막(112)으로부터 Z축의 정방향, 즉, 발광면(153S)을 향해 이 순으로 적층되어 있다. 발광 소자(150)는, XY 평면에서 보았을 때, 예를 들면 대략 정방형 또는 장방형 형상을 가지고 있지만, 코너부는 둥글게 되어 있어도 된다. 발광 소자(150)는 XY 평면에서 보았을 때, 예를 들면 타원 형상이나 원 형상을 가지고 있어도 된다. 평면에서 보았을 때의 발광 소자의 형상이나 배치 등을 적절히 선정함으로써, 레이아웃의 자유도가 향상된다. n형 반도체층(151)

은, 이 예에서는, 버퍼층(140) 상을 X축 방향으로 연장하는 단차부(151a)를 가지고 있다.

[0034] 발광 소자(150)에는, 예를 들면, $In_XAl_YGa_{1-X-Y}N$(0≤X, 0≤Y, X+Y<1) 등의 질화물 반도체가 바람직하게 사용된다.

발광 소자(150)는, 이른바 청색 발광 다이오드이며, 발광 소자(150)가 발광하는 광의 파장은, 예를 들면 467nm±20nm 정도이다. 발광 소자(150)가 발광하는 광의 파장은, 410nm±20nm 정도의 청자색 발광으로 해도 된다. 발광 소자(150)가 발광하는 광의 파장은, 전술한 값으로 한정되지 않고, 적절한 것으로 할 수 있다.

[0035] 제2 층간 절연막(제2 절연막)(156)은 버퍼층(140) 및 발광 소자(150)를 덮고 있다. 제2 층간 절연막(156)은 투명 수지에 의해 형성되어 있다. 층간 절연막(156)은, 발광 소자(150)를 보호함과 함께, 제2 층간 절연막(156) 상에 형성되는 배선층(160)을 위해 표면을 평탄화하는 기능도 갖는다.

[0036] 제2 층간 절연막(156)을 관통하여, 비아(제2 비아)(161k)가 설치되어 있다. 비아(161k)의 일단은 단차부(151a)에 접속되어 있다.

[0037] 비아(제1 비아)(161d)는 층간 절연막(112, 156)을 관통하여 설치되어 있다. 비아(161d)의 일단은 배선(110d)에 접속되어 있다.

[0038] 배선층(160)은, 평탄화된 층간 절연막(156) 상에 설치되어 있다. 배선층(160)은 배선(160a, 160k)을 포함하고 있다. 배선(160a)은, 층간 절연막(156)에 개구된 컨택트 홀을 통해, p형 반도체층(153)에 접속되어 있다. 배선(160a)은, 이 도면에는 나타내지 않지만, 서브픽셀(20)에 전원을 공급하는 전원선에 접속되어 있다.

[0039] 배선(160k)은 비아(161k, 161d)의 타단에 접속되어 있다. 따라서, 발광 소자(150)의 n형 반도체층(151)은, 비아(161k, 161d) 및 배선(160k, 110d)을 통해, 트랜지스터(103)의 주전극에 전기적으로 접속된다.

[0040] 표면 수지층(170)은, 제2 층간 절연막(156) 및 제2 배선층(160)을 덮고 있다. 표면 수지층(170)은 투명 수지이며, 층간 절연막(156) 및 배선층(160)을 보호함과 함께, 컬러 필터(180)를 접착하기 위한 평탄화면을 제공한다.

[0041] 컬러 필터(180)는 차광부(181)와 색변환부(182)를 포함한다. 색변환부(182)는, 발광 소자(150)의 발광면(153S)의 바로 위에 발광면(153S)의 형상에 따라 설치되어 있다. 컬러 필터(180)에서는, 색변환부(182) 이외의 부분은, 차광부(181)로 되어 있다. 차광부(181)는, 이른바 블랙 매트릭스이며, 인접하는 색변환부(182)로부터 발광되는 광의 혼색 등에 의한 번짐을 저감하여, 선명한 화상을 표시하는 것을 가능하게 한다.

[0042] 색변환부(182)는 1층 또는 2층으로 된다. 도 1에는, 2층의 부분이 나타내어져 있다. 1층인지 2층인지는, 서브픽셀(20)이 발광하는 광의 색, 즉, 파장에 의해 결정된다. 서브픽셀(20)의 발광색이 적색 또는 녹색인 경우에는, 색변환부(182)는, 바람직하게는 2층으로 된다. 서브픽셀(20)의 발광색이 청색인 경우에는, 바람직하게는 1층으로 된다.

[0043] 색변환부(182)가 2층인 경우에는, 발광 소자(150)에 보다 가까운 1층째가 색변환층(183)이며, 2층째가 필터층(184)이다. 즉, 필터층(184)은 색변환층(183) 상에 적층되어 있다.

[0044] 색변환층(183)은, 발광 소자(150)가 발광하는 광의 파장을 원하는 파장으로 변환하는 층이다. 적색을 발광하는 서브픽셀(20)의 경우에는, 발광 소자(150)의 파장, 467nm±20nm의 광을, 예를 들면 630nm±20nm 정도의 파장의 광으로 변환한다. 녹색을 발광하는 서브픽셀(20)의 경우에는, 발광 소자(150)의 파장, 467nm±20nm의 광을, 예를 들면 532nm±20nm 정도의 파장의 광으로 변환한다.

[0045] 필터층(184)은, 색변환층(183)에서 색변환되지 않고 잔존한 청색 발광의 파장 성분을 차단한다.

[0046] 서브픽셀(20)이 발광하는 광의 색이 청색인 경우에는, 서브픽셀(20)은, 색변환층(183)을 통해 광을 출력해도 되고, 색변환층(183)을 거치지 않고 그대로 광을 출력하도록 해도 된다. 발광 소자(150)가 발광하는 광의 파장이 467nm±20nm 정도인 경우에는, 서브픽셀(20)은, 색변환층(183)을 거치지 않고 광을 출력해도 된다. 발광 소자(150)가 발광하는 광의 파장을 410nm±20nm으로 하는 경우에는, 출력하는 광의 파장을 467nm±20nm 정도로 변환하기 위해, 1층의 색변환층(183)을 설치하는 것이 바람직하다.

[0047] 청색의 서브픽셀(20)의 경우이어도, 서브픽셀(20)은, 필터층(184)을 가지고 있어도 된다. 청색의 서브픽셀(20)에 필터층(184)을 설치함으로써, 발광 소자(150)의 표면에서 생기는 미소한 외광 반사가 억제된다.

[0048] (변형예)

[0049] 서브픽셀의 구성의 변형예에 대해 설명한다.

[0050] 도 2a~도 2c는 본 실시형태의 화상 표시 장치의 변형예를 각각 예시하는 모식적인 단면도이다.

[0051] 도 2a 이후의 서브픽셀의 단면도에서는, 번잡함을 피하기 위해, 표면 수지층(170) 및 컬러 필터(180)의 표시가 생략되어 있다. 특별히 기재가 없는 경우에는, 제2 층간 절연막 및 제2 배선층 상에는, 표면 수지층 및 컬러 필터가 설치된다. 후술하는 다른 실시형태 및 그 변형예의 경우에 대해서도 마찬가지이다.

[0052] 도 2a 및 도 2b의 경우에는, 서브픽셀(20a, 20b)은, 발광 소자(150a)의 구성이 전술한 제1 실시형태의 경우와 상이하다. 다른 구성요소는, 전술한 제1 실시형태의 경우와 동일하며, 상세한 설명을 적절히 생략한다.

[0053] 도 2a에 나타내는 바와 같이, 서브픽셀(20a)은 발광 소자(150a)를 포함한다. 발광 소자(150a)는 제2 층간 절연막(제2 절연막)(256)으로 덮여 있다. 제2 층간 절연막(256)은, 바람직하게는 백색 수지이다. 층간 절연막(256)을 백색 수지로 함으로써, 발광 소자(150a)가 횡방향이나 하방향으로 발광하는 광을 반사시켜, 실질적으로 발광 소자(150a)의 휘도를 향상시킬 수 있다.

[0054] 제2 층간 절연막(256)은 흑색 수지이어도 된다. 층간 절연막(256)을 흑색 수지로 함으로써, 서브픽셀 내에서의 광의 산란이 억제되고, 미광이 보다 효과적으로 억제된다. 미광이 억제된 화상 표시 장치는, 보다 선명한 화상을 표시하는 것이 가능하다.

[0055] 제2 층간 절연막(256)은 개구(158)를 가지고 있다. 개구(158)는, 발광 소자(150a)의 상방의 층간 절연막(256)의 일부를 제거함으로써 형성되어 있다. 배선(160a1)은, 개구(158)에 의해 노출된 p형 반도체층(153a)에 접속되어 있다.

[0056] p형 반도체층(153a)은, 개구(158)에 의해 노출된 발광면(153S)을 갖는다. 발광면(153S)은, p형 반도체층(153a)의 면 중 발광층(152)에 접하는 면에 대향하는 면이다. 발광면(153S)은, 바람직하게는 조면(粗面) 가공되어 있다. 발광 소자(150a)는, 발광면(153S)이 조면으로 되어 있는 경우에는, 광의 취출 효율을 향상시킬 수 있다.

[0057] 도 2b에 나타내는 바와 같이, 서브픽셀(20b)에서는, 투명 전극(159a, 159k)이 배선(160a2, 160k) 상에 각각 설치되어 있다. 투명 전극(159a)은, 개구된 p형 반도체층(153a)의 발광면(153S) 상에 설치되고, 배선(160a2)과 p형 반도체층(153a)을 전기적으로 접속하고 있다.

[0058] 발광면(153S) 상에 투명 전극(159a)을 설치함으로써, p형 반도체층(153a)과의 접속 면적을 크게 할 수 있어, 발광 효율을 향상시킬 수 있다. 발광면(153S)이 조면으로 되어 있는 경우에는, 발광면(153S)과 투명 전극(159a)의 접속 면적을 증대시킬 수 있어, 접촉 저항을 저감할 수 있다.

[0059] 도 2c는 트랜지스터(103) 등의 회로 소자와 발광 소자(150)의 XY 평면 상의 위치가 서로 어긋나게 배치되어 있는 경우를 나타내고 있다.

[0060] 이하의 이유에 의해, 발광 소자(150)와 트랜지스터(130)를, 평면에서 보았을 때 겹치지 않도록 배치하는 경우가 있다. p형 반도체 영역(104b)과 n형의 기판(102)의 사이에 공핍층 영역이 발생하고, 이 공핍층 영역은, 기생 포토다이오드로서 기능하는 경우가 있다. 이 기생 포토다이오드는, 발광 소자(150)의 바로 아래에 생기는 광 피조사 영역과 겹치지 않도록 하는 것이 바람직하다. 그 경우에는, 발광층(152)을 기판(102)의 표면에 XY 평면에서 보아서 투영했을 때의 단부와, p형 반도체 영역(104b)의 경계와의 거리를, 적어도 1㎛ 정도 이상 떼어 놓는 것이 바람직하다.

[0061] 도 2c에 나타내는 바와 같이, 서브픽셀(20)c에서는, 배선(110s3)은, 발광 소자(150)가 재치되어 있는 위치까지 연장하여 있지 않다. 즉, 배선(110s3)은, XY 평면에서 보아서 Z축 상방으로부터 투영했을 때, 발광 소자(150)의 외주부를 반드시 포함하고 있는 것은 아니다. 한편, 배선(160k3)은, 전술한 실시형태나 다른 변형예의 경우에 비해 X축 방향으로 보다 길게 연장되어 있다.

[0062] 이와 같이, 발광 소자(150)가 회로 소자로부터 충분히 떨어져 배치되어 있도록 한 경우에는, Z축의 부(負)방향을 향하는 산란광이 적어지므로, 광에 의한 트랜지스터(103) 등의 회로 소자의 오동작이 생기기 어렵게 된다. 회로 기판(100) 내의 배선에 의해 차광할 필요가 없는 경우에는, 배선을 차광에 사용하지 않으므로, 회로 배치의 자유도가 향상되고, 집적 밀도를 향상시키는 것이 가능해진다.

[0063] 본 실시형태에서는, 상기 서술한 것에 나타낸 서브픽셀(20~20c)의 구성 중 어느 하나를 포함할 수 있다.

[0064] 도 3은 본 실시형태에 따른 화상 표시 장치를 예시하는 모식적인 블록도이다.

[0065] 도 3에 나타내는 바와 같이, 본 실시형태의 화상 표시 장치(1)는 표시 영역(2)을 구비한다. 표시 영역(2)에는,

서브픽셀(20)이 배열되어 있다. 서브픽셀(20)은, 예를 들면 격자 형상으로 배열되어 있다. 예를 들면, 서브픽셀(20)은, X축을 따라 n개 배열되고, Y축을 따라 m개 배열된다.

[0066] 픽셀(10)은, 서로 다른 색의 광을 발광하는 복수의 서브픽셀(20)을 포함한다. 서브픽셀(20R)은 적색의 광을 발광한다. 서브픽셀(20G)은 녹색의 광을 발광한다. 서브픽셀(20B)은 청색의 광을 발광한다. 3종류의 서브픽셀(20R, 20G, 20B)이 원하는 휘도로 발광함으로써, 1개의 픽셀(10)의 발광색 및 휘도가 결정된다.

[0067] 1개의 픽셀(10)은 3개의 서브픽셀(20R, 20G, 20B)을 포함하고, 서브픽셀(20R, 20G, 20B)은, 예를 들면, 이 예와 같이, X축 상을 직선 형상으로 배열되어 있다. 각 픽셀(10)은, 동일한 색의 서브픽셀이 동일한 열에 배열되어 있어도 되고, 이 예와 같이, 열마다 서로 다른 색의 서브픽셀이 배열되어 있어도 된다.

[0068] 화상 표시 장치(1)는 전원선(3) 및 접지선(4)을 더 구비한다. 전원선(3) 및 접지선(4)은, 서브픽셀(20)의 배열을 따라, 격자 형상으로 포선되어 있다. 전원선(3) 및 접지선(4)은, 각 서브픽셀(20)에 전기적으로 접속되고, 전원 단자(3a)와 GND 단자(4a)의 사이에 접속된 직류 전원으로부터 각 서브픽셀(20)에 전력을 공급한다. 전원 단자(3a) 및 GND 단자(4a)는, 전원선(3) 및 접지선(4)의 단부에 각각 설치되고, 표시 영역(2)의 외부에 설치된 직류 전원 회로에 접속된다. 전원 단자(3a)는, GND 단자(4a)를 기준으로 하여 정(正)의 전압이 공급된다.

[0069] 화상 표시 장치(1)는 주사선(6) 및 신호선(8)을 더 구비한다. 주사선(6)은, X축에 평행한 방향으로 포선되어 있다. 즉, 주사선(6)은, 서브픽셀(20)의 행방향의 배열을 따라 포선되어 있다. 신호선(8)은, Y축에 평행한 방향으로 포선되어 있다. 즉, 신호선(8)은, 서브픽셀(20)의 열방향의 배열을 따라 포선되어 있다.

[0070] 화상 표시 장치(1)는 행 선택 회로(5) 및 신호 전압 출력 회로(7)를 더 구비한다. 행 선택 회로(5) 및 신호 전압 출력 회로(7)는 표시 영역(2)의 외연(外緣)을 따라 설치되어 있다. 행 선택 회로(5)는, 표시 영역(2)의 외연의 Y축 방향을 따라 설치되어 있다. 행 선택 회로(5)는, 각 열의 서브픽셀(20)에 주사선(6)을 통해 전기적으로 접속되고, 각 서브픽셀(20)에 선택 신호를 공급한다.

[0071] 신호 전압 출력 회로(7)는 표시 영역(2)의 외연을 따라 설치되어 있다. 신호 전압 출력 회로(7)는 표시 영역(2)의 외연의 X축 방향을 따라 설치되어 있다. 신호 전압 출력 회로(7)는, 각 행의 서브픽셀(20)에 신호선(8)을 통해 전기적으로 접속되고, 각 서브픽셀(20)에 신호 전압을 공급한다.

[0072] 서브픽셀(20)은, 발광 소자(22)와, 선택 트랜지스터(24)와, 구동 트랜지스터(26)와, 커패시터(28)를 포함한다. 도 3에 있어서, 선택 트랜지스터(24)는 T1로 표시되고, 구동 트랜지스터(26)는 T2로 표시되고, 커패시터(28)는 Cm으로 표시되는 경우가 있다.

[0073] 발광 소자(22)는 구동 트랜지스터(26)와 직렬로 접속되어 있다. 본 실시형태에서는, 구동 트랜지스터(26)는 n채널 MOSFET이며, 구동 트랜지스터(26)의 주전극인 드레인 전극에 발광 소자(22)의 n전극인 캐소드 전극이 접속되어 있다. 발광 소자(22) 및 구동 트랜지스터(26)의 직렬 회로는, 전원선(3)과 접지선(4)의 사이에 접속되어 있다. 구동 트랜지스터(26)는, 도 1 등에 있어서의 트랜지스터(103)에 대응하고, 발광 소자(22)는, 도 1 등에 있어서의 발광 소자(150)에 대응한다. 구동 트랜지스터(26)의 게이트-소스 사이에 인가되는 전압에 의해, 발광 소자(22)에 흐르는 전류가 결정되고, 발광 소자(22)는, 발광 소자(22)에 흐르는 전류에 따른 휘도로 발광한다.

[0074] 선택 트랜지스터(24)는, 구동 트랜지스터(26)의 게이트 전극과 신호선(8)의 사이에 주전극을 통해 접속되어 있다. 선택 트랜지스터(24)의 게이트 전극은, 주사선(6)에 접속되어 있다. 구동 트랜지스터(26)의 게이트 전극과 접지선(4)의 사이에는, 커패시터(28)가 접속되어 있다.

[0075] 행 선택 회로(5)는, m행의 서브픽셀(20)의 배열로부터, 1행을 선택하여 주사선(6)에 선택 신호를 공급한다. 신호 전압 출력 회로(7)는, 선택된 행의 각 서브픽셀(20)에 필요한 아날로그 전압값을 갖는 신호 전압을 공급한다. 선택된 행의 서브픽셀(20)의 구동 트랜지스터(26)의 게이트-소스 사이에는, 신호 전압이 인가된다. 신호 전압은 커패시터(28)에 의해 보유된다. 구동 트랜지스터(26)는, 신호 전압에 따른 전류를 발광 소자(22)에 흘린다. 발광 소자(22)는, 흘린 전류에 따른 휘도로 발광한다.

[0076] 행 선택 회로(5)는, 선택하는 행을 순차 스위칭하여 선택 신호를 공급한다. 즉, 행 선택 회로(5)는, 서브픽셀(20)이 배열된 행을 주사한다. 순차 주사된 서브픽셀(20)의 발광 소자(22)에는, 신호 전압에 따른 전류가 흘러 발광한다. RGB 각 색의 서브픽셀(20)이 발광하는 발광색 및 휘도에 의해 결정된 발광색 및 휘도로 각 픽셀(10)이 발광하여 표시 영역(2)에 화상이 표시된다.

[0077] 도 4는 본 실시형태의 화상 표시 장치의 일부를 예시하는 모식적인 평면도이다.

[0078] 본 실시형태에서는, 도 1에서 설명한 바와 같이, 발광 소자(22)(150)와 구동 트랜지스터(26)(103)가, Z축 방향으로 적층되어 있고, 비아(161d)에 의해, 발광 소자(22)(150)의 캐소드 전극과 구동 트랜지스터(26)(103)의 드레인 전극을 전기적으로 접속하고 있다.

[0079] 도 4의 상부에는, 제I 층의 평면도가 모식적으로 표시되고, 하부에는, 제II 층의 평면도가 모식적으로 표시되어 있다. 도 4에서는, 제I 층을 "I"로 표기하고, 제2 층을 "II"로 표기하고 있다. 제I 층은, 발광 소자(22)(150)가 형성된 층이다. 즉, 제I 층은, 도 1에 있어서, 버퍼층(140)으로부터 Z축의 정방향으로, 제2 배선층(160)까지의 층을 포함하고 있다. 도 4에서는, 버퍼층(140) 및 제2 층간 절연막(156)은 나타나 있지 않다. 제II 층은, 도 1에 있어서, 기판(102)으로부터 Z축의 정방향으로, 제1 층간 절연막(112)까지의 층을 포함하고 있다. 도 4에서는, 기판(102), 절연층(105), 절연막(108) 및 제1 층간 절연막(112)은 나타나 있지 않다. 이 도면에서는, 소자 형성 영역(104)으로서 채널 영역(104c)가 나타내어져 있다.

[0080] 도 1의 단면은, 제I 층 및 제II 층 각각 일점쇄선으로 나타낸 위치의 AA'선의 화살표를 따라 취한 단면이다.

[0081] 도 4에 나타내는 바와 같이, 발광 소자(150)의 캐소드 전극이 되는 n형 반도체층(151)에는, 비아(161k)(도 1) 및 그 컨택트 홀(161k1)을 통해, 배선(160k)이 접속되어 있다. 배선(160k)은, 제2 층간 절연막(156)에 설치된 컨택트 홀(161d1)을 통해 비아(161d)의 일단에 접속되어 있다. 비아(161d)는, 도면 상에서, 이점쇄선으로 모식적으로 나타내어져 있다.

[0082] 비아(161d)의 타단은, 제1 층간 절연막(112)에 설치된 컨택트 홀(161d2)을 통해, 배선(110d)에 접속되어 있다. 배선(110d)은, 절연막(108)에 개구된 컨택트 홀(111c1)을 통해, 비아(111d)(도 1)에 접속되고, 트랜지스터(103)의 드레인 전극에 접속된다. 이와 같이 하여, 층간 절연막(156, 112)을 관통하는 비아(161d)에 의해, 서로 다른 층인 제I 층 및 제II 층에 각각 형성된 발광 소자(150) 및 트랜지스터(103)를 전기적으로 접속할 수 있다.

[0083] 배선(110s)에 의해, 발광 소자(150)의 발광을 차광하는 배치에 대해, 도 4를 사용하여 설명한다.

[0084] 배선(110s)은 차광부(110s1)를 갖는다. 차광부(부분)(110s1)는, X축 방향의 길이(L2) 및 Y축 방향의 길이(W2)를 갖는 장방형 형상의 부분이다. 차광부(110s1)는 발광 소자(150)의 바로 아래에 설치되어 있다. 발광 소자(150)는, X축 방향의 길이(L1) 및 Y축 방향의 길이(W1)를 갖는 장방형의 저면을 갖는다.

[0085] 각부의 길이는 L2>L1, W2>W1이 되도록 설정되어 있다. 차광부(110s1)는, 발광 소자(150)의 바로 아래에 설치되어 있으므로, 차광부(110s1)의 외주는, 발광 소자(150)의 외주를 포함하고 있게 된다. 차광부(110s1)의 외주가 발광 소자(150)의 외주를 포함하고 있으면 되고, 차광부(110s1)의 형상은, 사각형인 경우에 한정되지 않고 적절한 임의의 형상으로 할 수 있다.

[0086] 발광 소자(150)는, 상방을 향해 발광함과 함께, 하방을 향하는 발광이나, 층간 절연막(112)과 표면 수지층(170)의 계면에서의 반사광이나 산란광 등이 존재한다. 따라서, 바람직하게는, 차광부(110s1)의 외주는, XY 평면에서 보았을 때 차광부(110s1)에 투영된 발광 소자(150)의 외주를 포함하도록 설정된다. 이와 같이 차광부(110s1)이 설정됨으로써, 발광 소자(150)의 하방으로의 광의 도달을 억제하고, 회로 소자에의 광의 영향을 경감할 수 있다.

[0087] 본 실시형태의 화상 표시 장치(1)의 제조 방법에 대해 설명한다.

[0088] 도 5a~도 6c는 본 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

[0089] 도 5a에 나타내는 바와 같이, 반도체 성장 기판(1194)을 준비한다. 반도체 성장 기판(1194)은, 결정 성장용 기판(제1 기판)(1001) 상에 성장시킨 반도체층(1150)을 갖는다. 결정 성장용 기판(1001)은, 예를 들면 Si 기판이나 사파이어 기판 등이다. 바람직하게는, Si 기판이 사용된다.

[0090] 이 예에서는, 결정 성장용 기판(1001)의 일방의 면에는, 버퍼층(1140)이 형성되어 있다. 버퍼층(완충층)(1140)은, AlN 등의 나이트라이드가 바람직하게 사용된다. 버퍼층(1140)은, GaN을 에피택셜 성장시킬 때에, GaN의 결정과 결정 성장용 기판(1001)의 계면에서의 부정합을 완화시키기 위해 사용된다.

[0091] 반도체 성장 기판(1194)에서는, 버퍼층(1140) 상에, n형 반도체층(1151), 발광층(1152) 및 p형 반도체층(1153)이, 버퍼층(1140) 측으로부터 이 순으로 적층된다. 반도체층(1150)의 성장에는, 예를 들면 기상 성장법(Chemical Vapor Deposition, CVD법)이 이용되고, 유기 금속 기상 성장법(Metal Organic Chemical Vapor Deposition, MOCVD법)이 바람직하게 이용된다. 반도체층(1150)은, 예를 들면, $In_XAl_YGa_{1-X-Y}N$($0 \leq X$, $0 \leq Y$, $X+Y<1$) 등이다.

[0092] 도 5b에 나타내는 바와 같이, 반도체층(1150)을 형성한 후, 결정 성장용 기판(1001)이 설치된 측과는 대향하는 쪽의 p형 반도체층(1153)이 개방된 면에 지지 기판(1190)이 접착된다. 지지 기판(1190)은, 예를 들면 Si나 석영 등에 의해 형성되어 있다. 그 후, 결정 성장용 기판(1001)은 제거된다. 결정 성장용 기판(1001)의 제거에는, 예를 들면 레이저가 사용된다.

[0093] 회로 기판(1100)이 준비된다. 회로 기판(제2 기판)(1100)은, 서브픽셀(20)의 구성에 대해 도 1 등에서 설명한 회로(101)를 갖는다.

[0094] 도면의 화살표와 같이, 회로 기판(1100)의 일방의 면과, 반도체층(1150)의 버퍼층(1140)의 면을 맞추어, 양자를 접합한다. 회로 기판(1100)의 접합면은, 배선층(160) 상에 형성된 층간 절연막(112)의 노출면이다.

[0095] 2개의 기판을 접합하는 웨이퍼 본딩에서는, 예를 들면, 2개의 기판을 가열하여 열 압착에 의해 2개의 기판을 접합한다. 가열 압착할 때에, 저융점 금속이나 저융점 합금을 사용해도 된다. 저융점 금속은, 예를 들면 Sn이나 In 등이며, 저융점 합금은, 예를 들면 Zn이나 In, Ga, Sn, Bi 등을 주성분으로 한 합금으로 할 수 있다.

[0096] 웨이퍼 본딩에서는, 전술한 것 이외에, 각각의 기판의 접합면을 화학 기계 연마(Chemical Mechanical Polishing, CMP) 등을 이용하여 평탄화한 후에, 진공중에서 접합면을 플라즈마 처리에 의해 청정화하여 밀착시키도록 해도 된다.

[0097] 도 5c에 나타내는 바와 같이, 웨이퍼 본딩에서는, 지지 기판(1190)에 반도체층(1150)을 부착하고, 결정 성장용 기판(1001)을 제거한 후에, 버퍼층(1140)도 제거해도 된다. 지지 기판(1190)에 지지된 반도체층(1150)은, 버퍼층(1140)이 제거되어 개방된 n형 반도체층(1151)의 면을, 회로 기판(1100)에 접합한다. 또는, 버퍼층(1140)을 설치하지 않고, 반도체층(1150)을 결정 성장시킨 반도체 성장 기판을 사용해도 된다. 이하에서는, 버퍼층(1140)을 설치한 상태에서 웨이퍼 본딩한 경우에 대해 설명하지만, 버퍼층(1140)을 삭제한 경우도 마찬가지로 제조할 수 있다.

[0098] 도 6a 및 도 6b에 나타내는 바와 같이, 회로 기판(1100)은, 웨이퍼 본딩에 의해 버퍼층(1140)을 통해 반도체층(1150)에 접합된다. 반도체층(1150)은, 발광 소자(150)의 형상으로 형성된다. 발광 소자(150)의 성형에는, 예를 들면 드라이 에칭 프로세스가 이용되고, 바람직하게는, 이방성 플라즈마 에칭(Reactive Ion Etching, RIE)이 이용된다.

[0099] 도 6c에 나타내는 바와 같이, 발광 소자(150)를 덮어 층간 절연막이 형성된다. 층간 절연막에는, 비아 홀이 형성된다. 그 후, 비아 홀에 도전성의 금속 재료가 충전된다. 비아 홀의 형성에는 웨트 에칭 또는 드라이 에칭 중 어느 하나를 이용할 수 있다.

[0100] 그 후, 스퍼터 등에 의해, 비아 홀 내에 도전층을 형성하고, 포토리소그래피에 의해 배선층(160)을 형성한다. 비아 홀을 형성한 후, 비아 및 배선층을 동시에 형성하도록 해도 된다.

[0101] 서브픽셀(20) 이외의 회로의 일부는, 회로 기판(100) 중에 형성되어 있다. 예를 들면, 행 선택 회로(5)(도 3)는, 구동 트랜지스터나 선택 트랜지스터 등과 함께, 회로 기판(100) 중에 형성될 수 있다. 즉, 행 선택 회로(5)는, 전술한 제조 공정에 따라 동시에 통합되어 있는 경우가 있다. 한편, 신호 전압 출력 회로(7)는, CPU나 다른 회로 요소와 함께 다른 기판에 실장되고, 예를 들면 후술하는 컬러 필터의 통합 전에, 또는, 컬러 필터의 통합 후에, 회로 기판(100)의 배선과 서로 접속된다.

[0102] 바람직하게는, 회로 기판(1100)은, 회로(101)를 포함하는 웨이퍼이다. 회로 기판(1100)에는, 1개 또는 복수의 화상 표시 장치를 위한 회로(101)가 형성되어 있다. 또는, 보다 큰 화면 사이즈 등의 경우에는, 1개의 화상 표시 장치를 구성하기 위한 회로(101)가 복수의 회로 기판(1100)에 분할되어 형성되어 있고, 분할된 회로 모두를 조합시켜, 1개의 화상 표시 장치를 구성하도록 해도 된다.

[0103] 또한, 바람직하게는, 결정 성장용 기판(1001)은, 웨이퍼 형상의 회로 기판(1100)과 동일한 크기의 웨이퍼이다. 또는, 1개의 회로 기판(1100)에 복수의 결정 성장용 기판(1001)에 형성된 반도체층(1150)을 접합하도록 해도 된다.

[0104] 도 7a 및 도 7b는, 본 실시형태의 화상 표시 장치의 변형예의 제조 방법을 예시하는 모식적인 단면도이다.

[0105] 도 7a 및 도 7b는, 도 2a의 서브픽셀(20a)을 형성하기 위한 제조 공정을 나타내고 있다. 본 변형예에서는, 제2 층간 절연막(256)(156)을 형성할 때까지는, 제1 실시형태의 경우와 동일한 공정을 가지고 있다. 이하에서는, 도 6b 또는 도 6c의 공정 이후에 도 7a, 도 7b의 공정이 실행되는 것으로 하여 설명한다.

[0106] 도 7a에 나타내는 바와 같이, 제2 층간 절연막(256)(156)을 에칭에 의해 개구(158)를 형성하고, p형 반도체층(153)의 면을 노출시킨다. 에칭은, 웨트 에칭이어도 되고, 드라이 에칭이어도 된다.

[0107] 그 후, 노출된 p형 반도체층(153)의 발광면(153S)은, 발광 효율을 향상시키기 위해 조면화된다.

[0108] 도 7b에 나타내는 바와 같이, 개구(158)를 포함시켜 배선층을 성막하고, 포토리소그래피에 의해 각 배선(160a1, 160k)을 형성한다. 배선(160a1)은, 노출된 p형 반도체층(153)의 발광면(153S)에 접속되도록 형성된다.

[0109] 이와 같이 하여, 변형예의 서브픽셀(20a)이 형성된다.

[0110] 도 8a 및 도 8b는, 본 실시형태의 화상 표시 장치의 하나의 변형예의 제조 방법을 예시하는 모식적인 단면도이다.

[0111] 도 8a 및 도 8b는, 도 2b의 서브픽셀(20b)을 형성하기 위한 제조 공정을 나타내고 있다. 본 변형예에서는, 개구(158)를 형성할 때까지는, 전술한 변형예의 경우와 동일한 공정을 가지고 있다. 따라서, 이하에서는, 도 7a 이후에, 도 8a, 도 8b의 공정이 실행되는 것으로 하여 설명한다.

[0112] 도 8a에 나타내는 바와 같이, p형 반도체층(153)의 발광면(153S)을 노출하도록 개구(158)를 형성한 후, 각 배선(160a2, 160k)을 형성한다. 배선(160a2)은, p형 반도체층(153)의 발광면(153S)에 접속되어 있지 않다.

[0113] 도 8b에 나타내는 바와 같이, 배선층(160), 제2 층간 절연막(256)(156) 및 p형 반도체층(153)의 발광면(153S)을 덮는 투명 도전막을 형성한다. 투명 도전막은, ITO막이나 ZnO막 등이 바람직하게 사용된다. 포토리소그래피에 의해, 필요한 투명 전극(159a, 159k)이 형성된다. 투명 전극(159a)은, 배선(160a2) 상에 형성됨과 함께, p형 반도체층(153)의 발광면(153S) 상에도 형성되어 있다. 따라서, 배선(160a2) 및 p형 반도체층(153)은 전기적으로 접속된다. 바람직하게는, 투명 전극(159a)은, 노출되어 있는 발광면(153S)의 전체면을 덮도록 설치되고, 발광면(153S)에 접속되어 있다.

[0114] 이와 같이 하여, 변형예의 서브픽셀(20b)이 형성된다.

[0115] 도 9는 본 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

[0116] 한편, 도 9에서는, 번잡함을 피하기 위해, 회로 기판(100) 내 또는 층간 절연막(112, 156) 내 등의 배선 등에 대해서는, 표시가 생략되어 있다. 또한, 도 9에는, 컬러 필터(180) 등의 색변환 부재의 일부가 표시되어 있다. 여기서는, 버퍼층(140), 발광 소자(150), 비아(161k, 161d), 배선층(160), 층간 절연막(156) 및 표면 수지층(170)을 포함하는 구조물을 발광 회로부(172)라고 부른다. 또한, 회로 기판(100) 상에 발광 회로부(172)를 설치한 구조물을 구조체(1192)라고 부른다.

[0117] 도 9에 나타내는 바와 같이, 컬러 필터(180)는, 일방의 면에서 구조체(1192)에 접착된다. 컬러 필터(180)의 타방의 면은 유리 기판(186)에 접착되어 있다. 컬러 필터(180)의 일방의 면에는, 투명 박막 접착층(188)이 설치되어 있고, 투명 박막 접착층(188)을 통해, 구조체(1192)의 발광 회로부(172) 측의 면에 접착된다.

[0118] 컬러 필터(180)는, 이 예에서는, 적색, 녹색, 청색의 순으로 X축의 정방향으로 색변환부가 배열되어 있다. 적색 및 녹색에 대해서는, 1층째에 적색의 색변환층(183R) 및 녹색의 색변환층(183G)이 각각 설치되어 있고, 2층째에 필터층(184)이 각각 설치되어 있다. 청색에 대해서는, 단층의 색변환층(183B)이 설치되어 있다. 각 색변환부의 사이에는, 차광부(181)가 설치되어 있다.

[0119] 각 색의 색변환층(183R, 183G, 183B)의 위치를 발광 소자(150)의 위치에 맞추어, 컬러 필터(180)는 구조체(1192)에 부착된다.

[0120] 도 10a~도 10d는 본 실시형태의 화상 표시 장치의 변형예의 제조 방법을 나타내는 모식적인 단면도이다.

[0121] 도 10a~도 10d에는, 컬러 필터를 잉크젯으로 형성하는 방법이 나타내어져 있다.

[0122] 도 10a에 나타내는 바와 같이, 회로 기판(100)에 발광 회로부(172)가 부착된 구조체(1192)가 준비된다.

[0123] 도 10b에 나타내는 바와 같이, 구조체(1192) 상에 차광부(181a)가 형성된다. 차광부(181a)는, 예를 들면 스크린 인쇄나 포토리소그래피 기술 등을 이용하여 형성된다.

[0124] 도 10c에 나타내는 바와 같이, 발광색에 따른 형광체(183a)는, 잉크젯 노즐로부터 분출된다. 형광체(183a)는, 차광부(181a)가 형성되어 있지 않은 영역을 착색한다. 형광체(183a)는, 예를 들면 일반적인 형광체 재료나 양자점 형광체 재료를 사용한 형광 도료가 사용된다. 양자점 형광체 재료를 사용한 경우에는, 각 발광색을 실현

할 수 있음과 함께, 단색성이 높고, 색재현성을 높게 할 수 있으므로 바람직하다. 잉크젯 노즐에 의한 묘화 후, 적절한 온도 및 시간에서 건조 처리를 행한다. 착색시의 도막의 두께는, 차광부(181a)의 두께보다 얇게 설정되어 있다.

[0125] 이미 설명한 바와 같이, 청색 발광의 서브픽셀에 대해서는, 색변환부를 형성하지 않는 경우가 있으므로, 형광체는 분출되지 않는다. 또한, 청색 발광의 서브픽셀에 대해, 청색의 색변환층을 형성하는 경우에는, 색변환부는 1층으로 충분하므로, 바람직하게는, 청색의 형광체의 도막의 두께는 차광부(181a)의 두께와 동일한 정도가 된다.

[0126] 도 10d에 나타내는 바와 같이, 필터층을 위한 도료(184a)는, 잉크젯 노즐로부터 분출된다. 도료(184a)는, 형광체(183a)의 도막에 겹쳐서 도포된다. 형광체(183a) 및 도료(184a)의 도막의 합계 두께는, 차광부(181a)의 두께와 동일한 정도가 된다.

[0127] 이와 같이 하여, 화상 표시 장치(1)를 제조할 수 있다.

[0128] 본 실시형태의 화상 표시 장치(1)의 효과에 대해 설명한다.

[0129] 본 실시형태의 화상 표시 장치(1)의 제조 방법에서는, 발광 소자(150)를 구동하는 트랜지스터(103) 등의 회로 소자를 포함하는 회로 기판(1100)(100)에, 발광 소자(150)를 위한 발광층(1152)을 포함하는 반도체층(1150)을 접합한다. 그 후, 반도체층(1150)을 에칭하여 발광 소자(150)를 형성한다. 그 때문에, 회로 기판(1100)(100)에 개편화된 발광 소자를 개별적으로 전사하는 것에 비해, 발광 소자를 전사하는 공정을 현저하게 단축할 수 있다.

[0130] 예를 들면, 4K 화질의 화상 표시 장치에서는, 서브픽셀의 수는 2400만개를 초과하고, 8K 화질의 화상 표시 장치의 경우에는, 서브픽셀의 수는 9900만개를 초과한다. 이만큼 대량의 발광 소자를 개별적으로 회로 기판에 실장하는 것으로는, 방대한 시간을 필요로 하게 되고, 마이크로 LED에 의한 화상 표시 장치를 현실적인 비용으로 실현하는 것은 곤란하다. 또한, 대량의 발광 소자를 개별적으로 실장한 것으로는, 실장시의 접속 불량 등에 의한 수율이 저하되어, 한층 더 비용 상승을 피할 수 없다.

[0131] 반면, 본 실시형태의 화상 표시 장치(1)의 제조 방법에서는, 반도체층(1150)을 개편화하기 전에, 반도체층(1150) 전체를 회로 기판(1100)(100)에 부착하므로, 전사 공정이 1회로 완료된다.

[0132] 회로 기판 상에서, 에칭 등에 의해 발광 소자를 직접 형성한 후에, 발광 소자와, 회로 기판(1100)(100) 내의 회로 소자를, 비아 형성에 의해 전기적으로 접속하므로, 균일한 접속 구조를 실현할 수 있어, 수율의 저하를 억제할 수 있다.

[0133] 나아가, 반도체층(1150)을 미리 개편화하거나, 회로 소자에 대응한 위치에 전극을 형성하거나 하지 않고, 웨이퍼 레벨에서 회로 기판(1100)(100)에 부착하므로, 얼라인먼트를 취할 필요가 없다. 그 때문에, 부착 공정을 단시간에 용이하게 행하는 것이 가능해진다. 부착 시에 얼라인먼트를 취할 필요가 없으므로, 발광 소자(150)의 소형화도 용이하며, 고정세화된 디스플레이에 바람직한다.

[0134] (제2 실시형태)

[0135] 도 11은 본 실시형태에 따른 화상 표시 장치의 일부를 예시하는 모식적인 단면도이다.

[0136] 본 실시형태에서는, 발광 소자(250)의 구성 및 발광 소자(250)를 구동하는 트랜지스터(203)의 구성이 전술한 다른 실시형태의 경우와 상이하다. 전술한 다른 실시형태의 경우와 동일한 구성요소에는, 동일한 부호를 붙여 상세한 설명을 적절히 생략한다.

[0137] 도 11에 나타내는 바와 같이, 본 실시형태의 화상 표시 장치의 서브픽셀(220)은 트랜지스터(203)와 발광 소자(250)를 포함한다. 트랜지스터(203)는, 기판(102)에 형성된 소자 형성 영역(204)에 형성되어 있다. 소자 형성 영역(204)은, n형 반도체 영역(204b)과 p형 반도체 영역(204s, 204d)을 포함한다. n형 반도체 영역(204b)은, 기판(102)의 표면 부근에 설치되어 있다. p형 반도체 영역(204s, 204d)은, n형 반도체 영역(204b) 내에서 n형 반도체 영역(204b)의 표면 부근에 서로 이격되어 설치되어 있다.

[0138] 절연층(105)을 통해, n형 반도체 영역(204b) 위에 게이트(107)가 설치되어 있다. 게이트(107)는 p형 반도체 영역(204s, 204d)의 사이에 설치되어 있다.

[0139] 트랜지스터(203)의 상부 구조 및 배선의 구조는, 전술한 다른 실시형태의 경우와 동일하다. 본

실시형태에서는, 트랜지스터(203)는 p채널 MOSFET이다.

[0140] 발광 소자(250)는, p형 반도체층(제1 반도체층)(253)과, 발광층(252)과, n형 반도체층(제2 반도체층)(251)을 포함한다. p형 반도체층(253), 발광층(252) 및 n형 반도체층(251)은, 회로 기판(100)의 제1 층간 절연막(112)으로부터 발광면(251S)을 향해 이 순으로 적층되어 있다. 발광 소자(250)는, XY 평면에서 보았을 때, 예를 들면, 대략 정방형 또는 장방형 형상을 하고 있지만, 코너부는 둥글게 되어 있어도 된다. 발광 소자(250)는 XY 평면에서 보았을 때, 예를 들면 타원 형상이나 원 형상을 가지고 있어도 된다. 평면에서 보았을 때의 발광 소자의 형상이나 배치 등을 적절히 선정함으로써, 레이아웃의 자유도가 향상된다. p형 반도체층(253)은, 이 예에서는, 제1 층간 절연막(112) 상을 X축 방향으로 연장하는 단차부(253a)를 갖는다.

[0141] 발광 소자(250)는, 전술한 다른 실시형태의 경우와 동일한 재료로 충분하다. 발광 소자(250)는, 예를 들면 467nm±20nm 정도의 청색 광 또는 410nm±20nm의 파장의 청자색 광을 발광한다.

[0142] 본 실시형태에서는, 발광 소자(250)는 버퍼층을 거치지 않고, 층간 절연막(제1 절연막)(112) 상에 설치되어 있다.

[0143] 제2 층간 절연막(제2 절연막)(256)은, 제1 층간 절연막(112) 및 발광 소자(250)를 덮고 있다. 제2 층간 절연막(256)은 개구(258)를 가지고 있다. 개구(258)는 발광 소자(250) 상에 형성되어 있고, 층간 절연막(256)은 발광 소자(250)의 발광면(251S) 상에 설치되어 있지 않다. 층간 절연막(256)은, 발광 소자(250)가 발광하는 광을 반사시켜 개구(258)로부터 효과적으로 출력되도록, 백색 수지가 바람직하게 사용된다.

[0144] 발광면(251S)은, n형 반도체층(251)의 면 중 발광층(252)에 접하는 면에 대향하는 면이다. 발광면(251S)은 조면화되어 있다.

[0145] 층간 절연막(256)을 관통하여, 비아(제2 비아)(261a)가 설치되어 있다. 비아(261a)의 일단은 단차부(253a)에 접속되어 있다.

[0146] 비아(제1 비아)(161d)는, 층간 절연막(112, 256)을 관통하여 설치되어 있다. 비아(161d)의 일단은 배선(110d)에 접속되어 있다.

[0147] 배선층(260)은 층간 절연막(256) 상에 설치되어 있다. 배선층(260)은 배선(260k, 260a)을 포함한다. 배선(260a)은 비아(261a, 161d)의 타단에 접속되어 있다. 따라서, 발광 소자(250)의 p형 반도체층(253)은, 비아(261a, 161d)를 통해, 트랜지스터(203)의 주전극에 전기적으로 접속된다.

[0148] 배선(260k)은 도시하지 않지만, 접지선에 접속되어 있다. 배선(260k) 상에는, 투명 전극(259k)이 설치되어 있다. 투명 전극(259k)은, 발광면(251S)까지 연장하고 있고, 발광면(251S)의 전체면에 걸쳐 설치되어 있다. 따라서, n형 반도체층(251)은, 투명 전극(259k) 및 배선(260k)을 통해, 접지선에 접속되어 있다.

[0149] 배선(260a) 상에도 투명 전극(259a)가 배치되어 있다.

[0150] 층간 절연막(256) 및 투명 전극(259k, 259a) 상에는, 표면 수지층(170)이 설치되어 있다.

[0151] 도 12는 본 실시형태에 따른 화상 표시 장치를 예시하는 모식적인 블록도이다.

[0152] 도 12에 나타내는 바와 같이, 본 실시형태의 화상 표시 장치(201)는, 표시 영역(2), 행 선택 회로(205) 및 신호 전압 출력 회로(207)를 구비한다. 표시 영역(2)에는, 전술한 다른 실시형태의 경우와 마찬가지로, 예를 들면 서브픽셀(220)이 격자 형상으로 배열되어 있다.

[0153] 본 실시형태에서는, 발광 소자(222)가 접지선(4) 측에 설치되어 있고, 발광 소자(222)에 직렬로 접속된 구동 트랜지스터(226)는, 전원선(3) 측에 설치되어 있다. 즉, 구동 트랜지스터(226)는, 발광 소자(222)보다 고전위측에 접속되어 있다. 구동 트랜지스터(226)는 p채널 MOSFET이다.

[0154] 구동 트랜지스터(226)의 게이트 전극과 신호선(208)의 사이에는, 선택 트랜지스터(224)가 접속되어 있다. 커패시터(228)는, 구동 트랜지스터(226)의 게이트 전극과 전원선(3)의 사이에 접속되어 있다.

[0155] 행 선택 회로(205) 및 신호 전압 출력 회로(207)는, p채널 MOSFET인 구동 트랜지스터(226)를 구동하기 위해, 전술한 다른 실시형태와 상이한 극성의 선택 신호 및 신호 전압을, 주사선(206) 및 신호선(208)에 공급한다.

[0156] 본 실시형태에서는, 구동 트랜지스터(226)의 극성이 p채널이기 때문에, 선택 신호 및 신호 전압의 극성 등이 전술한 다른 실시형태의 경우와 상이하다. 즉, 행 선택 회로(205)는, m행의 서브픽셀(220)의 배열로부터, 순차 1행을 선택하도록 주사선(206)에 선택 신호를 공급한다. 신호 전압 출력 회로(207)는, 선택된 행의 각 서브픽셀

(220)에 필요한 아날로그 전압값을 갖는 신호 전압을 공급한다. 선택된 행의 서브픽셀(220)의 구동 트랜지스터(226)는, 신호 전압에 따른 전류를 발광 소자(222)에 흘린다. 발광 소자(222)는, 흘린 전류에 따른 휘도로 발광한다.

[0157] 본 실시형태의 화상 표시 장치(201)의 제조 방법에 대해 설명한다.

[0158] 도 13a~도 14b는 본 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

[0159] 본 실시형태에서는, 도 5a에서 이미 설명한 반도체 성장 기판(1194)을 사용한다. 이하에서는, 결정 성장용 기판(1001) 상에 버퍼층(1140)을 통해 에피택셜 성장된 반도체층(1150)을 갖는 반도체 성장 기판(1194)을 준비한 이후의 공정에 대해 설명한다.

[0160] 도 13a에 나타내는 바와 같이, 본 실시형태에서는, 반도체 성장 기판(1194)으로부터 결정 성장용 기판(1001)을 제거하지 않고, 반도체 성장 기판(1194)의 상하를 반전시켜, 회로 기판(1100)에 부착한다. 즉, 결정 성장용 기판(1001)과는 반대측의 p형 반도체층(1153)의 노출면을, 도면의 화살표로 나타낸 바와 같이, 회로 기판(1100)의 층간 절연막(112)의 평탄화된 면에 웨이퍼 본딩에 의해 부착한다. 웨이퍼 본딩은, 전술한 다른 실시형태의 경우와 마찬가지로 행할 수 있다.

[0161] 도 13b에 나타내는 바와 같이, 레이저 조사 등에 의해, 결정 성장용 기판(1001)은 제거된다.

[0162] 도 14a에 나타내는 바와 같이, 반도체층(1150)을 버퍼층(1140)과 함께, 에칭하여 발광 소자(250)를 형성한다. 발광 소자(250) 상에는, 버퍼층(240)이 남아 있으므로, 더욱 에칭하여, 버퍼층(240)은 제거된다. 버퍼층(240)은, 발광 소자(250)를 형성하기 전에 제거되어도 된다.

[0163] 도 14b에 나타내는 바와 같이, 제1 층간 절연막(112) 및 발광 소자(250)를 덮는 제2 층간 절연막(256)이 형성된다. 그 후, 제2 층간 절연막(256)을 관통하도록 비아 홀이 형성된다. 도전성의 금속 재료가 비아 홀에 충전된다.

[0164] 제2 층간 절연막(256)에는, 개구(258)가 형성되고, n형 반도체층(251)의 발광면(251S)을 노출시킨다. 개구(258)는, 웨트 또는 드라이 중 어느 하나의 에칭법에 의해 형성된다.

[0165] 그 후, 노출된 n형 반도체층(251)의 발광면(251S)은, 발광 효율을 향상시키기 위해 조면화된다.

[0166] 개구(258)를 포함시켜 배선층을 성막하고, 포토리소그래피에 의해 각 배선(260k, 260a)을 형성한다. 배선(260a)은 비아(261a, 161d)에 접속된다. 배선(260k)은, 도시하지 않는 접지선에 접속된다.

[0167] 그 후, 배선(260a, 260k) 상에 투명 전극(259a, 259k)이 각각 설치된다. 투명 전극(259k)은 발광면(251S)까지 연장되어 설치된다. 투명 전극(259k)은 발광면(251S)의 전체면에 걸쳐 설치된다. 따라서, n형 반도체층(251)은, 투명 전극(259k) 및 배선(260k)을 통해 접지선(4)에 접속된다.

[0168] 도 15는 본 실시형태의 화상 표시 장치의 변형예의 일부를 예시하는 모식적인 단면도이다.

[0169] 도 15에 나타내는 바와 같이, 이 변형예에서는, 투명 전극을 사용하지 않고 배선과 발광면의 전기적 접속을 취한다. 서브픽셀(220a)에서는, 배선(260k1)은, 투명 전극을 거치지 않고 직접 n형 반도체층(251)에 접속되도록 패터닝된다.

[0170] 본 실시형태에서는, 발광 효율의 관점에서, n형 반도체층의 발광면을 조면화하는 것이 바람직하지만, 제1 실시형태의 경우와 같이, 조면화하지 않고 투명한 층간 절연막(156)을 통해 발광시키도록 해도 된다.

[0171] 본 실시형태의 화상 표시 장치(201)의 효과에 대해 설명한다.

[0172] 본 실시형태에 있어서도, 전술한 다른 실시형태의 경우와 마찬가지의 효과를 갖는다. 즉, 회로 기판(1100)에 반도체층(1150)을 접합한 후, 개별 발광 소자(250)를 에칭에 의해 형성하므로, 발광 소자의 전사 공정을 현저하게 단축할 수 있다.

[0173] 전술한 다른 실시형태의 경우의 효과에 더하여, 본 실시형태에서는, n형 반도체층(251)을 발광면(251S)으로 함으로써, 보다 용이하게 조면화할 수 있고, 발광면(251S)에 배선(260k1)을 접속함으로써, 발광 효율이 높은 서브픽셀을 형성할 수 있다.

[0174] (제3 실시형태)

[0175] 본 실시형태에서는, 발광층을 포함하는 단일의 반도체층에, 복수의 발광 소자에 상당하는 복수의 발광면을 형성

함으로써, 보다 발광 효율이 높은 화상 표시 장치를 실현한다. 이하의 설명에서는, 전술한 다른 실시형태의 경우와 동일한 구성요소에는, 동일한 부호를 붙여 상세한 설명을 적절히 생략한다.

[0176] 도 16은 본 실시형태에 따른 화상 표시 장치의 일부를 예시하는 모식적인 단면도이다.

[0177] 도 16에 나타내는 바와 같이, 화상 표시 장치는 서브픽셀군(320)을 구비한다. 서브픽셀군(320)은, 트랜지스터(103-1, 103-2)와, 제1 배선층(310)과, 제1 층간 절연막(112)과, 반도체층(350)과, 제2 층간 절연막(356)과, 제2 배선층(360)과, 비아(361d1, 361d2)를 포함한다.

[0178] 반도체층(350)은 2개의 발광면(351S1, 351S2)을 포함하고 있고, 서브픽셀군(320)이 실질적으로 2개의 서브픽셀을 포함한다. 본 실시형태에서는, 전술한 다른 실시형태의 경우와 마찬가지로, 실질적으로 2개의 서브픽셀을 포함하는 서브픽셀군(320)이 격자 형상으로 배열됨으로써, 표시 영역이 형성된다.

[0179] 트랜지스터(103-1, 103-2)는 소자 형성 영역(104-1, 104-2)에 각각 형성되어 있다. 이 예에서는, 소자 형성 영역(104-1, 104-2)은 n형 반도체층이며, n형 반도체층에 이격되어 p형 반도체층이 형성되어 있다. n형 반도체층은 채널 영역을 포함하고 있고, p형 반도체층은 소스 영역 및 드레인 영역을 각각 포함하고 있다.

[0180] 소자 형성 영역(104-1, 104-2) 상에는, 절연층(105)이 형성되고, 절연층(105)을 통해, 게이트(107-1, 107-2)가 각각 형성되어 있다. 게이트(107-1, 107-2)는 트랜지스터(103-1, 103-2)의 게이트이다. 이 예에서는, 트랜지스터(103-1, 103-2)는 p채널 MOSFET이다.

[0181] 2개의 트랜지스터(103-1, 103-2) 상에는, 절연막(108)이 덮고 있다. 절연막(108) 상에 배선층(제1 배선층)(310)이 형성되어 있다.

[0182] 트랜지스터(제1 트랜지스터)(103-1)의 p형 반도체층과 배선층(310)의 사이에는, 비아(111s1, 111d1)가 각각 설치되어 있다. 트랜지스터(제2 트랜지스터)(103-2)의 p형 반도체층과 배선층(310)의 사이에는, 비아(111s2, 111d2)가 설치되어 있다.

[0183] 제1 배선층(310)은 배선(310s, 310d1, 310d2)을 포함한다. 배선(310s)은, 비아(111s1, 111s2)를 통해, 트랜지스터(103-1, 103-2)의 소스 전극에 대응하는 p형 반도체층에 전기적으로 접속되어 있다. 배선(310s)은, 도시하지 않지만, 전원선에 접속된다.

[0184] 배선(310d1)은, 비아(111d1)를 통해, 트랜지스터(103-1)의 드레인 전극에 대응하는 p형 반도체층에 접속되어 있다. 배선(310d2)은, 비아(111d2)를 통해, 트랜지스터(103-2)의 드레인 전극에 접속되어 있다.

[0185] 제1 층간 절연막(제1 절연막)(112)은, 트랜지스터(103-1, 103-2) 및 배선층(310)을 덮고 있다. 반도체층(350)은, 층간 절연막(112)의 상방에 설치되어 있다. 단일의 반도체층(350)은, X축 방향을 따라 배치된 2개의 구동용 트랜지스터(103-1, 103-2)의 사이에 설치되어 있다.

[0186] 반도체층(350)은, p형 반도체층(제1 반도체층)(353)과, 발광층(352)과, n형 반도체층(제2 반도체층)(351)을 포함한다. 반도체층(350)은, 층간 절연막(112)의 측으로부터 발광면(351S1, 351S2)을 향해, p형 반도체층(353), 발광층(352) 및 n형 반도체층(351)의 순으로 적층되어 있다. p형 반도체층(353)은 단차부(353a1, 353a2)를 갖는다. 단차부(353a1)는 트랜지스터(103-1)의 측에 설치되어 있고, 단차부(353a2)는 트랜지스터(103-2)의 측에 설치되어 있다.

[0187] 제2 층간 절연막(제2 절연막)(356)은, 제1 층간 절연막(112) 및 반도체층(350) 상을 덮고 있다. 층간 절연막(356)은, 반도체층(350)의 일부를 덮고 있다. 바람직하게는, 층간 절연막(356)은, 반도체층(350)의 발광면(노출면)(351S1, 351S2)을 제외하고, n형 반도체층(351)의 면을 덮고 있다. 층간 절연막(356)은 반도체층(350)의 측면 및 단차부(353a1, 353a2)를 덮고 있다. 층간 절연막(356)은, 바람직하게는 백색 수지이다.

[0188] 반도체층(350) 중 층간 절연막(356)으로 덮여 있지 않은 부분은, 투명 전극(359k)이 덮고 있다. 투명 전극(359k)은, 층간 절연막(356)의 개구(358-1, 358-2)로부터 각각 노출된 n형 반도체층(351)의 발광면(351S1, 351S2) 상에 설치되어 있다. 투명 전극(359k)은 n형 반도체층(351)에 전기적으로 접속되어 있다.

[0189] 비아(361a1, 361a2)는 층간 절연막(356)을 관통하여 설치되어 있다. 비아(361a1, 361a2)의 일단은, 단차부(353a1, 353a2)에 각각 접속되어 있다.

[0190] 비아(361d1, 361d2)는 층간 절연막(356, 112)을 관통하여 설치되어 있다. 비아(361d1, 361d2)의 일단은 배선(310d1, 310d2)에 각각 접속되어 있다.

[0191] 제2 배선층(제2 배선층)(360)은 층간 절연막(356) 상에 설치되어 있다. 배선층(360)은 배선(360a1, 360a2)을 포함한다. 비아(제1 비아)(361d1)는, 배선(제1 배선)(310d1)과 배선(제2 배선)(360a1)의 사이에 설치되어 있다. 비아(제2 비아)(361d2)는, 배선(제3 배선)(310d2)과 배선(제4 배선)(360a2)의 사이에 설치되어 있다.

[0192] 배선(360a1)은 비아(361a1)를 통해 p형 반도체층(353)에 접속되어 있다. 배선(360a2)은 비아(361a2)를 통해 p형 반도체층(353)에 접속되어 있다. 따라서, p형 반도체층(353)은, 배선(360a1), 비아(361d1) 및 배선(310d1)을 통해 트랜지스터(103-1)의 드레인 전극에 접속된다. p형 반도체층(353)은, 배선(360a2), 비아(361d2) 및 배선(310d2)을 통해 트랜지스터(103-2)의 드레인 전극에 접속된다.

[0193] 배선층(360)은 배선(360k)를 포함한다. 배선(360k) 상에는, 투명 전극(359k)이 설치되어 있고, 배선(360k)과 투명 전극(359k)은 전기적으로 접속되어 있다. 투명 전극(359k)은 개구(358-1, 358-2)에 연장되어 있다. 투명 전극(359k)은, 개구(358-1, 358-2)로부터 각각 노출된 발광면(351S1, 351S2)의 전체면에 걸쳐 설치되고, 전기적으로 접속되어 있다. 배선(360a1, 360a2) 상에도, 투명 전극(359a1, 359a2)이 각각 설치되어 있고, 서로 전기적으로 접속되어 있다.

[0194] 개구(358-1)는 배선(360a1, 360k)의 사이에 설치되어 있다. 개구(358-2)는, 배선(360k, 360a2)의 사이에 설치되어 있다. 배선(360k)은, 이 예에서는, 개구(358-1, 358-2)의 사이에 설치되어 있다. 개구(358-1, 358-2)는, XY 평면에서 보았을 때, 예를 들면 정방형 또는 장방형 형상이다. 사각형에 한정되지 않고, 원형, 타원형 또는 육각형 등의 다각형이어도 된다. 발광면(351S1, 351S2)도 XY 평면에서 보았을 때, 정방형이나 장방형, 그 외의 다각형이나 원형 등이다. 발광면(351S1, 351S2)의 형상은, 개구(358-1, 358-2)의 형상과 유사해도 되고, 다른 형상으로서도 된다.

[0195] 전술한 바와 같이, 개구(358-1, 358-2)로부터 노출되어 있는 발광면(351S1, 351S2)에는, 각각 투명 전극(359k)이 접속되어 있다. 그 때문에, 투명 전극(359k)으로부터 공급된 전자는, 노출된 발광면(351S1, 351S2)으로부터 n형 반도체층(351)에 주입된다. 한편, p형 반도체층(353)에는, 배선(360a1), 비아(361d1) 및 배선(310d1)을 통해, 트랜지스터(103-1)로부터 정공이 주입된다. 또한, p형 반도체층(353)에는, 배선(360a2), 비아(361d2) 및 배선(310d2)을 통해, 트랜지스터(103-2)로부터 정공이 주입된다.

[0196] 트랜지스터(103-1, 103-2)는, 인접하는 서브픽셀의 구동 트랜지스터이며, 순차 구동된다. 따라서, 2개의 트랜지스터(103-1, 103-2) 중 어느 일방으로부터 주입된 정공이 발광층(352)에 주입되고, 배선(360k)으로부터 주입된 전자가 발광층(352)에 주입되어 발광한다.

[0197] 여기서, 개구(358-1)는, 배선(360k)과 배선(360a1)의 사이에 설치되어 있으므로, 트랜지스터(103-1)가 온으로 되었을 때에는, 개구(358-1)로부터 노출된 발광면(351S1)으로부터 발광한다. 한편, 개구(358-2)는, 배선(360k)과 배선(360a2)의 사이에 설치되어 있으므로, 트랜지스터(103-2)가 온으로 되었을 때에, 개구(358-2)로부터 노출된 발광면(351S2)로부터 발광한다.

[0198] 본 실시형태의 화상 표시 장치의 제조 방법에 대해 설명한다.

[0199] 도 17a~도 18b는 실시형태의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

[0200] 도 17a에 나타내는 바와 같이, 반도체층(1150)이 에피택셜 성장된 결정 성장용 기판(1001)을 포함하는 반도체 성장 기판(1194)은, 회로 기판(3100)과, 웨이퍼 본딩에 의해 서로 접합된다. 결정 성장용 기판(1001) 상의 반도체층(1150) 등에 대해서는, 전술한 다른 실시형태의 경우에 있어서 이미 설명한 구조와 마찬가지여서, 상세한 설명을 생략한다. 또한, 회로 기판(3100)에 대해서도, 회로의 구성이 전술한 다른 실시형태의 경우와 상이하지만, 다른 대부분의 부분에서 이미 설명한 구조와 마찬가지이다. 이하에서는, 부호만을 바꾸고, 상세한 설명을 적절히 생략한다.

[0201] 도 17b에 나타내는 바와 같이, 이 예에서는, 반도체층(1150)은, 결정 성장용 기판(1001)이 있는 면과는 반대측의 면이 회로 기판(3100)의 층간 절연막(112)의 평탄면에 접합된다. 즉, 반도체층(1150)의 p형 반도체층(1153)의 노출면이 층간 절연막(112)에 접합된다.

[0202] 도 18a에 나타내는 바와 같이, 반도체층(1150)은 에칭되어, p형 반도체층(353)의 단부가 형성된다. p형 반도체층(353)의 단부에는, 비아 접속용의 단차부(353a1, 353a2)가 형성되어 있다. p형 반도체층(353)의 단차부 이외의 위에는, 발광층(352) 및 n형 반도체층(351)이 형성된다.

[0203] 그 후, 층간 절연막(356) 및 반도체층(350)을 덮는 층간 절연막이 형성되어, 비아가 형성된다. 나아가, 배선층

(360)이 형성되고, 에칭에 의해 배선(360a1, 360k) 등이 형성된다.

[0204] 도 18b에 나타내는 바와 같이, 배선(360a1, 360k) 사이의 부분 및 배선(360a2, 360k) 사이의 부분에 개구(358-1, 358-2)가 각각 형성된다. 개구(358-1, 358-2)에 의해 노출된 n형 반도체층의 발광면(351S1, 351S2)은, 각각 조면화된다. 그 후, 투명 전극(359a1, 359a2, 359k)이 형성된다.

[0205] 이와 같이 하여, 2개의 발광면(351S1, 351S2)부를 공용하는 반도체층(350)을 갖는 서브픽셀이 형성된다.

[0206] 본 실시예에서는, 하나의 반도체층(350)에 2개의 발광면(351S1, 351S2)을 설치하였지만, 발광면의 수는 2개로 제한되지 않고, 3개 또는 그 이상의 발광면을 하나의 반도체층(350)에 설치하는 것도 가능하다. 일례로서, 1열 또는 2열분의 서브픽셀을, 단일의 반도체층(350)으로 실현해도 된다. 이에 의해 후술하는 바와 같이, 발광면 1개당 발광에 기여하지 않는 재결합 전류를 삭감함과 함께, 보다 미세한 발광 소자를 실현하는 효과를 증대시킬 수 있다.

[0207] (변형예)

[0208] 도 19는 본 실시형태에 따른 화상 표시 장치의 변형예의 일부를 예시하는 모식적인 단면도이다.

[0209] 본 변형예에서는, 발광층(352) 상에 2개의 n형 반도체층(3351a1, 3351a2)을 설치한 점에서 전술한 제3 실시형태의 경우와 상이하다. 그 외의 점에서는, 제3 실시형태의 경우와 동일하다.

[0210] 도 19에 나타내는 바와 같이, 본 변형예의 화상 표시 장치는 서브픽셀군(320a)을 구비한다. 서브픽셀군(320a)은 반도체층(350a)을 포함한다. 반도체층(350a)은, p형 반도체층(353)과, 발광층(352)과, n형 반도체층(3351a1, 3351a2)을 포함한다. p형 반도체층(353), 발광층(352) 및 n형 반도체층(3351a1, 3351a2)은, 층간 절연막(356)으로부터 발광면(3351S1, 3351S2)을 향해 이 순으로 적층되어 있다.

[0211] n형 반도체층(3351a1, 3351a2)은, 발광층(352) 상을 X축 방향을 따라 이격되어 배치되어 있다. n형 반도체층(3351a1, 3351a2) 사이에는, 층간 절연막(356)이 설치되고, n형 반도체층(3351a1, 3351a2)은, 층간 절연막(356)에 의해 분리되어 있다. 그 층간 절연막(356) 상에는, 배선(360k)이 설치되어 있다.

[0212] n형 반도체층(3351a1, 3351a2)은, XY 평면에서 보았을 때, 대략 동일한 형상을 가지고 있고, 그 형상은 대략 정방형 또는 장방형 형상이며, 다른 다각형 형상이나 원형 등이어도 된다.

[0213] n형 반도체층(3351a1, 3351a2)은 발광면(3351S1, 3351S2)을 각각 갖는다. 발광면(3351S1, 3351S2)은, 개구(358-1, 358-2)에 의해 각각 노출된 n형 반도체층(3351a1, 3351a2)의 면이다.

[0214] 발광면(3351S1, 3351S2)의 XY 평면에서 보았을 때의 형상은, 제3 실시형태의 경우의 발광면의 형상과 마찬가지로, 대략 동일한 형상을 가지며, 대략 정방형 등의 형상을 갖는다. 발광면(3351S1, 3351S2)의 형상은, 본 실시형태와 같은 사각형에 한정되지 않고, 원형, 타원형 또는 육각형 등의 다각형이어도 된다. 발광면(3351S1, 3351S2)의 형상은, 개구(358-1, 358-2)의 형상과 유사해도 되고, 다른 형상으로 해도 된다.

[0215] 발광면(3351S1) 상에는, 투명 전극(359k)이 설치되어 있다. 발광면(3351S2) 상에도 투명 전극(359k)이 설치되어 있다. 투명 전극(359k)은, 배선(360k) 상에도 설치되어 있고, 발광면(3351S1, 3351S2)에 접속된 투명 전극(359k)을 통해, n형 반도체층(3351a1, 3351a2)은, 배선(360k)에 접속되어 있다. 배선(360k)은, 도시하지 않지만, GND선에 접속되어 있다.

[0216] 도 20a 및 도 20b는 본 변형예의 화상 표시 장치의 제조 방법을 예시하는 모식적인 단면도이다.

[0217] 본 변형예에서는, 반도체층(1150)을 형성할 때까지는, 제3 실시형태의 경우에 도 17a~도 18a에서 설명한 공정과 마찬가지의 공정이 채용된다. 이하에서는, 그 이후의 공정에 대해 설명한다.

[0218] 도 20a에 나타내는 바와 같이, 본 변형예에서는, 버퍼층(1140), n형 반도체층(1151), 발광층(1152) 및 p형 반도체층(1153)을 에칭하여, 발광층(352) 및 p형 반도체층(353)을 형성한 후, 또한 에칭에 의해 2개의 n형 반도체층(3351a1, 3351a2)을 형성한다. 2개의 n형 반도체층(3351a1, 3351a2) 상의 버퍼층(340a)은, 그 후 제거된다. 버퍼층(340a)은, 이용하는 제조 프로세스의 상황에 따라, n형 반도체층(3351a1, 3351a2)을 에칭하는 것보다 이전에 제거되어도 된다.

[0219] n형 반도체층(3351a1, 3351a2)은, 또한 딥 에칭에 의해 형성되어도 된다. 예를 들면, n형 반도체층(3351a1, 3351a2)을 형성하기 위한 에칭은, 발광층(352) 내 또는 p형 반도체층(353) 내의 깊이에 도달할 때까지 행해도 된다. 이와 같이, n형 반도체층을 깊게 에칭하는 경우에는, n형 반도체층(351)의 에칭 위치는, 후술하는 n형

반도체층의 발광면(3351S1, 3351S2)으로부터 1㎛ 이상 떼어 놓는 것이 바람직하다. 에칭 위치를 발광면(3351S1, 3351S2)으로부터 떼어 놓음으로써, 재결합 전류를 억제할 수 있다.

[0220] 도 20b에 나타내는 바와 같이, 층간 절연막(112) 및 반도체층(3350a)을 덮는 층간 절연막이 형성되고, 그 후 비아가 형성된다. 나아가, 배선층(360)이 형성되고, 에칭에 의해 배선(360a1, 360k) 등이 형성된다.

[0221] 층간 절연막에 개구(358-1, 358-2)가 각각 형성된다. 개구(358-1, 358-2)에 의해 노출된 n형 반도체층의 발광면(3351S1, 3351S2)은 각각 조면화된다. 그 후, 투명 전극(359a1, 359a2, 359k)이 형성된다.

[0222] 이와 같이 하여, 2개의 발광면(3351S1, 3351S2)을 갖는 서브픽셀군(320a)이 형성된다.

[0223] 본 변형예의 경우도, 제3 실시형태의 경우와 마찬가지로, 발광면의 수는 2개로 한정되지 않고, 3개 또는 그 이상의 발광면을 하나의 반도체층(3350)에 설치해도 된다.

[0224] 본 실시형태의 화상 표시 장치의 효과에 대해 설명한다.

[0225] 도 21은 화소 LED의 특성을 예시하는 그래프이다.

[0226] 도 21의 종축은 발광 효율[%]을 나타내고 있다. 횡축은 화소 LED에 흘리는 전류의 전류 밀도를 상대값에 의해 나타내고 있다.

[0227] 도 21에 나타내는 바와 같이, 전류 밀도의 상대값이 1.0보다 작은 영역에서는, 화소 LED의 발광 효율은 대략 일정하거나, 단조롭게 증가한다. 전류 밀도의 상대값이 1.0보다 큰 영역에서는, 발광 효율은 단조롭게 감소한다. 즉, 화소 LED에는, 발광 효율이 최대가 되도록 하는 적절한 전류 밀도가 존재한다.

[0228] 발광 소자로부터 충분한 휘도가 얻어지는 정도로 전류 밀도를 억제함으로써, 고효율의 화상 표시 장치를 실현하는 것이 기대된다. 그러나, 저전류 밀도에서는, 전류 밀도의 저하와 함께, 발광 효율이 저하되는 경향이 있는 것이, 도 21에 의해 나타내어져 있다.

[0229] 제1 실시형태나 제2 실시형태에서 설명한 바와 같이, 발광 소자는, 발광층을 포함하는 반도체층(1150)의 전체층을 에칭 등에 의해 개별로 분리함으로써 형성된다. 이 때, 발광층과 n형 반도체층의 접합면이 단부에 노출된다. 마찬가지로, 발광층과 p형 반도체층의 접합면이 단부에 노출된다.

[0230] 이러한 단부가 존재하는 경우에는, 단부에 있어서 전자 및 정공이 재결합한다. 한편, 이러한 재결합은 발광에 기여하지 않는다. 단부에서의 재결합은, 발광 소자에 흘리는 전류와는 거의 관계없이 발생한다. 재결합은, 단부의 발광에 기여하는 접합면의 길이에 따라 발생하는 것으로 생각된다.

[0231] 동일 치수의 입방체 형상의 발광 소자를 2개 발광시키는 경우에는, 단부는, 발광 소자마다 사방에 형성되기 때문에, 합계 8개의 단부에 있어서 재결합이 발생할 수 있다.

[0232] 반면, 본 실시형태에서는, 2개의 발광면을 갖는 반도체층(350, 350a, 3350a)에서는, 단부는 4개이다. 개구(358-1, 358-2) 사이의 영역은, 전자나 정공의 주입이 적고, 발광에 거의 기여하지 않으므로, 발광에 기여하는 단부로서는, 6개가 된다고 생각할 수 있다. 이와 같이, 본 실시형태에서는, 단부의 수가 실질적으로 저감됨으로써, 발광에 기여하지 않는 재결합을 저감하고, 그 만큼, 구동 전류를 낮추는 것이 가능해진다.

[0233] 고정세화 등을 위해, 서브픽셀간의 거리를 단축하도록 하는 경우나 전류 밀도가 비교적 높은 경우 등에는, 제3 실시형태의 서브픽셀군(320)에서는, 발광면(351S1, 351S2)의 거리가 짧아진다. 이 경우에, n형 반도체층(351)이 공유되고 있으면, 인접하는 발광면의 측에 주입된 전자의 일부가 분류(分流)하여, 구동되지 않는 측의 발광면이 미세하게 발광할 우려가 있다. 변형예에서는, n형 반도체층을 발광면마다 분리하고 있으므로, 구동되지 않는 측의 발광면에 미세 발광이 생기는 것을 저감시킬 수 있다.

[0234] 본 실시형태에서는, 발광층을 포함하는 반도체층은, 층간 절연막의 측으로부터, p형 반도체층, 발광층 및 n형 반도체층의 순으로 적층함으로써, n형 반도체층의 노출면을 조면화하여 발광 효율을 향상시키는 관점에서는 바람직하다. 제1 실시형태의 경우와 마찬가지로, p형 반도체층과 n형 반도체층의 적층 순서를 바꾸어, n형 반도체층, 발광층 및 p형 반도체층의 순으로 적층하도록 해도 된다.

[0235] (제4 실시형태)

[0236] 전술한 화상 표시 장치는, 적절한 픽셀 수를 갖는 화상 표시 모듈로서, 예를 들면 컴퓨터용 디스플레이, 텔레비전, 스마트폰과 같은 휴대폰용 단말, 또는 카 내비게이션 등으로 할 수 있다.

[0237] 도 22는 본 실시형태에 따른 화상 표시 장치를 예시하는 블록도이다.

[0238] 도 22에는, 컴퓨터용 디스플레이의 구성의 주요 부분이 나타내어져 있다.

[0239] 도 22에 나타내는 바와 같이, 화상 표시 장치(401)는 화상 표시 모듈(402)을 구비한다. 화상 표시 모듈(402)은, 예를 들면 전술한 제1 실시형태의 경우의 구성을 구비한 화상 표시 장치이다. 화상 표시 모듈(402)은, 서브픽셀(20)이 배열된 표시 영역(2), 행 선택 회로(5) 및 신호 전압 출력 회로(7)를 포함한다.

[0240] 화상 표시 장치(401)는 제어기(470)를 더 구비하고 있다. 제어기(470)는, 도시하지 않는 인터페이스 회로에 의해 분리, 생성되는 제어 신호를 입력하여, 행 선택 회로(5) 및 신호 전압 출력 회로(7)에 대해, 각 서브픽셀의 구동 및 구동 순서를 제어한다.

[0241] (변형예)

[0242] 도 23은 본 변형예의 화상 표시 장치를 예시하는 블록도이다.

[0243] 도 23에는, 고정세 박형 텔레비전의 구성이 나타내어져 있다.

[0244] 도 23에 나타내는 바와 같이, 화상 표시 장치(501)는, 화상 표시 모듈(502)을 구비한다. 화상 표시 모듈(502)은, 예를 들면 전술한 제1 실시형태의 경우의 구성을 구비한 화상 표시 장치(1)이다. 화상 표시 장치(501)는, 제어기(570) 및 프레임 메모리(580)를 구비한다. 제어기(570)는, 버스(540)에 의해 공급되는 제어 신호에 기초하여, 표시 영역(2)의 각 서브픽셀의 구동 순서를 제어한다. 프레임 메모리(580)는 1프레임분의 표시 데이터를 저장하며, 원활한 동영상 재생 등의 처리를 위해 사용된다.

[0245] 화상 표시 장치(501)는 I/O 회로(510)를 갖는다. I/O 회로(510)는, 외부의 단말이나 장치 등과 접속하기 위한 인터페이스 회로 등을 제공한다. I/O 회로(510)에는, 예를 들면 외장형 하드디스크 장치 등을 접속하는 USB 인터페이스나, 오디오 인터페이스 등이 포함된다.

[0246] 화상 표시 장치(501)는 튜너(520) 및 신호 처리 회로(530)를 갖는다. 튜너(520)에는, 안테나(522)가 접속되고, 안테나(522)에 의해 수신된 전파로부터 필요한 신호를 분리, 생성한다. 신호 처리 회로(530)는, DSP(Digital Signal Processor)나 CPU(Central Processing Unit) 등을 포함하고 있고, 튜너(520)에 의해 분리, 생성된 신호는, 신호 처리 회로(530)에 의해, 화상 데이터나 음성 데이터 등으로 분리, 생성된다.

[0247] 튜너(520) 및 신호 처리 회로(530)를, 휴대전화의 송수신용이나 WiFi용, GPS 수신기 등의 고주파 통신 모듈로 함으로써, 다른 화상 표시 장치로 할 수도 있다. 예를 들면, 적절한 화면 사이즈 및 해상도의 화상 표시 모듈을 구비한 화상 표시 장치는, 스마트폰이나 카 내비게이션 시스템 등의 휴대 정보 단말로 할 수 있다.

[0248] 본 실시형태의 경우의 화상 표시 모듈은, 제1 실시형태의 경우의 화상 표시 장치의 구성에 한정되지 않고, 그 변형예나 다른 실시형태의 경우로 해도 된다.

[0249] 도 24는 제1~제3 실시형태 및 이들 변형예의 화상 표시 장치를 모식적으로 예시하는 사시도이다.

[0250] 도 24에 나타내는 바와 같이, 제1~제3 실시형태의 화상 표시 장치는, 전술한 바와 같이, 회로 기판(100) 상에, 다수의 서브픽셀을 갖는 발광 회로(172)가 설치되어 있다. 발광 회로부(172) 상에는, 컬러 필터(180)가 설치되어 있다. 한편, 제6 실시형태에서는, 회로 기판(100), 발광 회로부(172) 및 컬러 필터(180)를 포함하는 구조물은, 화상 표시 모듈(402, 502)이 되어, 화상 표시 장치(401, 501)에 통합되어 있다.

[0251] 이상 설명한 실시형태에 의하면, 발광 소자의 전사 공정을 단축하여, 수율을 향상시킨 화상 표시 장치의 제조 방법 및 화상 표시 장치를 실현할 수 있다.

[0252] 이상, 본 발명의 몇 가지의 실시형태를 설명하였지만, 이들 실시형태는 예 로서 제시한 것이며, 발명의 범위를 한정하는 것이 의도되고 있지 않다. 이들 신규의 실시형태는, 그 밖의 다양한 형태로 실시되는 것이 가능하고, 발명의 요지를 일탈하지 않는 범위에서, 여러 가지의 생략, 치환, 변경을 행할 수 있다. 이들 실시형태나 그 변형은, 발명의 범위나 요지에 포함됨과 함께, 청구범위에 기재된 발명 및 그 등가물의 범위에 포함된다. 또한, 전술한 각 실시형태는, 서로 조합시켜 실시할 수 있다.

부호의 설명

[0253] 1, 201, 401, 501: 화상 표시 장치

2: 표시 영역

3: 전원선

4: 접지선

5, 205: 행 선택 회로

6, 206: 주사선

7, 207: 신호 전압 출력 회로

8: 신호선

10: 픽셀

20, 20a, 20b, 20c: 서브픽셀

22, 222: 발광 소자

24, 224: 선택 트랜지스터

26, 226: 구동 트랜지스터

28, 228: 커패시터

100: 회로 기판

101: 회로

103, 103-1, 103-2: 트랜지스터

104, 104-1, 104-2: 소자 형성 영역

105: 절연층

107, 107-1, 107-2: 게이트

108: 절연막

110, 210, 310: 제1 배선층

112: 제1 층간 절연막

140: 버퍼층

150, 250: 발광 소자

156, 256, 356: 제2 층간 절연막

160, 260, 360: 제2 배선층

161d, 161k, 261a, 361a1, 361a2, 361d1, 361d2: 비아

180: 컬러 필터

320, 320a: 서브픽셀군

470, 570: 제어기

1001: 결정 성장용 기판

1100, 3100: 회로 기판

1140: 버퍼층

1150: 반도체층

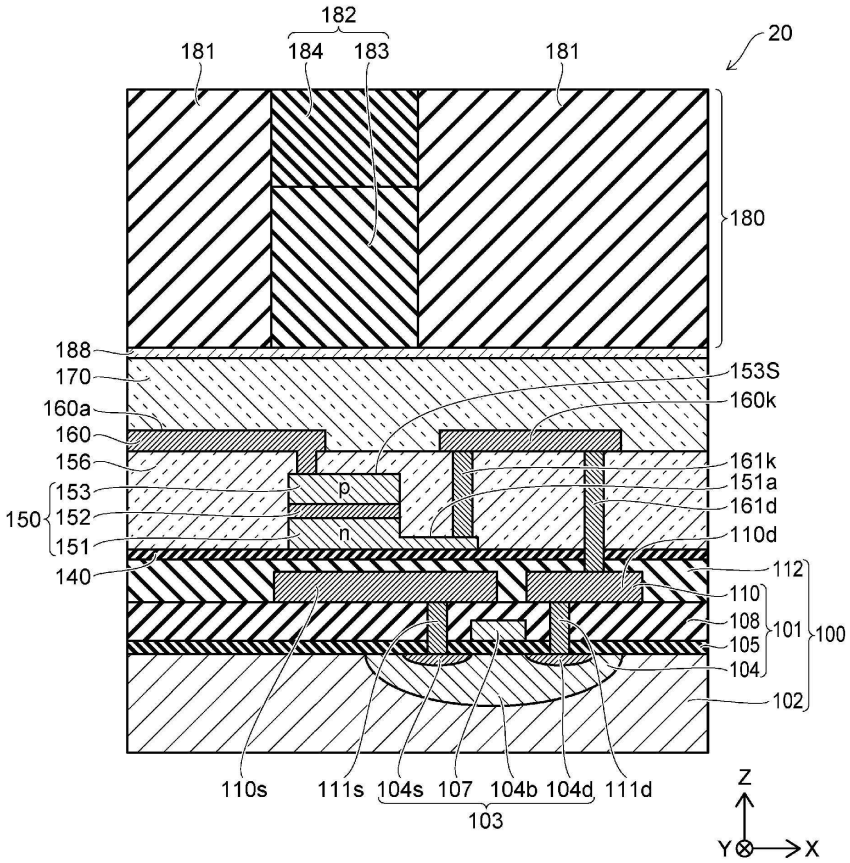
1190: 지지 기판

1192: 구조체

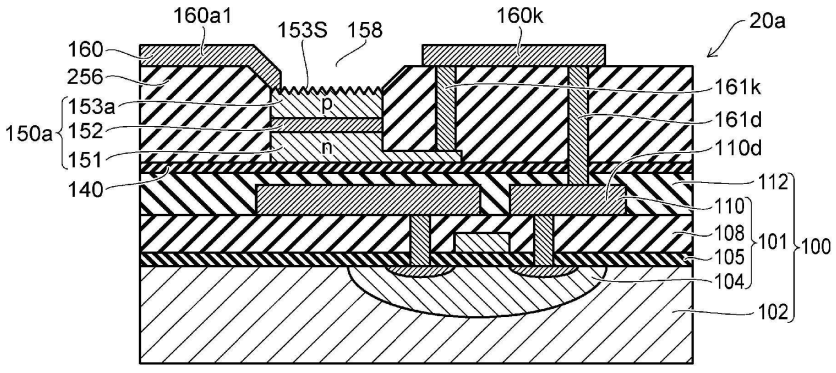
1194: 반도체 성장 기판

도면

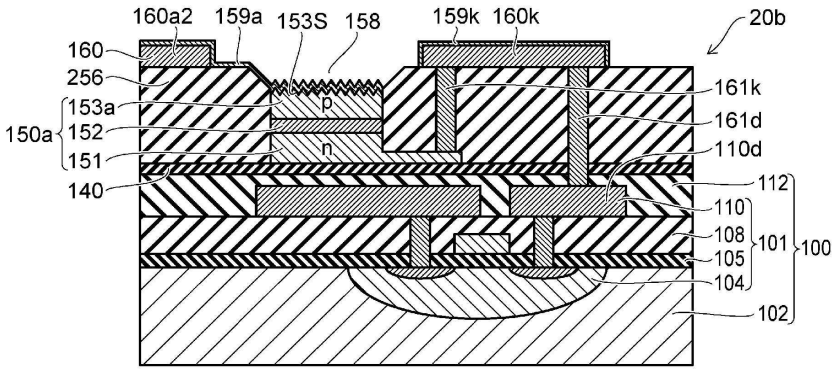
도면1



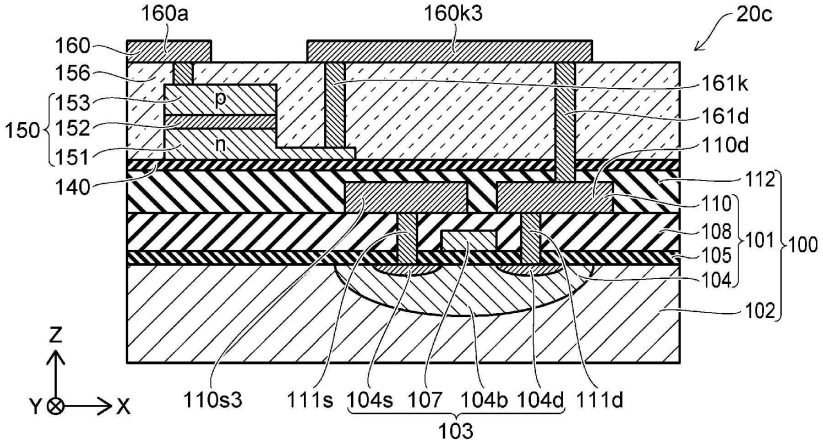
도면2a



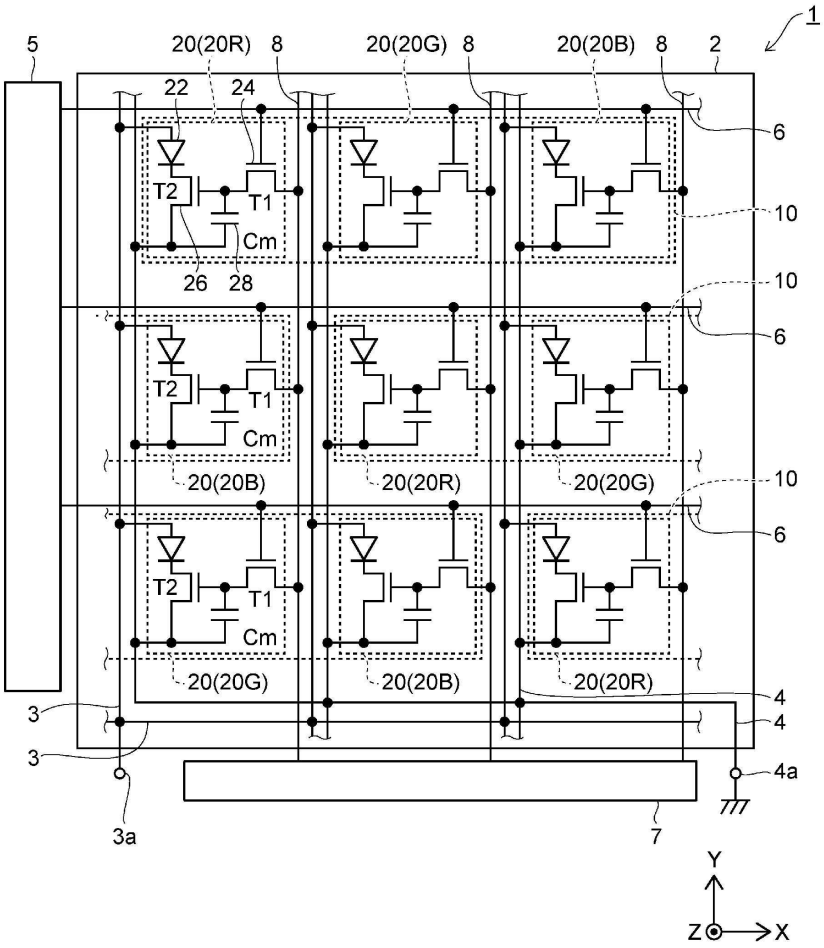
도면2b


160a2
159a
153S
158
159k
160k
20b
160
256
153a
150a
152
151
140
p
n
161k
161d
110d
112
110
108
101
100
105
104
102

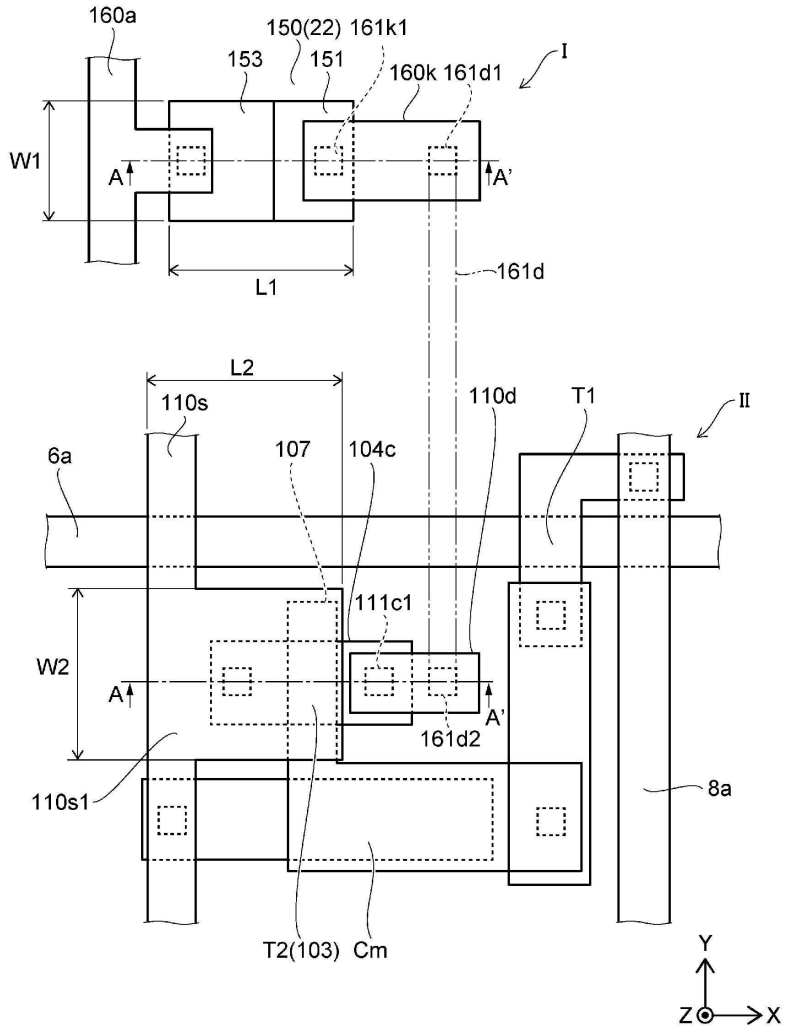
도면2c


160a
160k3
20c
160
156
153
150
152
151
140
p
n
161k
161d
110d
112
110
108
101
100
105
104
102
Z
Y
X
110s3
111s
104s
107
104b
104d
111d
103

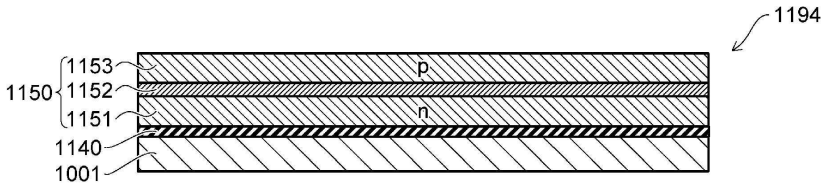
도면3


1
5
20(20R)
8
20(20G)
8
20(20B)
8
2
22
24
T2
T1
Cm
26
28
6
10
20(20B)
20(20R)
20(20G)
20(20G)
20(20B)
20(20R)
3
3
3a
4
4
4a
7
Y
Z
X

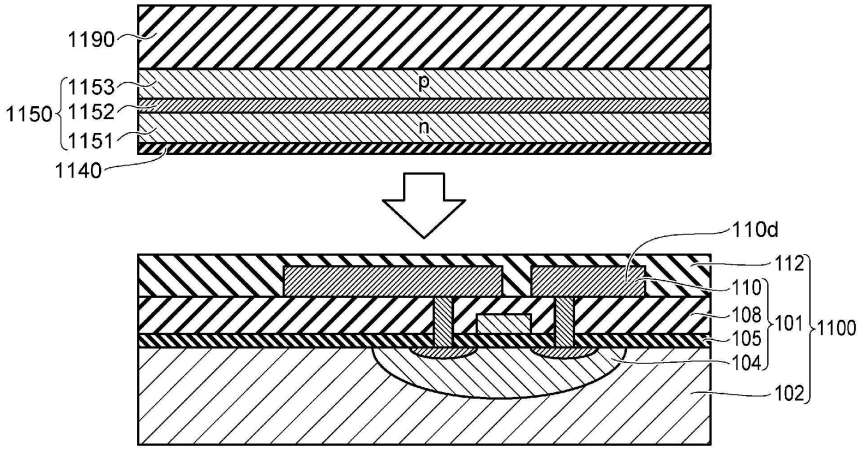
도면4


160a
150(22) 161k1
153
151
160k 161d1
I
W1
A
A'
L1
161d
L2
110s
110d
T1
II
6a
107
104c
111c1
W2
A
A'
161d2
110s1
8a
T2(103)
Cm
Y
Z
X

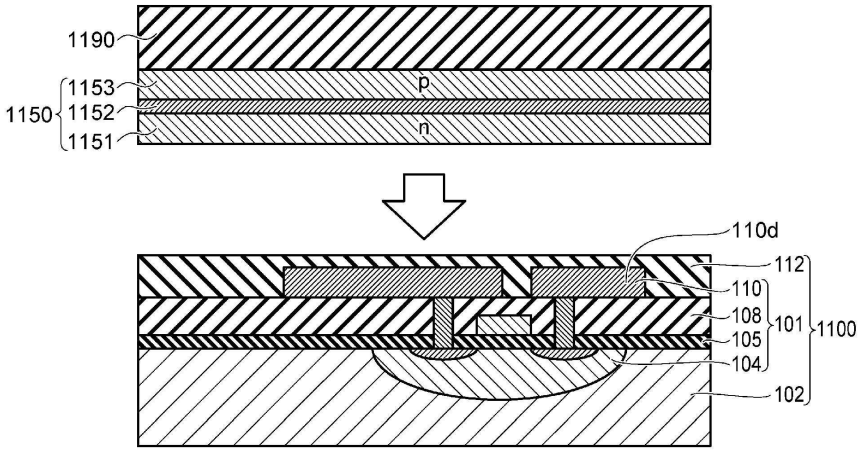
도면5a


1194
1153
1150
1152
1151
p
n
1140
1001

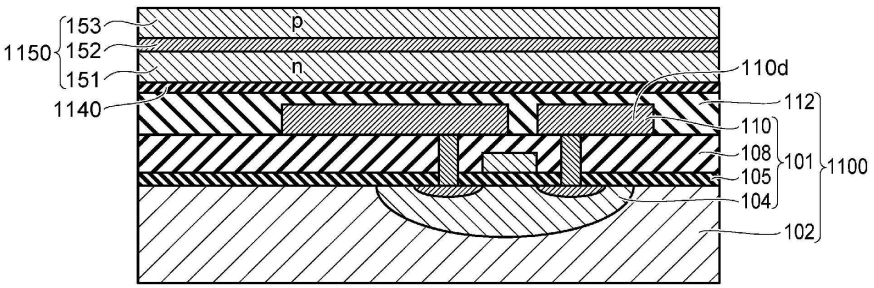
도면5b



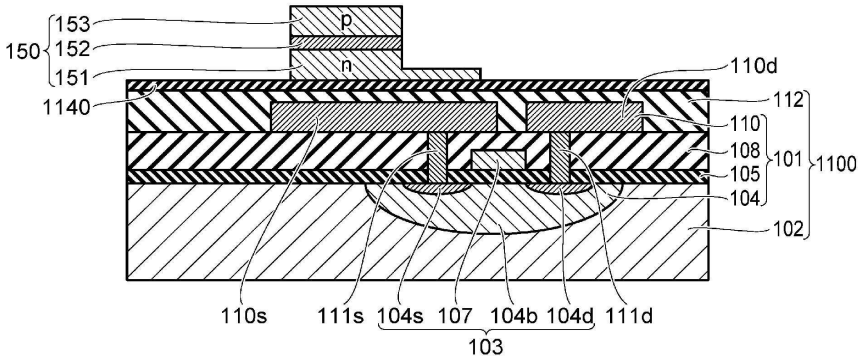
도면5c



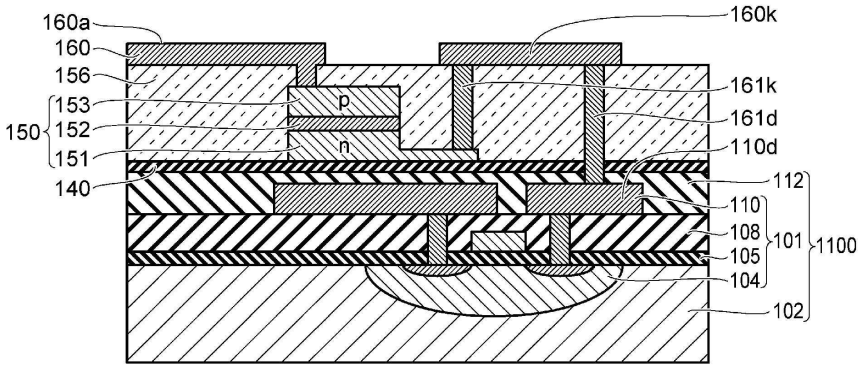
도면6a



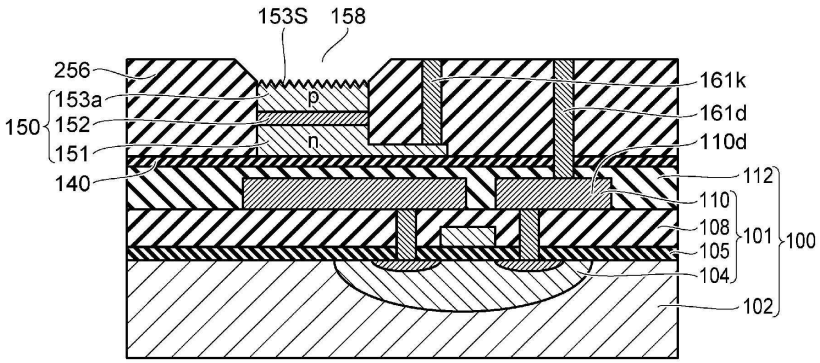
도면6b



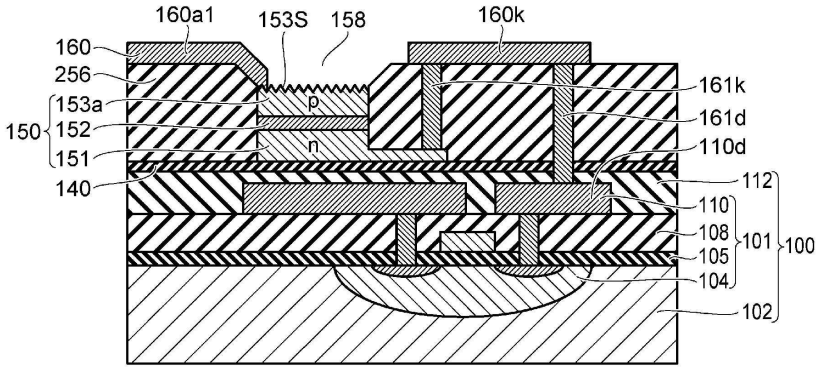
도면6c



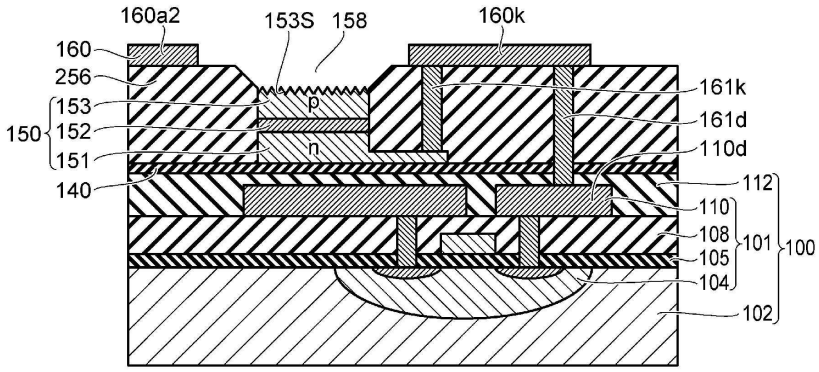
도면7a



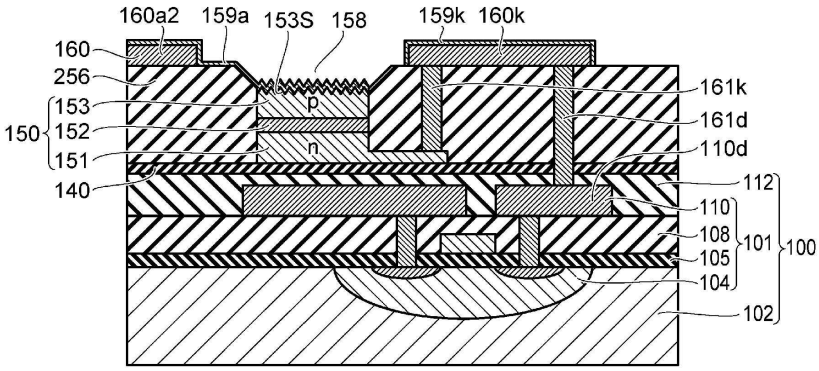
도면7b



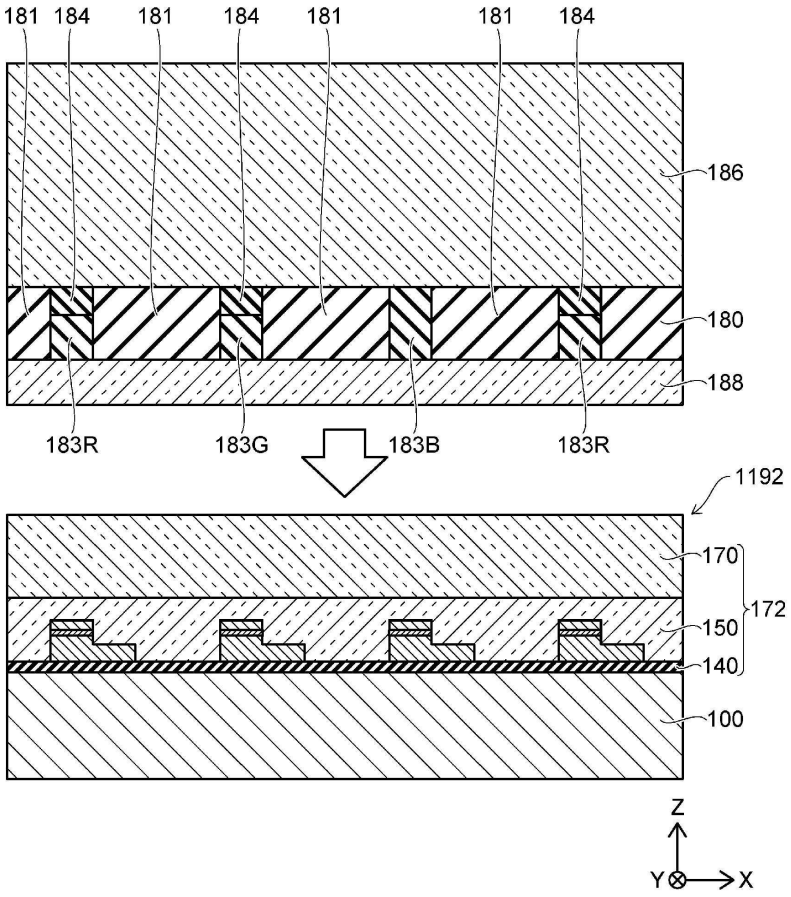
도면8a



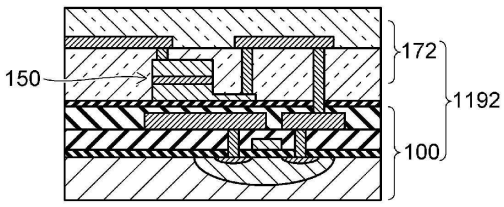
도면8b



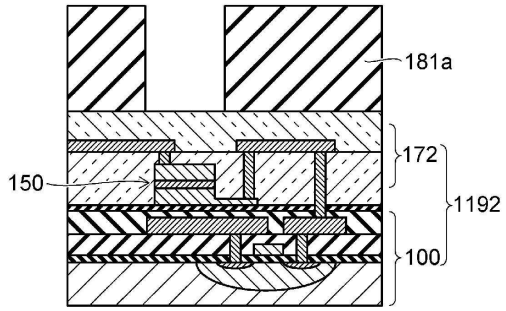
도면9


181
184
181
184
181
181
184
186
180
188
183R
183G
183B
183R
1192
170
172
150
140
100
Z
Y
X

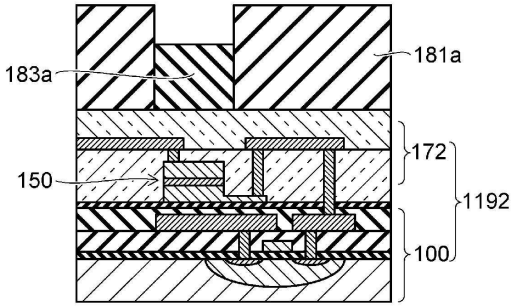
도면10a


150
172
1192
100

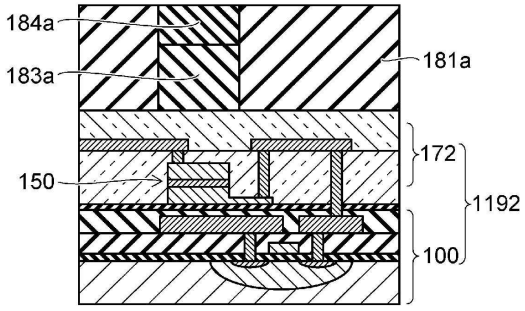
도면10b



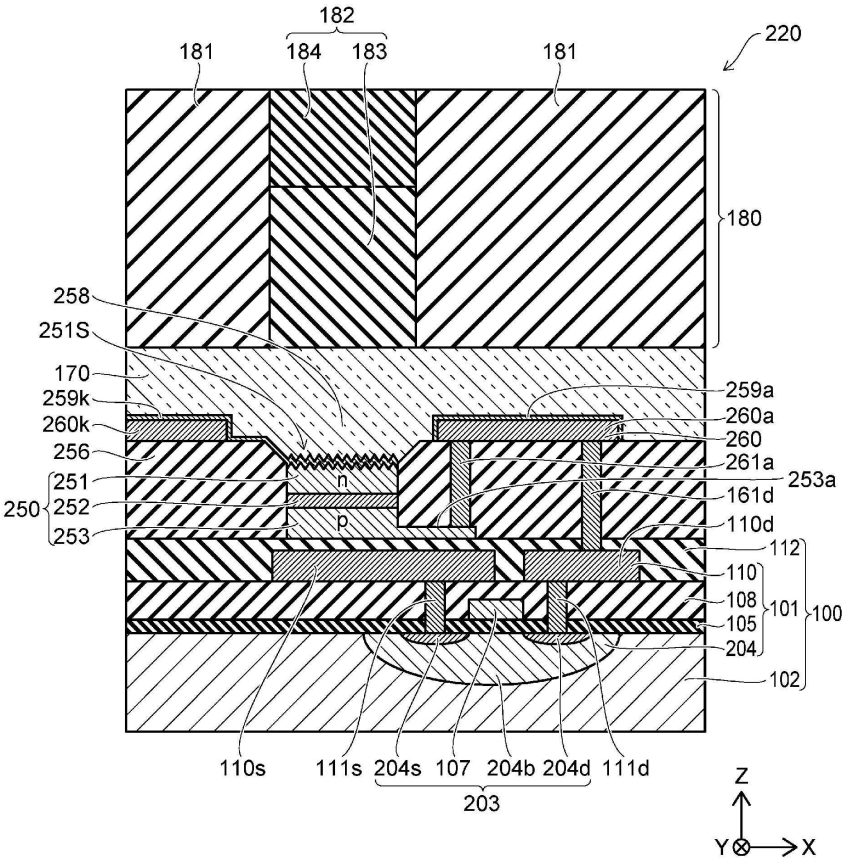
도면10c



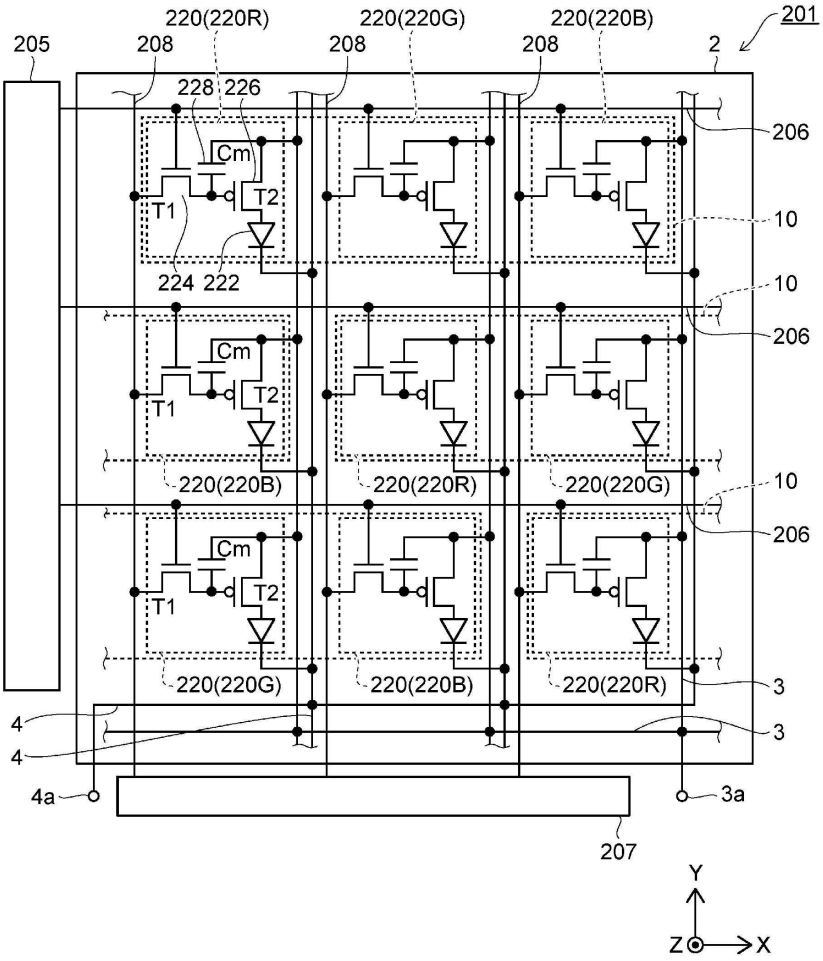
도면10d



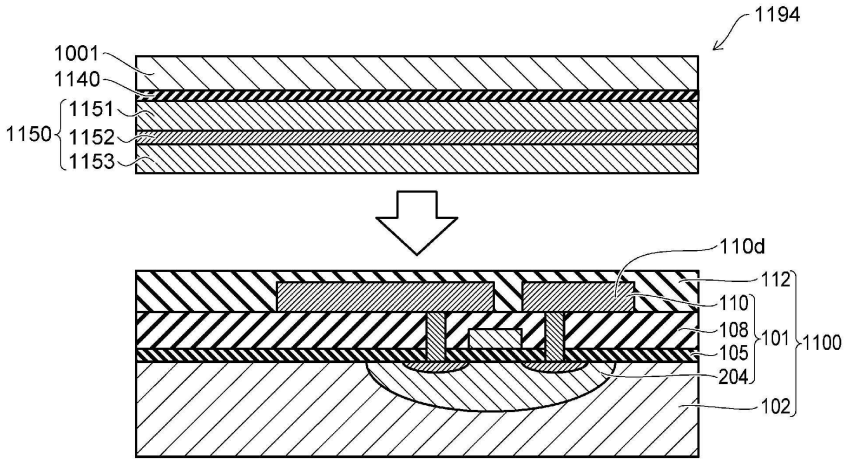
도면11


182
181
184
183
181
220
180
258
251S
170
259k
260k
256
250
251
252
253
n
p
259a
260a
260
261a
253a
161d
110d
112
110
108
105
101
100
204
102
110s
111s
204s
107
204b
204d
111d
203
Z
Y
X

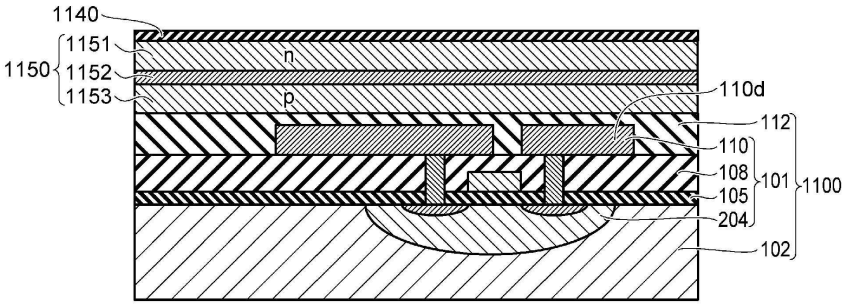
도면12


220(220R)
220(220G)
220(220B)
201
205
208
208
208
2
228
226
206
Cm
T1
T2
10
224
222
10
206
220(220B)
220(220R)
220(220G)
10
206
220(220G)
220(220B)
220(220R)
3
4
4
3
4a
3a
207
Y
Z
X

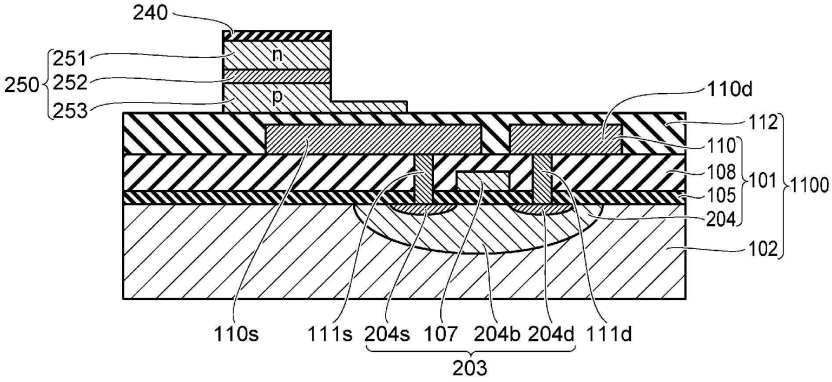
도면13a


1194
1001
1140
1150
1151
1152
1153
110d
112
110
108
101
1100
105
204
102

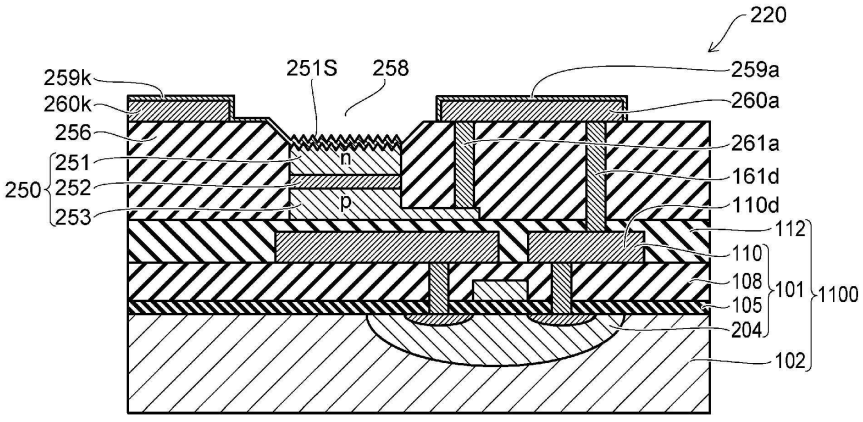
도면13b



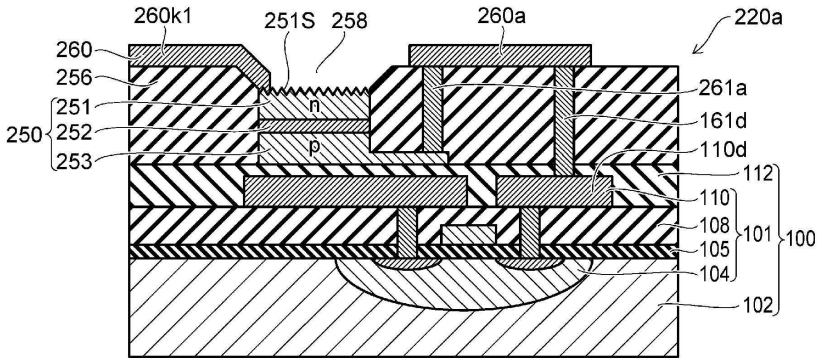
도면14a



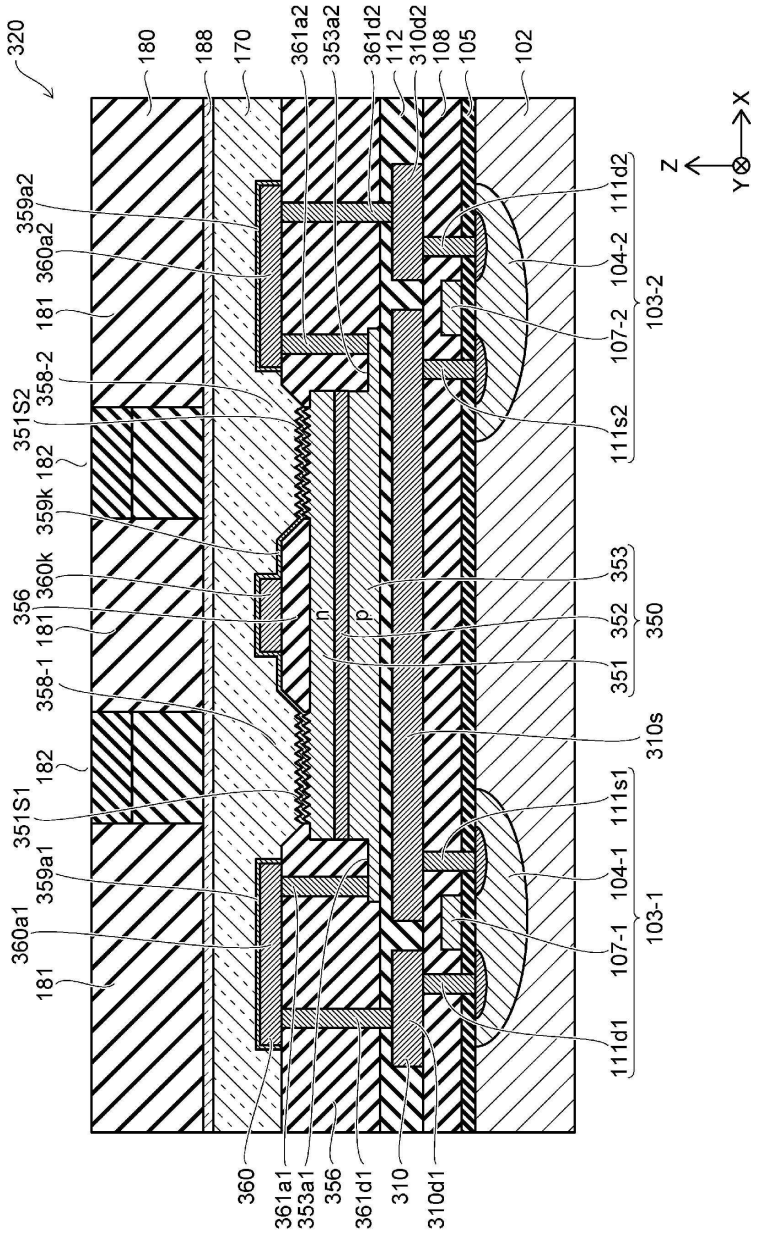
도면14b



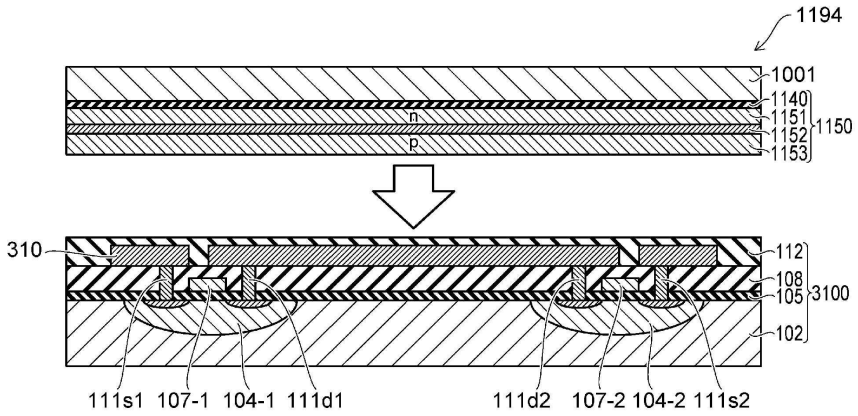
도면15


260k1
251S
258
260a
220a
260
256
251
250
252
253
n
p
261a
161d
110d
112
110
108
101
105
104
102
100

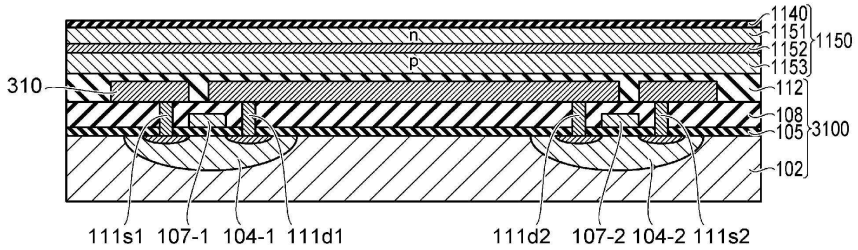
도면16


320
180
188
170
361a2
353a2
361d2
112
310d2
108
105
102
359a2
360a2
181
358-2
351S2
182
359k
360k
356
181
358-1
182
351S1
359a1
360a1
181
111d2
104-2
103-2
107-2
111s2
353
352
350
351
310s
111s1
104-1
107-1
103-1
111d1
n
p
360
361a1
353a1
356
361d1
310
310d1
Z
X
Y

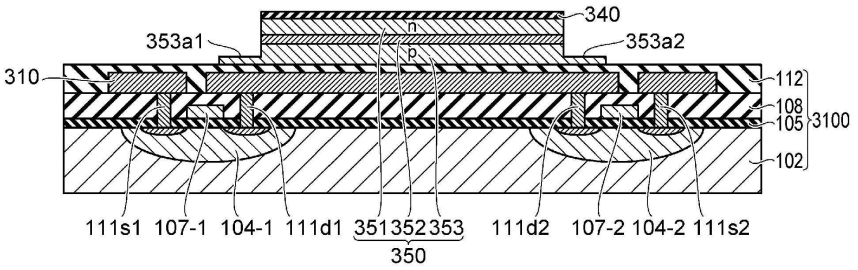
도면17a



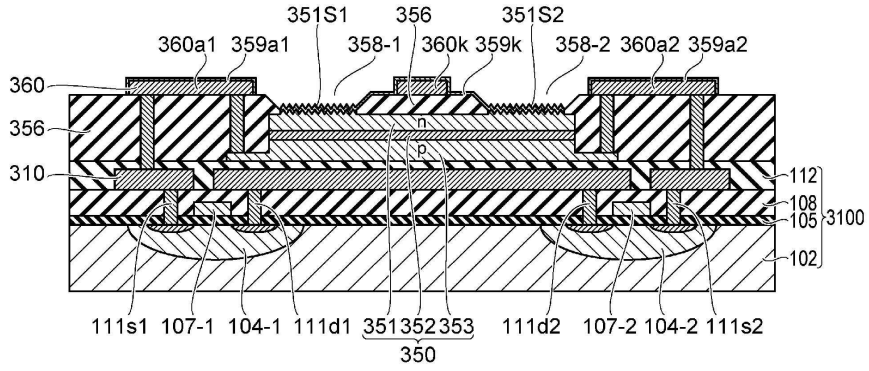
도면17b



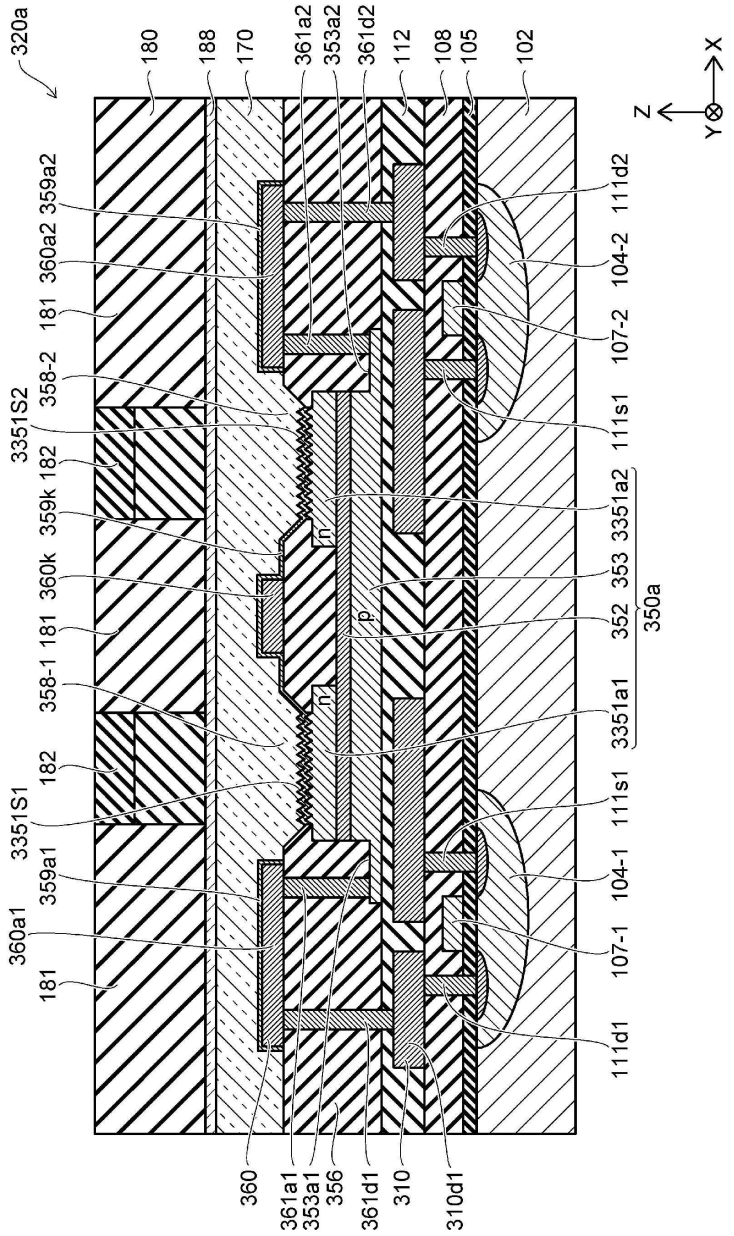
도면18a



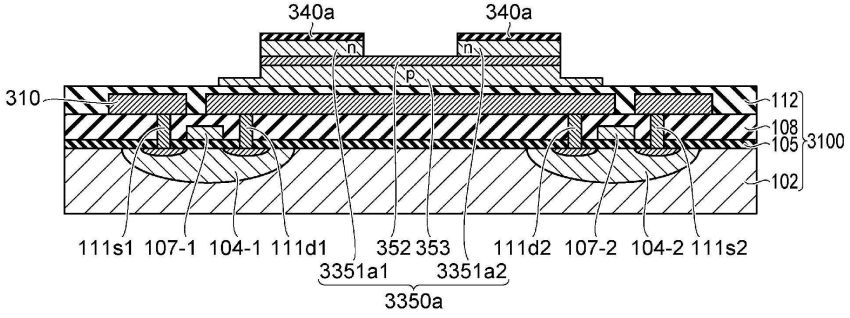
도면18b


351S1
356
351S2
360a1
359a1
358-1
360k
359k
358-2
360a2
359a2
360
356
310
n
p
112
108
105
3100
102
111s1
107-1
104-1
111d1
351
352
353
350
111d2
107-2
104-2
111s2

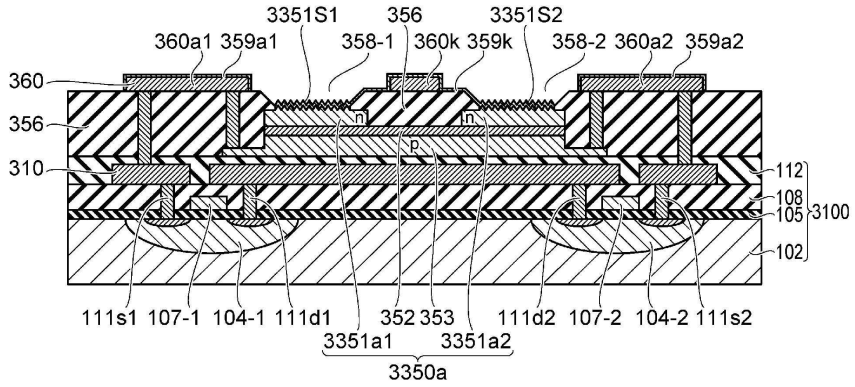
도면19


320a
180
188
170
361a2
353a2
361d2
112
108
105
102
X
Z
Y
359a2
360a2
181
358-2
3351S2
182
359k
360k
181
358-1
182
3351S1
359a1
360a1
181
111d2
104-2
107-2
111s1
3351a2
353
352
350a
3351a1
111s1
104-1
107-1
111d1
360
361a1
353a1
356
361d1
310
310d1
n
p

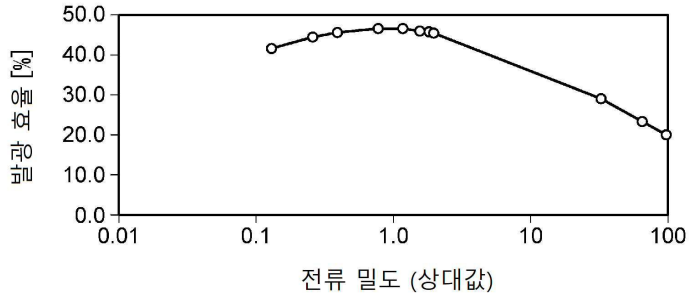
도면20a


340a
340a
n
n
p
310
112
108
105
3100
102
111s1
107-1
104-1
111d1
352
353
111d2
107-2
104-2
111s2
3351a1
3351a2
3350a

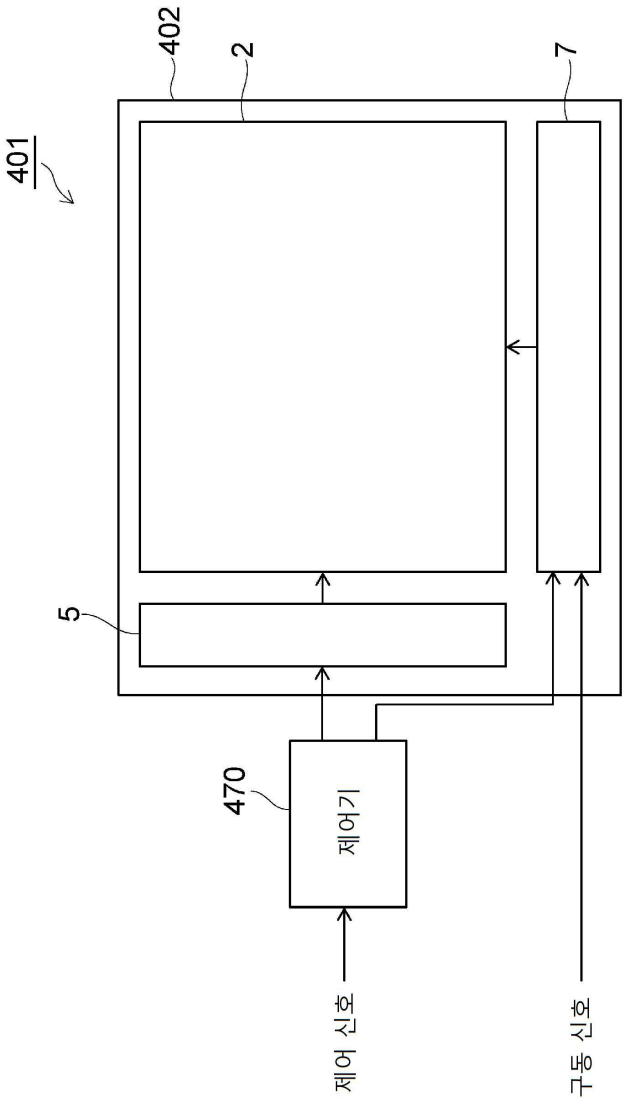
도면20b


3351S1
356
3351S2
360a1
359a1
358-1
360k
359k
358-2
360a2
359a2
360
356
310
n
n
p
112
108
105
3100
102
111s1
107-1
104-1
111d1
352
353
111d2
107-2
104-2
111s2
3351a1
3351a2
3350a

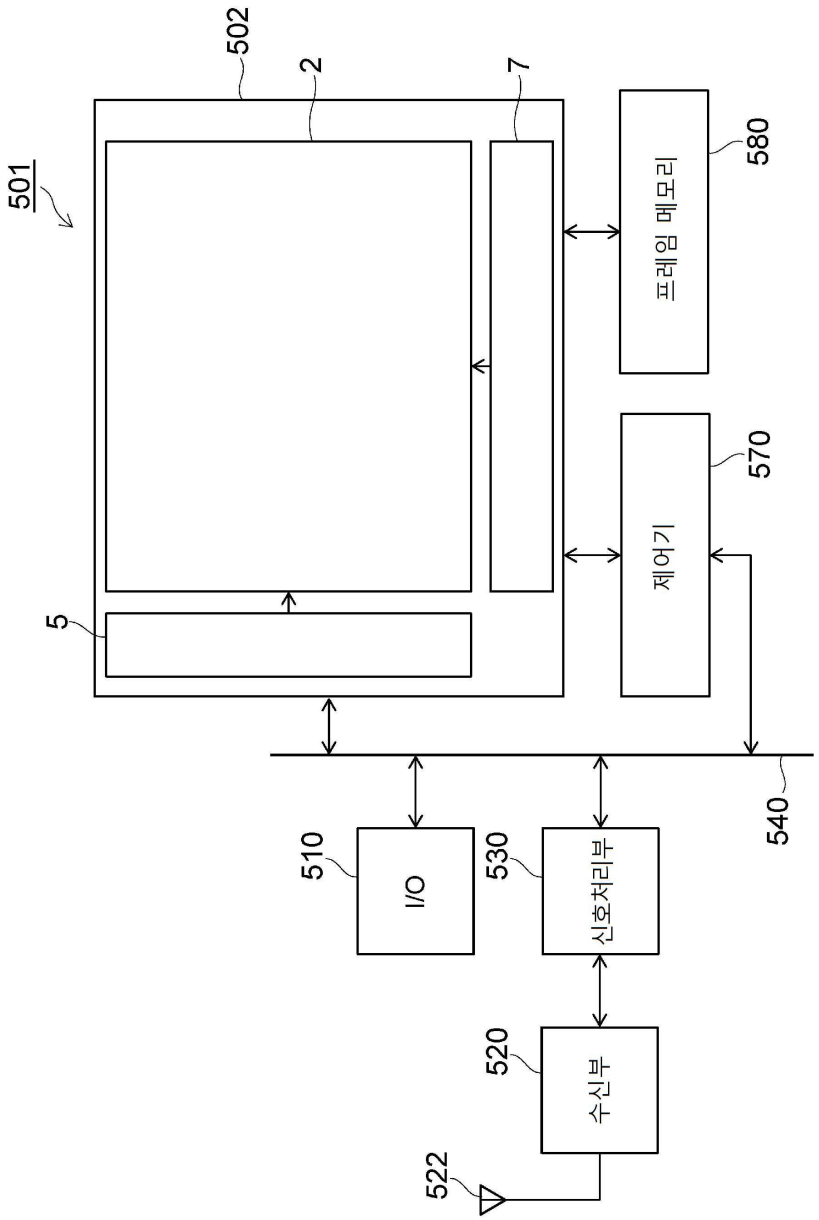
도면21


50.0
40.0
30.0
20.0
10.0
0.0
발광 효율 [%]
0.01
0.1
1.0
10
100
전류 밀도 (상대값)

도면22



도면23



도면24

