

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-292331

(P2005-292331A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
GO2F 1/1368	GO2F 1/1368	2H092
HO1L 21/336	HO1L 29/78 612D	5F110
HO1L 29/786	HO1L 29/78 627C	

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号	特願2004-105222 (P2004-105222)	(71) 出願人	303018827 NEC液晶テクノロジー株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成16年3月31日(2004.3.31)	(74) 代理人	100081710 弁理士 福山 正博
		(72) 発明者	桜井 洋 神奈川県川崎市中原区下沼部1753番地 NEC液晶テクノロジー株式会社内
		Fターム(参考)	2H092 JA24 JA34 JA37 JA41 MA05 MA07 MA10 MA13 MA16 MA35 MA48 NA25 PA01

最終頁に続く

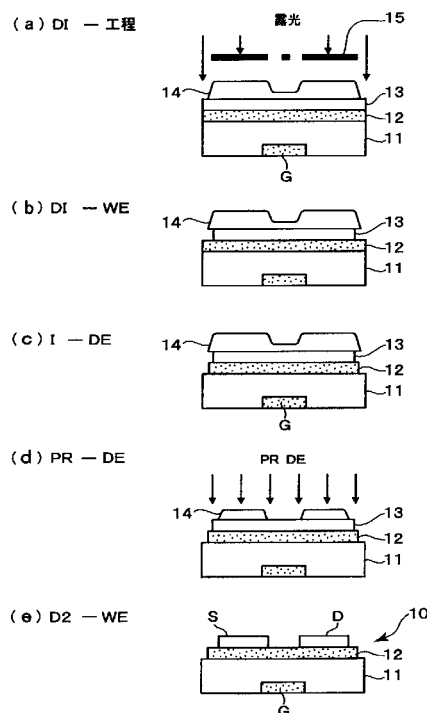
(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【要約】

【課題】 液晶表示装置の表示部のTFTトランジスタおよび周辺部の保護トランジスタを同一サイズで製造可能にする液晶表示装置の製造方法を提供する。

【解決手段】 マトリクス状に形成された多数の画素領域を薄膜トランジスタ(TFT)により駆動して画像情報を表示する液晶表示装置を製造する際、表示部のTFTおよび周辺部の保護用TFTを、同一サイズ(外形寸法)のTFTにより形成する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

マトリクス状に形成された多数の画素領域を薄膜トランジスタ ( T F T ) により駆動して画像情報を表示する液晶表示装置において、

表示部の T F T および周辺部の保護用 T F T を、同一サイズ ( 外形寸法 ) の T F T により形成することを特徴とする液晶表示装置の製造方法。

## 【請求項 2】

前記表示部の T F T および前記周辺部の保護用 T F T は、チャンネル部に露光機の限界解像力以下の寸法のパターンが形成されたグレイトーンマスクを使用して製造することを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

10

## 【請求項 3】

ガラス基板の一面にスパッタによりゲート電極を堆積し、フォトリソグラフィ法で前記ゲート電極のパターン形成した後にエッチングを行って所望のゲート電極を形成する工程と、

前記ガラス基板の他面のゲート電極上にゲート絶縁膜として S i N 膜およびチャンネル活性層として a - S i 膜を形成する工程と、

ソース・ドレイン電極との接続のための n + - a - S i 膜を、C V D 法を使用して連続成膜を行って形成する工程と、

前記 n + - a - S i 膜上に、スパッタ法を用いて、ソース・ドレイン電極を堆積する工程と、

20

レジストを塗布後に前記ソース・ドレイン電極を、グレイトーンマスクを用いて、完全に露光された領域 ( T F T 領域およびソースのバスライン外 )、一部露光された領域 ( ソース・ドレイン電極間のチャンネル部領域 C H ) および完全に露光されない領域 ( ソース・ドレイン電極部およびソースのバスライン領域 ) を形成する工程と、

前記レジストパターンをマスクとして、ゲート絶縁膜である S i N 膜をストップとし、ドライエッチングにより、ソース・ドレイン電極膜、ソースのバスライン、n + - a - S i 膜および a - S i 膜をエッチングし、チャンネル部に露光マスクに限界解像力以上のスリットパターンを配した保護トランジスタで、レジストが完全に除去された部分の n + - a - S i 膜および a - S i 膜までエッチングして、トランジスタの実効 W を小さくした後、前記チャンネル部上のレジスト膜を除去するためのアッシングを行う工程と、

30

レジストパターンを用いてドライエッチングし、ソース・ドレイン電極および n + - a - S i 膜までエッチングを行い、チャンネル活性層をストップとしてチャンネル領域を形成する工程と、

レジストを剥離することにより、外形が同一で実効 W / L が異なる T F T を形成する工程と、

を備えて成ることを特徴とする液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は液晶表示装置の製造方法に関し、特に薄膜トランジスタ ( T F T ) を使用する高解像度の液晶表示装置の製造方法に関する。

40

## 【背景技術】

## 【0002】

液晶表示装置 ( Liquid Crystal Display Panel ) は、比較的低い動作電圧且つ消費電力で動作すると共に小型 ( 薄型 ) 軽量であるので、テレビジョン ( T V ) 受像機やパーソナルコンピュータ ( P C ) の表示装置として広く使用され、従来のブラウン管 ( C R T ) を駆逐しつつある。

## 【0003】

液晶表示およびその製造方法は、種々の文献に開示されている。図 3 は、一般的な液晶表示装置の構成を説明するための分解部分斜視図を示す ( 例えば、特許文献 1 参照 )。こ

50

の液晶表示装置 30 は、上部基板 31、下部基板 32、共通電極 33、ブラックマトリクス 34、R（赤）、G（緑）および B（青）のカラーフィルタ層 35、多数の画素領域 P を有する液晶層 36、各画素領域 P に対応して形成された T F T トランジスタ T、ゲート配線 37、画素電極（T F T のドレイン）38 およびデータ配線（T F T のソース）により構成される。斯かる液晶表示装置 30 において、共通電極 33 には一定電圧が印加されている。そして、液晶層 36 の各画素領域 P に対応して形成された T F T トランジスタ T のうちゲート配線 37 および画素電極 38 に、それぞれ選択信号および画像データを印加して、選択された T F T トランジスタ T を ON（動通状態）とすることにより、その画素領域 P の液晶層 36 の液晶の配向状態を制御して、希望する画像を表示する。

#### 【0004】

上述の如き、液晶表示装置 30 の T F T トランジスタの一般的な製造方法の主要部を、図 4 ( a ) ~ ( d ) を参照して説明する。先ず、図 4 ( a ) に示す如く、図示しないガラス上にゲートパターン G を形成し、その上に絶縁膜として Si N 膜を形成し、上面に半導体膜 42 を形成し、更にその表面に設けたフォトレジスト膜にフォトマスク 44 を介して紫外線等を照射して露光し、フォトレジストのパターン 43 を形成する（I - 工程という）。次に、図 4 ( b ) に示す如く、フォトレジストのパターン 43 を使用して半導体膜 42 をエッチングして T F T トランジスタのチャネル部 45 を形成する（I - D E 工程）。その後、図 4 ( c ) に示す如く、基板 41 およびチャネル部 45 の表面に導電膜 46 およびフォトレジスト膜を形成し、別のフォトマスク 48 を使用してチャネル部 45 にフォトレジストのパターン 47 を形成する（D - 工程）。更に、図 4 ( d ) に示す如く、このフォトレジストのパターン 47 を用いて、エッチングして T F T トランジスタのソース S およびドレイン D を形成する（D - W E 工程）。その後、保護被膜等を形成するが、これらは周知技術であるので説明を省略する。

#### 【0005】

近年、アレイ工程の工程削減の 1 例として、T F T 部のソース・ドレイン部を形成に際して、チャネル部にグレイトーン露光を使用して T F T 領域部の形成およびチャネル形成（即ち、ソース・ドレイン電極部の分離）を単一マスクで形成する技術が提案・開示されている（例えば、特許文献 2 参照）。この、グレイトーン露光による液晶表示装置の製造方法を、図 5 および図 6 を参照して説明する。図 5 は、グレイトーン露光に使用するフォトマスクを示す。ここで、図 5 ( A ) は、フォトマスク 50 の平面図であり、図 5 ( B ) は、図 5 ( A ) の線 B - B ' に沿う断面図である。

#### 【0006】

図 5 ( A ) および ( B ) に示す如く、このフォトマスク 50 は、透光性基板 51 の表面（下面）に形成された所定パターンの第 1 遮蔽パターン 52、第 2 遮蔽パターン 53 および第 3 遮蔽パターン 54 からなる遮蔽（即ち、光不透過性）パターン 55 により構成させる。図 5 において、A は光透過領域、B は遮蔽領域および C は半透過領域を示す。ここで、第 1 遮蔽パターン 52 は、このフォトマスク 50 を使用して製造される T F T 部のソース・ドレイン領域に対応し、第 2 遮蔽パターン 53 は、T F T 部のチャネル領域に対応する。

#### 【0007】

図 6 ( a ) ~ ( e ) は、図 5 に示すフォトマスク 50 を使用して製造される液晶表示装置又はその T F T トランジスタの製造工程を示す。図 6 において、各参照符号 61 ~ 67 は、それぞれガラス基板 61、ゲート電極 62、ゲート絶縁膜 63、a - Si 膜 64、n + a - Si 膜 65、ソース・ドレイン用金属膜 66 および感光膜 67 を示す。更に、66 a はソース、66 b はドレインおよび 67 a 感光膜パターンを示す。

#### 【0008】

先ず、図 6 ( a ) に示す如く、T F T トランジスタ 60 は、ガラス基板 61、の表（上）面にゲート電極 62、ゲート絶縁膜 63、a - Si 膜 64、n + a - Si 膜 65、ソース・ドレイン用金属膜 66 および感光膜（フォトレジスト）67 が形成されている。次に、この状態で、図 5 に示すフォトマスク 50 を使用して感光膜 67 のチャネル部に半膜厚

10

20

30

40

50

部（又は凹部）68が形成される（図6（b）参照）。次に、ソース・ドレイン用金属膜66のエッチングを行う（図6（c）参照）。更に、感光膜67の半膜厚部68、即ちチャンネル部のソース・ドレイン用金属膜66をエッチングして、ソース66aおよびドレイン66bを分離する（図6（d）参照）。最後に、残った感光膜のパターン67aを除去して、TFTトランジスタ60が完成する（図6（e）参照）。

#### 【0009】

上述の如く、この従来技術では、ガラス基板61にゲート電極62を、例えばスパッタで堆積する。そして、フォトリソグラフィ法でゲート電極62のパターン形成後にエッチングを行い、所望のゲート電極62を形成する。次に、ゲート電極62上にゲート絶縁膜63として、例えばSiN膜およびチャンネル活性層としてa-Si膜を形成する。そして、ソース・ドレイン電極との接続のためのn+a-Si膜65をCVD（Chemical Vapor Deposition）法を使用して連続製膜を行うことにより形成する。更に、n+a-Si膜65上にスパッタ法を用いてソース・ドレイン電極（金属膜）66を堆積する。その後、感光膜（レジスト）67の塗布後にソース・ドレイン電極を「グレイトーンマスク」、即ちフォトマスク50を使用して完全に露光された領域（即ち、TFT領域外）、一部露光された領域（即ち、ソース・ドレイン電極66a、66b間のチャンネル部領域）および完全に露光されない領域（即ち、ソース電極66aおよびドレイン電極66b部領域）を形成する。

10

#### 【0010】

ここで、「グレイトーンマスク」とは、完全に露光される領域、完全に露光されない領域および露光機の限界解像力以下の微細パターンを配することによりレジストを半分の厚さだけ除去する領域からなるマスク（フォトマスク）を意味する。このようにして、TFT部をパターン形成した場合に、ソース・ドレイン電極間であるチャンネル部のレジストのみ膜厚が一部露光されるために薄くなった断面形状となる。次に、このレジストパターンをマスクとしてソース・ドレイン電極膜をドライエッチング（DE）する。このとき、ドライエッチングでは、ソース・ドレイン電極膜のみでなく、n+a-Si膜65およびa-Si膜64までエッチングし、ゲート絶縁膜63であるSiN膜をストップとする。その後、チャンネル部上の感光（レジスト）膜68を除去するためにアッシングを行う。

20

#### 【0011】

次に、TFT部のチャンネル領域を形成するために、レジストパターン67aを使用してドライエッチングすることにより、ソース・ドレイン電極66a、66bを形成する。このとき、ドライエッチングでは、ソース・ドレイン電極66a、66bおよびn+a-Si膜65までエッチングを行い、チャンネル活性層をストップとするため、チャンネル領域が形成される。最後に、レジスト67を剥離することにより、マスク50を1回使用してTFT部（TFTトランジスタ）が形成可能であり、TFT又は液晶表示装置の製造工程削減が可能になる。

30

#### 【0012】

【特許文献1】特開2003-347314号公報（第3-4頁、第1図）

【特許文献2】特開2002-55364号公報（第3-4頁、第1図-第6図、第9図）

40

#### 【発明の開示】

【発明が解決しようとする課題】

#### 【0013】

グレイトーンマスクを使用する液晶表示装置又はそのTFT部の製造方法は、上述の如く製造工程を削減可能であるという利点を有するが、プロセスマージンが非常に狭く、同一マスク上に異なるサイズのTFTトランジスタを形成することが困難であるという課題があった。

#### 【0014】

本発明は、従来技術の上述の如き課題に鑑みなされたものであり、トランジスタの外形を変えることなく、W/Lの異なるTFTトランジスタが形成可能である液晶表示装置の

50

製造方法を提供することを目的とする。

【課題を解決するための手段】

【0015】

前述の課題を解決するため、本発明による液晶表示装置の製造方法は次のような特徴的な構成を採用している。

【0016】

(1)マトリクス状に形成された多数の画素領域を薄膜トランジスタ(TFT)により駆動して画像情報を表示する液晶表示装置において、

表示部のTFTおよび周辺部の保護用TFTを、同一サイズ(外形寸法)のTFTにより形成する液晶表示装置の製造方法。

10

【0017】

(2)前記表示部のTFTおよび前記周辺部の保護用TFTは、チャネル部に露光機の限界解像力以下の寸法のパターンが形成されたグレイトーンマスクを使用して製造する上記(1)の液晶表示装置の製造方法。

【0018】

(3)ガラス基板の一面にスパッタによりゲート電極を堆積し、フォトリソグラフィ法で前記ゲート電極のパターン形成した後にエッチングを行って所望のゲート電極を形成する工程と、

前記ガラス基板の他面のゲート電極上にゲート絶縁膜としてSiN膜およびチャネル活性層としてa-Si膜を形成する工程と、

20

ソース・ドレイン電極との接続のためのn+-a-Si膜を、CVD法を使用して連続成膜を行って形成する工程と、

前記n+-a-Si膜上に、スパッタ法を用いて、ソース・ドレイン電極を堆積する工程と、

レジストを塗布後に前記ソース・ドレイン電極を、グレイトーンマスクを用いて、完全に露光された領域(TFT領域およびソースのバスライン外)、一部露光された領域(ソース・ドレイン電極間のチャネル部領域CH)および完全に露光されない領域(ソース・ドレイン電極部およびソースのバスライン領域)を形成する工程と、

前記レジストパターンをマスクとして、ゲート絶縁膜であるSiN膜をストッパとし、ドライエッチングにより、ソース・ドレイン電極膜、ソースのバスライン、n+-a-Si膜およびa-Si膜をエッチングし、チャネル部に露光マスクに限界解像力以上のスリットパターンを配した保護トランジスタで、レジストが完全に除去された部分のn+-a-Si膜およびa-Si膜までエッチングして、トランジスタの実効Wを小さくした後、前記チャネル部上のレジスト膜を除去するためのアッシングを行う工程と、

30

レジストパターンを用いてドライエッチングし、ソース・ドレイン電極およびn+-a-Si膜までエッチングを行い、チャネル活性層をストッパとしてチャネル領域を形成する工程と、

レジストを剥離することにより、外形が同一で実効W/Lが異なるTFTを形成する工程と、

を備えて成る液晶表示装置の製造方法。

40

【発明の効果】

【0019】

本発明の液晶表示装置の製造方法によると、次の如き実用上の顕著な効果が得られる。即ち、グレイトーン露光を行うマスクで、同一の外形に設計された表示部のトランジスタ(TFTトランジスタ)と周辺に配置される保護トランジスタのうち、保護トランジスタにのみ限界解像力以下のパターンにスリットを入れることにより実効W(幅)を小さくすることが可能である。従って、1PR(フォトリソ)の省プロセスで異なるW/LのTFTトランジスタを形成することが可能になり、その製造コストを低減することが可能である。

【実施例1】

50

## 【0020】

以下、本発明による液晶表示装置の製造方法の好適実施例の構成および動作を、添付図面を参照して詳細に説明する。

## 【0021】

図1および図2は、本発明による液晶表示装置、特にTFT部の製造方法を説明する製造工程図である。特に、図1は、液晶表示装置のガラス基板に形成されるTFT部の、主要製造工程における断面図を示す。一方、図2は、図1に対応する液晶表示装置の主要部の平面図である。

## 【0022】

まず、図1(a)のDI-工程では、第1パターンをフォトリソグラフィ技術で形成する。ここで、解像限界以下のパターンをCH部に使用し、ハーフレジスト膜厚部を形成する。図1(b)では、D配線を形成する。図1(c)では、 $n^+ - a - Si$  (アモルファスシリコン)膜および $a - Si$ 膜を形成する。図1(d)では、第2パターンをPR(フォトリソ)-DEにより形成する。ハーフレジスト膜厚部を除去して形成する。図1(e)では、CH部金属および $n^+ - a - Si$ 膜を形成する。以下、具体的に説明する。

## 【0023】

図示しないガラス上にゲートパターンGを形成し、その上に絶縁膜として $SiN$ 膜およびチャンネル活性層として $a - Si$ 膜12を形成する。そして、ソース・ドレイン電極との接続のための $n^+ - a - Si$ 膜を、CVD法を使用して連続成膜を行うことにより形成する。更に、この $n^+ - a - Si$ 膜上にスパッタ法を用いてソース・ドレイン電極13を堆積する。その後、レジスト14を塗布後にソース・ドレイン電極を、グレイトーンマスク15を用いて、完全に露光された領域(TFT領域およびソースのバスライン外)、一部露光された領域(ソース・ドレイン電極間のチャンネル部領域CH)および完全に露光されない領域(ソース・ドレイン電極部およびソースのバスライン領域)を形成する。

## 【0024】

このとき、液晶表示装置の表示部のTFTトランジスタと、外周部の保護トランジスタは、外形は同じだが限界解像力以下のスリットパターンが異なる。具体的には、表示部ではスリットはチャンネル部全体に配され、保護トランジスタ部ではコーナ部では限界解像力以上のスリットが設けられている。このことにより、表示部トランジスタのチャンネル部では全面にハーフ膜厚のレジストが形成されるが、保護トランジスタのチャンネル部にはレジストが完全に除去される部分ができる。尚、ここでは、ポジ型レジストの場合の例について述べているが、本発明はこれに限定するものではない。

## 【0025】

このようにして、TFT部をパターン形成した場合、ソース・ドレイン電極間であるチャンネル部領域のレジストだけレジスト膜厚が一部露光されるために、薄くなったレジスト断面形状となる。次に、このレジストパターン14をマスクとしてソース・ドレイン電極膜をドライエッチングする。このとき、ドライエッチングではソース・ドレイン電極膜だけでなく、ソースバスライン、 $n^+ - a - Si$ 膜および $a - Si$ 膜までエッチングを行い、ゲート絶縁膜である $SiN$ 膜をストップとする。

## 【0026】

このとき、チャンネル部CHに露光マスク15に限界解像力以上のスリットパターンを配した保護トランジスタでは、レジストが完全に除去された部分の $n^+ - a - Si$ 膜および $a - Si$ 膜までエッチングされるため、トランジスタの実効Wが小さくできる。その後、チャンネル部CHの上のレジスト膜14を除去するためにアッシングを行う。

## 【0027】

次に、TFT部のチャンネル領域CHを形成するために、レジストパターンを用いてドライエッチングすることにより、ソース・ドレイン部電極を形成する。このとき、ドライエッチングではソース・ドレイン電極および $n^+ - a - Si$ 膜までエッチングを行い、チャンネル活性層をストップとするため、チャンネル領域が形成される。最後に、レジストを剥離することにより、外形が同一で実効W/Lが異なるTFTが、1回マスクで形成が可能

10

20

30

40

50

となり工程削減を図ることが可能である。

【0028】

図2を参照すると、図2(a)のように、a、b、cの間隔が露光機の限界解像度以下の寸法のマスクを用いる。図2(b)では、現像後のレジストパターンで、斜線部1はレジストが完全に残っており、斜線部2はハーフ膜厚のレジストが残っている(図1(a))。図2(c)では、斜線部3をCr-WE、I-DEを行って配線パターンを形成する(図1(b)、(c))。図2(d)では、PR-DEを行い、斜線部4部のハーフレジストを除去する(完全に残っている部分のレジストは残る)(図1(d))。図2(e)では、Cr-WE、CH-DEを行って斜線部5部にCHを形成する(図1(e))。

【0029】

以上、本発明による液晶表示装置の製造方法について好適実施例の構成および動作を詳述した。しかし、斯かる実施例は、本発明の単なる例示に過ぎず、何ら本発明を限定するものではないことに留意されたい。本発明の要旨を逸脱することなく、特定用途に応じて種々の変形変更が可能であること、当業者には容易に理解できよう。

【図面の簡単な説明】

【0030】

【図1】本発明による液晶表示装置のTFTトランジスタの製造工程を説明するTFTトランジスタの断面図および製造工程で使用するマスクを示す図である。

【図2】図1に示す各製造工程に対応する液晶表示装置の主要部の説明図である。

【図3】一般的な液晶表示装置の主要部の分解斜視図である。

【図4】液晶表示装置のTFTトランジスタの一般的な製造工程図である。

【図5】グレイトーン露光に使用されるマスクの従来例を示し、(A)は平面図、(B)は(A)の線B-B'に沿う断面図である。

【図6】図5に示すグレイトーンマスクを使用する液晶表示装置のTFTトランジスタの製造工程図である。

【符号の説明】

【0031】

- 10 TFTトランジスタ
- 11 ガラス基板
- 14 レジスト
- 15 フォトマスク
- G ゲート電極
- S ソース電極
- D ドレイン電極

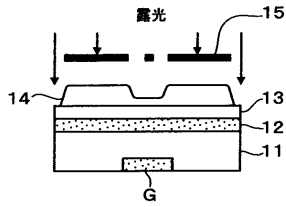
10

20

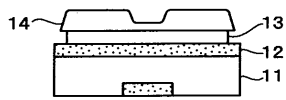
30

【 図 1 】

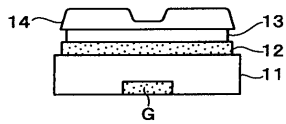
(a) DI - 工程



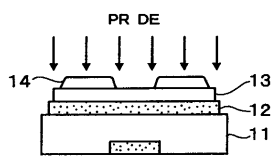
(b) DI - WE



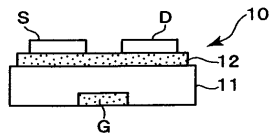
(c) I - DE



(d) PR - DE

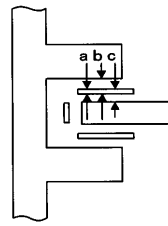


(e) D2 - WE

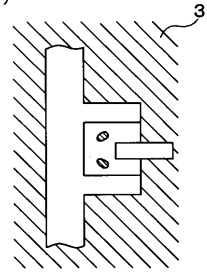


【 図 2 】

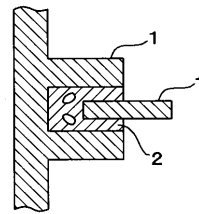
(a)



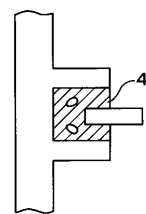
(c)



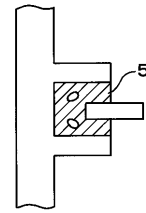
(b)



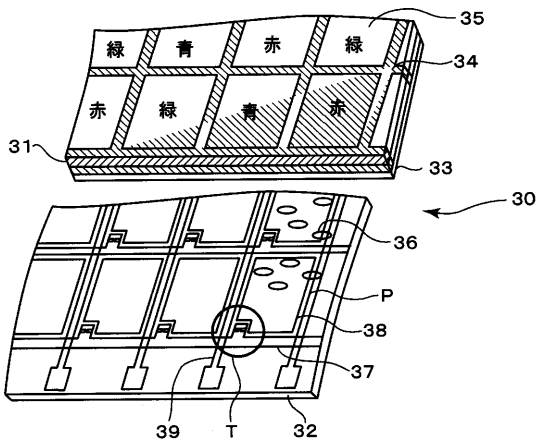
(d)



(e)

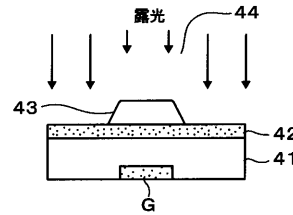


【 図 3 】

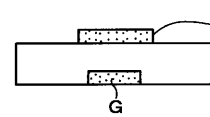


【 図 4 】

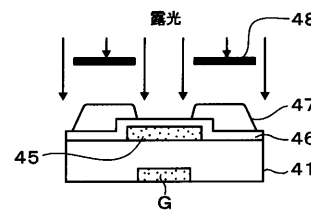
(a) I - 工程



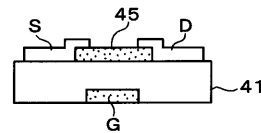
(b) I - DE



(c) D - 工程

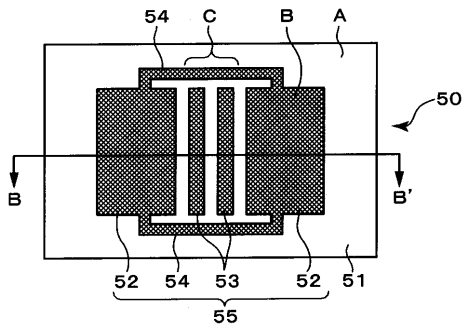


(d) D - WE

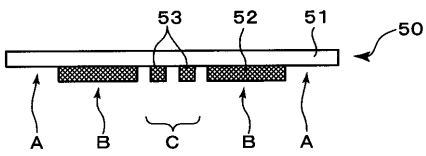


【図 5】

(A)

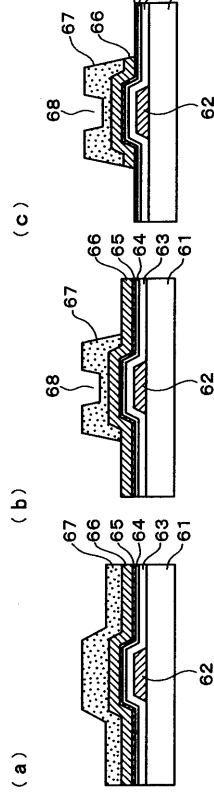


(B)

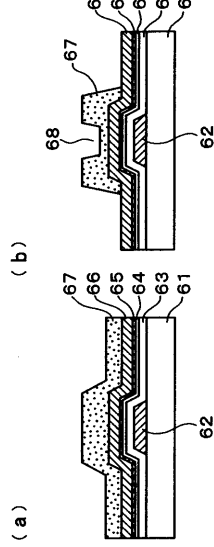


【図 6】

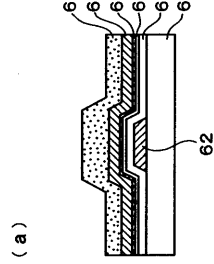
(a)



(b)



(c)



(d)



(e)



---

フロントページの続き

Fターム(参考) 5F110 AA16 BB01 CC07 DD02 DD14 FF03 FF29 GG02 GG15 GG23  
GG44 HK09 HK16 HK21 HK33 HK34 HM04 HM12 NN78 QQ01  
QQ09