

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

G11C 11/15

G11C 7/00



# [12] 发明专利申请公开说明书

[21] 申请号 03164878.9

[43] 公开日 2004年5月19日

[11] 公开号 CN 1497601A

[22] 申请日 2003.9.25 [21] 申请号 03164878.9

[30] 优先权

[32] 2002.9.25 [33] JP [31] 280094/2002

[71] 申请人 TDK 株式会社

地址 日本东京都

[72] 发明人 江崎城一郎 柿沼裕二 古贺启治

[74] 专利代理机构 中国专利代理(香港)有限公司

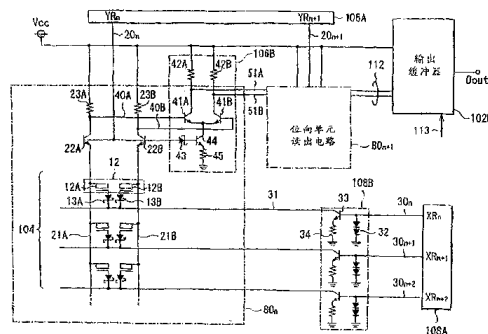
代理人 梁永

权利要求书5页 说明书41页 附图19页

[54] 发明名称 磁存储器件、写入磁存储器件的方法和从磁存储器件读出的方法

[57] 摘要

每个存储单元由一对磁存储元件构成。所述磁存储元件分别通过一对防逆电流二极管使其一端连接到读出位线而使其另一端连接到读出字线。在读出字线的接地端设置恒流电路。所述恒流电路具有固定流过读出字线的电流的功能并且由恒流发生二极管、晶体管和限流电阻器构成。



1. 一种磁存储器件，它包括：  
多个第一写入线；  
5 多个第二写入线，它们延伸而分别与所述多个第一写入线交叉；以及  
多个磁阻元件，每个磁阻元件包括叠层结构和环形磁性层，所述叠层结构包括其磁化方向可以按照外磁场变化并且适合于使电流可以在垂直于所述叠层结构的层叠表面的方向流动的磁敏层，所述环形磁性层这样设置在所述叠层结构的一个表面上、使得其轴向沿着所述层叠表面且适合于被所述第一和  
10 第二写入线穿过；  
其中，每个存储单元制作成包括一对所述磁阻元件。
2. 如权利要求1所述的磁存储器件，其特征在于：所述磁敏层和所述环形磁性层电连接。
3. 如权利要求1所述的磁存储器件，其特征在于：由于由分别流经穿过  
15 所述环形磁性层的所述第一和第二写入线的电流产生的磁场的缘故所述一对磁阻元件的所述磁敏层的所述磁化方向变成彼此逆平行，因而按照所述第一或第二状态把信息存储在所述存储单元中。
4. 如权利要求3所述的磁存储器件，其特征在于：使所述存储单元处于  
20 第一状态和第二状态之一，所述第一状态是所述一对磁阻元件中的一对磁敏层中的一个磁敏层在第一方向上磁化而另外一个则在与所述第一方向逆平行的第二方向上磁化，而所述第二状态是所述一对磁敏层中的一个磁敏层在所述第二方向上磁化而另外一个在所述第一方向上磁化，因而按照所述第一或第二状态把信息存储在所述存储单元中。
5. 如权利要求1所述的磁存储器件，其特征在于还包括：  
25 一对第一读出线，它们分别连接到所述一对磁阻元件并且用来向所述磁阻元件提供读出电流；  
其中，按照流入每个所述叠层结构的电流而从所述存储单元中读取信息。

6. 如权利要求5所述的磁存储器件, 其特征在于: 按照分别从所述一对读出线输送到所述一对磁阻元件的一对读出电流值之间的差值而从所述存储单元读出信息。

7. 如权利要求6所述的磁存储器件, 其特征在于还包括:

5 设置在输送到所述一对磁阻元件的所述读出电流的电流通路上的整流元件; 以及

用于将流过所述一对磁阻元件的所述读出电流引入到地线的第二读出线。

8. 如权利要求7所述的磁存储器件, 其特征在于: 在分别输送到所述一对磁阻元件的所述读出电流的电流通路上设置一对所述整流元件。

9. 如权利要求8所述的磁存储器件, 其特征在于: 所述一对整流元件分别设置在所述一对第一读出线和所述一对磁阻元件之间。

10. 如权利要求8所述的磁存储器件, 其特征在于: 所述一对整流元件分别设置在所述一对磁阻元件和所述一对第二读出线之间。

15 11. 如权利要求7所述的磁存储器件, 其特征在于: 从以下一组元件中选择所述整流元件: 肖特基二极管、PN结二极管、双极晶体管和MOS(金属-氧化物-半导体)晶体管。

12. 如权利要求6所述的磁存储器件, 其特征在于还包括:

20 具有电流调节功能的恒流电路, 用于调节流过每个存储单元的一对磁阻元件的读出电流的总量。

13. 如权利要求12所述的磁存储器件, 其特征在于: 利用带隙基准来布置所述恒流电路。

14. 如权利要求12所述的磁存储器件, 其特征在于: 利用二极管、晶体管和电阻器的组合来布置所述恒流电路。

25 15. 如权利要求14所述的磁存储器件, 其特征在于: 所述恒流电路中的所述晶体管不仅具有所述电流调节功能而且具有用于选择是否允许所述读出电流流入所述一对磁阻元件的第一半导体开关的功能。

16. 如权利要求12所述的磁存储器件, 其特征在于: 所述恒流电路设置

在所述第二读出线和地线之间。

17. 如权利要求 6 所述的磁存储器件, 其特征在于还包括: 一对电流至电压转换电阻器, 它们分别设置在所述一对第一读出线和电源之间。

18. 如权利要求 17 所述的磁存储器件, 其特征在于: 所述电流至电压转换电阻器中每一个的电阻值大于所述磁阻元件中每一个的电阻值。

19. 如权利要求 17 所述的磁存储器件, 其特征在于还包括:

为每一对所述第一读出线设置的读出放大电路, 所述读出放大电路用于以电压差的形式检测和放大在所述第一读出线中流动的读出电流之间的差值;

10 其中, 在与所述电源相对的一端上所述一对电流至电压转换电阻器的端子分别连接到所述读出放大电路的输入端子。

20. 如权利要求 19 所述的磁存储器件, 其特征在于还包括:

一对第二半导体开关, 它们设置在所述一对电流至电压转换电阻器中与所述电源相对的一端、用于选择是否分别向所述一对磁阻元件提供所述读出电

15 流;

其中, 所述一对第二半导体开关、所述一对电流至电压转换电阻器和所述读出放大器电路整体地布置在同一个区域中。

21. 如权利要求 20 所述的磁存储器件, 其特征在于: 所述一对第二半导体开关、所述一对电流至电压转换电阻器和所述读出放大器分别形成对称电

20 路。

22. 一种用于在磁存储器件上写入的方法, 所述磁存储器件包括: 多个第一写入线; 多个第二写入线, 它们延伸而分别与所述多个第一写入线交叉; 和多个磁阻元件, 每个磁阻元件包括叠层结构和环形磁性层, 所述叠层结构包括其磁化方向可随外磁场变化的磁敏层、电流可以在垂直于所述叠层结构的层

25 叠表面的方向流动, 所述环形磁性层这样设置在所述叠层结构的一个表面上、以便具有沿着所述层叠表面的轴向并且适合于被第一和第二写入线穿过; 每个存储单元制作成包括一对所述磁阻元件;

所述方法包括下列步骤:

采用以下方法将信息写入所述存储单元：由于由流经穿过所述环形磁性层的所述第一和第二写入线的电流产生的磁场的缘故，将所述一对磁阻元件中所述磁敏层的所述磁化方向改变为彼此逆平行。

23. 一种用于从磁存储器件读出的方法，所述磁存储器件包括：多个第一写入线；多个第二写入线，它们延伸而分别与所述多个第一写入线交叉；和多个磁阻元件，每个磁阻元件包括叠层结构和环形磁性层，所述叠层结构包括其磁化方向随外磁场变化的磁敏层、电流可以在垂直于所述叠层结构的层叠表面的方向流动，所述环形磁性层这样设置在叠层结构的一个表面上、使得其轴向沿着所述层叠表面并且适合于被第一和第二写入线穿过；每个存储单元制作成包括一对所述磁阻元件；

所述方法包括以下步骤：

沿着垂直于所述磁阻元件的叠层结构的层叠表面的方向分别向所述一对磁阻元件提供读出电流；以及

按照流过所述叠层结构的电流从所述存储单元读出信息。

24. 如权利要求 23 所述的从磁存储器件读出信息的方法，其特征在于：按照分别提供给所述一对磁阻元件的所述一对读出电流值之间的差值从所述存储单元读出信息。

25. 一种磁存储器件，它包括：

多个第一写入线；

多个第二写入线，它们延伸而分别与所述多个第一写入线交叉；

多个磁阻元件，每个磁阻元件包括包含其磁化方向可按照外磁场变化的磁敏层的叠层结构；

每个存储单元制作成包括一对所述磁阻元件；

一对读出线，用于分别向所述存储元件的所述一对磁阻元件提供读出电流；

读出电路，用于按照分别通过所述一对读出线提供给所述一对磁阻元件的一对所述读出电流的值之间的差值从所述存储单元读取信息；以及

恒流电路，所述恒流电路具有用于调节流过每个存储单元的一对磁阻元

件的读出电流的总量的电流调节功能。

26. 如权利要求 25 所述的磁存储器件, 其特征在于: 以二极管、晶体管和电阻器的组合的形式来布置所述恒流电路, 所述晶体管不仅具有所述电流调节功能而且具有作为半导体开关用于选择是否允许所述读出电流流入所述一
- 5 对磁阻元件的功能。

## 磁存储器件、写入磁存储器件的方法和从磁存储器件读出的方法

5

### 技术领域

本发明涉及一种利用磁膜存储元件布置的磁存储器件、在这种磁存储器件上写入的方法和从这种磁存储器件上读出的方法。

10

### 背景技术

至今使用易失存储器如 DRAM(动态随机存取存储器)和 SRAM(静态 RAM)作为用于信息处理设备如计算机和移动通信工具的通用存储器。除非一直给易失存储器提供电流,否则在这种易失存储器中的所有信息都将丢失。因此有必要提供一种存储信息的装置,即非易失存储器,例如快速 EEPROM

15 和硬盘装置。具有更高速度的信息处理的这种非易失存储器的访问速度的提高成为主要问题。而且,随着便携式信息设备的更快的普及和更高的性能,着眼于所谓随处计算即着眼于可以随时随地处理信息的信息设备已经快速发展了。作为这种设备发展的关键器件,迫切要求发展高速非易失存储器。

20

众所周知 MRAM(磁随机存取存储器)是提高非易失存储器速度的有效技术。MRAM 包括以矩阵形式排列的存储单元,每个存储单元由包括两个铁磁层的磁性元件构成。在每个存储单元中,采用以下方法存储信息:对应于二元信息“0”或“1”,使所述元件的铁磁层的磁化方向相对于其易磁化轴成平行状态(在相同方向)或逆平行状态(在相反方向)。铁磁层的磁化方向

25 向平行时磁性元件的电阻值与逆平行时的不一样。因此,可以通过检测与电流或电压变化的信息相对应的电阻差值来从存储单元读取信息。由于基于这种原理运行,所以为了稳定地写入/读出,必须使 MRAM 中电阻的变化率尽量高。

实际应用中的 MRAM 普遍使用 GMR (巨磁阻)。GMR 是这样一种现象：当设置成具有平行的易磁化轴的两个磁性层的磁化方向沿着所述易磁化轴平行时、电阻值最小化，而当两个磁性层的磁化方向逆平行时，电阻值最大化。例如，U. S. 专利 5343422 公开的技术就是利用 GMR 元件的 MRAM (此后简称“GMR-MRAM”)。

GMR-MRAM 包括伪自旋阀型和自旋阀型。在伪自旋阀型 MRAM 中，每个 GMR 元件由两个铁磁层和夹在其间的非磁性层的叠层结构制成，利用两个铁磁层之间的矫顽力的差别写入/读出信息。另一方面，在自旋阀型 MRAM 中，两个铁磁层包括具有固定的磁化方向的固定层和磁化方向按照外磁场变化的自由层。在非铁磁层夹在固定层和反铁磁层之间的状态下固定层反铁磁性地与反铁磁层相连、使得固定层的磁化被稳定地固定了。关于所述类型 GMR 元件的磁阻变化率，具有 (NiFe/Cu/Co) 叠层结构的伪自旋阀型元件约 6-8%，具有 (PtMn/CoFe/Cu/CoFe) 结构的自旋阀型元件约 10%。由于这个缘故，得不到利用电阻的差别作为电流或电压的差别的有效的读出输出，可以认为很难提高存储容量或访问速度。

关于这一点，使用 TMR (隧道磁阻) 的 MRAM (此后简称为“TMR-MRAM”) 可以大幅度提高电阻变化率。TMR 是这样一种现象：在叠层结构中超薄绝缘层中流动的隧道电流按照各磁化方向彼此之间的相对角度变化，在所述叠层结构中，超薄绝缘层夹在两个铁磁层 (具有固定的磁化方向的固定层和具有可变磁化方向的磁敏层、即自由层) 之间。即，磁化方向彼此平行时，隧道电流最大化 (单元电阻值最小化)，磁化方向逆平行时，隧道电流最小化 (单元电阻值最大化)。例如，称为 TMR 元件的 CoFe/氧化铝/CoFe 的叠层结构中的电阻变化率达到 40% 或更高。

另外，当 TMR 元件与半导体器件如 MOSFET (金属氧化物半导体场效应晶体管) 结合时，可以认为很容易使他们彼此匹配，因为 TMR 具有高电阻。由于这种优点，TMR-MRAM 比 GMR-MRAM 更容易提高其输出并可以期望具有更高的存储容量和更高的访问速度。在 TMR-MRAM 方面，其技术已在美国专利 No. 5629922 和日本特许公报 9-91949 / (1997) 中公开。

为写入信息，TMR-MRAM 采用这样的系统，即，利用由流过导体的电流感生的电流磁场来改变铁磁层的磁化方向。因此，按照铁磁层之间的相对的磁化方向(平行或逆平行)来存储二元信息。为了读出所存储的信息，TMR-MRAM 采用这样的系统，即，在垂直于层表面的方向对绝缘层施加电流，并且检测隧道电流值或隧穿电阻值。这样，铁磁层之间相对磁化方向(平行或逆平行)的差别表现为输出电流值或单元电阻值的差别。

在单元阵列结构方面，已经提出一种结构，其中，在数据线上并联多个 TMR 元件，然后，与每个 TMR 元件相应地设置选择半导体元件，或者另外一种结构，其中，为每个这样的数据线设置这样的半导体器件。可以利用栅极和漏极之间短路 MOSFET 或 FET、PN 结二极管、肖特基二极管等构成的二极管作为所述半导体器件。而且，还提出一种结构，其中，TMR 元件设置在行数据线和列数据线的矩阵中，为每个数据线设置选择晶体管。

在那些结构中，从读出耗电的效率上看，为每个 TMR 元件设置选择半导体元件的结构具有最优异的特性。但是，当半导体器件的特性有差异时，由这种差异引起的噪音不可忽略。而且，如果再考虑与数据线相关的噪音、由于读出放大器的特性差异引起的噪音和由于电源电路反馈引起的外围电路中产生的噪音，就有可能使来自存储单元的输出电压的信噪比只能达到约几个 dB。

因此，为了提高读出输出的信噪比，如下改善 TMR-MRAM 的单元阵列。

通常采用基于对通过将所选存储单元的输出电压  $V$  与标准电压  $V_{ref}$  对比得到的差分电压  $V_{sig}$  进行差分放大的方法。差分放大首先趋向于消除连接存储单元的一对数据线中产生的噪音，其次消除了用于驱动读出线或用于选择单元的半导体器件中的特征差异引起的输出电压偏移。但是，用于产生标准电压  $V_{ref}$  的电路是通过使用虚拟单元或半导体器件的电路来实现的，由于所述电路和存储单元之间器件特性有差异，因而理论上不可能完全排除输出电压的偏移。

广泛地采用一种方法来解决此问题，所述方法是：每个存储单元由一对 TMR 元件形成，放大来自所述一对元件的差分输出。在所述方法中，这

样进行写入、使得所述成对的 TMR 元件中的每一个的磁敏层的磁化方向总是与另外一个逆平行。即，执行互补写入、使得在所述元件之一中磁敏层的磁化方向平行于固定层的磁化方向，而在另一个元件中两层的磁化方向彼此逆平行。然后，放大两个元件的差分输出并将其读出。因此，排除了普通方式的噪音，提高了信噪比。这种差分放大型电路的配置在日本特许公报 2001-236781、日本特许公报 2001-266567 或 2000 国际固体电路会议 (ISSCC) 文摘 TA7.2 中公开。

经过更详细的例子，在专利文件 JP-2001-236781 和 JP-2001-266567 中公开的所述技术中，组成存储单元的第一和第二 TMR 元件的一端分别连接到一对第一和第二数据线，而另一端通过同一个单元选择半导体器件连接到位线。字线连接到单元选择半导体器件。为了读出信息，提供位线与第一和第二数据线中每一个之间的电位差，同时第一数据线的电位和第二数据线的电位保持相同。这样，将第一和第二数据线之间电流流率的差分值设定为输出信号。

但是，通常在这种差分放大系统中，成对的 TMR 元件之间电阻值的差异就成了问题。在制造过程中产生 TMR 元件之间电阻的差异，电阻差异引起的电流误差不可避免。结果，不可避免地损害输出信号的信噪比。

在写入结构中，大量 TMR 元件连接到第一和第二数据线，而单元选择半导体器件连接到对应于排列在位线阵列方向上的单元的数量第三的第三位线，这样形成存储单元的矩阵。因此，为了得到稳定的读出信号输出，有必要充分地抑制连接到每个数据线的 TMR 元件中的电阻变化并且充分地抑制连接到同一个位线的选择半导体器件中的特性变化。但是，没有设计出向第一和第二数据线提供相等电位的电压差以便能够从根本上抑制那些变化的读出方法。因此，存在这样的问题，即，很难采取彻底的措施来对付由这种变化产生的噪音。

因此，尽管提出了一个又一个的方法，但是在现有技术的 MRAM 中无法充分地提高读出信号的信噪比。结果，事实上，通过电阻变化率达到约 40% 的 TMR 元件得不到足够的输出电压。即，当按照原样使用目前的存储结

构时，不仅具有运行稳定性如读出精度的问题，而且估计无法令人满意地支持更高密度的存储器。

5 附带指出，如上所述，尽管对于从 TMR-MRAM 读出的方法或读出电路的配置已经采用了很多措施，但至今 TMR 元件的结构本身还没有得到显著的改善。

## 发明内容

针对这些问题研制了本发明。本发明的一个目的是提供一种磁存储器件和可以得到高信噪比的读出信号输出的磁存储器件读出方法、以及用于  
10 开辟以高信噪比读出信息的途径的磁存储器件写入方法。

根据本发明的第一方面的磁存储器件包括：多个第一写入线；多个第二写入线，它们延伸而分别与多个第一写入线交叉；和多个磁阻元件，每个磁阻元件包括叠层结构和环形磁性层，所述叠层结构包括其磁化方向按照外磁场变化的磁敏层并适合于让电流在垂直于所述叠层结构的层叠表面的  
15 的方向流动，所述环形磁性层这样设置在叠层结构的一个表面上、使得所述环形磁性层具有沿着层叠的表面的轴线方向并且适合于被所述第一和第二写入线穿过；其中，每个存储单元包括一对所述磁阻元件。

此处“外部磁场”是指由流过第一和第二写入线的电流产生的磁场或在环形磁性层中产生的环形磁场。另外，“环形磁性层”的“环形”表示  
20 这样的状态：所述层以磁的和电的形式连续地完全包围所述线并且至少从穿过所述层内部的第一和第二写入线看所述层时，在与所述第一和第二写入线交叉的方向上所述层的截面是封闭的。因此，只要环形磁性层在磁性上和电气上是连续的，就可以在所述环形磁性层中包含绝缘体。不用说，环形磁性层可以包含制造过程中产生的氧化膜。“轴向”表示当仅仅注意  
25 环形磁性层时的通路方向，即，穿过环形磁性层内部的第一和第二写入线的延伸方向。另外，短语“布置在叠层结构的一个表面上”不仅包括环形磁性层与叠层结构分离地布置在叠层结构的一个表面上的情况还包括环形磁性层布置成包括所述叠层结构的一部分的情况。

在此磁存储器件中，用可以彼此独立地存储一个单元信息的两个磁阻元件存储一个单元信息。而且，每个磁阻元件由流入第一和第二写入线的电流在其环形磁性层中形成闭合磁路。因此，磁敏层的磁化被有效地逆转。

5 在所述磁存储器件中，最好磁敏层和环形磁性层电连接。这样，沿着垂直于叠层结构的层叠表面的方向流动的电流可以从磁敏层流到环形磁性层。

另外，在所述磁存储器件中，所述一对磁阻元件中磁敏层的磁化方向最好由于由分别流经穿过环形磁性层的第一和第二写入线的电流产生的磁场而变成彼此逆平行。本发明中“磁化方向彼此逆平行”不仅包括磁化方向的彼此的夹角、即、在磁性层中平均磁化方向的彼此的夹角是严格的180度的情况，还包括由于制造中产生的误差、未能形成理想的单一轴而出现的误差等引起的磁化方向的彼此的夹角稍微偏离180度的情况。而且，“信息”通常指在输入到磁存储器件的输入信号/从磁存储器件输出的信号中利用电流值或电压值等由“0”和“1”、“高”和“低”表示的二元信息。

15 在所述磁存储器件中，以一对磁阻元件中的磁敏层的磁化方向彼此逆平行的状态来存储信息。

更具体地说，希望使存储单元处于第一状态和第二状态之一，其中第一状态是所述一对磁阻元件中的一对磁敏层中的一个磁敏层在第一方向上磁化而另外一个则在与第一方向逆平行的第二方向上磁化，而第二状态是  
20 所述一对磁敏层中的一个磁敏层在所述第二方向上磁化而另外一个在所述第一方向上磁化，因而根据所述第一或第二状态在所述存储单元中存储信息。这样，所述成对的磁阻元件中的磁敏层的磁化可以有两种状态，面对面或背靠背。二元信息相应于这两种状态。

根据本发明的第一方面的磁存储器件还包括一对第一读出线，它们分别连接到所述一对磁阻元件并且向磁阻元件提供读出电流；其中，根据流入每个叠层结构的电流从存储单元中读取信息。附带指出，根据本发明的磁存储器件中的词“连接到”不是只表示物理上的直接连接这种情况、而且表示至少是电气上的连接状态。

在所述磁存储器件中，利用以下现象来读取信息：在垂直于其层表面的方向上分别加到所述成对的磁阻元件的磁敏层的层表面的电流之间电流值的差值按照所述各磁敏层彼此之间的相对的磁化方向而出现。

5 为了读取信息，最好根据分别从所述一对读出线流向所述一对磁阻元件的一对读出电流值之间的差值从存储单元读出信息。这样，由于差分地输出读出电流，故排除了在每个第一读出线中或包含在每个磁阻元件的输出值中的任何偏移成分中产生的噪音。

10 另外，在根据本发明的第一方面的磁存储器件中，所述磁存储器件最好还包括：设置在输送到所述一对磁阻元件的读出电流的电流通路上的整流元件；以及用于将流过所述一对磁阻元件的读出电流引入到地线的第二读出线。本发明中的“整流元件”是指用于只允许电流单向流过而阻止反向电流的元件。此外，“电流通路”是指读出电流流入磁阻元件、穿过磁阻元件和从其中流出的整个通路。整流元件具有只允许电流在前述电流通路上以接地方向（在第二读出线端）流动的整流作用。通过整流元件，可以防止任何电流从连接到待读取的存储单元共用的第二读出线的另一个存储单元分流到待读取的每个存储单元。

20 另外，最好在分别输送到所述一对磁阻元件的读出电流的电流通路上设置一对整流元件。在这种情况下，避免了电流在待读取的存储单元中从一个磁阻元件流向另一个元件并且流向第一读出线。所述一对整流元件可以分别设置在所述一对第一读出线和所述一对磁阻元件之间、或者可以分别设置在所述一对磁阻元件和所述一对第二读出线之间。最好用肖特基二极管、PN结二极管、双极晶体管和MOS晶体管作为整流元件。

25 另外，在根据本发明的第一方面的磁存储器件中，所述磁存储器件最好还包括具有电流调节功能的恒流电路，用于调节流过每个存储单元的一对磁阻元件的读出电流的总量。通过恒流电路，即使读出电流很微弱，也控制读出电流使其以读出电流的总量恒定的形式流动。而且，在每个存储单元中成对的磁阻元件之间或一个存储单元中的磁阻元件和另一个存储单元中的磁阻元件之间有可能存在电流流率的变化，因为经常会出现这些存

储单元之间的电阻值的变化。相反,在如上述那样在读出电路系统中设置恒流电路因而加到每个存储单元的读出电流被标准化而总具有固定值时,磁阻元件之间电阻值的变化引起的输出电流值的变化被控制在固定范围内。

5           可以利用带隙基准(reference)、以及可以通过组合二极管、晶体管和电阻器来设置本发明中的恒流电路。在这种情况下,所述晶体管不仅可以用于电流调节功能,还可以用作第一半导体开关,用于选择是否允许读出电流流入所述一对磁阻元件。另外,所述恒流电路例如可以设置在第二读出线和地线之间。

10           此外,在根据本发明第一方面的磁存储器件中,所述磁存储器件最好包括一对电流至电压转换电阻器,所述一对电流至电压转换电阻器分别设置在所述一对第一读出线和电源之间。本发明的“电源”是指用于运行电路的电流和/或电压源,包括磁存储器件的内部电源线。利用成对的电流至电压转换电阻器中的电压降而从读出电流中得到电压输出。为得到大的  
15           输出值,希望每个电流至电压转换电阻器具有比每个磁阻元件大的电阻值。

          另外,所述磁存储器件最好还包括为每对第一读出线提供的读出放大电路,用于以电压差的形式检测和放大在第一读出线中流动的读出电流之间的差值;以及所述一对电流至电压转换电阻器的端子在与所述电源相对的一侧分别连接到所述读出放大电路的输入端。通过读出放大电路,放大了  
20           在每个电流至电压转换电阻器的供电端产生的电压。

          另外,更希望根据本发明第一方面的磁存储器件还包括一对第二半导体开关,它们设置在所述一对电流至电压转换电阻器中与电源相对的一侧,用于选择是否分别给所述一对磁阻元件供应读出电流;以及所述一对第二  
25           半导体开关、所述一对电流至电压转换电阻器和所述读出放大电路整体地设置在同一个区域中。即,一对第二半导体开关和一对电流至电压转换电阻器形成在形成读出放大电路的区域。当它们彼此紧靠地设置时,每对元件在工作时都有基本上相同的温度变化。因此防止在所述一对元件之间发生特性值的差异。另外,最好所述一对第二半导体开关、所述一对电流至

电压转换电阻器和所述读出放大器分别形成对称的电路。这样，可以得到适当的差分输出电压值。此处用的“对称”是组成电路的每对元件的电气特性基本上彼此相等。

5 根据本发明的用于在磁存储器件上写入的方法是根据本发明的第一磁存储器件上写入信息的方法。所述方法包括下列步骤：通过由于由流经穿过环形磁性层的第一和第二写入线的电流产生的磁场而将所述一对磁阻元件中的磁敏层的磁化方向改变为彼此逆平行，来将信息写入到存储单元中。

10 在根据本发明的在磁存储器件上写入的方法中，通过把一对磁阻元件中磁敏层的磁化方向改变为逆平行、即、面对面或背靠背而写入二元信息。为了使所述一对磁阻元件中磁敏层的磁化方向彼此逆平行，使每个元件中流入第一和第二写入线的电流分别与另一个元件中流入第一和第二写入线的电流反向。这样，每个磁敏层中电流感生的磁场的方向与另一个磁敏层中的逆平行，而每个磁敏层的磁化固定在此方向。

15 根据本发明的用于从磁存储器件读出的方法是读出写在根据本发明的第一磁存储器件上的信息的方法。所述方法包括以下步骤：在垂直于所述磁阻元件的叠层结构的层叠表面的方向上，分别将读出电流输送到所述一对磁阻元件；以及根据流过叠层结构的电流从存储单元读出信息。

20 根据本发明的从磁存储器件读出的方法利用这样的现象：按照磁敏层彼此之间相对的磁化方向，出现在垂直于其层表面的方向上分别加到所述成对的磁阻元件的所述一对磁敏层的层表面的电流之间的电流值的差值。即，根据流入磁阻元件的叠层结构部分的读出电流值来读出信息。

25 而且，在根据本发明的从磁存储器件中读出的方法中，最好根据分别输送给所述一对磁阻元件的一对读出电流值之间的差值来从存储单元读出信息。在这种情况下，由于以差分的方式输出读出电流，所以排除了在每个第一读出线中或包含在每个磁阻元件的输出值中的任何偏移成分中产生的噪音。

根据本发明的第二方面的磁存储器件包括：多个第一写入线；多个第

二写入线，它们延伸而分别与多个第一写入线交叉；多个磁阻元件，每个磁阻元件包括叠层结构，所述叠层结构包括其磁化方向按照外磁场变化的磁敏层；构造成包括一对磁阻元件的每个存储单元；一对读出线，用于将读出电流分别输送到存储单元的所述一对磁阻元件；读出电路，用于根据  
5 分别通过所述一对读出线输送到所述一对磁阻元件的一对读出电流的值之间的差值从存储单元读取信息；以及恒流电路，所述恒流电路具有调节流过每个存储单元的一对磁阻元件的读出电流的总量的电流调节功能。

在所述第二磁存储器件中，每个存储单元由一对磁阻元件构成并且根据在所述成对的磁阻元件流过的一对读出电流之间的差值读出信息。那时，  
10 在所述成对的磁阻元件中流过的读出电流的总和由恒流电路调整、使得由所述磁阻元件之间电阻变化引起的读出电流的变化被控制在固定范围内。在所述第二磁存储器件中，环形磁性层不是必要的组成部分。所述成对的磁阻元件中的每一个具有这种结构，其中，第一写入线和第二线设置在包括磁敏层的叠层结构的一个表面上。顺便指出，恒流电路可以设置成二极管、  
15 晶体管、电阻器的组合，所述晶体管不但具有电流调节功能而且可以作为用于选择是否允许读出电流流入所述一对磁阻元件的半导体开关。

## 附图说明

- 图 1 是显示根据本发明实施例的磁存储器件的总体配置的方框图。
- 20 图 2 是显示图 1 中示出的磁存储器件中存储单元和读出电路的配置的简图。
- 图 3 是用于说明图 2 中示出的读出电路中读出放大器的总体配置的电  
路图。
- 图 4 是显示图 1 所示的一组存储单元的 Y 方向驱动电路部分周围的安  
25 装状态的结构图。
- 图 5 是显示图 4 所示 Y 方向驱动电路部分的实际电路布置的简图。
- 图 6 是图 5 所示单元驱动电路的读出放大电路区域的图形布置简图。
- 图 7 是显示图 1 所示存储单元的具体配置的剖面图。

图 8 是显示图 1 所示磁存储器件中存储单元和写入线结构的简图。

图 9 是显示图 7 所示存储单元的等效电路的简图。

图 10A 和 10B 是用于说明在图 7 所示的存储单元中存储信息的方法的简图。

5 图 11 是用于说明在图 7 所示的存储单元中写入信息的方法的简图。

图 12 是用于说明从图 1 所示的磁存储器件中的存储单元读出的操作的原理的简图。

图 13 是用于说明与图 2 所示的读出电路对照的对比例的电路图。

10 图 14 是显示依照图 2 所示读出电路中防逆电流二极管的改型的整流元件及其布局的简图。

图 15 是显示依照图 2 所示读出电路中防逆电流二极管的另一个改型的整流元件及其布局的简图。

图 16 是显示依照图 2 所示读出电路中防逆电流二极管的另一个改型的整流元件及其布局的简图。

15 图 17 是显示依照图 2 所示读出电路中防逆电流二极管的另一个改型的整流元件及其布局的简图。

图 18 是显示依照图 2 所示读出电路中防逆电流二极管的另一个改型的整流元件及其布局的简图。

图 19 是根据本发明的磁存储器件的实施例中的读出电路的简图。

20 图 20 是显示在图 19 所示的读出电路中每个测量点 P1 - P4 测量的位解码电压和电流值之间的关系的曲线图。

图 21 是显示在图 19 所示的读出电路中每个测量点 P1 - P9 测量的位解码电压和电流值之间的关系的曲线图。

25 图 22 是显示在图 19 所示的读出电路中每个存储单元的磁存储元件的电阻变化和输出电压之间的关系的曲线图。

图 23 是显示用于说明与图 22 所示实施例的读出电路对照的对比例中读出电路的等效电路的简图。

图 24 是显示在图 19 所示的读出电路中每一个成对的磁存储元件中电

阻变化和输出电压之间的关系的曲线图。

### 具体实施方式

以下将参考附图详细说明本发明的实施例。

5 图 1 是显示根据本发明实施例的磁存储器件的总体配置的简图。所述磁存储器件是以所谓半导体存储芯片的形式实现的 MRAM。作为其基本组成元件，所述磁存储器件包括地址缓冲器 101、数据缓冲器 102、控制逻辑部分 103、存储单元组 104、Y 方向驱动电路部分 106 和 X 方向驱动电路部分 108。在这种情况下，这样设计所述磁存储器件、使得存储单元组 104 布置  
10 在硅芯片中心的宽广区域，而电路部分如驱动电路部分 106 和 108 以及布线设置在围绕存储单元组 104 的狭窄区域。

在存储单元组 104 中，在字线方向(X 方向)和位线方向(Y 方向)排列了大量存储单元 12、以便大体上形成矩阵。每个存储单元 12 是用于存储数据的最小单元，适合于存储位数据“1”或“0”。附带指出，此处存储单元  
15 组 104 中的每行存储单元 12 称为“字阵列 Xn”，而其每列称为“位阵列 Yn”。

Y 方向驱动电路部分 106 由 Y 方向地址解码器 106A、用于读出的读出放大器 106B 和用于写入的 Y 方向电流驱动器 106C 构成。Y 方向地址解码器 106A、读出放大器 106B 和 Y 方向电流驱动器 106C 中的每一个都通过存储单元 12 的位阵列 Yn (Y1, Y2, ...) 连接到存储单元组 104。

20 X 方向驱动电路部分 108 由 X 方向地址解码器 108A、用于读出的恒流电路 108B 和用于写入的 X 方向电流驱动器 108C 构成。X 方向地址解码器 108A、恒流电路 108B 和 X 方向电流驱动器 108C 中的每一个都通过存储单元 12 的字阵列 Xn (X1, X2, ...) 连接到存储单元组 104。因此，例如，如图 1 所示，存储单元 12 唯一地被 X 方向地址解码器 108A 和 Y 方向地址解码器 106A  
25 提供的字向和位向地址 (Xn 和 Yn) 选中。

地址缓冲器 101 配备有外部地址输入端子 A0 至 A20，且通过地址线 105 和 107 连接到 Y 方向地址解码器 106A 和 X 方向地址解码器 108A。地址缓冲器 101 具有从外部地址输入端子 A0 至 A20 输入用于选择存储单元 12 的选

择信号的功能和在其内部的缓冲放大器中将所述选择信号放大到地址解码器 106A 和 108A 要求的电压电平的功能。而且，放大后的选择信号分成用于存储单元 12 的字阵列方向(X 方向)和位阵列方向(Y 方向)的两个选择信号，且把这两个选择信号分别提供给地址解码器 106A 和 108A。而且，当磁  
5 存储器件包括多个存储单元组 104 时，用于从所述多个存储单元组 104 中选择一个存储单元组 104 的地址信号也提供给地址缓冲器 101。

数据缓冲器 102 配备有用于与外部交换数字数据信号的外部数据端子 D0 到 D7，且通过控制信号线 113 连接到控制逻辑部分 103。数据缓冲器 102 由输入缓冲器 102A 和输出缓冲器 102B 构成，并且通过来自控制逻辑部分 103  
10 的控制信号启动输入缓冲器 102A 和输出缓冲器 102B 中的每一个。输入缓冲器 102A 分别通过写入数据总线 110 和 111 连接到 Y 方向电流驱动器 106C 和 X 方向电流驱动器 108C。输入缓冲器 102A 具有以下功能：在存储器写入的时候从外部数据端子 D0 到 D7 输入数据信号、在其内部的缓冲放大器中将输入的数据信号放大使得所述数据信号被放大到所要求的电压电平以及  
15 将所述放大后的数据信号分别提供给 Y 方向电流驱动器 106C 和 X 方向电流驱动器 108C。输出缓冲器 102B 通过读出数据总线 112 连接到读出放大器 106B。输出缓冲器 102B 具有以下功能：在存储器读出的时候，利用其内部的缓冲放大器，把从读出放大器 106B 输入的读出数据信号提供给具有低阻抗的外部数据端子 D0 到 D7。

20 控制逻辑部分 103 配备有输入端子 CS 和输入端子 WE，且通过控制信号线 113 连接到数据缓冲器 102。控制逻辑部分 103 执行对存储单元组 104 的操作控制。把表示是否激活磁存储器件的读/写操作的芯片选择(CS)信号通过输入端子 CS 提供给控制逻辑部分 103。另一方面，把用于在写和读之间转换的写入使能(WE)信号通过输入端子 WE 提供给控制逻辑部分 103。  
25 控制逻辑部分 103 具有通过其内部的缓冲放大器将从输入端子 CS 和 WE 输入的信号电压放大到驱动电路部分 106 和 108 要求的电压电平的功能。

[读出电路的配置]

下一步将描述磁存储器件的读出电路的配置。

图 2 是由存储单元组及其读出电路构成的电路系统的配置简图。所述读出电路系统是差分放大型，其中，每个存储单元 12 由一对存储元件 12A 和 12B 构成。此处，所述读出电路系统适合于利用流过磁存储元件 12A 和 12B 的读出电流(电流分别通过读出位线 21A 和 21B 流入磁存储元件 12A 和 12B 并流出到公用读出字线 31)之间的差分值来从每个存储单元 12 读取信息，作为输出。

图 2 中，作为读出电路重复单元的位向单元读出电路 80(..., 80n, 80n+1, ...)由每个位阵列  $Y_n$  中的存储单元组 104 的存储单元 12 和包含读出放大器 106B 的读出电路的一部分构成。这种位向单元读出电路 80 在位阵列方向上平行排列。每个位向单元读出电路 80(..., 80n, 80n+1, ...)通过位解码线 20(..., 20n, 20n+1, ...)连接到 Y 方向地址解码器 106A 并通过读出数据总线 112 连接到输出缓冲器 102B。附带指出，由于没有足够的空间画出所有的位向单元读出电路 80，图 2 中只是代表性地注明两个位向单元读出电路 80。同样，存储单元组 104 由两个位阵列  $Y_n$  和  $Y_{n+1}$  代表。

每个存储单元 12 的磁性存储单元 12A 和 12B 是采用 GMR 和 TMR 的磁阻元件。此处将以特定的实例说明磁存储元件 12A 和 12B 是 TMR 元件的情况。随后将描述其详细的配置。

在存储单元组 104 中，由沿 X 方向排列的读出字解码线 31(此后简写为“读出字线”)和沿 Y 方向排列的多对读出位解码线 21A 和 21B(此后简写为“读出位线”)排列成矩阵形布线。每个存储单元 12 布置在那些线的交叉位置。并联到公用的读出位线 21A 和 21B 对的存储单元 12 形成位阵列  $Y_n$ ，而串联到公用读出字线 31 的存储单元 12 形成字阵列  $X_n$ 。

每个存储单元 12 中，一对磁存储元件 12A 和 12B 的一端分别连接到读出位线 21A 和 21B、而另一端分别通过一对防逆电流二极管 13A 和 13B 连接到公用读出字线 31。此处假设到达每个磁存储元件 12A、12B 的读出电流的电流通路是从元件的引线和读出位线 21A、21B 之间的交叉点延伸到元件的引线和读出字线 31 之间的交叉点的通路。附带指出，此处，读出位线 21A

和 21B 对应于本发明的“一对第一读出线”，读出字线 31 对应于本发明的“第二读出线”。

[位阵列方向的连接]

5           对于存储单元 12 的每个位阵列  $Y_n$  ( $Y_1, Y_2, \dots$ )，读出位线 21A 和 21B 成对布置。读出位线 21A 和 21B 在 Y 方向延伸，穿过存储单元组 104，一端连接到电源 Vcc。电流至电压转换电阻器 23A、23B (此后称为“电阻器 23A、23B”) 和晶体管 22A、22B 的集电极-发射极通路串联连接到读出位线 21A、21B 的一端 (电源 Vcc 侧)。而且，形成位阵列  $Y_n$  的多个存储单元 12 都连接到读出位线 21A 和读出位线 21B。具体地说，每个存储单元 12 的磁存储元件 12A 的一端连接到读出位线 21A，而磁存储元件 12B 的一端连接到读出位线 21B。

另外，位解码线 20 连接到晶体管 22A、22B 的基极。位解码线 20 连接到 Y 方向地址解码器 106A。因此，从 Y 方向地址解码器 106A 提供选择性地输出到属于作为待读/写的目标的存储单元 12 的位阵列  $Y_n$  的选择信号。即，与存储单元 12 的每个位阵列 Y 相应地提供每个位解码线 20 ( $\dots, 20_n, 20_{n+1}, \dots$ )，并且所述位解码线 20 具有把选择信号从 Y 方向地址解码器 106A 发送到待操作的位阵列  $Y_n$  的功能。晶体管 22A 和 22B 具有作为一对第二半导体开关的功能，所述第二半导体开关按照从位解码线 20 提供的选择信号的值 (位解码值) 进行切换。

附带指出，位解码线 20 具有和上述读出位线 21A、21B 相同的解码功能。但是，从操作上看，位解码线 20 和读出位线 21A、21B 两者有明显的区别。即，位解码线 20 是信号线，Y 方向地址解码器 106A 通过它传输选择的单元，且选择的单元是“高”或“低”二元数字信号。另一方面，读出位线 21A、21B 是用来检测流入磁存储元件 12A、12B 的弱电流的模拟信号线。附带指出，相同的规则可以应用于字解码线 30 和读出字线 31。

而且，从连接到读出位线 21A、21B 的电阻器 23A、23B 的端部的交叉点、与电源 Vcc 相对地引出读出放大器输入线 40A、40B (此后称为“输入线

40A、40B”)。电阻器 23A、23B 具有读出放大器 106B 的偏压电阻器的功能。即，这样布置电阻器 23A、23B、使得从电源 Vcc 向下流过读出位线 21A、21B 的读出电流被转变成归因于电阻器 23A、23B 本身电压降的电压、且所述电压通过输入线 40A、40B 被引入到读出放大器 106B。另外，电阻器 23A、23B 还具有产生中间电压电平的功能，所述中间电压电平按照  $\phi$  低于电源 Vcc 的使用电压。此处，读出电流很弱，因而不得不提高电阻器 23A、23B 的电阻值，以便在电阻器 23A、23B 中获得大的电压降，并因此使提供给输入线 40A、40B 的电压值尽量高。因此，最好电阻器 23A、23B 具有高电阻值，例如大约 100k $\Omega$ ，并且最好电阻器 23A、23B 的电阻值至少高于磁存储元件 12A、12B 的电阻值。

#### [ 字阵列方向的连接 ]

排列在同一个字阵列 Xn(X1, X2, ...) 上的存储单元 12 连接到每个读出字线 31。附带指出，在此实施例中，防逆电流二极管 13A 和 13B 作为整流元件布置在每个存储单元 12 及其相应的读出字线 31 之间。防逆电流二极管 13A 和 13B 分别对应于磁存储元件 12A 和 12B，且各自连接到磁存储元件 12A 和 12B。此外，磁存储元件 12A 和防逆电流二极管 13A 与磁存储元件 12B 和防逆电流二极管 13B 之间是绝缘的。

以单向元件的形式提供每个防逆电流二极管 13，用于防止电流从读出字线 31 回流到磁存储元件 12A、12B。例如，可用作所述防逆电流二极管 13 的是 PN 结二极管、肖特基二极管、使双极结晶体管 (BJT) 的基极和集电极之间短路而形成的二极管、或使 MOSFET 的栅极和漏极之间短路制成的二极管。

而且，晶体管 33 的集电极 - 发射极通路连接到读出字线 31 的接地端，而对应于字阵列 Xn 的字解码线 30 (... , 30n, 30n - 1, ...) 布置在晶体管 33 的基极侧。字解码线 30 连接到 X 方向地址解码器 108A、以便具有接收选择信号并且将选择信号传送给晶体管 33 的基极端的功能，所述选择信号用于选择来自 X 方向地址解码器 108A 的字阵列 Xn。

晶体管 33 用作第一半导体开关, 所述半导体开关用于根据提供给其基极的选择信号的值(位解码值)进行切换, 以便控制读出字线 31 的连接/断开。例如, 可以用 BJT 或 MOSFET 作为晶体管 33。附带指出, 在晶体管 33 的发射极端设置限流电阻器 34。

- 5            在所述实施例中, 还在读出字线 31 的接地端布置恒流电路 108B。恒流电路 108B 具有固定流入读出字线 31 的电流的功能。恒流电路 108B 由恒定电压发生二极管 32、晶体管 33 和限流电阻器 34 组成。因此, 晶体管 33 除了用作字解码半导体开关外, 还具有使恒定电流从其集电极流向其发射极的功能。晶体管 33 的基极端还连接到二极管 32 的阳极。在这种情况下,
- 10           二极管 32 由两个串联连接的二极管形成。

#### [ 读出放大器的电路布置 ]

- 为每个位向单元读出电路 80 提供一个读出放大器 106B。读出放大器 106B 具有输入在其相应的位向单元读出电路 80 中一对读出位线 21A 和 21B
- 15           之间的电位差、并放大该输入的电位差的功能。每个位向单元读出电路 80 的读出放大器 106B 通过输入线 40A 和 40B 分别连接到相应的读出位线 21A 和 21B。而且, 所有的读出放大器 106B 都连接到公用读出放大器输出线 51A 和 51B(此后称为“输出线 51A 和 51B”), 且最后通过读出数据总线 112 连接到输出缓冲器 102B。

- 20           每个读出放大器 106B 本身设置成包括放大级的所谓的差分放大器, 所述放大级包括: 晶体管 41A 和 41B; 用于断开电压输出的作为偏压电阻器的电阻器 42A 和 42B; 用于电压降的二极管 43; 具有电流控制功能和选择开关功能的晶体管 44; 以及用于电压降的电阻器 45。

- 图 3 总体上示出从读出电路摘取的读出放大器 106B 的一部分。如图
- 25           所示, 提供给各个位向单元读出电路 80 的读出放大器 106B 与输出线 51A 和 51B 串联连接。附带指出, 电阻器 42A 和 42B 是所有串联连接的读出放大器共享的偏压电阻器。

晶体管 41A、41B 的基极端与输入线 40A、40B 连接且其集电极端与电

阻器 42A 和 42B 连接(通过输出线 51A、51B)。这些晶体管 41A 和 41B 的发射极端一起连接到晶体管 44 的集电极端。附带指出, 位解码线 20 通过二极管 43 与晶体管 44 的基极端连接, 而晶体管 44 的发射极端通过电阻器 45 接地。此处, 最好使用高精度的电阻器作为电阻器 42A 和 42B, 而且晶体管 41A 和 41B 必需具有相同的经过很好校准的特性。

附带指出, 二极管 43 用于借助于二极管 43 的带隙基准来产生比位二极管线 20 的电压电平低 $-\phi$ 的中间电压电平且设定所产生的电压的值作为晶体管 44 的基极端输入电压。晶体管 44 不仅具有限流功能、还具有根据来自位解码线 20 的位解码值进行切换的半导体开关功能, 。

另一方面, 每个读出放大器 106B 的晶体管 41A 和 41B 的集电极端分别连接到输出线 51A 和 51B 且通过输出线 51A 和 51B 连接到输出缓冲器 102B, 进一步连接到读出数据总线 112。

下面将参考图 4 到 6 说明本实施例中的磁存储器件的电路布置图形。

图 4 示出 Y 方向驱动电路部分周围的存储单元组的安装状态。图 5 示出 Y 方向驱动电路部分的实际电路布置。Y 方向驱动电路部分 106 形成在存储单元组 104 的一侧且在 Y 方向驱动电路部分 106 上方设置接合片 121。如上所述, 在 Y 方向驱动电路部分 106 中, 与每个位阵列  $Y_n (Y_1, Y_2, \dots)$  相对应地, 以一个组成单元的形式形成 Y 方向地址解码器 106A、读出放大器 106B 和 Y 方向电流驱动器 106C。在此实施例中, 以单元驱动电路  $DUn (DU_1, DU_2, \dots)$  的形式形成为其对应的位阵列  $Y_n (Y_1, Y_2, \dots)$  布置的电路 106A 到 106C 中的每个组成单元, 同时, 这样形成单元驱动电路  $DUn (DU_1, DU_2, \dots)$ 、以便将其接纳在存储单元 12 的宽度 W 范围内。因此, 每个单元驱动电路  $DUn$  正好布置在其对应的位阵列  $Y_n$  的端部。

图 5 示出一个单元驱动电路。在电源线 122 ( $V_{cc}$ ) 和中间电位电源线 123 ( $V_m$ ) 或地线 124 (GND) 之间形成 Y 方向地址解码器 106A 的电路区域。中间电位电源线 123 是电压源, 用于向限流晶体管、X 方向恒流电路 108B 等提供相当于带隙  $+2\phi$  的电压。而且, 地址线 105 延伸在整个所述电路区域, 单元驱动电路  $DUn$  的地址解码器 106A 分别连接到地址线 105。

在电源线 125 和中间电位电源线 123 或地线 124 之间形成读出放大器 106B 的电路区域。输出线 51A 和 51B 延伸在整个所述电路区域，而且这样排列布线，使得单元驱动电路 Dun 的读出放大器 106B 分别与输出线 51A 和 51B 串联连接。在电源线 125 和中间电位电源线 126 或地线 127 之间形成 Y 方向电流驱动器 106C 的电路区域。

图 6 仅仅具体地示出单元驱动电路的读出放大器中的电路图形布置。如之前在图 2 中所述，读出放大器 106B 不仅分别与位阵列  $Y_n$  ( $Y_1, Y_2, \dots$ ) 连接，而且连接到读出位线 21A 和 21B 的电源  $V_{cc}$  端。因此，晶体管 22A 和 22B 和电阻器 23A 和 23B 与它们相关联的读出放大器 106B 一起整体地布置在读出放大器 106B 的电路区域中。

当把所述电路图形布置图与图 2 和 3 的电路图比较时，可以看出，在读出放大器 106B 的一对晶体管 41A 和 41B 内，晶体管 22A 和 22B 和电阻器 23A 和 23B 分别布置成彼此完全配对。通路焊盘 128A 和 128B 分别连接到读出位线 21A 和 21B。而且，虽然没有在图 6 中显示，但在离地线 124 以外的地方，位解码线 20 连接到 Y 方向地址解码器 106A。附带指出，为了便于理解，电源线 125 被置于顶部而地线 124 被置于底部，不与图 5 对应而与图 2 和 3 对应。

附带指出，所述读出放大器 106B 中的所述一对晶体管 22A 和 22B、所述一对电阻器 23A 和 23B 分别是微分对。从操作看来，所述对中的一个必须具有与另外一个相同的特性。因此，不用说，所述特性事先已校准了，但是，输出特性可能由于每个电路元件安装位置的温度条件的区别而改变。相反，根据本实施例，成对的电路元件相互紧靠地布置，这样它们受到相同的温度变化。因此，那些电路元件的性质彼此相似地变化，这样，产生微小的差别。因此可以减小由于温度变化引起的输出值的变化。

#### [ 磁存储元件的配置 ]

下面将描述本实施例中磁性存储元件 12A 和 12B 以及存储单元 12 的配置。

图 7 是显示存储单元的配置的剖面图。如图所示, 存储单元 12 由设置在衬底 10 上的一对左和右磁存储元件 12A 和 12B 构成。每个磁存储元件 12A 和 12B 由叠层结构和环形磁性层 5 构成。在叠层结构中, 第一磁性层 1、非磁性层 2 和第二磁性层 3 层叠在一起。环形磁性层 5 设置在叠层结构的一个表面、以便具有沿着叠层结构的层叠表面的轴向且适合于被写入位线 6a 和写入字线 6b(第一和第二写入线)穿过。第二磁性层 3 和环形磁性层 5 通过非磁性导电层 4 粘合且电连接。

而且, 在每个磁存储元件 12A、12B 中, 在叠层结构上(与环形磁性层 5 相反的表面)设置读出检测引线 11, 从而适合于使电流可以流向衬底 10、以垂直于叠层结构表面的形式流入叠层结构。

第一磁性层 1 是具有固定磁化方向的铁磁层。第二磁性层 3 具有随外部磁场变化的磁化方向的铁磁层(磁敏层)。这些磁性层层叠成这样的状态: 薄到几个 nm(纳米( $10^{-9}$  米) = 几十埃)的非磁性层 2 夹在所述各磁性层中间。在叠层结构中, 当垂直于层叠表面的电压施加在第一磁性层 1 和第二磁性层 3 之间时, 例如, 第二磁性层 3 中的电子穿过非磁性层 2 移向第一磁性层 1、以致隧道电流流动。即, 此处使用的非磁性层 2 是隧道阻挡层。隧道电流按照在与非磁性层 2 界面部分中第一磁性层 1 的自旋和第二磁性层 3 的自旋之间的相对角度而变化。即, 在第一磁性层 1 的自旋和第二磁性层 3 的自旋彼此平行时, 磁存储元件 12A(12B)的电阻值最小, 而在第一磁性层 1 的自旋和第二磁性层 3 的自旋逆平行时, 磁存储元件 12A(12B)的电阻值最大。

第二磁性层 3 具有按照写入位线 6a 和写入字线 6b 感生的磁场而改变的磁化方向。第二磁性层 3 的磁化方向被感生磁场反转、使得和第一磁性层 1 的磁化方向的相对角度反转。此外, 由于采用所谓矩阵驱动法来选择要在其上写入的存储单元 12, 所以这样设定第二磁性层 3 的磁特性、大小等、使得当电流或者流入写入位线 6a 或者流入写入字线 6b 时, 磁化不被反转, 而只有当电流以同一个方向流入写入位线 6a 和写入字线 6b 时, 磁化才被反转。这就是作为 TMR 元件的磁存储元件 12A(12B)的基本结构。

环形磁性层 5 具有圆柱的形状，其轴垂直于图 7 中的纸面，包括写入位线 6a 和写入字线 6b 彼此平行的部分。即，环形磁性层 5 具有圆环的形状，其轴向对应于写入位线 6a 和写入字线 6b 的延伸方向，所述环形在轴向交叉的截面方向上闭合。而且，环形磁性层 5 由导磁率足够高的磁性材料制成，当电流流过被包含在其中的写入位线 6a 和写入字线 6b 产生磁通时，可以将磁通限制在环形磁性层 5 内。因此，环形磁性层 5 具有有效地改变第二磁性层 3 的磁化方向的功能。如图 7 所示，环形磁性层 5 在截面上具有闭合回路、使得产生的感生磁场在环形磁性层 5 内部沿着平行于其截面的平面回流。因此，环形磁性层 5 具有防止磁通外漏的电磁屏蔽作用。此外，环形磁性层 5 适合于在其一个表面上与第二磁性层 3 接触。因此，磁场可以很容易地传输到第二磁性层 3、因此可以以高磁通密度更有效地改变相邻的第二磁性层 3 的磁化方向。

图 8 示出写入位线 6a 和写入字线 6b 的布线结构。如图所示，本实施例的磁存储器件具有多个写入位线 6a 和分别延伸成与写入位线 6a 交叉的多个写入字线 6b。这些线延伸成彼此交叉，但在它们交叉的区域局部地平行。在所述平行部分形成磁存储元件 12A 和 12B。附带指出，此处提到的平行允许  $\pm 10^\circ$  的制造误差范围。此处，借助于彼此平行的写入位线 6a 和写入字线 6b 的组合磁场将第二磁性层 3 的磁化反转，所述感生磁场的大小大于那些线彼此交叉时的组合磁场。因此可以有效地执行写入操作。

附带指出，电流流入每个磁存储元件 12A (12B)、以便从读出检测引线 11 流入其叠层结构并且朝着衬底 10 穿过环形磁场 5。因此，具有导电性的材料用于叠层结构的除使隧道电流可以在其中流动的非磁性层 2、非磁性导电层 4 和环形磁性层 5 之外的所有的层。例如，钴-铁合金 (CoFe) 用于第一磁性层 1 和第二磁性层 3。也可以选择用单金属钴 (Co)、钴-铂合金 (CoPt)、镍-铁-钴 (NiFeCo) 等。另外，为了稳定磁化方向彼此平行或逆平行的状态，第一磁性层 1 和第二磁性层 3 最好具有彼此平行的易磁化轴。

基于隧穿电阻等来限定非磁性层 2 的厚度。通常，在使用 TMR 元件的磁存储元件中，为了与半导体器件如晶体管匹配，一般认为，把隧穿电阻

设定为约几十  $\text{k}\Omega \cdot (\mu\text{m})^2$  是合适的。但是，为了提高磁存储器件的密度和操作速度，最好是使隧穿电阻不高于  $10 \text{k}\Omega \cdot (\mu\text{m})^2$ ，更优选是不高于  $1 \text{k}\Omega \cdot (\mu\text{m})^2$ 。为了得到这种隧穿电阻值，非磁性层(隧道阻挡层)2 的厚度最好不大于 2nm，更优选是不大于 1.5nm。但如果非磁性层 2 太薄，隧穿电阻确实会减小，但可能会由于与第一磁性层 1 和第二磁性层 3 的粘结界面的不规则而引起漏电流，这样，就降低 MR 比。为防止这样，非磁性层 2 必须达到足以防止漏电流流动的厚度。更具体地说，非磁性层 2 最好不薄于 0.3nm。

非磁性导电层 4 具有以反铁磁性的方式将第二磁性层 3 和环形磁性层 5 粘结在一起的功能。例如，可以用钌(Ru)、铜(Cu)等。铁(Fe)、镍-铁合金(NiFe)、Co、CoFe、NiFeCo 等可以用于环形磁性层 5。另外，为了集中在环形磁性层 5 上的写入位线 6a 和写入字线 6b 产生的磁场，环形磁性层 5 的导磁率最好尽量高。更具体地说，所述导磁率不低于 2000，最好不低于 6000。

写入位线 6a 和写入字线 6b 中的每一个具有这样的结构，其中，钛(Ti)、氮化钛(TiN)和铝(Al)按顺序层叠，并且通过绝缘膜把所述各层彼此电绝缘。写入位线 6a 或写入字线 6b 可以由例如选自铝(Al)、铜(Cu)和钨(W)中的至少一种材料制成。

附带指出，尽管描述了磁存储元件 12A(12B)是 TMR 元件的情况，但磁存储元件 12A(12B)可以是 CPP(电流垂直于膜面)-GMR 元件，其结构允许电流垂直于磁性层的层叠表面流动。在这种情况下，除了非磁性层 2 不是绝缘层而是非磁性金属层之外，可以按照类似于磁存储元件 12A(12B)的结构来制造所述元件结构。

在将要形成磁存储元件 12A 和 12B 的衬片 10 上形成外延层 9，再在外延层 9 上形成导电层 8 和绝缘层 7。导电层 8 包括通过绝缘层 7 彼此绝缘的导电层 8A 和 8B。在导电层 8 和绝缘层 7 上形成磁存储元件 12A 和 12B。这样布置磁存储元件 12A、12B、使得形成磁存储元件 12A、12B 的区域的至少一部分与形成导电层 8A、8B 的区域重叠。因此，磁存储元件 12A 和 12B 一

个一个地分别粘合在导电层 8A 和 8B 上,彼此分离且绝缘。因此,磁存储元件 12A 和 12B 相互电绝缘。即,这样设置布线、使得磁存储元件 12A 和 12B 之间没有电连接。

另外,此处假设衬片 10 是 n 型硅晶片。通常, P(磷)杂质分散在 n 型硅晶片 5 中。由于 P(磷)的高浓度分散而形成成为  $n^{++}$  型的硅晶片用作衬片 10。另一方面,由于 P(磷)的低浓度分散而形成成为  $n^-$  型的外延层 9。另外,金属用于导电层 8。在这种情况下,当使  $n^-$  型半导体的外延层 9 与金属导电层 8 接触时,由于其中产生的带隙而形成肖特基二极管。这就是本实施例中的二极管 13A、13B。

10 这样形成作为肖特基二极管的二极管 13A 和 13B 有其优点,这是由于包含硅晶片的外延层容易得到,且价格便宜,制造工艺简单。但是,肖特基二极管的漏电流至少是 PN 结二极管的漏电流的几百倍,且其漏电流随温度提高而大量增加。当以 MRAM 半导体存储芯片的形式形成所述磁存储器件并且与存储单元 12 对应地并联几千肖特基二极管时,漏电流的显著提高使 15 读出输出的信噪比降低。尽管描述了采用价格和制造方面优异的肖特基二极管作为二极管 13 的情况,但所述二极管 13 也可以由 PN 结二极管、基极和集电极之间短路的 BJT、或栅极和漏极之间短路 MOSFET 形成。

图 9 以电路图的形式示出存储单元。如图所示,流入一对磁存储元件 12A 和 12B 中的每一个的电流值按照第一磁性层 1 和第二磁性层 3 之间磁化的 20 的相对角度而变化。因此,磁存储元件 12A 和 12B 可以看作可变电阻器。即,磁存储元件 12A (12B) 可以是低电阻状态,其中允许的隧道电流的电流密度高,也可以是其中电流密度低的高电阻状态。

附带指出,在此实施例中,以这样的状态存储信息:磁存储元件 12A 和 12B 中的一个被设定为低电阻,而另一个被设定为高电阻,正如以下的 25 操作说明中将要详细描述的那样。这是由于信息是通过来自于两个磁存储元件 12A 和 12B 的输出的差分放大而读出的。因此,必须把这两个彼此匹配的磁存储元件 12A 和 12B 制造成电阻值、磁阻变化率和第二磁性层 3 中的反向磁场的大小相等。

下面将介绍信息存储系统和存储单元 12 的写入方法。

图 10A 和 10B 以与图 9 同样的方式示出存储单元，表示磁存储元件 12A 和 12B 中的每一个的第一磁性层 1 和第二磁性层 3 的磁化。在图 10A 和 10B 中，空心箭头表示第一磁性层 1 的磁化。磁存储元件 12A 和 12B 中每一个的第一磁性层 1 固定地在右方向上被磁化。而实心箭头表示第二磁性层 3 的磁化。磁存储元件 12A 和 12B 的第二磁性层 3 在彼此逆平行的方向上被磁化。这样，在每个存储单元 12 中，在一对磁存储元件 12A 和 12B 的第二磁性层 3 的磁化方向彼此逆平行的情况下存储信息。

在这种情况下，在所述一对磁存储元件 12A 和 12B 中，第一磁性层 1 和第二磁性层 3 的磁化方向的组合总是(平行，逆平行)的第一状态或者(逆平行，平行)的第二状态。因此，使二元信息值“0”和“1”分别对应于这两种状态时，一位信息可以存储在一个存储单元 12 中。附带指出，当第一磁性层 1 和第二磁性层 3 的磁化方向平行时，使磁存储元件 12A (12B) 处在低电阻状态，其中可以流过大的隧道电流，而当第一磁性层 1 和第二磁性层 3 的磁化方向逆平行时，使磁存储元件 12A (12B) 处在高电阻状态，其中只可以流过小的隧道电流。即，总是在成对的磁存储元件 12A 和 12B 中的一个具有低电阻而另外一个具有高电阻的状态下存储信息。

因此，为了使成对的磁存储元件 12A 和 12B 中的第二磁性层 3 的磁化方向彼此逆平行，使电流流入用于磁存储元件 12A 和 12B 的写入位线 6a 和写入字线 6b，如图 11 所示，这样，电流以相反的方向相对流动(见图 8)。图 11 示出当图 10A 和 10B 中的每一个所示的位“1”被写入存储单元 12 时写入电流的方向。

结果，在磁存储元件 12A 和 12B 的环形磁性层 5 中分别感生彼此相反地回流的磁场，使得它们在与第二磁性层 3 相对的表面中的磁化方向(即，感生磁场方向)彼此逆平行。磁存储元件 12A 和 12B 的第二磁性层 3 的磁化方向由于外部提供的磁场方向而逆平行，第二磁性层 3 的磁化状态分别被与环形磁性层 5 结合的反铁磁性固定。附带指出，为了写入位“0”，提供给磁存储元件 12A 和 12B 的电流方向分别转换成与图 11 中所示的方向相反。

此时，感生磁场被限定在环形磁性层 5 内部、使得用于反转第二磁性层的磁化的有效磁场强度与现有技术相比提高了。因此，用必要和有效的磁场强度可以反转第二磁性层 3 的磁化，这样可以有效地执行写入操作。换句话说，在写入操作中，校准了第二磁性层 3 的磁化，使其在预定方向上足够大。这样，减小了第二磁性层 3 的磁化方向被外部干扰磁场干扰的担忧，因而可以防止曾经写入的信息被意外地删除或重写入。即，可以可靠地写入信息。

在所述磁存储器件中，首先，地址缓冲器 101 从外部数据端子 A0 到 A20 输入信号电压，通过其内部的缓冲放大器放大该信号电压，并通过地址线 105 和 107 将放大后的信号电压传输给 Y 和 X 方向地址解码器 106A 和 108A。同时，数据缓冲器 102 从外部数据端子 D0 到 D7 输入信号电压，通过其内部的缓冲放大器放大该信号电压，并通过字数据总线 110 和 111 将放大后的信号电压传输给 Y 和 X 方向电流驱动器 106C 和 108C (图 1)。

地址解码器 106A 和 108A 根据这样得到的选择信号选择具有解码值的写入位线 6a 和写入字线 6b。另外，流入写入位线 6a 和写入字线 6b 的电流方向由电流驱动器 106C 和 108C 决定。因此，唯一地选择了其中电流流入写入位线 6a 和写入字线 6b 两者的存储单元 12，并且在所选的存储单元 12 中写入给出的位数据。例如，在图 8 中，流过写入位线 6a 和写入字线 6b 的电流方向用箭头表示，示出选择存储单元 12 的状态。

20

#### [读出操作]

以以下的方式用磁存储器件读出在每个存储单元 12 中写入的信息。

#### [基本操作]

图 12 示出存储单元的基本配置。首先，参考图 12 说明读出操作的基本部分。在每个存储单元 12 中，磁存储元件 12A 和 12B 具有如图 12 所示的磁化方向、因此已经存储信息。对于存储单元 12，通过经位解码线 20 提供的关于 Y 方向的选择信号和经字解码线 30 提供的关于 X 方向的选择信号

25

来选择从其中读出信息的存储单元 12。例如，当要选择的存储单元 12 在第  $Y_n$  行和第  $X(n+1)$  列时，信号就被输入到第  $Y_n$  位解码线  $20n$  和第  $X(n+1)$  字解码线  $30n+1$ 。

5 当使第  $Y_n$  位解码线  $20n$  中的电压电平“高”时，晶体管 22A 和 22B 导通、使得读出电流流入存储单元 12 的第  $Y_n$  行方向块(位阵列  $Y_n$ )。读出电流从电源  $V_{cc}$  端通过读出位线 21A 和 21B 向下流到相反端。

10 另一方面，当使第  $X(n+1)$  字解码线  $30n+1$  中的电压电平“高”时，晶体管 33 导通、使得电流流入存储单元 12 的第  $X(n+1)$  列方向块(字阵列  $X_{n+1}$ )。因此，来自第  $Y_n$  读出位线 21A 和 21B 的读出电流分别流过磁存储元件 12A 和 12B 以及二极管 13A 和 13B，一起流入第  $X(n+1)$  读出字线 31，再流过组成恒流电路 108B 的晶体管 33 的集电极-发射极通路，且通过电阻器 34 排出到地线。这样，通过使读出电流流入第  $Y_n$  行第  $X(n+1)$  列的磁存储元件 12A 和 12B 来选择第  $Y_n$  行第  $X(n+1)$  列的存储单元 12。

15 通过检测分别流过存储单元 12 的磁存储元件 12A 和 12B 的电流值之间的差值来执行读出信息的操作。流过磁存储元件 12A 和 12B 的电流分别基本上等于流过读出位线 21A 和 21B 的读出电流。另外，在与读出位线 21A (21B) 串联连接的电阻器 23A (23B) 中，由于读出电流在其中流动的缘故而产生电压降。电压降  $V_a$  由下式决定，其中  $I_{sense}$  表示读出电流大小， $R_a$  表示电阻器 23A (23B) 的电阻值。

$$20 \quad V_a (\text{伏}) = I_{sense} (\text{安}) \times R_a (\text{欧姆}) \quad \dots (1)$$

25 从表达式(1)可以看出，可以借助于电压降  $V_a$  将读出电流  $I_{sense}$  转变成电压，因而当校准了电阻器 23A 和 23B 的值时，可以检测这样获得的电压之间的差值。因此，此处分别从输入线 40A 和 40B 中得到电阻器 23A 和 23B 中的电压降，并且检测所得到的电压降之间的差值作为读出输出信号。这样，通过提取用于存储单元 12 的两个磁存储元件 12A 和 12B 的输出值之间的差值，可以在存储单元 12 中得到排除了噪音的大的输出值。

## [ 恒流电路 108B 的运行 ]

在读出操作中，流入所选的存储单元 12 的每个读出电流的大小由设置在读出字线 31 的接地端的限流电阻器 34 调整。虽然限流电阻器 34 本身具有限制电流流率的作用，但还是通过把限流电阻器 34、晶体管 33 和二  
5 极管 32 的操作组合起来、将电流的流率限定在预定范围内，来设置恒流电路 108B。

当字解码线 30 的电压电平“高”时，由牢固地串联连接的两个二极管组成的二极管 32 由于二极管之间的带隙基准而产生比地线高 $+2\phi$ 的中间电压电平。因此，将所述中间电压电平加到晶体管 34 的基极端、以便使晶  
10 体管 34 导通。此时，由下述表达式得到从读出字线 31 流出的读出电流  $I_{sense}$  的大小，其中  $R_c$  表示限流电阻器 34 的电阻值。

$$I_{sense} (A) = (2\phi' - \phi'') (Volt) / R_c (\Omega) \dots 2$$

$2\phi'$  值表示由两个二极管串联连接构成的二极管 32 的正向电压， $\phi''$  值表示晶体管 33 的基极-发射极正向电压。由于这些值是半导体器件固有的，  
15 因而表达式 (2) 示出当电阻值  $R_c$  固定时，读出电流  $I_{sense}$  具有恒定值，且读出电流  $I_{sense}$  可以用电阻值  $R_c$  作为参数唯一地确定。

即，借助于恒流电路 108B，稳定在固定范围内的弱读出电流  $I_{sense}$  流过读出字线 31。附带指出，表达式 (2) 中的读出电流  $I_{sense}$  是流过读出字线 31 的电流，它是流过读出位线 21A 和 21B 或磁存储元件 12A 和 12B 的  
20 两个电流的总和。

例如，当限流电阻器 34 的值是  $50k\Omega$ 、硅二极管和硅晶体管用作二极管 32 和晶体管 33 时，基于恒流电路 108B 的读出电流  $I_{sense}$  具有大约  $15\mu A$  的值。在这种情况下，即使成对的磁存储元件 12A 和 12B 在其驱动运行中可以具有的电  
25 阻值的范围由于一些制造上的原因而彼此不同，流过成对的磁存储元件 12A 和 12B 的电流的总和总是基本上等于  $15\mu A$ 。附带指出，由于一些制造上的原因引起的磁存储元件 12A (12B) 的电阻值的这种变化指的是电阻值可以由于非磁性层 2 中厚度和原子排列的很小的不规则而变化，因为非磁性层 2 的厚度只有几个原子单位，即几个 nm (几十埃)。因此，尽

管是非常仔细地形成非磁性层 2，使其具有均匀厚度，但事实上磁存储元件 12A(12B) 的电阻值还是会出现大约 15 - 50% 的变化，如果制造设备等的条件更差的话，变化会更大。

磁存储元件 12A、12B 的电阻变化根据引起的因素被分成以下两种情况。5 (1) 第一种情况是由于非磁性层 2 的厚度变化等使得在高电阻时的磁存储元件 12A、12B 的电阻值和和低电阻时的磁存储元件 12A、12B 的电阻值从一个存储单元 12 到另一个存储单元 12 不同的情况。通常，当非磁性层 2 的厚度增加时，成对的磁存储元件 12A 和 12B 中的每一个的电阻在低电阻和高电阻时都保持较大的值。(2) 第二种情况是，在每个存储单元 12 中成10 对的磁存储元件 12A 和 12B 之间，其中流过大的隧道电流时的电阻值与其中仅流过小的隧道电流时的电阻值的比率即 MR 比有所不同的情况，这是由于结合界面的不规则、非磁性层 2 的厚之间的差别或其它原因。

此处，(1) 假设存储单元 12 中的磁存储元件 12A 和 12B 的电阻值有所不同。流过读出位线 21A 和 21B 的电流值确实分别是相应于成对的磁存储15 元件 12A 和 12B 的电阻值的值，但电流值的总数被控制到总是恒定的。换句话说，流过读出位线 21A 和 21B 的电流值是标准电流流率基于电阻比的分割。因此，与电阻值的变化程度相比，每个电流值的偏差减小了。更具体地说，当存储单元 12 中的电阻变化不改变任何的 MR 比时，每对磁存储元件 12A 和 12B 的电阻比固定。因此，读出位线 21A、21B 的每个电流值基20 本上固定，不受每个存储单元 12 的电阻值的影响(即使是存储单元 12 的电阻值之间有很大的差别)。因此，读出位线 21A 和 21B 之间的电流值的差值总是被控制在固定的范围内。结果，流向电压变换电阻器 23A 和 23B 的电流的电压降的差值控制在固定范围内，可以得到稳定的差分输出，还可以提高读出信号的信噪比。

25 另一方面，从以上描述可以看出，(2) 磁存储元件 12A 对磁存储元件 12B 的 MR 比的变化，尤其是 MR 比的降低对得到差分输出有致命的危害，它导致输出信号的信噪比的显著降低。但是，提供恒流电路 108B 根据总电流值来抑制每个读出位线 21A、21B 中电流的偏差。结果，电流至电压转换电阻

器 23A、23B 中电压降的波动也被抑制在固定范围内，这样，可以减小输入到读出放大器 106B 的偏移电压的变化。因此，在这种情况下，可以提高读出输出信号的信噪比。

5 [防逆电流二极管的运行]

另外，在读出操作中，在读出字线 31 侧每个磁存储元件 12A、12B 的电流通路上设置二极管 13A、13B，防止电流从读出字线 31 逆流到磁存储元件 12A、12B。

10 位阵列  $Y_n$  和字阵列  $X_n$  中的磁存储元件 12A、12B 连接到公用读出位线 21A、21B 和公用读出字线 31。因此会有这样的担心：一部分读出电流通过另外的未被读出的磁存储元件 12A、12B 流出其正常的通路并流入其它的通路，并且直接向下流入地线或再回流到正常通路。不管这种担心而采取这种布线结构的原因不但是为了简化线路结构而让位线方向和字线方向的每个阵列共用用于选择存储单元 12 的一个开关而且每个阵列共用一个恒流  
15 电路 108B。

这种电流分量流出其正常通路并且在所述电路周围流动，尤其是在通过磁存储元件 12A (12B) 回流的通路上产生这种反馈分量。但是，此处，这种通路被单向元件二极管 13A、13B 截止。

20 图 13 示出当磁存储元件 12A 和 12B 的电流通路上没有二极管 13A 和 13B 时的漏电流通路 (i) 和反馈通路 (ii) 和 (iii)，以此作为与本实施例对照的对比例。在图 13 中，位阵列  $Y_n$  和字阵列  $X_{n+1}$  的存储单元 12 是要从其中读取信息的单元。即，实线表示正常的电流通路。

另一方面，一部分读出电流从读出位线 31 回流到字线阵列方向上相邻磁存储元件 12A 和 12B，且进一步流入读出位线  $20_{n+1}$ ，如通路 (i) 所示。  
25 附带指出，在一起连接到相同的读出字线 31 的大量磁存储元件 12A 和 12B (未示) 中也会发生同样的漏泄。

另外，例如象通路 (ii) 中所示，围绕存储单元 12 的低电阻侧磁存储元件 12A (12B) 有反馈通路。在图 13 中，用设置在每个存储单元 12 的低电

阻侧的磁存储元件 12A 说明这些通路。其中，反向的电流在读出位线 21A 中进一步往下流，穿过在位阵列方向上相邻的低电阻侧磁存储元件 12A，再进一步通过读出字线 31 回流到在字线阵列方向上相邻的另一个存储单元 12 的另一个低电阻侧磁存储元件 12A。之后，穿过另一个读出位线 21A，而不是正常的通路，所述电流向上流入连接到所选的读出字线 31 的另外一个磁存储元件 12A (在图 13 中的位阵列方向上相邻)。流入所述低电阻侧磁存储元件 12A 的电流最终流入所选的读出字线 31。连接到相同的读出位线 21A 的大量磁存储元件 12A (未示) 和共用连接到那些磁存储元件 12A 的读出字线 31 的大量磁存储元件 12A 和 12B (未示) 中也会发生类似的反馈。当磁存储元件 12B 在低电阻侧时，发生类似的反馈。

另一个反馈的例子是通路 (iii)。其中来自连接到读出位线 21A 的磁存储元件 12A (低电阻侧) 的电流流入磁存储元件 12B (高电阻侧)。因此，电流反向流过磁存储元件 12A 和 12B 之一，并因此穿过一个存储单元 12。进一步，所述电流在相对侧读出位线 21B 中向上流并通过要读的存储单元 12 的磁存储元件 12B 回流入正常通路。

正如在所述实施例中一样，所有这些通路 (i) 到 (iii) 可以被分别设置在磁存储元件 12A 和 12B 的电流通路上的二极管 13A 和 13B 截止。因此，可以降低读出电流的波动、即降低漏电流或通过磁存储元件 12A、12B 反馈的电流引起的信号噪音。附带指出，当一个二极管在电流通路上连接到每个存储单元 12 的磁存储元件 12A 和 12B 时，可以截止通路 (i) 和 (ii)，且可以期望获得防止电流漏泄或反馈的特定效果。但是，象本实施例中一样，为了截止通路 (iii)，必须为在存储单元 12 中彼此断路和独立的磁存储元件 12A 和 12B 提供回流防止措施。

#### 25 [ 防逆电流二极管的修改 ]

本实施例中的防逆电流二极管 13A 和 13B 可以用是具有类似的整流功能的元件的晶体管来代替。图 14 中示出这种修改，其中，在磁存储元件 12A、12B 和读出字线 31 之间设置防逆电流晶体管 63A、63B。当防逆电流晶体管

63A、63B 的基极端子连接到位解码线 20 或字解码线 30 时, 防逆电流晶体管 63A、63B 可以与读出位线 21A、21B 或读出字线 31 联锁导通。顺便指出, 这种情况下, 可以省去晶体管 22A 和 22B。这种防逆电流晶体管 63A、63B 具有类似于单向元件的功能。

5           用防逆电流晶体管 63A、63B 的一个优点是导通晶体管的电压远低于任何二极管的正向电压。导通晶体管的集电极-发射极电压很低(约 0.2V), 而带隙 $\Phi$ (0.65V 到 0.75V) 的电压作为正向电压施加到二极管上。在本实施例的读出电路中, 从电源 Vcc 到地线的电流通路具有依次串联连接的六级配置: 电流至电压转换电阻器 23A(23B)、晶体管 22A(22B)、磁存储元件  
10 12A(12B)、防逆电流二极管 13A(13B)、晶体管 33 和限流电阻器 34。因此有必要考虑电压分配。防逆电流晶体管 63A、63B 甚至可以用比用于防逆电流二极管 13A、13B 的低约 0.5V 的电源电压驱动。而且, 剩余电压可以分配给比所述电路的前述六级大几级的级。因此, 可以执行更精细的控制操作。

15           另外, 防逆电流二极管 13A、13B 可以用图 15 所示的防逆电流 MOSFET 73A、73B 代替。在这种情况下, 导通的 MOSFET 的漏极-源极电压相当低、为大约 0.1V。MOSFET 的运行和效果基本上与防逆电流晶体管 63A、63B 相同。

          附带指出, 这种整流元件可以分别设置在读出位线 21A、21B 和磁存储元件 12A、12B 之间, 如图 16 到 18 所示。  
20

[通过读出放大器和读出放大器之后的信号输出操作]

          下一步, 当从输入线 40A 和 40B 得出的电位差被读出放大器 106B(图 2) 差分放大后, 可以得到值很大而且信噪比好的输出。用于各个位向单元读出电路 80(..., 80n, 80n+1, ...) 的大量读出放大器 106B 在其集电极端串联到  
25 输出线 51A 和 51B。从多个位解码线 20 中选择一个位解码线 20 的同时导通晶体管 44。因此, 与晶体管 44 对应的读出放大器 106B 被激活并且只有其集电极输出被发送到输出线 51A 和 51B。

附带指出，晶体管 22A 和 22B、电阻器 23A 和 23B 和读出放大器 106B 整体地设置在一个区域，所述区域具有与存储单元 12 相同的宽度 W。它们的作为差分对的彼此配对的元件在运行时具有基本上相同的温度变化。因此，可以抑制温度变化引起的输出值的波动。

5 最终将通过输出线 51A 和 51B 以及读出数据总线 112 将读出放大器 106B 的输出提供给输出缓冲器 102B。所述输出缓冲器 102B 放大输入信号电压并通过外部数据端子 D0 到 D7 将作为二元电压信号的放大后的信号电压输出。

10 这样，在本实施例中，磁存储元件 12A、12B 具有环形磁性层 5、使得可以有效地执行写入、同时利用充分校准的第二磁性层 3 的磁化方向可靠地写入信息。另一方面，读出信息时，校准的第二磁性层 3 的在预定方向上的磁化产生隧道电流值，所述隧道电流值表示磁存储元件 12A (12B) 中相对于第一磁性层 1 的相对磁化方向一致的高和低的二元状态。因此，可以得到具有高的信噪比的输出值。

15 另外，每个存储单元 12 由一对磁存储元件 12A 和 12B 构成且适合于输出分别流入磁存储元件 12A 和 12B 的电流之间的差值。因此，排除了与读出位线 21A 和 21B 相关的噪音。而且，在读出字线 31 的接地端设置恒流电路 108B、使得流入读出电路的读出电流的总量保持恒定。因此，在读出位线 21A 和 21B 之间电流值的差值总是控制在固定范围内，而不管每个存储单元 12 中特性的变化。而且，使总电流值标准化到固定值对于抑制每一个  
20 读出位线 21A、21B 中电流值的波动是有效的，不管配对的磁存储元件 12A 和 12B 之间电阻的变化。因此，可以得到稳定的差分输出、以便提高读出信号的信噪比。附带指出，恒流电路 108B 的晶体管 33 还具有用于字解码线 30 的半导体开关的功能。因此，从电路设计上看，所述电路可以比较容易和有利地制造。

25 另外，可以在每个磁存储元件 12A、12B 和读出字线 31 之间设置二极管 13A、13B 作为单向元件、以便防止电流从读出字线 31 回流到磁存储元件 12A、12B。结果，可以防止连接到共用读出位线 21A 和 21B 或共用读出字线 31 的存储单元 12 之间和在一个存储单元 12 中的磁存储元件 12A 和 12B

之间出现电流通路。因此，阻断读出电流漏泄或反馈、以便减小噪音。

而且，在本实施例中，晶体管 22A 和 22B 以及电阻器 23A 和 23B 同读出放大器 106B 一起整体地设置在读出放大器 106B 的电路区域、以便和读出放大器 106B 一起形成差分放大电路并且在彼此靠近的位置上形成配对的电路元件。因此，这些电路元件在相似的温度条件下被驱动。因此，抑制了由温度改变引起的特性变化、使得可以避免所述差分放大电路中的噪音。

如上所述，在本实施例的磁存储器件中的读出电路中，抑制了由每个存储单元 12 的特性变化引起的噪音和配对的磁存储元件 12A 和 12B 之间电阻的不同引起的噪音。而且，抑制了与数据线相联系的噪音、读出放大器 106B 和其它差分对的特性变化引起的噪音以及从电源电路反馈的外围电路的噪音。因此，可以提高并大幅度改善读出信号输出的信噪比。相应地，所述磁存储元件可以以很小的读出误差执行稳定的操作。而且，由于提高了信噪比因而可以得到大的信号输出值。因此，即使存储单元 12 是大规模集成的也可以得到有效的输出，同时可以实现低电流和低电压驱动。

附带指出，通常在磁存储器件中，为避免很薄的隧道阻挡层在绝缘方面被击穿，必须使隧道电流流入元件时加在磁存储元件上的电压具有合适的值。在本实施例的磁存储器件中，设置恒流电路 108B 来降低隧道电流。因此，可以在把加到隧道阻挡层 2 的电压降低到远低于其耐电压的情况下来驱动磁存储器件。另外，在本实施例的读出电路中，从电源 Vcc 到地线的电流通路具有依次串联连接的六级配置：电流到电压转换电阻器 23A (23B)、晶体管 22A (22B)、磁存储元件 12A (12B)、防逆电流二极管 13A (13B)、晶体管 33 和限流电阻器 34。由于电压分配给那些元件，所以可以将每个磁存储元件 12A (12B) 中的电压降实际上抑制到约 0.1 - 0.3V。在这种情况下，由于使读出电流恒定的作用，直接从磁存储元件 12A、12B 得到的电压输出 (电流至电压转换电阻器 23A、23B 中的电压降) 实际上很弱，但信噪比高。在几级差分放大电路中放大所述输出信号，得到最终的输出。因此可以得到足够的读出敏感性。即，磁存储器件相对于现有技术用非常弱的隧道电流驱动各存储器件、使得可以防止磁存储元件 12A 和 12B 在绝

缘方面被击穿，同时可以得到具有足够大的值和好的信噪比的信号输出。

[实例]

[检验读出放大器放大作用]

5           在类似于本实施例的实际电路(见图 2)中，在读信息的时候用电流探针在各个测量点测量电流值。测量点是图 19 中所示的九个点 P1 到 P9。即：

测量点 P1...晶体管 22A 的集电极端子

测量点 P2...晶体管 22B 的集电极端子

测量点 P3...晶体管 22A 的基极端子

10          测量点 P4...晶体管 22B 的基极端子

测量点 P5...晶体管 41A 的集电极端子

测量点 P6...晶体管 41B 的集电极端子

测量点 P7...晶体管 41A 的基极端子

测量点 P8...晶体管 41B 的基极端子

15          测量点 P9...晶体管 41B 的集电极端子

当加到位解码线 20 的位解码电压值改变时测量电流值。

图 20 示出在测量点 P1 到 P4 测量的测量结果。在实际电路中，流入与磁存储元件 12A 相连的读出位线 21A 的电流相应于晶体管 22A 的发射极电流，即，晶体管 22A 的集电极电流和基极电流的总和。从测量结果可以看出，测量点 P1 的集电极电流足够大，可以不考虑测量点 P3 处的基极电

20          流。因此，可以认为在晶体管 22A 中流过集电极端子的电流基本上等于流过发射极端子的电流。另外，在晶体管 22B 的测量点 P2 的集电极电流和测量点 P4 的基极电流之间也有类似的关系。可以认为在晶体管 22B 中流过集电极端子的电流基本上等于流过发射极端子的电流。

25          图 21 示出在测量点 P1 到 P9 测到的结果(其纵坐标的电流值的刻度不同于图 20)。流过电流至电压转换电阻器 23A 和 23B 的电流分流，分别流入作为位阵列选择开关的晶体管 22A 和 22B 的集电极端子以及作为读出放大器 106B 的差分对的晶体管 41A 和 41B 的基极端子。而且，晶体管 41A 和 41B

的集电极电流和基极电流的总和分别成为其本身的发射极电流。所述发射极电流加入公共线，流入晶体管 44 的集电极端子。

5 通过放大其基极电流(在测量点 P7 和 P8)得到晶体管 41A 和 41B 的集电极电流。从测结果可以看出，在测量点 P5 处晶体管 41A 的集电极电流和测量点 P6 处晶体管 41B 的集电极电流之间的差值远大于读出位线 21A 和 21B 中原始输出的电流之间的差值。前面的与后面的电流差值之比在列出的测量数据中达到了 200 倍。因此可以认为借助在此磁存储元件中的读出放大器 106B 放大读出信号可以得到很大的输出。

10 附带指出，从测量结果可以看出，在测量点 P7 和 P8 处晶体管 41A 和 41B 的基极电流非常小。可以注意到，在电流至电压转换电阻器 23A 和 23B 中流过的电流基本上分别等于流入晶体管 22A 和 22B 的集电极端子的电流。因此，可以证实在所述读出电路中，读出放大器 106B 确实放大了磁存储元件 12A 和 12B 的电流变化。

#### 15 [验证恒流电路的效果]

下一步，在类似于实施例的实际电路中，从两方面检验相对于磁存储元件 12A (12B) 中的电阻变化的读出信号(电压)的波动。

#### [防止存储单元中电阻变化的效果]

20 首先，在从一个存储单元 12 到另一个存储单元 12 不同的每个磁存储元件 12A、12B 中，在其低电阻时的电阻值( $R_L$ )与高电阻时的电阻值( $R_H$ )不同的情况下进行测量。即，测量来自电阻值  $R_L$  和  $R_H$  不同的存储单元 12 的读出电压的输出值。此处，改变存储单元 12 的电阻值、使得其最大值大约是其最小值的 10 倍。另一方面，每个存储单元 12 中的 MR 比( $R_L / R_H$ )固定在 25%。

25 图 22 示出测量结果，其中横坐标表示高电阻时的电阻值  $R_H$ ，纵坐标表示用电源电压  $V_{CC}$  标准化的输出电压值。在图 22 中，每个空心圆表示电阻值  $R_H$  是高电阻时来自于磁存储元件 12A (12B) 的输出电压值，每个十字形

表示电阻值  $R_L$  是低电阻时来自于磁存储元件 12B (12A) 的输出电压值。而且，测量值用实线连接。虚线示出对比例的结果，在对比例中，给一对磁存储元件施加电流并直接读出磁存储元件中的电压降。

从列出的结果可以明显看出，在所述实施例的读出电路中，电阻值  $R_L$  的磁存储元件的输出电压和电阻值  $R_H$  的磁存储元件的输出电压分别具有基本固定的值，即使是一个存储元件 12 与另一个存储单元 12 的电阻值相差很大。因此，可以证明，最终输出电压即两个输出电压之间的差值总是固定的，与存储单元 12 中的电阻值的变化无关。如前面在本实施例中所述，这是用于使流入具有不同电阻值  $R_L$  和  $R_H$  的磁存储元件 12A 和 12B 的总电流标准化的恒流电路 108B 的作用。

(对比例)

作为与本实施例对比的对比例，在读出电路中进行类似的测量，在所述电路中，给一对磁存储元件输入电流，并直接读出磁存储元件中的电压降。图 23 示出对比例的等效电路图。所述读出电路采用读出存储信息的一对磁存储元件(示为可变电阻器  $R_1$  和  $R_2$ ) 的电压之间的差值的系统，其中一个磁存储元件具有高电阻，另一个具有低电阻。配对的磁存储元件中的每一个与电源和单元选择半导体开关串联连接，但用于串联连接的线之间彼此独立。另外，在这种情况下，由于以  $S$  和  $/S$  的形式直接读出磁存储元件中的电压降，所以不使用电流至电压转换电阻器。在图 22 中用虚线示出测量结果。如图所示，在输入给每个磁存储元件的电流固定的电路中，磁存储元件的输出值与其电阻值成比例地有很大变化。因此，磁存储元件中的电阻变化直接以波动的形式影响它们的输出值。

[防止磁存储元件间电阻变化的作用]

下一步，在从一个存储单元 12 到另一个存储单元 12、配对的磁存储元件 12A 和 12B 之间的 MR 比不同的情况下进行测量。此处，改变每个存储单元 12 的 MR 比，固定电阻值  $R_H$ ，改变电阻值  $R_L$ ，测量它们的输出电压。

图 24 示出了测量结果，其中横坐标表示 MR 比(%), 纵坐标表示用电源电压  $V_{cc}$  标准化的输出电压值。在图 24 中，每个空心圆表示来自于具有电阻值  $R_H$  的磁存储元件 12A(12B) 的输出电压值，每个十字形表示来自于具有电阻值  $R_L$  的磁存储元件 12B(12A) 的输出电压值。而且，测量值用实线连接。虚线表示基于恒流效果的、关于每个电阻值  $R_H$ 、 $R_L$  的电压的偏移参考值。

从列出的结果可以看出，在所述实施例的读出电路中，电阻值  $R_L$  侧的输出电压和电阻值  $R_H$  侧的输出电压随着 MR 比降低具有彼此逐渐靠近的趋势。即，可以认为，存储单元 12 中的 MR 比的变化影响以这种形式出现在它们的电压输出中。然而，电阻值  $R_L$  侧的输出电压和电阻值  $R_H$  侧的输出电压分别在固定范围内，基准值就在所述固定范围之内。在这种情况下，当 MR 比不低于约 15% 时，两个输出电压之间的差值足以满足输出。因此，与在同样的电路中没有提供恒流电路相比，降低了出现读出误差的可能性。

通常对于具有这种配置的电路来说，可以注意到，由于流过磁存储元件 12A 和 12B 的电流总量总是固定的，所以电流值始终按照当时的元件电阻的比值、为总值的对称的上下各一半的值。图 24 中用虚线表示的偏移参考值正是总值的一半的电压。因此，偏移参考值的位置不变，除非电流总量改变。相应地，当用作读出放大器 106B 执行差分放大操作的阈电压的电压值与偏移参考值一致时，可以从读出放大器 106B 得到具有合适值的电压输出。这也是加入恒流电路的效果。

附带指出，本发明不限于所述实施例和实例，它可以以各种各样的修改的形式实施。例如，尽管本实施例示出了用双极晶体管作为开关元件，如读出放大器 106B、恒流电路 108B 和晶体管 22A 和 22B 的情况，但是，也可以用半导体器件代替，如 CMOS(互补式 MOS)。

附带指出，只有在使用各自具有环形磁性层的一对磁阻元件存储一个单元的信息时，才可以实施根据本发明的磁存储器件。其写入/读出系统不限于本发明。例如，可以在一对磁阻元件中存储同一个信息。在这种情

况下，通常情况下只从一个元件中读取信息，发生读出误差时才从另外一个元件中读取。这样，对于每个信息单元来说，可以使用两个元件。因此，与在一个信息单元对应于一个元件的情况下使用的磁存储器件相比，根据本发明的磁存储器件在可应用的写入和读出方法方面具有更高的自由度。

5       如前所述，在本实施例中，TMR 元件用于磁存储元件 12，作为每个都包括叠层结构的磁阻器件，电流以垂直于叠层结构的层叠表面的方向流向叠层结构。但是，TMR 元件可以用 CPP-GMR 元件代替。

另外，对于本发明的恒流电路，构成每个存储单元的一对磁阻元件的元件结构并没有特别的限制。恒流电路可以广泛地应用于执行所谓差分读出操作的磁存储器件。即，成对的磁阻元件中的每一个不必具有与本实施例中描述的磁存储元件 12 相同的结构。例如，所述磁阻元件可以设计成没有环形磁性层 5，而读出检测引线连接到叠层结构，所述叠层结构具有按顺序层叠的第一磁性层 1、非磁性层 2 和作为磁敏层的第二磁性层。这样，使电流垂直于叠层结构的层叠表面流入磁阻元件，从而读出信息。此外，成对的磁阻元件可以是每个都包括电流以平行于叠层结构的层叠表面的方向流入其中的叠层结构的磁阻元件(CIP(Current Flows in the Plane)-GMR)。至于布线结构，读出线和写入线都没有特别的限制，除了多个存储单元连接到单向读出线(第二读出线)。在这种情况下，根据本发明的恒流电路执行相同的操作并产生相同的效果。

20       而且，尽管本实施例中示出了对应于一对第一读出线设置读出位线 21A 和 21B 而对应于第二读出线设置读出字线 31 的情况，但在本发明中的第一和第二读出线的布线方向不限于本实施例。对应关系可以反转。

如上所述，根据本发明的磁存储器件包括：多个第一写入线；多个第二写入线，它们延伸而分别与多个第一写入线交叉；和多个磁阻元件，每个磁阻元件包括叠层结构和设置在叠层结构的一个表面上的环形磁性层，叠层结构包括其磁化方向按照外磁场变化的磁敏层，电流可以在垂直于叠层结构的层叠表面的方向流动，环形磁性层的轴向沿着层叠表面且被第一和第二写入线穿过；其中，每个存储单元包括一对磁阻元件。相应地，在

写入的同时，磁敏层的磁化可以通过环形磁性层的操作有效地反转。而且，用两个磁阻元件存储一个单元的信息。因此，可以有效并准确地写入信息，同时可以向写入信息的系统和读出信息的系统提供自由度。

5 更具体地说，可以这样设计磁存储器件、使得在每个存储单元中从一对第一读出线向一对磁阻元件提供读出电流并根据所述一对读出电流之间的差值从存储单元中读取信息。因此，由于差分地输出读出电流，消除了各个第一读出线或包含在每个磁阻元件的输出值中的任何偏移成分中产生的噪音。这导致在读出的同时具有优良的写入效率和高信噪比。因此，可以得到大的信号输出。

10 另外，所述磁存储器件还可以包括整流元件和第二读出线，整流元件设置在输送到一对磁阻元件的读出电流的电流通路上，第二读出线用于使流过所述一对磁阻元件的读出电流流到地线。该略中情况下，通过整流元件，可以防止电流从连接到待读取的存储单元共用的第二读出线的其它存储单元回流到每一个待读取的存储单元。因此，可以防止每个读出电流的部分分量从正常通路漏泄或反馈到正常通路。因此，可以提高读出信号输出的信噪比。

15 更具体地说，一对这种整流元件可以分别设置在输送到所述一对磁阻元件的读出电流的电流通路上。这样，通过整流元件，在存储单元之间或在连接到共用的第二读出线的磁阻元件之间，可以防止电流从一个存储单元或磁阻元件反馈给另一个，或者防止电流流过第一读出线。因此，可以更有效地防止每个读出电流的部分分量漏泄或反馈。因此，可以提高读出信号输出的信噪比。

20 另外，所述磁存储器件还包括具有电流调节功能的恒流电路，用于调节流过每个存储单元中的一对磁阻元件的读出电流的总量。通过恒流电路，控制读出电流使其在读出电流的总量总是恒定的状态下流动。即，把在每个存储单元中流动的总电流值标准化，使其为固定值。因此，使磁阻元件之间电阻值的不同引起的成对的磁阻元件中的每一个的输出值变化保持在固定范围内。相应地，磁阻元件的输出值之间的差值是在固定范围内的值。

因此，可以得到稳定的差分输出，即使是读出电流很微弱，也可以提高读出信号输出的信噪比。

而且，第二半导体开关对、电流至电压转变电阻器对和读出放大电路可以整体地设置在同一个区域。每对元件具有基本上相同的环境温度，因为它们被布置成彼此靠近。因此，防止产生驱动元件时的温度变化引起的成对元件之间在特征值上的差距。这样，可以保证这些电路执行适当的差分操作。因此可以防止产生信号噪音。

根据本发明的在磁存储器件上写入的方法是在包括下列组成的磁存储器件上写入的方法，所述磁存储器件包括：多个第一写入线；多个第二写入线，它们延伸而分别与多个第一写入线交叉；和多个磁阻元件，每个磁阻元件包括叠层结构和设置在叠层结构的一个表面上的环形磁性层，叠层结构包括其磁化方向按照外磁场变化的磁敏层，电流可以在垂直于叠层结构的层叠表面的方向流动，环形磁性层的轴向沿着层叠表面且被第一和第二写入线穿过；每个存储单元包括一对磁阻元件；所述方法包括将信息写入到存储单元的步骤，在此步骤中，由于流经穿过环形磁性层的第一和第二写入线的电流产生磁场，改变磁阻元件对中磁阻层的磁化方向，使其彼此逆平行。因此，当成对的磁阻元件中磁阻层的磁化方向变成彼此逆平行时，也就是说，变成面对面或背对背时，就在磁阻元件中写入了二元信息。因而，由于在每个都包括环形磁性层的磁阻元件中执行写入操作，可以有效并准确地写入信息。同时，可以向写入信息的系统和读出信息的系统提供自由度。而且，用这种方法写入的信息准确。因此，读出信息时，可以得到高信噪比的输出信号。

另外，从根据本发明的磁存储器件中读出的方法是从包括下列组成的磁存储器件中读出的方法，所述磁存储器件包括：多个第一写入线；多个第二写入线，它们分别延伸至与多个第一写入线交叉；和多个磁阻元件，每个磁阻元件包括叠层结构和设置在叠层结构的一个表面上的环形磁性层，叠层结构包括其磁化方向按照外磁场变化的磁敏层，电流可以在垂直于叠层结构的层叠表面的方向流动，环形磁性层的轴向沿着层叠表面且被

第一和第二写入线穿过；每个存储单元包括一对磁阻元件；所述方法包括下列步骤：在垂直于磁阻元件的叠层结构的层叠表面的方向分别向磁阻元件对提供读出电流；根据流过叠层结构的电流从存储单元读取信息。利用以下现象、根据流入一部分磁阻元件叠层结构的读出电流的值来读取以磁敏方向的磁化方向的形式存储的预定信息，所述现象是：在垂直于其层的表面的方向上分别向成对的磁阻元件的磁敏层的层表面施加的电流值之间的差值与磁敏层彼此之间的相对的磁化方向一致地出现。因此，可以提供较高的读取自由度。

根据本发明的另一磁存储器件包括：多个第一写入线；多个第二写入线，它们延伸而分别与多个第一写入线交叉；多个磁阻元件，每个磁阻元件包括包含其磁化方向可按照外磁场变化的磁敏层的叠层结构；每个存储单元包括一对磁阻元件；一对读出线，用于向存储元件的所述一对磁阻元件分别提供读出电流；读出电路，用于根据一对读出电流的值之间的差值从存储单元读取信息，所述一对读出电流分别通过所述一对读出线提供给所述一对磁阻元件；和恒流电路，所述恒流电路具有调节流过每个存储单元的一对磁阻元件的读出电流的总量的电流调节功能。每个存储单元由一对磁阻元件构成，根据在成对的磁阻元件中流动的读出电流对之间的差值读出信息。那时，通过恒流电路调节流过成对的磁阻元件的读出电流的总量，使得磁阻元件之间的电阻差别引起的读出电流的变化保持在固定范围内。因此，可以得到稳定的差分输出，并提高读出信号输出的信噪比。

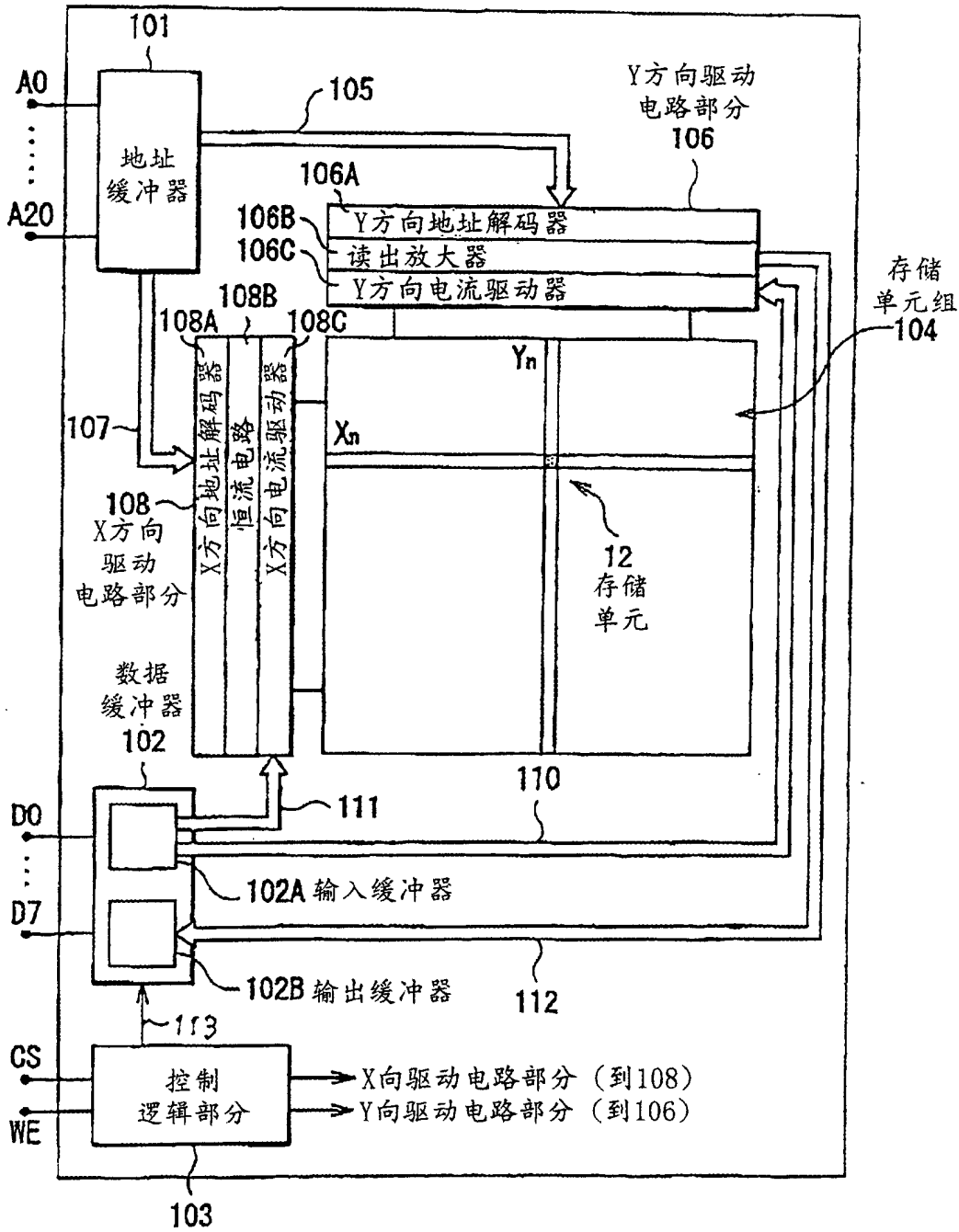


图 1

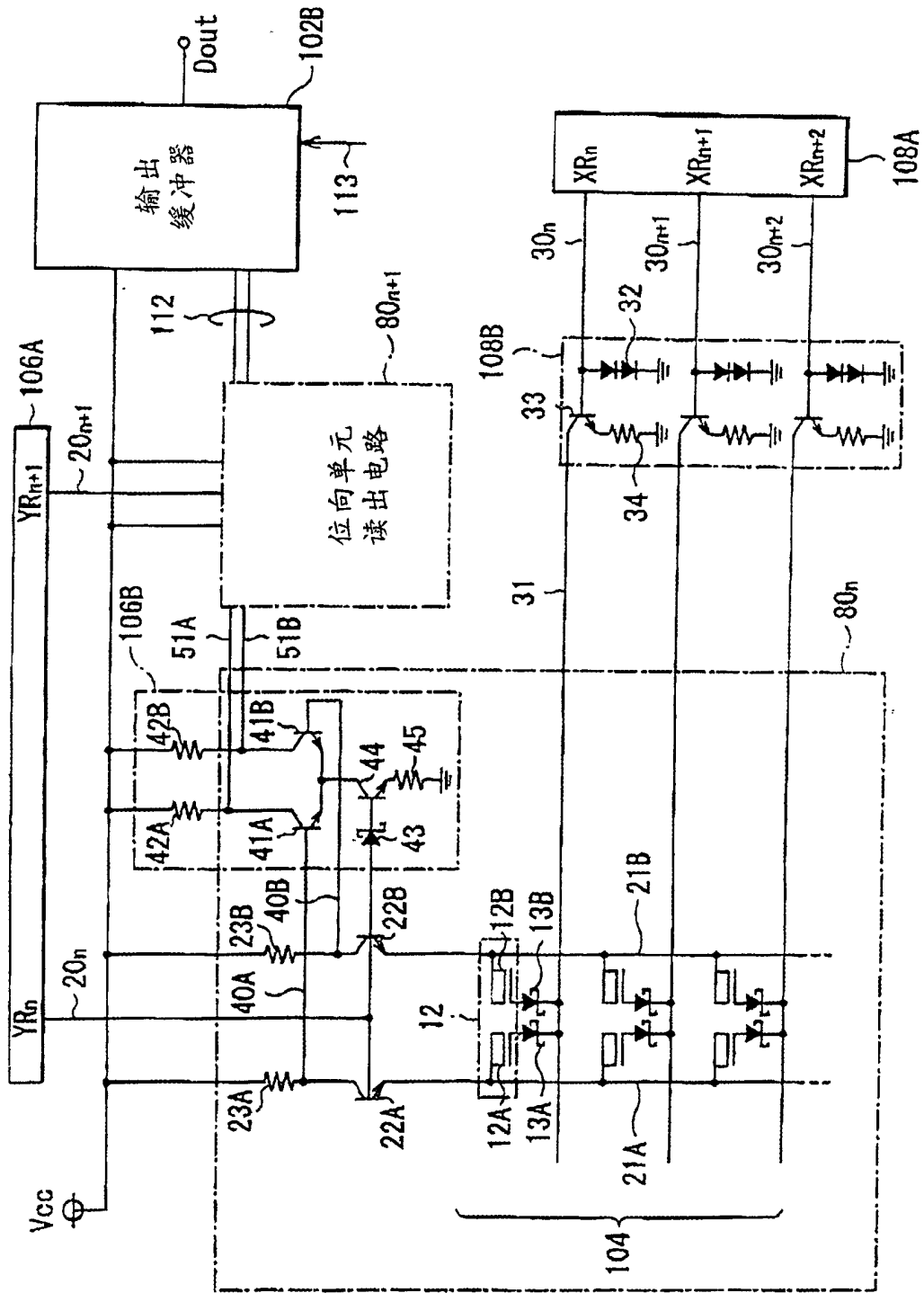


图 2

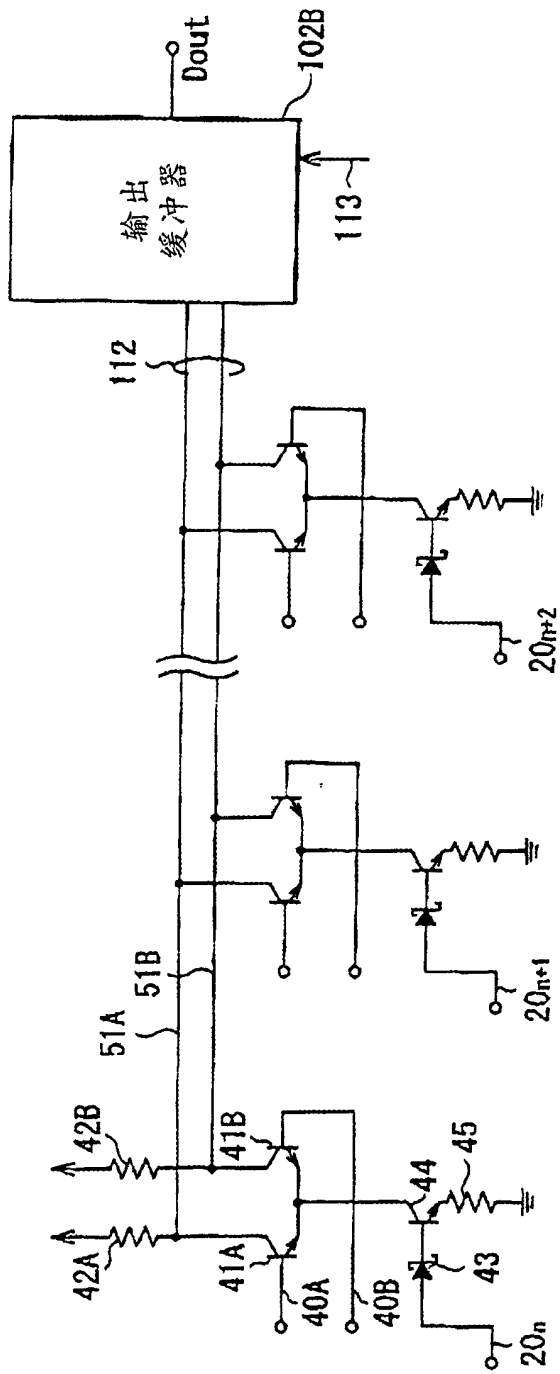


图 3

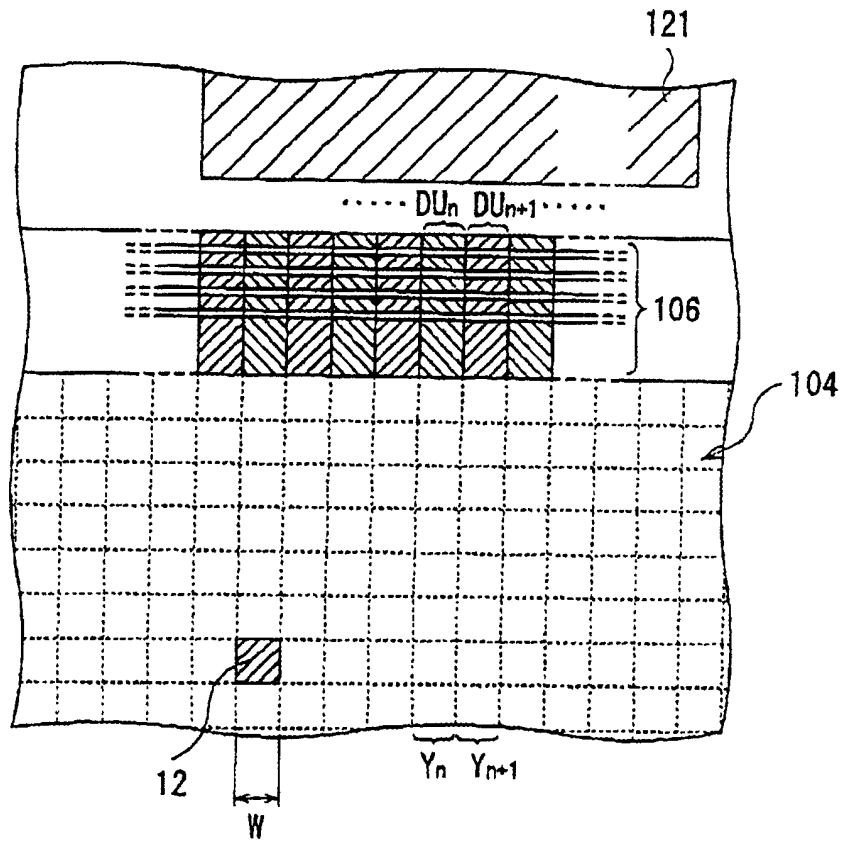


图 4

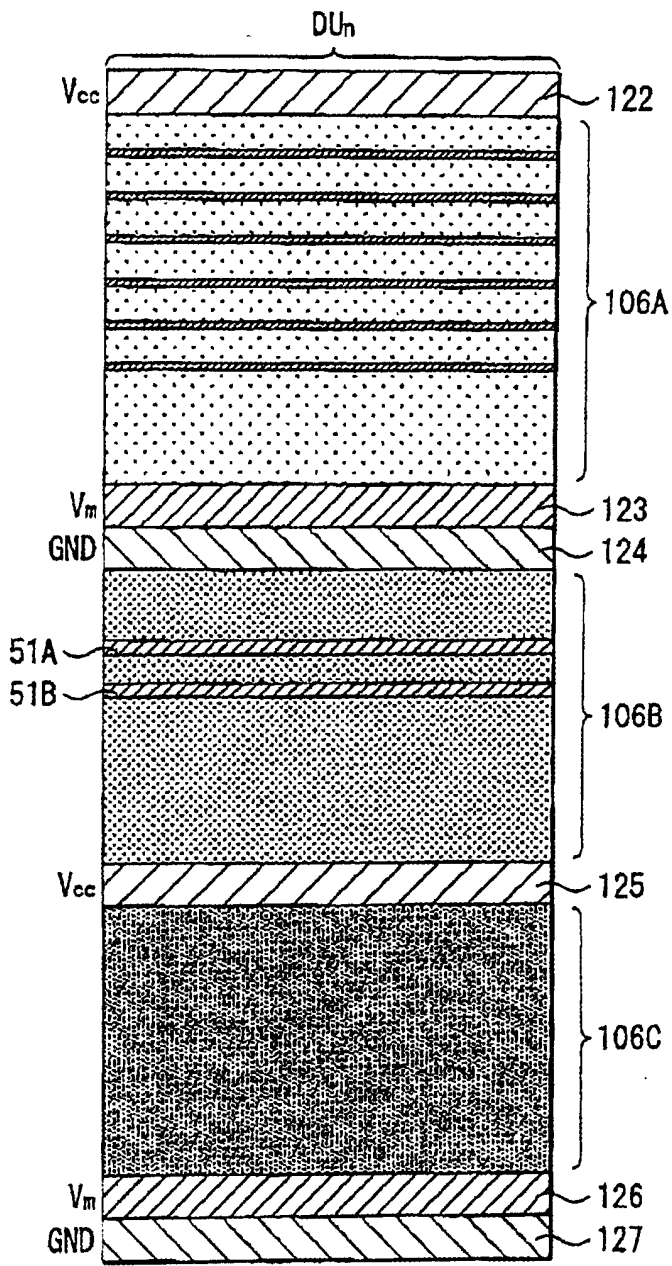


图 5

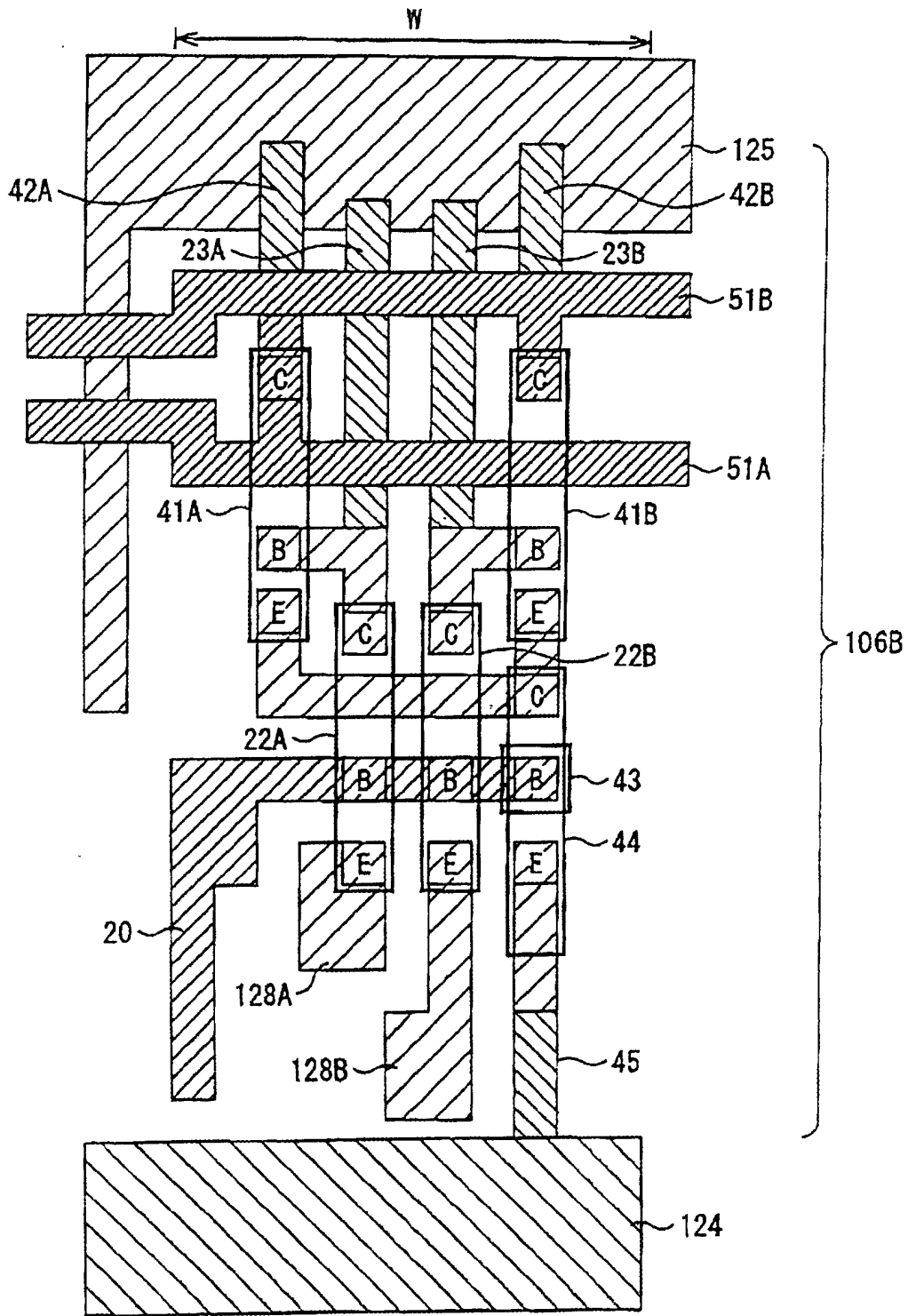


图 6

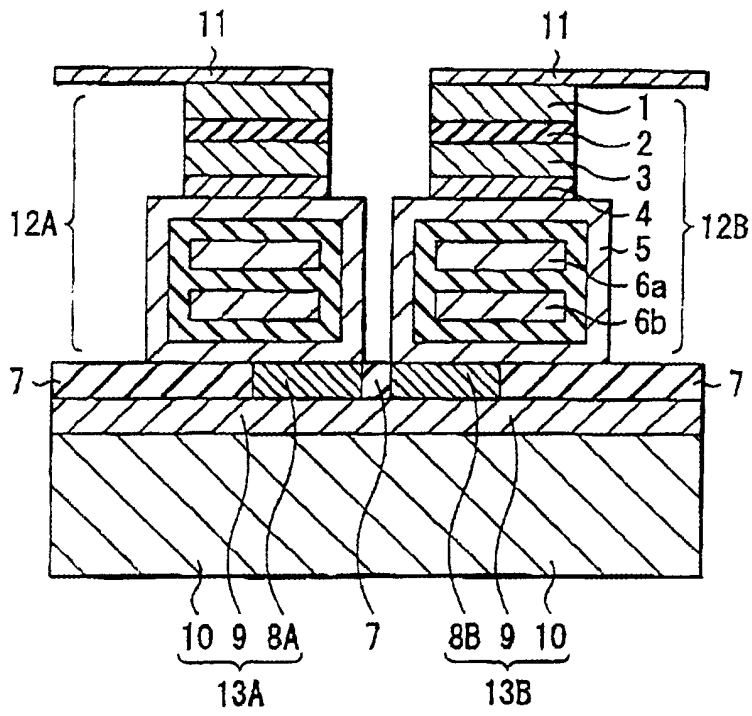


图 7

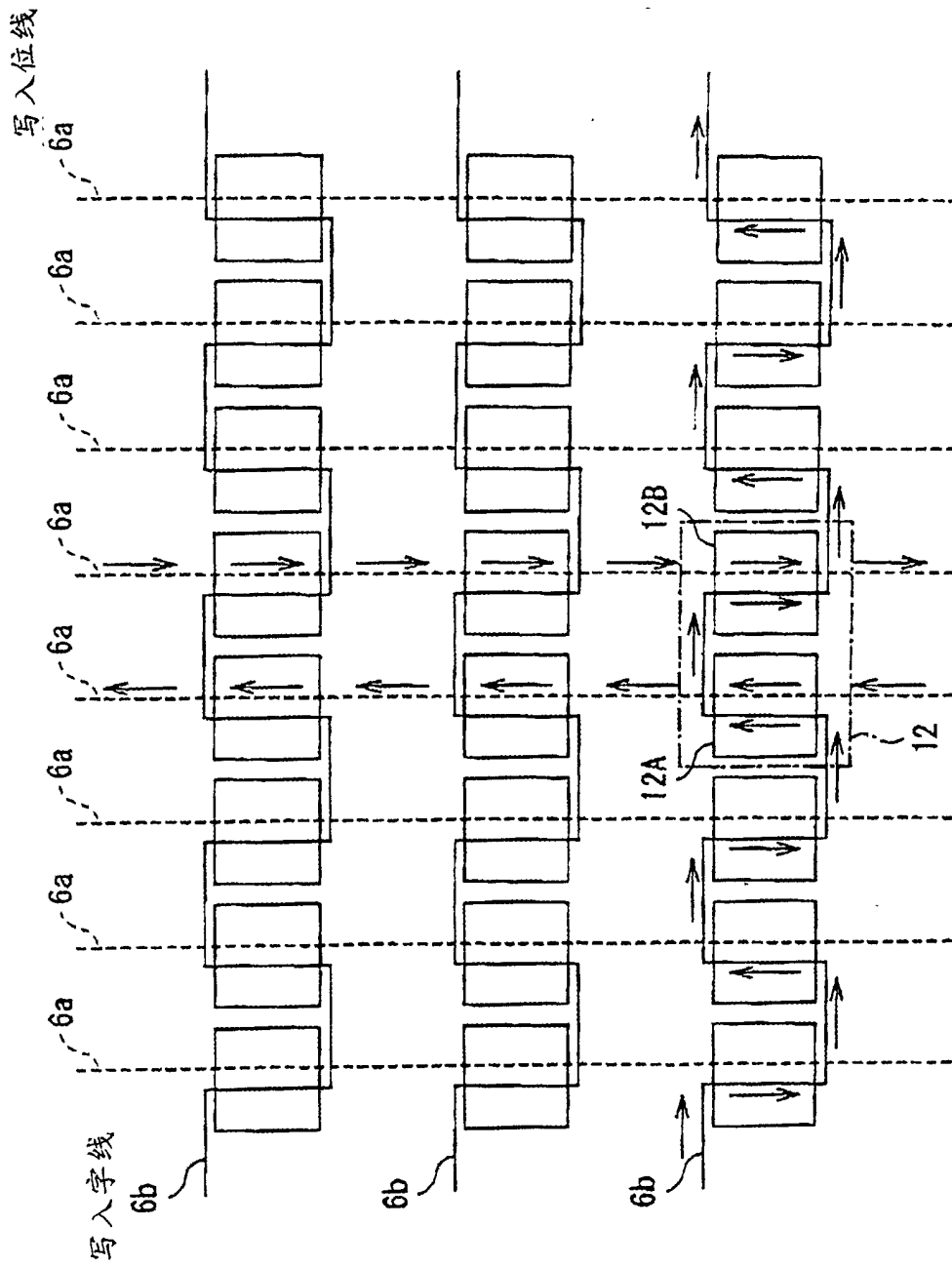


图 8

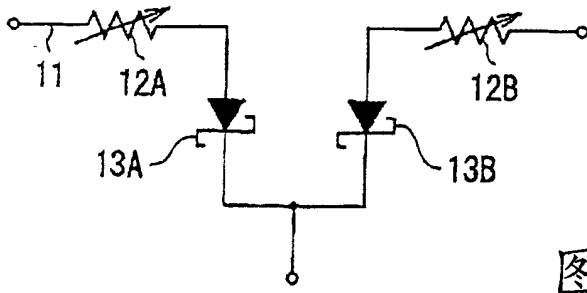


图 9

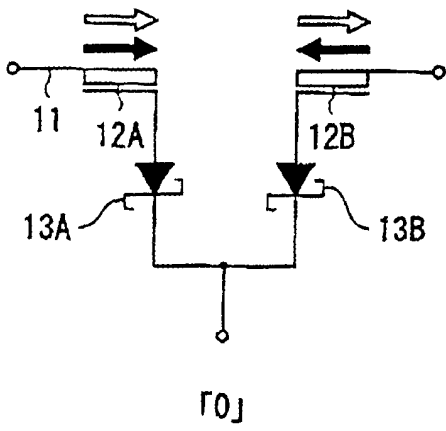


图 10A

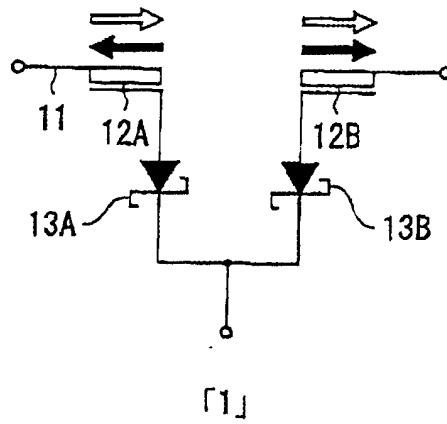


图 10B

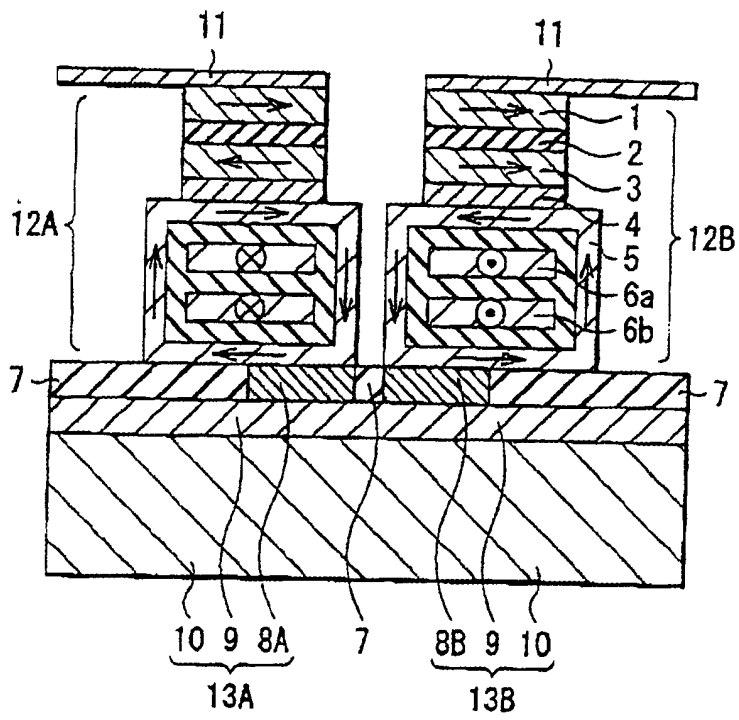


图 11

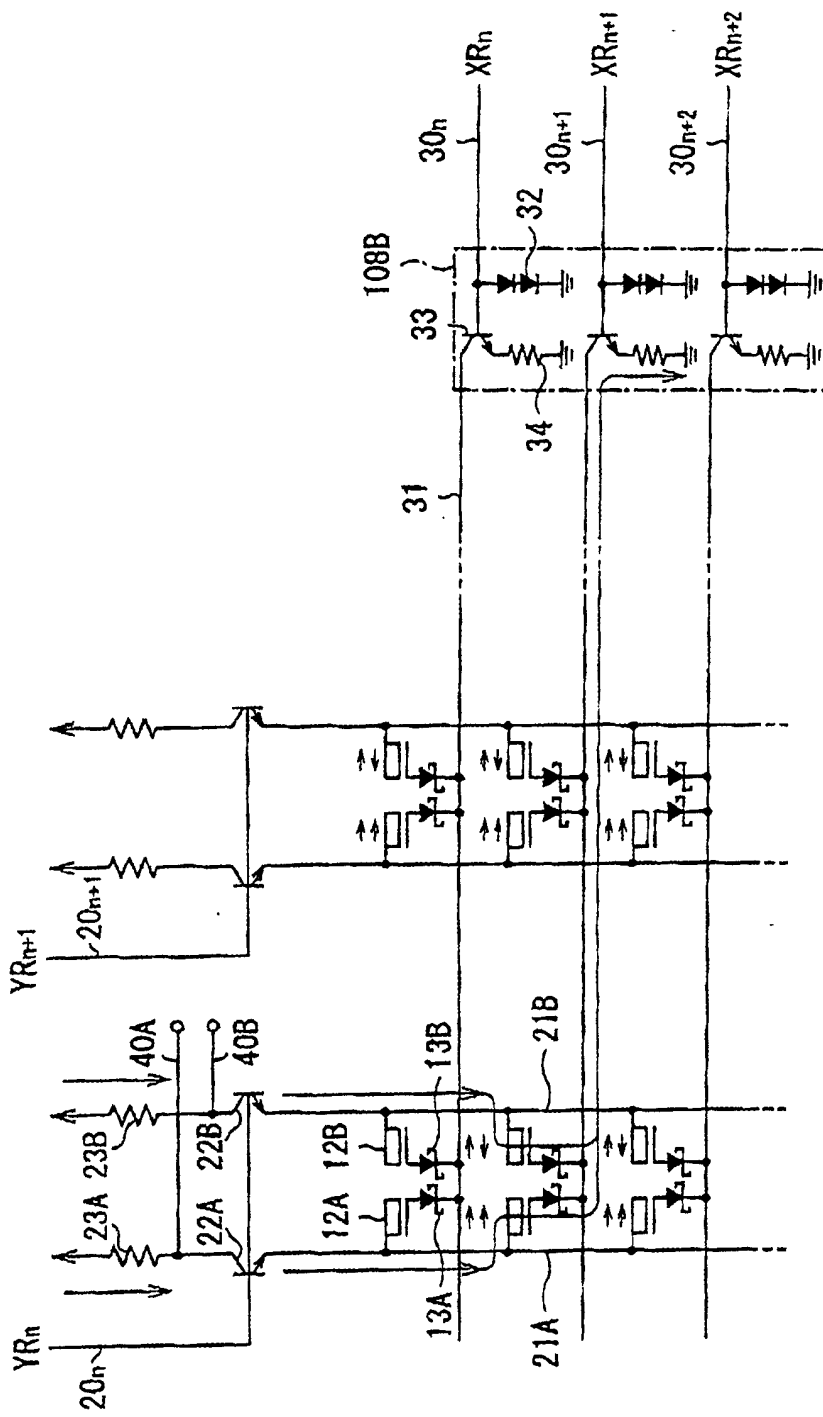


图 12

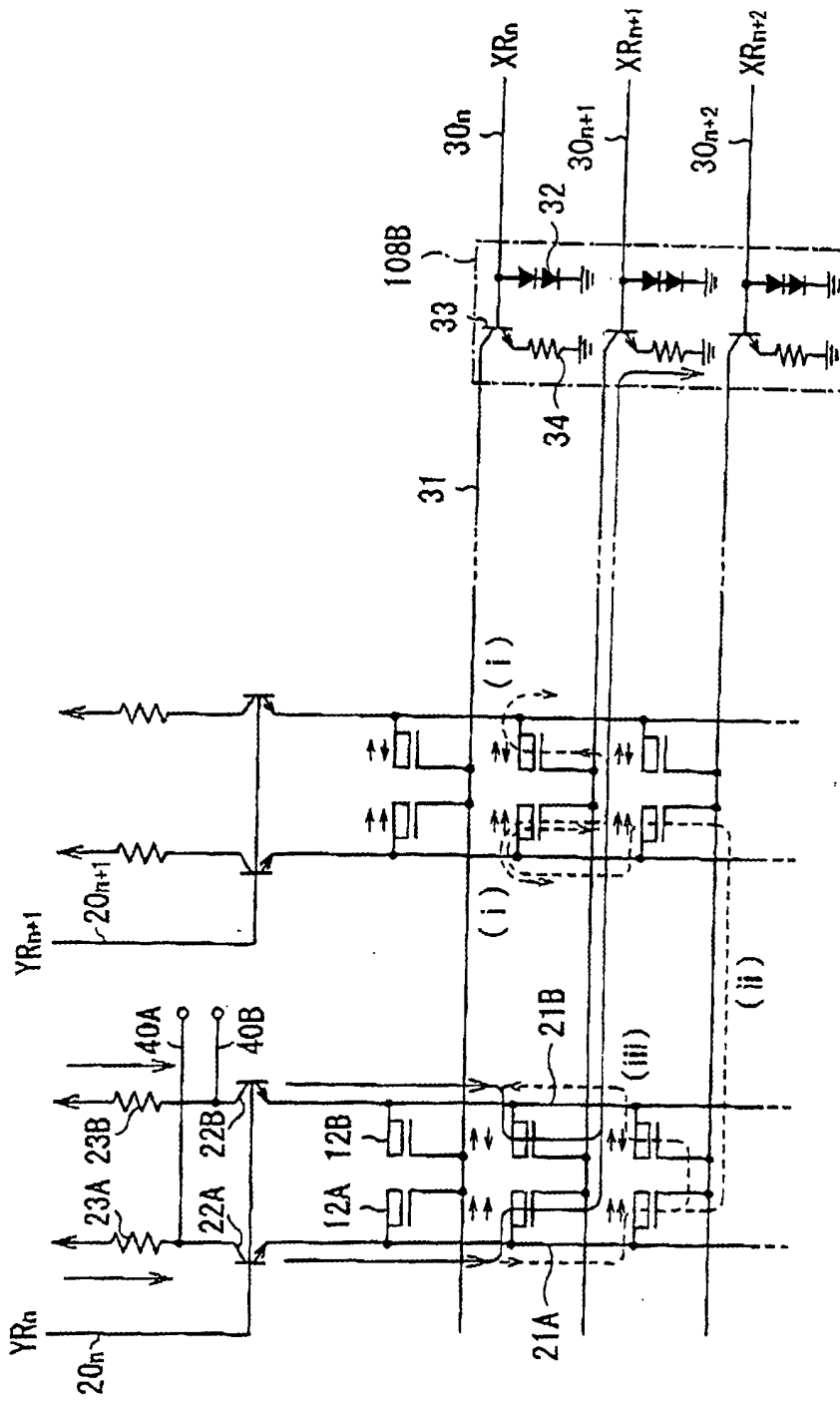


图 13

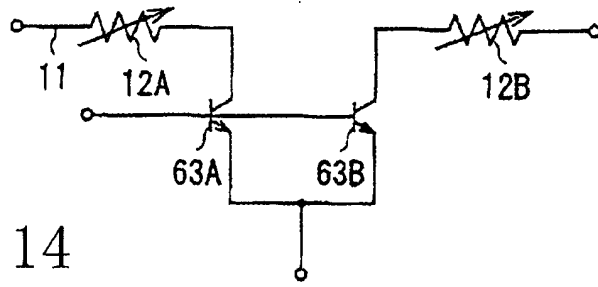


图 14

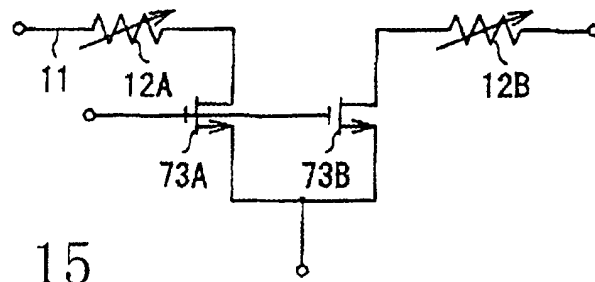


图 15

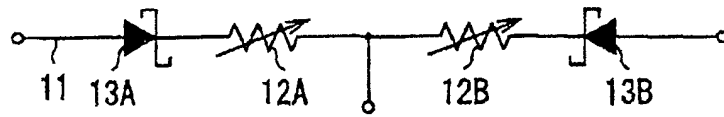


图 16

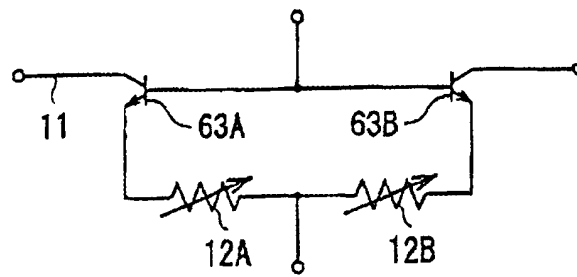


图 17

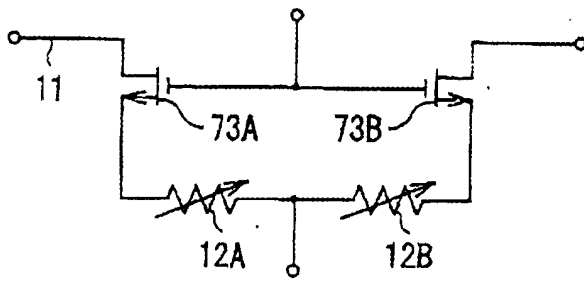


图 18

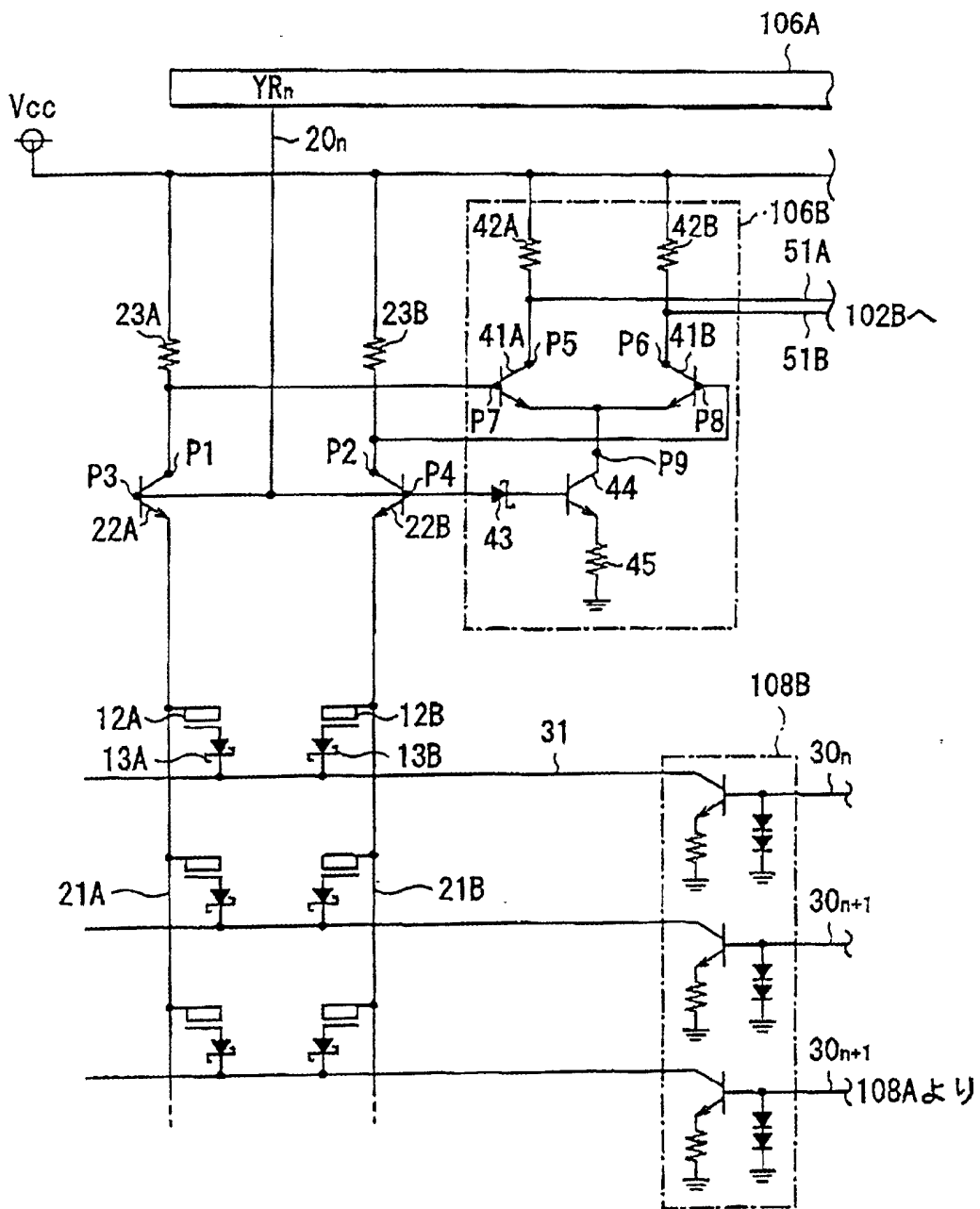
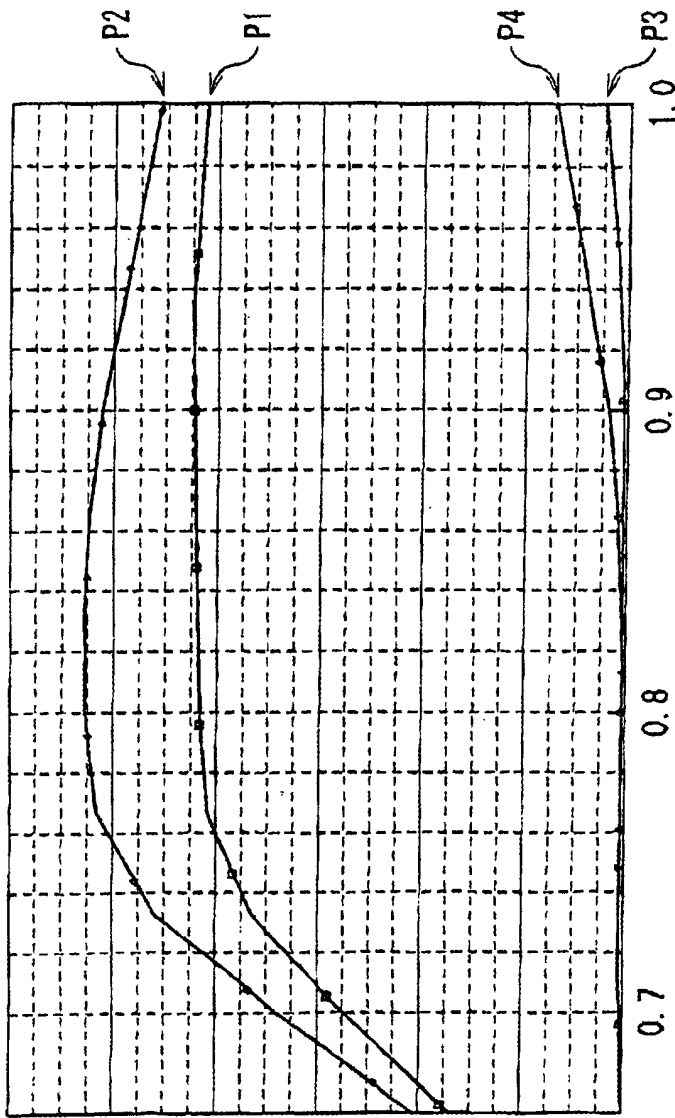


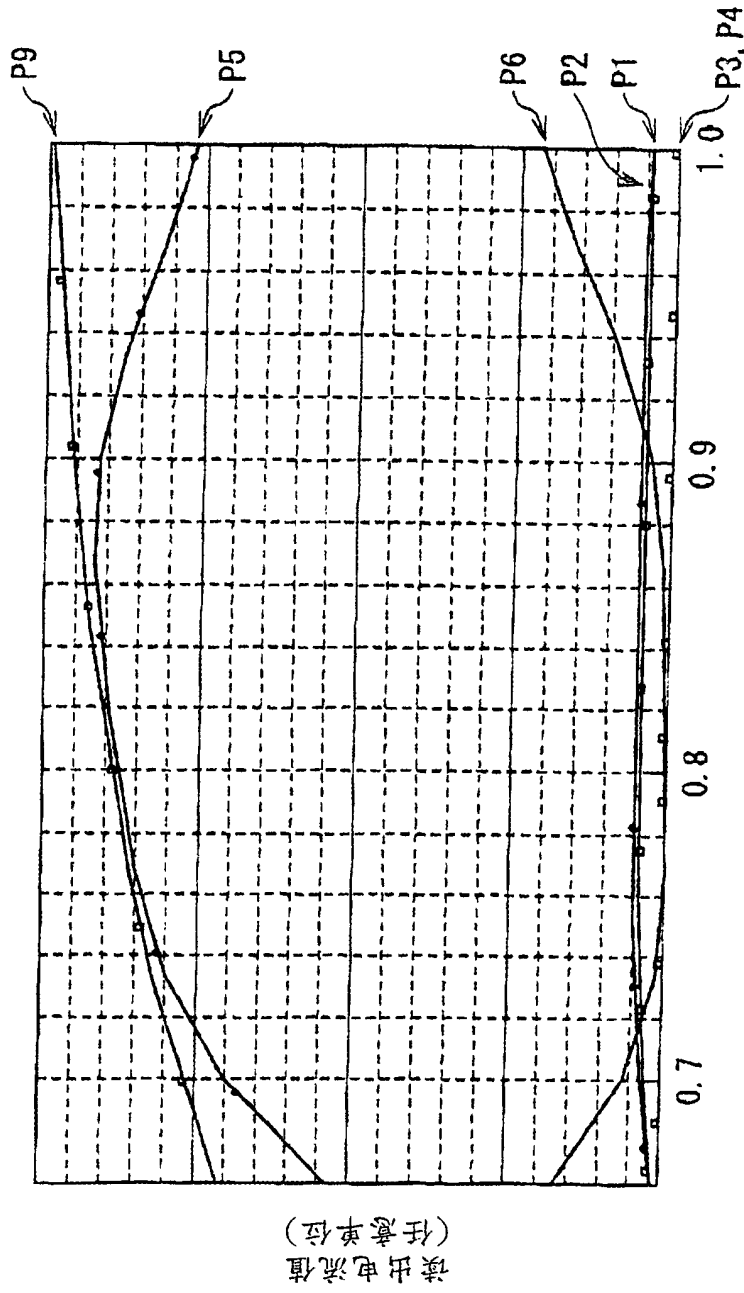
图 19



读出电流值  
(任意单位)

位解码电压 (标准化的值)

图 20



位解码电压 (标准化的值)

图 21

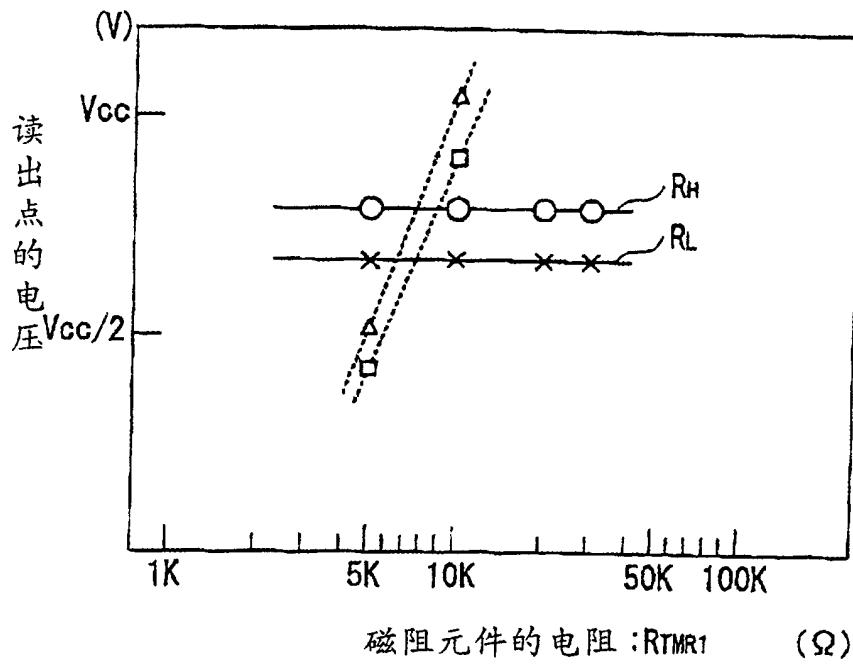


图 22

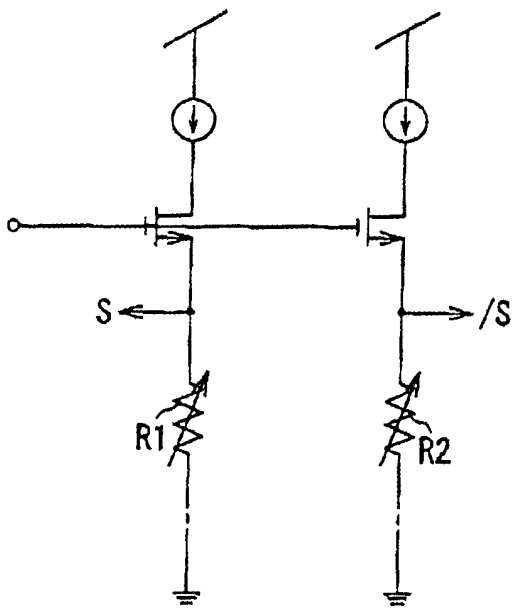


图 23

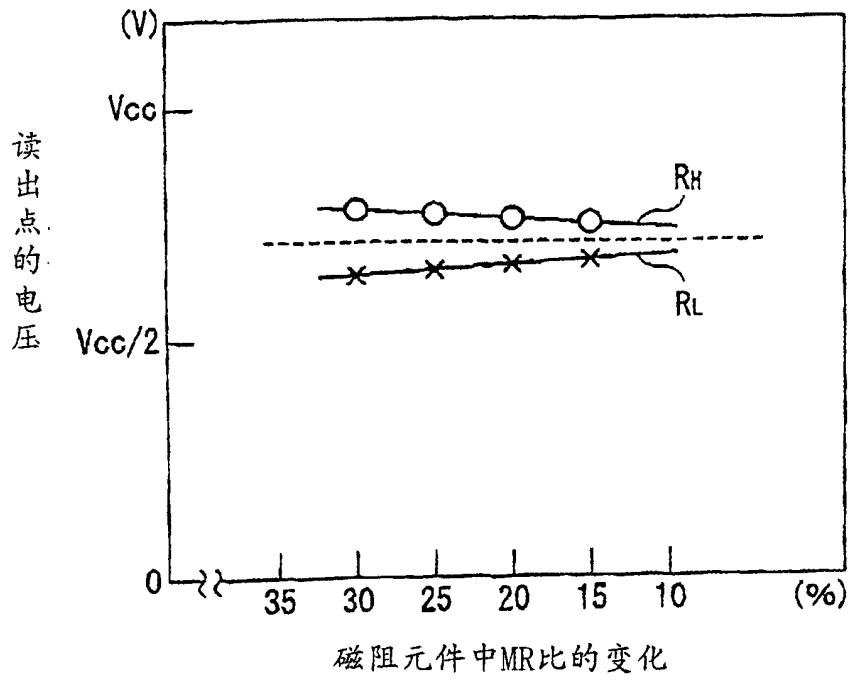


图 24