



Patent dodatkowy
do patentu nr _____

Zgłoszono: 13.12.73 (P. 167268)

Pierwszeństwo: 14.12.72 Stany Zjednoczone
Ameryki •

Zgłoszenie ogłoszono: 01.03.75

Opis patentowy opublikowano: 30.07.1982

Int. Cl.² G06F 9/16

CZYTELNIKA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórcy wynalazku: James Woodworth Conley, Richard Kent Davis

Uprawniony z patentu: General Electric Company, Nowy Jork (Stany
Zjednoczone Ameryki)

Mikroprogramowa jednostka sterująca

1

Przedmiotem wynalazku jest mikroprogramowa jednostka sterująca do sterowania wykonywaniem rozkazów przez programowane urządzenie do przetwarzania danych.

Znane urządzenia do przetwarzania danych wykorzystują elementy logiczne połączone w określoną konfigurację w celu wytwarzania sygnałów do sterowania wykonywaniem rozkazów w odpowiedzi na sygnały operacyjne wyprowadzane z tych rozkazów.

Większość znanych układów logicznych stanowiących urządzenia do przetwarzania danych jest używana do sterowania wykonywaniem rozkazów przez to urządzenie. Sterowanie to jest normalnie realizowane przez skomplikowane powiązania dyskretnych elementów logicznych lub układów scalonych, przystosowane do selektywnego wytwarzania sygnałów sterujących w odpowiedzi na informację słów rozkazów dostarczane z pamięci urządzenia do przetwarzania danych.

Wadą tego typu rozwiązania układów sterowania logicznego jest złożoność i wysoki koszt, co jest spowodowane stosowaniem wielu elementów logicznych. Poza tym, taki typ rozwiązania nie ma uniwersalnego zastosowania w różnych typach urządzeń do przetwarzania danych, to znaczy dla każdego nowego typu urządzenia musi być specjalnie wykonywany układ sterowania logicznego.

Na skutek tych wad ostatnio istnieje tendencja do projektowania urządzeń do przetwarzania danych, w których wykorzystywana jest pojedyncza pamięć odczytowa posiadająca pamiętany mikroprogram do sterowania wy-

2

konywaniem rozkazów. Znane mikroprogramy składające się z wielu słów sterowania ułożonych w ustaloną konfigurację, wskutek czego mikroprogram jest wykonywany poprzez wiele podprogramów.

5 Każdy podprogram jest powiązany z odpowiednim rozkazem, który ma być wykonany przez urządzenie. Wskutek tego do pomieszczenia wszystkich słów sterowania dla każdego rozkazu wymagana jest duża pamięć odczytowa lub wiele pamięci. Rozwiązanie tego typu daje oszczędność kosztów w porównaniu z rozwiązaniem z logicznymi elementami dyskretnymi, jednakże w dalszym ciągu jest ono drogie wskutek konieczności stosowania dużej pamięci odczytowej.

10 W celu zmniejszenia rozmiarów i kosztów pamięci odczytowych projektowano również jednostki sterujące, stosując z tymi pamięciami dodatkowe układy sterowania logicznego. Przy takim rozwiązaniu, pamięć odczytowa zawiera mniej podprogramów mikroprogramu, przy czym każdy podprogram może częściowo sterować wykonywaniem wielu rozkazów posiadających wspólne cechy wykonywania. Jednakże, podczas wykonywania tych wielu rozkazów dochodzi się do punktu, w którym nie ma już wspólnych cech, to znaczy spełniają one różne funkcje w urządzeniu do przetwarzania danych. Zachodzi więc potrzeba stosowania dodatkowych układów sterowania logicznego, aby do sterowania urządzeniem mogły być wytwarzane niezbędne sygnały sterujące, oddzielne dla każdego z wielu rozkazów.

15 20 25 30 Każde z opisanych rozwiązań wykazuje pewne zalety zależnie od ilości i skomplikowania rozkazów, które urzą-

dzenie może wykonywać. Jednakże, jak stwierdzono poprzednio, gdy jednostka sterująca jest rozwiązywana z zastosowaniem dyskretnych elementów logicznych, wymaga to indywidualnego rozwiązania dla każdego urządzenia do przetwarzania danych.

Zadaniem wynalazku jest zaprojektowanie uniwersalnej jednostki sterującej, w której byłaby zmniejszona liczba wymaganych układów sterowania logicznego przez zastosowanie wielu pamięci zawierających informacje dotyczące mikroprogramu i mikrodekodowania do sterowania realizacją rozkazów przez urządzenie do przetwarzania danych.

Zadanie zostało zrealizowane w wyniku zaprojektowania mikroprogramowej jednostki sterującej, zawierającej procesor, połączony z pamięcią, przeznaczoną do zapamiętywania rozkazów, które mają być wykonywane przez ten procesor, które to rozkazy zawierają przynajmniej część kodowo-operacyjną identyfikującą rozkazy, mikroprogramowy blok sterujący, połączony z procesorem, przeznaczony do sterowania wykonywaniem rozkazów przez ten procesor, który to mikroprogramowy blok sterujący zawiera pierwszą pamięć, przeznaczoną do zapamiętywania mikrorozkazów, i drugą pamięć, przeznaczoną do zapamiętywania słów sterujących, z których każde jest przyporządkowane jednemu z rozkazów, które mają być wykonywane przez procesor, przy czym słowa sterujące zawierają informację adresową i informację sterującą, wykorzystywaną do sterowania procesorem, przy czym druga pamięć jest połączona z procesorem i adresowana z niego w odpowiedzi na kodową informację sterującą celem zapewnienia możliwości poszukiwania słów sterującego z drugiej pamięci, zespół sterujący, przeznaczony do selektywnego doprowadzania sygnałów adresowanych do pierwszej pamięci celem wyszukania w niej mikrorozkazów.

Zgodnie z wynalazkiem zespół sterujący przeznaczony do selektywnego doprowadzania sygnałów adresowych do pierwszej pamięci celem wyszukania w niej mikrorozkazów, które to mikrorozkazy są mikrorozkazami pierwszego i drugiego rodzaju, przy czym mikrorozkazy pierwszego rodzaju zawierają dane sterujące wykorzystywane do sterowania sekwencją mikrorozkazów i informacją adresową dla mikrorozkazów, a mikrorozkazy drugiego rodzaju zawierają dane sterujące wykorzystywane do sterowania sekwencją mikrorozkazów i informację sterującą dla procesora, zawiera układ testujący i układ przesyłania informacji adresowej, przy czym wejście sterujące układu testującego jest połączone łączem doprowadzającym informację operacyjno-kodową z jednym z wyjść procesora, pierwsze i drugie wejścia informacyjne układu testującego są połączone z pierwszym i drugim wyjściami informacyjnymi drugiej pamięci łączami informacyjnymi, trzecie wejście informacyjne układu testującego jest połączone z wyjściem sterującym pierwszej pamięci łączem, którym są doprowadzane dane sterujące zawarte w uprzednio odszukanych mikrorozkazach pierwszego i drugiego rodzaju celem wytworzenia adresowych sygnałów sterujących, które są przeznaczone do wykorzystywania do zapewnienia kolejnego dostępu do pierwszej pamięci. Przy tym łączem informacyjnym do układu testującego są doprowadzane sygnały adresowe i operacyjno-kodowe z pierwszego wyjścia drugiej pamięci, a innym łączem doprowadzane są sygnały odwzorowujące słowa sterujące dla mikrorozkazów z drugiego wyjścia drugiej pamięci, wejście sterujące układu przesyłania adresów jest połą-

czony z wyjściem sterującym pierwszej pamięci, łączem doprowadzającym do układu przesyłania adresów sygnały sterujące.

Pierwsze wejście informacyjne tego układu przesyłania adresów jest połączone z drugim wejściem drugiej pamięci łączem doprowadzającym informację adresową, zawartą w słowach sterujących uprzednio odszukanych w drugiej pamięci, a innym łączem doprowadzana jest informacja adresowa i dane sterujące zawarte w mikrorozkazach jednego rodzaju z wymienionych mikrorozkazów pierwszego i drugiego rodzaju uprzednio odszukanych w pierwszej pamięci.

Wyjście układu przesyłania adresów jest połączone z wejściem pierwszej pamięci. Przy tym układ przesyłania adresów w pierwszej kolejności reaguje na adresowe sygnały sterujące i na dane sterujące zawarte w uprzednio odszukanych mikrorozkazach pierwszego rodzaju celem wyselekcjonowania i przesyłania informacji adresowej, zawartej w uprzednio odszukanych mikrorozkazach pierwszego rodzaju i uprzednio odszukany słowie sterującym do pamięci jako sygnały adresujące, a w drugiej kolejności — do przesyłania adresów jako sygnałów adresujących do pierwszej pamięci w odpowiedzi na dane sterujące, doprowadzane do układu testującego, zawarte w uprzednio odszukany mikrorozkazie drugiego rodzaju, oraz układ multipleksa, sterującego połączony z pierwszą i drugą pamięciami, przeznaczony do selektywnego doprowadzania sygnałów sterujących, przeznaczonych do sterowania procesorem zgodnie z informacją sterującą procesorem, zawartą w uprzednio odszukany słowie sterującym i w informacji sterującej procesorem oraz w danych sterujących, zawartych w uprzednio odszukany mikrorozkazie drugiego rodzaju.

Układ przesyłania adresów zawiera załączony na wejściu mikroprogramowy multipleksa, którego pierwsze wejście informacyjne stanowi pierwsze wejście informacyjne układu przesyłania adresów, drugie wejście informacyjne stanowi drugie wejście informacyjne układu przesyłania adresów, a wejście sterujące stanowi wejście sterujące układu przesyłania adresów, oraz mikroprogramowy licznik szeregowo-równoległy, którego wyjście jest połączone z wejściem pierwszej pamięci, pierwsze wejście sterujące z wyjściem układu testującego, a drugie wejście sterujące — z łączem doprowadzającym sygnał załączający.

Pierwsza pamięć i druga pamięć są pamięciami odczytowymi (ROM).

Druga pamięć zawiera rejestr przeznaczony do odbierania sygnałów adresowych z procesora, przeznaczone do adresowania komórek pamięci w drugiej pamięci, przy czym wyjście rejestru stanowi pierwsze wyjście drugiej pamięci, połączone z pierwszym wejściem informacyjnym układu testującego zespołu sterującego.

Pierwsze wejście informacyjne układu multipleksa jest połączone z drugim wyjściem drugiej pamięci łączem doprowadzającym informację identyfikacyjną, drugie wejście informacyjne układu jest połączone z wyjściem informacyjnym układu jest połączony z wyjściem informacyjnym pierwszej pamięci, pierwsze wejście sterujące jest połączone z łączem, doprowadzającym sygnał załączający, drugie wejście sterujące jest połączone z wyjściem sterującym pierwszej pamięci łączem doprowadzającym sygnały sterujące, a wyjście informacyjne i wyjście sterujące są połączone łączami informacyjnymi i sterującymi z procesorem.

Koncepcja podwójnej pamięci zastosowana w jednostce sterującej według wynalazku wykazuje tę ważną zaletę, że jednostka sterująca może być wykonana z minimalnej liczby elementów logicznych. Poza tym, programowana jednostka sterująca według wynalazku może być zaprogramowana przez użytkownika do sterowania dowolnego typu urządzenia do przetwarzania danych, cyfrowej jednostki sterującej, lub urządzenia zewnętrznego, bez potrzeby projektowania nowej jednostki sterującej.

Zaletą mikroprogramowej jednostki sterującej do sterowania urządzenia zewnętrznego jest to, że posiada ona zwiększone możliwości stosowania.

Przedmiot wynalazku jest uwidoczniiony w przykładowym wykonaniu na rysunku, na którym fig. 1 przedstawia ogólny schemat blokowy urządzenia do przetwarzania danych zawierającego mikroprogramową jednostkę sterującą według wynalazku, przy czym linie ciągle przedstawiają łączy sygnałów informacyjnych lub sygnałów danych, a linie przerywane przedstawiają łączy sygnałów sterujących, fig. 2 przedstawia strukturę słowa początkowego rozkazu dla słów rozkazu przechowywanych w urządzeniu do przetwarzania danych, fig. 3A do 3C przedstawiają strukturę różnych typów słów sterujących mikroprogramu przechowywanych w pamięci mikroprogramu, fig. 4 przedstawia strukturę słów sterujących rozkazu zawartych w pamięci mikrodekodowania, fig. 5 przedstawia schemat blokowy mikroprogramowej jednostki sterującej według wynalazku, przy czym linie ciągłe i przerywane mają takie samo przeznaczenie jak na fig. 1, fig. 6 przedstawia tablicę dekodowania elementów informacyjnych szczególnego typu bitów w słowie sterującym z fig. 3A, a fig. 7A do 7C oraz fig. 8 do 11 wspólnie przedstawiają schemat blokowy realizacji programu, pokazujący kolejność realizacji mikroprogramu i podprogramów mikroprogramowej jednostki sterującej do sterowania wykonywaniem rozkazów przez urządzenie do przetwarzania danych.

Fig. 1 przedstawia urządzenie 10 do przetwarzania danych zawierające procesor 12, który może być dowolnego z wielu typów uniwersalnych komputerów cyfrowych lub urządzeń do przetwarzania danych. Dla wyjaśnienia wynalazku przyjęto, że procesor 12 jest procesorem powszechnie znanego typu, posiadającym rejestr adresów rozkazów, rejestr K lub licznik, arytmometr logiczny, rejestr A oraz odpowiednie układy logiczne sterujące lub bramkujące do sterowania operacjami realizowanymi przez rejestry i przepływem informacji w procesorze i poza procesorem.

Rejestr adresów rozkazów IAR może być sterowany w celu odbierania rozkazów z arytmometru logicznego i z logicznych układów sterujących lub bramkujących. Również rejestr adresów rozkazów może być wykorzystywany jako rejestr MAR adresów pamięci, do zapisywania lub rejestrowania informacji w lub do wyszukiwania i czytania informacji z pamięci lub głównej pamięci 14, stanowiącej część urządzenia 10 do przetwarzania danych. Poza tym, zawartość rejestrów adresów rozkazów mogą być wczytywane do pamięci 14 lub zapisywane z pamięci do lub z komórek adresów określonych albo przez rejestr IAR albo przez logiczne układy bramkujące w procesorze 12.

Rejestr K służy jako licznik do liczenia liczby przesunięć realizowanych przez procesor 12 podczas wykonywania rozkazów typu przesuwania. Dodatkowo, rejestr K może być sterowany w celu zapewnienia go albo z pa-

mieci, albo z arytmometru logicznego. Zależnie od typu rozkazu wykonywanego przez urządzenie do przetwarzania danych, zawartość rejestru K stanowi informację dotyczącą adresu rozkazu lub liczby przesunięć.

5 Arytmometr logiczny ALU zawiera układy logiczne powodujące, że może być on sterowany selektywnie w celu odbierania informacji z rejestru IAR i rejestru K dla wykonywania operacji arytmetycznych i przesunięć międzyrejestrowych.

10 Rejestr A jest zasadniczo rejestrem arytmetycznym. Może on być sterowany w celu przesunięcia o pewną ilość pozycji bitowych podczas wykonywania rozkazów dotyczących przesunięć przez urządzenie do przetwarzania danych.

15 Rejestr A może być również sterowany w celu połączenia z pamięcią 14 podczas realizacji operacji czytania lub zapisywania pamięci. Tak więc, zawartość jego może być wprowadzana do lub odprowadzana z określonych komórek pamięci. Sygnały wyjściowe arytmometru logicznego ALU są również bramkowane do rejestru A podczas wykonywania pewnych rozkazów urządzenia do przetwarzania danych. Przenoszenie informacji pomiędzy procesorem 12 a pamięcią 14 odbywa się poprzez wiele łączy informacyjnych 16. To przenoszenie informacji jest 25 wywoływane przez sygnały sterowania, które przepływają pomiędzy pamięcią a procesorem przez wiele linii 18 sterowania.

Mikroprogramowa jednostka sterująca 20 składa się z mikroprogramowej pamięci odczytowej i układu logicznego sterowania 22 oraz z odczytowej pamięci mikrodekodowania i układu logicznego 24. Jednostka sterująca 20 zawiera również multiplexer 26 sterowania. Odczytowa pamięć 24 mikrodekodowania łączy się bezpośrednio z pamięcią 14 urządzenia do przetwarzania danych poprzez łączy informacyjne 28, odbierając elementy informacyjne kodu operacyjnego słów rozkazów z pamięci 14 jako informacje adresowe.

Fig. 2 przedstawia strukturę słowa rozkazu, która jest przykładem rozkazów zawartych w pamięci 14, przeznaczonych do wykonania przez urządzenie 10 do przetwarzania danych. Bity A do F słów rozkazów są dostarczane do pamięci mikrodekodowania 24 poprzez linie 28 kodów operacyjnych lub adresów, gdy z pamięci 14 jest wprowadzany jakiś rozkaz przez procesor 12. Bity C do F określają rozkaz, taki jak dodawanie, odejmowanie i 45 tym podobny. Bit B jest używany do oznaczenia, że pole adresów rozkazów (bity 0—9) ma mieć nadawany adres początkowy, a bit A jest używany do określenia, że pole adresów rozkazów ma być indeksowane.

Adresowanie początkowe i indeksowanie pola adresów słów rozkazów mogą być określane równocześnie za pomocą bitów A i B. Informacja dotycząca kodu operacyjnego (bity A do F) jest zatrzymywana w elementach 50 podtrzymujących lub rejestrze w pamięci 24, gdzie informacja ta jest wykorzystywana do adresowania określonych, przewidzianych do adresowania komórek pamięciowych w pamięci 24. Każda z tych komórek pamięci zawiera słowo sterowania rozkazu, oddzielne dla każdego rozkazu wykonywanego przez urządzenie do przetwarzania danych. Znaczenie każdego bitu w słowie sterowania rozkazu z fig. 4 zostanie opisane poniżej.

Po zaadresowaniu pamięci 24, dostarcza ona indeksy lub sygnały do pamięci odczytania 22 i do multiplexera 26 sterowania. Z pamięci 24 do pamięci 22 sygnały są 65 dostarczane jako bity lub sygnały adresowe przez wielo-

przewodowe łącze 30, w celu adresowania określonych komórek w pamięci 22. Pewne określone spośród indeksów są dostarczane do multiplexera 26 sterowania z pamięci 24 przez łącze 31, a multiplexer ten dostarcza sygnały sterowania i sygnały danych do procesora 12 poprzez łącza 32 i 34 odpowiednio sygnałów sterowania i sygnałów danych. Multiplexer sterowania 26 również odbiera elementy informacyjne w postaci sygnałów sterowania i sygnałów danych z pamięci 22 odpowiednio poprzez łącza 36 i 38. Te ostatnie sygnały są łączone w multiplexerze z indeksami z pamięci 24 w celu wytwarzania sygnałów wyjściowych na łączach 32 i 34.

Pamięć 22 z fig. 1 posiada wiele selektywnie adresowanych komórek pamięciowych, przy czym każda komórka zawiera określone słowo sterowania mikroprogramowego. Te słowa sterowania mikroprogramowego stanowią wspólnie mikroprogram do wykonywania przez jednostkę sterującą 10 w celu uporządkowanego wytwarzania sygnałów wyjściowych z multiplexera 26 na przewodach 32 i 34 dla każdego rozkazu wykonywanego przez urządzenie 10 do przetwarzania danych.

Przed przystąpieniem do dalszego omówienia mikroprogramowej jednostki sterującej 10 według wynalazku — wskazane jest omówienie różnych słów sterowania zawartych w pamięci 22. Te słowa sterowania przedstawione są na fig. 3A, 3B i 3C. Fig. 3A przedstawia strukturę słowa sterowania rozgałęźnego, które jest używane podczas realizowania mikroprogramu do selektywnego adresowania pamięci 22 opartego na treści tego słowa sterowania rozgałęźnego, oraz na różnych stanach lub sygnałach dostarczanych do pamięci 22 z procesora 12 poprzez linie 40 informujące o stanach.

Bit 14 i 15 z fig. 3A stanowią kod operacyjny i są dostarczane jako sygnały kodu operacyjnego z wyjścia pamięci 22 do logicznych układów sterujących tej pamięci 22 na łączach 42 (fig. 1). Logiczne układy sterujące dokonują dokodowania tych sygnałów kodu operacyjnego, co umożliwia realizację słowa sterowania rozgałęźnego przez jednostkę sterującą 10. Do układów sterowania logicznego pamięci 22 poprzez łącza 42 dostarczane są również sygnały testu rozgałęźnego przez bitowe pole testowe złożone z bitów 8 do 11. Te sygnały testu rozgałęźnego są porównywane z sygnałami stanów z procesora w celu wysłania do pamięci 22 albo adresu sekwencyjnego, albo adresu rozgałęźnego. Kodowanie bitowe pola testowego dla określonego testu rozgałęźnego wykonywanego przez jednostkę sterującą jest przedstawione na fig. 6. Poniżej zostanie opisane znaczenie różnych testów rozgałęźnych.

Adres rozgałęźny do pola własnego słowa sterowania rozgałęźnego jest złożony z bitów 0 do 5. Bit 0 jest dostarczany jako sygnał adresowy z wyjścia pamięci 22 z powrotem do wejścia poprzez łącza adresowe 44 (fig. 1). Należy przypomnieć, że pamięć 22 może być adresowana selektywnie. To selektywne adresowanie jest sterowane przez stan bitów 6 słowa sterowania rozgałęźnego. Bit 6 jest wykorzystywany do dostarczania sygnału adresu do układu logicznego sterowania pamięci 22 poprzez linie 42, w celu określenia, czy następny adres dla pamięci 22 ma przyjść do niej samej (bity 0—5), czy z pamięci 22 poprzez łącza adresowe 30. Ten ostatni adres pochodzi z bitów 18 do 23 słowa sterowania rozkazu z fig. 4, którego struktura zostanie opisana później.

Bit 7, 12 i 13 słowa sterowania rozgałęźnego z fig. 3A są zakreskowane dla pokazania, że nie są one uży-

wane. Jednakże, mogą one mieć zastosowanie do spełniania dodatkowych funkcji w jednostce sterującej, które nie zostają tu sprecyzowane.

Inną strukturą słowa sterującego, które może być zawarte w różnych komórkach pamięci 22 jest słowo sterowania proceduralnego, przedstawionego na fig. 3B. Słowa sterowania proceduralnego są wykorzystywane do wytwarzania sygnałów wyjściowych z multiplexera sterowania 26, do manipulowania danymi w procesorze 12.

Podobnie do słowa sterowania rozgałęźnego słowo sterowania proceduralnego zawiera proceduralny kod operacyjny w bitach 14 i 15. Bit 14 i 15 są również doprowadzane do układu logicznego sterowania pamięci 22 poprzez łącza 42 w celu kontrolowania wykonywania tego określonego słowa sterującego przez mikroprogram. Dodatkowo, bity 14 i 15 są dostarczane do multiplexera 26 poprzez łącza 36 ów celu sterowania zwielokrotnienia sygnałów sterujących i sygnałów danych do procesora 12. Słowo sterowania proceduralnego zawiera również pole określania funkcji arytmometru logicznego ALU, złożone z bitów 8, 9 i 10. Bit 10 jest dostarczany jako sygnał określenia funkcji multiplexera sterowania 26, który z kolei dostarcza poprzez linie 32 określone wyjściowe sygnały sterujące do procesora w celu sterowania funkcjami operacyjnymi arytmometru ALU.

Przykładowo, sygnały sterujące mogą umożliwiać zwiększanie przez arytmometr ALU informacji dostarczanej do niego o jeden lub dodawanie wielu dostarczanych do niego sygnałów wejściowych. Bit 2 do 7 z fig. 3B również dostarczają określone funkcje lub sygnały sterujące do multiplexera sterowania na łączach 36. Te funkcje sterujące są oznaczone jako ASO, AS1, KCE, KPE, IS1, ISO, odpowiadające bitom 3 do 7. Sygnały ASO i AS1 są doprowadzane do procesora jako sygnały wyjściowe z multiplexera sterowania, w celu sterowania różnymi operacjami rejestru A.

Podobnie, sygnały KCE i KPE są dostarczane do procesora z multiplexera, w celu sterowania operacjami rejestru K. Sygnały IS1 i ISO są doprowadzane jako sygnały wejściowe do rejestru IAR adresów rozkazów w celu sterowania jego operacjami. Wykorzystanie tych sygnałów opisano poniżej. Jeden bit dodatkowy, bit 11, jest wykorzystywany przez układ logiczny sterowania pamięci 22 do przestawienia adresu pamięci 22 do określonej komórki, w celu zaadresowania tej komórki. Podobnie jak na fig. 3A, bity 0, 1, 12 i 13 również nie są wykorzystywane.

Ostatni typ struktury słowa zawarty w pamięci 22 jest przedstawiony na fig. 30 i określany jako słowo sterowania wejścia/wyjścia. Słowo to jest używane podczas wykonywania mikroprogramu do sterowania przenoszenia informacji pomiędzy procesorem 12 a pamięcią główną 14. Przenoszenie takie może stanowić czytanie informacji z pamięci lub wpisywanie informacji do pamięci. Słowo sterowania wejścia/wyjścia zawiera kod operacyjny wejścia/wyjścia w bitach 14 i 15, który jest używany w układzie logicznym sterowania pamięci 22 w sposób podobny do opisanego w odniesieniu do fig. 3B.

Bit 0 do 5 z fig. 3C stanowią wspólnie źródło adresów pamięciowych, wskazując procesorowi 12 źródła, z którego ma być adresowana pamięć 14. Dla wyjaśnienia, bity 0 do 5 są podzielone na dwa pola. Bit 0, 1 i 2 są określone jako pole natychmiastowych adresów pamięciowych. Podczas wykonywania pewnych rozkazów, gdzie wymagana jest modyfikacja indeksowa adresu wykonywane-

go rozkazu, bity 0 do 2 mogą być kodowane w określonej konfiguracji bitowej powodując, że pamięć 12 jest adresowana poprzez procesor bezpośrednio z multiplexera 26.

W rzeczywistości kodowanie bitów 0 do 2 powoduje wczytanie adresowego słowa indeksującego lub modyfikującego do rejestru K z miejsca pamięci określonego przez bity 0 do 2, w celu dodania następnie do rejestru IAR dla zmodyfikowania indeksowego słowa rozkazu.

Jednakże, podczas wykonywania pewnych innych rozkazów wymagane jest adresowanie pamięci z jakiegoś innego źródła. W tym ostatnim przypadku Bity 3 do 5 (pole źródła rejestru adresów) są kodowane na powodowanie wybrania przez multiplexer rejestru IAR jako rejestru adresów pamięciowych albo na przesunięcie źródła rejestru adresów do miejsca określonego przez bity 10 do 15 słowa sterowania rozkazów pamięci 24 (fig. 4).

Bit 13 słowa sterowania wejścia/wyjścia stanowi sygnał do multiplexera 26 na łączach 36, powodujący dostarczenie przez multiplexer sygnału zapelnienia rejestru K do procesora poprzez jedno z łącz 32 podczas rozruchu urządzenia 10 do przetwarzania danych. Po wytworzeniu sygnału zapelnienia rejestru K, rejestr ten jest zapelniony z komórki pamięci określonej przez treść bitów 0 do 2, to jest pola natychmiastowych adresów pamięciowych.

Pole określania funkcji wejścia/wyjścia składa się z bitów 9 i 10 (fig. 3C), które są kodowane w celu spowodowania dostarczania przez multiplexer sygnałów do procesora, powodujących przekazywanie przez ten procesor do pamięci 14 albo operacji czytania, albo operacji wpisywania. Pole źródła lub przeznaczenia danych (bity 6 i 7) słowa sterującego wejścia/wyjścia jest dekodowane przez multiplexer, dostarczając sygnał źródła lub przeznaczenia danych do procesora, w celu ustalenia albo źródła danych do pamięci w procesorze w przypadku wpisywania albo przeznaczenia danych w pamięci w przypadku czytania.

Słowo sterujące wejścia/wyjścia z fig. 3 zawiera również pole przesunięciowego sterowania przeznaczenia, które stanowi bit 8, wykorzystywany przez multiplexer do umożliwienia sterowania przemieszczenia z lub do pamięci tych danych, które mają być przesunięte z bitów 6 i 7 słowa sterowania wejścia/wyjścia pamięci 22 do bitu 17 słowa sterowania rozkazu pamięci 24. Bit 11 w słowie sterowania wejścia/wyjścia pamięci jest wykorzystywany w taki sam sposób, jak opisano dla bitu 11 z fig. 3B.

Fig. 4 przedstawia strukturę słów sterowania rozkazów, zawartych w pamięci 24. Każde z poszczególnych adresowanych miejsc pamięciowych w pamięci 24 zawiera słowo sterowania, posiadające treść znamionową dla rozkazu wykonywanego przez urządzenie do przetwarzania danych. Jak już wspomniano, pamięć 22 zawiera mikroprogram do sterowania początkowym wykonywaniem rozkazów przez urządzenie do przetwarzania danych. Mikroprogram ten jest uzupełniany przez słowa sterowania rozkazów w pamięci 24. Słowo sterowania rozkazów zawiera adres rozgałęźny do pola pamięci 22 w bitach 18 do 23.

Podczas wykonywania pewnych słów sterowania rozgałęźnego w mikroprogramie, wymagane jest przesuwanie adresu rozgałęźnego mikroprogramu do adresu określonego przez to pole. Adres ten powoduje więc, że mikroprogram odgałęzia się do określonego miejsca w pamięci 22 dla wykonania podprogramu mikroprogramu, w celu

sterowania wykonaniem określonego rozkazu urządzenia do przetwarzania danych zgodnie z informacją adresową, kodu operacyjnego dostarczaną do pamięci 24 z pamięci głównej 14.

Jak to wyjaśniono uprzednio, również podczas wykonywania słowa sterowania wejścia/wyjścia może być wymagane sterowanie przesunięciowe źródła lub przeznaczenia danych informacji do pamięci 24. W takim przypadku, wykorzystywany jest bit 17 przeznaczenia danych do przenoszenia informacji pomiędzy pamięcią główną z rejestrem A lub rejestrem K.

Charakter indeksowego sterowania komórek, bity 10 do 15, został krótko wyjaśniony w powiązaniu z wykorzystywaniem słowa sterowania wejścia/wyjścia z fig. 3C. Należy przypomnieć, że pole źródła rejestru adresów, bity 3, 4 i 5, może być kodowane w celu określenia, że adresy pamięciowe mają być brane bezpośrednio ze słowa sterowania rozkazów pamięci 24. Gdy bity 3, 4 i 5 z fig. 3C są kodowane na określenie tego adresowania, bity 10 do 15 z fig. 4 są wykorzystywane przez multiplexer do bezpośredniego adresowania określonego miejsca indeksowego w pamięci głównej przez urządzenie do przetwarzania danych.

Bit 17 z fig. 4, oznaczony jako wyprowadzenie argumentu operacji, jest wykorzystywany przez układ logiczny sterowania pamięci 22 do sterowania adresowaniem pamięci 22 do określonego miejsca podczas wykonywania tych rozkazów urządzenia do przetwarzania danych, które wymagają wyprowadzania argumentu operacji z pamięci głównej 14.

Słowo sterowania rozkazów zawiera również pole określania funkcji arytmometru logicznego ALU (bity 0 do 5), podobne do opisanego w odniesieniu do fig. 3B. To pole z fig. 4 jest używane przez multiplexer sterowania 26 do dostarczania wielu takich samych wyjściowych sygnałów sterujących do procesora 12, jak to opisano w odniesieniu do fig. 3B. Jednakże, poza tymi uprzednio opisanymi sygnałami sterującymi, umożliwia ono również zwiększenie pojemności pola określania funkcji arytmometru ALU z fig. 3B. Oznacza to, że wskutek sterowania przez słowo sterowania rozkazów pamięci 24 mogą być realizowane dodatkowo funkcje, które nie są możliwe do realizowania przez sterowanie słowem sterowania proceduralnego z fig. 3B.

Należy przypomnieć, że pole określania funkcji arytmometru ALU z fig. 3B może być kodowane na sterowanie przesunięciowe arytmometru ALU do bitów 0 do 5 tego pola pamięci 24.

Fig. 5 przedstawia bardziej szczegółowo schemat blokowy mikroprogramowej jednostki sterującej 20 z fig. 1. Zespół 22 pamięci odczytowej układów logicznych sterowania z fig. 1 składa się z mikroprogramowej pamięci odczytowej 22a, bloku 22b logicznego testowania bitów, bloku mikroprogramowego multiplexera 22c oraz bloku mikroprogramowego licznika 22d.

Zespół 24 pamięci mikrodekodowania układów logicznych z fig. 1 składa się z odczytowej pamięci mikrodekodowania 24a oraz rejestru 24b kodu operacyjnego. Ten rejestr operacyjny odbiera informacje dotyczące kodu operacyjnego rozkazów wyszukiwanych z pamięci głównej poprzez linie 28. Sygnały kodu adresowego i operacyjnego z rejestru 24b są dostarczane do pamięci 24a poprzez wiele linii adresowych 46 oraz do układów logicznych 22b testowania bitów poprzez łącza 50 kodu operacyjnego.

Odpowiedni układ logiczny dekodowania adresów w pamięci **24a** dekoduje sygnały wyjściowe z rejestru **24b**, dla selektywnego adresowania różnych miejsc pamięciowych w pamięci **24a** podczas wykonywania rozkazów przez urządzenie do przetwarzania danych.

Układ logiczny **22b** testowania bitów dostarcza sygnały sterujące, poprzez wiele przewodów **52**, do licznika **22d** w celu sterowania tego licznika zgodnie z rozkazami wykonywanymi przez urządzenie do przetwarzania danych oraz zgodnie z elementami informacyjnymi dostarczonymi tam z pamięci **22a** na liniach **54**. Poza tym, sygnały sterujące z układu logicznego testowania bitów są również sterowane przez sygnały stanów lub stany z procesora **12** na łączach **40** oraz przez sygnały słowa sterowania rozkazów z pamięci **24a** na łączach **56**.

Licznik **22d** jest zasadniczo licznikiem szeregowym o wprowadzeniu równoległym, posiadającym wejściowy sterujący układ logiczny do sterowania jego działaniem zgodnie z dostarczonymi do niego sygnałami sterującymi.

Podczas wykonywania pewnych rozkazów przez urządzenie do przetwarzania danych, sygnały sterujące z układu logicznego **22b** testowania bitów powodują sekwencyjne liczenie licznika **22d**, który dostarcza sekwencyjne sygnały adresujące do wejścia pamięci **22a** poprzez wiele łącz adresowanych **60**. Pamięć **22a**, która zawiera odpowiedni układ logiczny dekodowania adresów, podobny do układu pamięci **24a** dekoduje te sygnały adresujące w celu selektywnego czytania treści adresowanych miejsc pamięciowych.

Podczas wykonywania pewnych innych rozkazów, sygnały sterujące, dostarczane do licznika **22d** z układu logicznego **22b** testowania bitów pozwalają na równoległe wyprowadzanie wybranego adresu do licznika **22d** z wyjściem multipleksera **MPUX 22c** poprzez wiele łącz adresowych **62**.

Multiplekser **22c** odbiera informacje adresowe z pamięci **24a** poprzez wiele łącz adresowych **30** oraz z wyjścia pamięci **22a** łączami **44**. Jak wspomniano poprzednio, stan bitu 6 słowa sterowania rozgałęźnego z fig. 3A określa, czy adres pamięci **22a** ma pochodzić z pamięci **24a**, czy z pamięci **22a**. Określenie to jest dokonywane w multipleksie **22c**, który odbiera sygnał reprezentujący stan bitu 6 na łączach sterujących **42**, umożliwiając przejście wyznaczonego adresu do licznika **22d**.

W odniesieniu do fig. 1, 5 i 10 zostanie obecnie wyjaśnione działanie urządzenia według wynalazku. W celu uruchomienia mikroprogramowej jednostki sterującej we właściwym etapie mikroprogramu lub miejscu adresowym w pamięci **22a** oraz w celu zapewnienia adresowania przez procesor **12** miejsca startowego w pamięci głównej **14**, konieczne jest najpierw uruchomienie urządzenia do przetwarzania danych. Uruchomienie to jest realizowane przez doprowadzenie sygnału uruchamiającego **INZ** łączem **64** do multipleksa sterowania **26** oraz do licznika **22d**.

Wytwarzania sygnału **INZ** może być dokonywane za pomocą nie pokazanego środka, na przykład przez uruchomienie przelącznika uruchomieniowego lub startowego na pulpicie operatora powiązanych z procesorem. Po wytworzeniu sygnału **INZ** równocześnie mają miejsce zasadnicze dwie operacje. Po pierwsze, sygnał **INZ** powoduje wytworzenie przez multiplekser sterowania **26** wyjściowego sygnału sterującego na łączach **34**, który jest doprowadzany do procesora w celu wprowadzenia adresu

pamiętanego w okablowaniu urządzenia do rejestru **IAR**. Treść rejestru **IAR** zawiera obecnie adres pierwszego rozkazu, który ma być wykonywany przez procesor.

Drugą operacją jest wstępne ustawienie lub równoległe wprowadzenie określonego adresu do licznika **22d**. Po zakończeniu sygnału **INZ**, na wejściu pamięci **22a** poprzez łącze adresowe **60** pojawiają się sygnały adresowe reprezentujące adres znajdujący się aktualnie w liczniku **22d**.

Liczba **22** po lewej stronie fig. 10, podobnie jak wszystkie podobnie umieszczone liczby na fig. 7A do 7C i 9 do 11, oznacza miejsce adresu lub etap mikroprogramu pamięci **22a** adresowany przez licznik **22d**.

Należy również zauważyć, że na wspomnianych figurach, bezpośrednio na prawo od numeru miejsca adresu, znajduje się blok decyzyjny lub operacyjny, zaopatrzone w opis tego, co dzieje się w danym bloku. Każdy z bloków, takich jak blok odpowiadający miejscu adresu **21** z fig. 10, zawiera informację opisową dotyczącą operacji mającej miejsce w jednostce sterującej lub w procesorze podczas wykonywania danego etapu mikroprogramu. Operacje te są zazwyczaj przeprowadzane przez jednostkę sterującą, w oparciu o treści poszczególnych słów sterowania, wyszukiwanych w pamięci **22a** lub pamięci **24a** podczas wykonywania mikroprogramu.

Na fig. 10 informacja zawarta w miejscu **22** adresu jest słowem sterowania wejścia/wyjścia, posiadającym strukturę pokazaną na fig. 3C. Przy adresowaniu pamięci **22a** z licznika **22d**, słowo sterowania wejścia/wyjścia jest odczytywane lub wyszukiwane z pamięci **22a**, która dostarcza sygnały słowa sterowania wejścia/wyjścia do multipleksa sterowania **26** poprzez łącza **36** i **38**.

Jak pokazano w bloku operacyjnym przy miejscu **22**, multiplekser sterujący powoduje, że procesor wprowadza zawartość rejestru **IAR**, do określonego miejsca w pamięci, wyznaczonego przez rejestr **P**, rejestr programu. Multiplekser sterowania **26** realizuje tę operację wprowadzania poprzez dekodowanie bitów **0—10** oraz bitów **14** i **15**.

Jak to pokazano na fig. 3C, bity **14** i **15**, to jest kod operacyjny wejścia/wyjścia, są oba kodowane jako jedynki binarne. Multiplekser sterowania **26** dekoduje bity **14** i **15** w powiązaniu z innymi bitami w słowie sterowania wejścia/wyjścia, wysyłając właściwe wyjściowe sygnały sterujące i sygnały danych do procesora.

Bity **9** i **10** pola określania funkcji wejścia/wyjścia są dekodowane przez multiplekser sterowania **26** w celu umożliwienia zrealizowania przez procesor cyklu czytania lub wpisywania do pamięci głównej. W tym przypadku, ponieważ wymagane jest wpisywanie lub wprowadzanie zawartości rejestru **IAR** do miejsca **P** w pamięci głównej, bity **9** i **10** są kodowane w taki sposób, że multiplekser **26** wytwarza sygnał wyjściowy na jednym z łącz **32**, w celu zrealizowania cyklu wpisywania do pamięci głównej przez procesor. Ponieważ w tym czasie wymagane jest przesunięcie sterowania przeznaczeniowego pamięci **22a** do pamięci **24a**, bit **8** jest zerem binarnym.

Również bity **6** i **7** stanowiące pole źródła lub przeznaczenia danych słowa sterowania wejścia/wyjścia są kodowane w taki sposób, że multiplekser sterowania **26** wysyła poprzez jedno z łącz **32** sygnał powodujący wpisanie zawartości **IAR** rejestru do miejsca **P**.

Bity **0—5** słowa sterowania wejścia/wyjścia również są wykorzystywane do określenia lub wybrania źródła rejestru adresów pamięci do adresowania pamięci głów-

nej. W tym przypadku źródło rejestru adresów pamięci pochodzi bezpośrednio z bitów 0—2, które są kodowane w taki sposób, że multiplexer pomija bity 3—5. W odpowiedzi na kodowanie bitów 0—2 multiplexer 26 wysyła sygnały adresów lub danych łączami 34 do logicznego układu bramkującego w procesorze, co umożliwia wprowadzenie zawartości rejestru IAR do miejsca P w pamięci głównej.

Należy zauważyć w uwagach dotyczących miejsca 22, że licznik 22d jest zerowany. Operacja ta jest dokonywana zgodnie z fig. 3C, gdzie bit 11 zerowania licznika 22d jest jedynką binarną. Stany bitów 11, 14 i 15 są dostarczane do układu logicznego 22b testowania bitów i dekodowania tam w celu wytworzenia sygnału zerowania na łączach 52 do licznika 22d. Sygnał zerowania przedstawia licznik 22d na zero lub inną ustaloną liczbę, wymuszając przejście mikroprogramowej jednostki sterującej do stanu początkowego, jak to pokazano w bloku startowym na dole schematu działań z fig. 10.

Fig. 7A przedstawia schemat działań dla rozpoczęcia mikroprogramu. Licznik 22d, który zawiera obecnie stan zerowy, dostarcza wyjściowe sygnały adresowe na liniach 60 (fig. 5) do pamięci 22a, adresując miejsce zerowe, jak to pokazano po lewej stronie w fig. 7A. Miejsce zerowe w pamięci 22a zawiera również słowo sterowania wejścia/wyjścia, które powoduje wczytanie zawartości miejsca P w pamięci głównej do rejestru K i rejestru IAR. Zawartość miejsca zerowego z pamięci 22a znajduje się obecnie na wejściu multiplexera sterowania, który dekoduje bity 14 i 15 jako słowo sterowania wejścia/wyjścia. Podczas wykonywania tego słowa sterowania wejścia/wyjścia, ponieważ wymagane jest zapelnienie rejestru K, bit 13 zostaje ustawiony na binarną jedynkę. W tym szczególnym przypadku nie jest wymagane zerowanie licznika 22d, bit 11 jest binarnym zerem. Ponieważ ma odbywać się czytanie z pamięci głównej przez procesor, pole określania funkcji wejścia/wyjścia, to jest bity 9 i 10, jest kodowane w taki sposób, że multiplexer sterowania 26 wywołuje operację czytania pamięci głównej przez procesor. Bit 8, stanowiący przesunięciowe sterowanie przeznaczenia danych, jest w tym czasie binarnym zerem ponieważ nie jest wymagane sterowanie przesunięciowe do pamięci 24a.

Ponieważ wymagane jest również wprowadzenie zawartości miejsca P do rejestru IAR, bity 6 i 7 są kodowane w taki sposób, że multiplexer kieruje odpowiednio procesorem.

Bity 0—5 są kodowane w taki sposób, że multiplexer sterowania 26 dostarcza do procesora adres bezpośredni, określony przez bity 0—2, w celu adresowania miejsca pamięciowego rejestru P. Również w tym samym czasie, ponieważ bit 11 zerowania licznika 22d stanowi binarne zero, układ logiczny 22b testowania bitów, w połączeniu z bitami 14 i 15 wysyła sygnał lub impuls liczenia do licznika 22d. Ten sygnał liczenia jest doprowadzany do jednego z łącz 52, powodując zwiększenie stanu licznika o jeden, wskutek czego licznik ten adresuje miejsce 1 pamięci 22a, jak to pokazano na lewo od bloku operacyjnego „K+1” z fig. 7A.

Zawartość miejsca 1 pamięci 22a jest obecnie wyszukiwana i doprowadzana poprzez łącza 36 i 38 do multiplexera 26. Podczas tego etapu mikroprogramu wymagane jest zwiększenie stanu rejestru K o jedynkę, w celu aktualizacji rejestru. Jest to realizowane za pomocą słowa sterowania procedury (fig. 3B) w miejscu 1 pamięci 22a.

Bity 14 i 15, przedstawione jako X i O, są dekodowane przez multiplexer sterowania w powiązaniu z innymi bitami sterowania procedury dla zapewnienia właściwych wyjściowych sygnałów sterujących dla procesora. Bit 14, zawierający X, jest tu używany do oznaczenia, że jego treść jest nieistotna. Podczas wykonywania tego etapu mikroprogramu nie jest wymagane zerowanie licznika 22d, bit 11 jest więc binarnym zerem.

W pewnych urządzeniach do przetwarzania danych zwiększanie stanów określonych rejestrów jest realizowane przez bramkowanie danych poprzez arytmometr logiczny ALU. W takim przypadku bity 8—10 pola określania funkcji arytmometru ALU z fig. 3B mogą być kodowane i używane przez multiplexer do dostarczania w tym celu wyjściowych sygnałów sterujących do arytmometru ALU.

Przykładowo, dla zwiększenia stanu rejestru K o jeden, może być najpierw konieczne kodowanie bitów 8—10 w celu spowodowania wysłania sygnału zezwalającego przez multiplexer do arytmometru ALU, co pozwala na wprowadzenie zawartości rejestru K do tego arytmometru.

Może być również konieczne doprowadzenie do arytmometru ALU sygnału wprowadzeniowego, pozwalającego na dodanie jednego bitu do zawartości rejestru K przechodzącej przez arytmometr ALU. Może to być również zapewnione przez właściwe kodowanie bitów 8—10. Poza tym, może być konieczne zabranie zawartości arytmometru ALU i umieszczenie jej z powrotem w rejestrze K. Może to być realizowane przez umieszczenie binarnej jedynki w bicie 5 słowa sterowania proceduralnego. Gdy bit 5 jest binarną jedynką, multiplexer sterowania 26 wytwarza wyjściowy sygnał KPE, który pozwala na równoległe zapelnienie rejestru z arytmometru ALU.

Jednakże procesor 12 może być typu, w którym zwiększanie stanów określonych rejestrów jest realizowane bezpośrednio w samych rejestrach a nie przez przeprowadzanie sygnałów wyjściowych rejestrów, poprzez arytmometr ALU. Wtedy bity 8—10, stanowiące pole określania funkcji arytmometru ALU mogą być kodowane tak, że są pomijane przez multiplexer. W tym ostatnim przypadku jedynym koniecznym sterowaniem jest umieszczenie binarnej jedynki w bicie 4 słowa sterowania proceduralnego w celu umożliwienia wytworzenia przez multiplexer sygnału KCE, umożliwiającego zwiększenie stanu rejestru K o jeden. Sygnał KCE jest sygnałem zezwalającym na liczenie rejestru K.

Bity 14, 15 i 11 słowa sterowania proceduralnego są również dostarczane jako sygnały wejściowe do układu logicznego testowania poprzez łącza 54. Ponieważ w tym czasie nie jest wymagane zerowanie licznika 22d, bit 11 jest binarnym zerem. Układ logiczny testowania bitów wytwarza więc sygnał wyjściowy liczenia na jednym z łącz 52, powodując przejście licznika 22d do stanu 2. Liczba 2 po lewej stronie fig. 7A określa adresowe miejsce 2 w pamięci 22a, które jest teraz adresowane z licznika 22d. W tej części mikroprogramu wymagane jest wprowadzenie zawartości rejestru K z powrotem do miejsca P w pamięci głównej. Jest to realizowane przez dekodowanie treści wyszukiwanego obecnie z miejsca 2 pamięci 22a słowa sterowania wejścia/wyjścia (fig. 3C). Multiplexer sterowania 26 ponownie dekoduje bity 14 i 15 jako słowo sterowania wejścia/wyjścia. Równocześnie bity 11 i 13 są binarnymi zerami.

Ponieważ operację ma stanowić wprowadzanie zawartości rejestru K do rejestru P w pamięci głównej, bity 9 i 10 określania funkcji wejścia/wyjścia są kodowane w taki sposób, że powodują wysyłanie sygnału sterowania operacji wpisywania przez multiplexer do procesora. Bit 8 jest znowu binarnym zerem, ponieważ nie jest wymagane sterowanie przesunięciowe do pamięci 24a. Źródło danych wchodzących do pamięci głównej ma pochodzić z rejestru K, bity 6 i 7 są więc kodowane w taki sposób, aby umożliwiały wysyłanie sygnału sterującego przez multiplexer sterowania do procesora, w celu zapewnienia drogi danych z rejestru K do adresowanego miejsca w pamięci głównej.

Jak opisano poprzednio, źródło rejestru adresów pamięci pochodzi znowu bezpośrednio z bitów 0 — 2 poprzez multiplexer sterowania 26. Stan licznika 22d jest ponownie zwiększany o jeden do stanu 3 przez układ logiczny testowania bitów, który odpowiada na stany bitów 14, 15 i 11.

Rejestr IAR zawiera obecnie adres rozkazu, który ma być wyprowadzany z pamięci głównej, gdzie rozkaz ten stanowi część programu do wykonania przez procesor 12. To wyprowadzenie rozkazu jest inicjowane w mikroprogramie przez odwołanie się do adresowego miejsca 3 na fig. 7A, które jest aktualnie adresowane z licznika 22d. Ma to być wyprowadzenie słowa z pamięci głównej, dane zawarte w miejscu 3 stanowią więc słowo sterowania wejścia/wyjścia. W tym przypadku procesor 12 ma wyprowadzić rozkaz do rejestru IAR i do rejestru operacyjnego 24b (fig. 1 i 5) z miejsca adresowego określonego przez zawartość rejestru IAR. Operacja ta jest inicjowana w bloku znajdującym się na prawo od numeru 3, w którym symbole nawiasu kwadratowego obejmujące oznaczenie IAR wskazują, że zawartość miejsca pamięciowego określonego przez rejestr IAR ma być wprowadzona do tego rejestru IAR. Również część słowa rozkazu stanowiąca rejestr operacyjny, bity A—F, jest umieszczana w operacyjnym rejestrze 24b. Jak już opisano, jest to realizowane, gdy multiplexer sterowania 26 dekoduje stany bitów 14 i 15 w powiązaniu z bitami 9 i 10 w celu zrealizowania cyklu czytania pamięci przez procesor 12. Musi być określone przeznaczenie danych, które mają być odczytane z pamięci. Jest to realizowane za pomocą bitów 6 i 7 pola źródła lub przeznaczenia danych, posiadających określoną zakodowaną konfigurację, która jest dekodowana przez multiplexer sterowania 26 w celu dostarczenia sygnałów sterujących do procesora, powodujących wczytanie słowa rozkazu do rejestru IAR i operacyjnego rejestru 24b.

Źródło rejestru adresów pamięci jest określone przez bity 0—5, które są kodowane w taki sposób, że multiplexer wysyła do procesora 12 sygnał umożliwiający wysłanie adresu do pamięci głównej z rejestru IAR, określony przez bity 3—5 pola źródła rejestru adresów.

Bity 0—9 wykonywanego przez urządzenie rozkazu są obecnie wprowadzane do rejestru IAR, a bity A—F są wprowadzane do operacyjnego rejestru 24b, w stanie gotowym do obliczenia efektywnego adresu rozkazu zawartego obecnie w rejestrze IAR, jeśli tak jest wymagane (fig. 2). Takie obliczanie adresu efektywnego jest przedstawione na fig. 7A, na którym jednostka sterująca wychodzi z miejsca 3 do bloku adresu efektywnego „EA”. Znowu potrzebne jest zwiększenie stanu licznika 22d o 1. Jest to realizowane przez układ logiczny testowania bitów, który wysyła sygnał liczenia do licznika 22d w od-

powiedzi na bity 14, 15 i 11 słowa sterowania wejścia/wyjścia, powodując przejście tego licznika do stanu 4. Wyszukiwana jest wtedy zawartość miejsca 4 pamięci 22a do wykonywania przez jednostkę sterującą.

Na fig. 7B mikroprogramowa jednostka sterująca przechodzi do tej części mikroprogramu, w której obliczany jest adres efektywny, jeśli tak to jest określone przez informację kodu operacyjnego w operacyjnym rejestrze 24b.

Mikroprogramowa jednostka sterująca według wynalazku oblicza adres efektywny rozkazów przez wykonywanie określonych mikroprogramowych słów sterowania, które najpierw określają, czy słowo rozkazu ma być modyfikowane przez początkowanie indeksowe, indeksowanie lub oba. Jeśli słowo rozkazu ma być modyfikowane, dla przeprowadzenia tej modyfikacji jednostka sterująca wykonuje sekwencję mikroprogramowych słów sterowania.

W przypadku, gdy wykonywany przez urządzenie rozkaz ma być początkowany indeksowo, zawartość określonego miejsca adresowego w pamięci głównej jest dodawana do pola adresów rozkazów (bity 0—9). Jak to pokazano na fig. 7B, adresowe miejsca 4, 5 i 6 pamięci 22a zawierają słowa mikroprogramowe do sterowania modyfikację przez początkowanie indeksowe pola adresowego w słowie rozkazu. Adresowe miejsce 4 pamięci 22a zawiera słowo sterowania rozgałęźnego, posiadające strukturę przedstawioną na fig. 3A. To słowo sterowania, odczytywane obecnie z pamięci 22a zawiera określone dane, które są doprowadzane do układu logicznego testowania bitów, gdzie dokonywany jest test dla ustalenia, czy pole adresowe słowa rozkazu ma być początkowane indeksowo. Jak opisano w bloku decyzyjnym, test ten polega na postawieniu pytania „Czy jest rozkaz, który ma być początkowany?”. Podczas wykonywania słowa sterowania rozgałęźnego, bity 8—11 oraz bity 14 i 15 z wyjścia pamięci 22a są dekodowane w układzie logicznego testowania bitów.

Fig. 6 przedstawia kodowanie pola testowania bitów z fig. 3A dla pewnej ilości różnych testów, które mogą być dokonywane przez realizację słów sterowania rozgałęźnego. Niniejszy test jest pokazany jako test 4. W teście tym przedstawiono konfigurację binarną bitów 8—11, przy której kolumna pamięciowa formułuje pytanie, które ma być postawione przez rozkaz rozgałęźny. Opis oznaczenia XB jest podany w kolumnie o opisowej fig. 6.

Należy przypomnieć, że część dotycząca kodu operacyjnego (bity A—F z fig. 2) rozkazu wyprowadzonego z pamięci głównej jest obecnie zawarta w operacyjnym rejestrze 24b. Bity te są przeznaczone poprzez wiele łącz 50 do wejścia układu logicznego 22b testowania bitów. Ten układ logiczny dokonuje określenia czy rozkaz ma być początkowany indeksowo przez porównanie stanów bitów 8—11 z pamięci 22a ze stanem bitu B słowa rozkazu z rejestru operacyjnego. Jeśli bit B jest binarną jedynką, oznacza to, że pole adresów rozkazów ma być modyfikowane przez początkowanie indeksowe. Po dokonaniu porównania, gdy warunek ten jest spełniony, mikroprogram wychodzi z odgałęzienia „Tak” bloku decyzyjnego „Początkowany?”, natomiast układ logiczny testowania bitów dostarcza sygnał liczenia do licznika 22d powodując, że licznik ten przechodzi do stanu 5. Licznik 22d wysyła więc adres do miejsca 5 w pamięci 22a.

W miejscu 5 zawarte jest słowo sterowania wejścia/wyjścia, które powoduje wytworzenie przez multiplek-

ser sterowania do procesora sygnałów sterujących, powodując wyprowadzenie numeru indeksowego adresu początkowego z pamięci głównej do rejestru K. Operacja ta jest przeprowadzana zgodnie z fig. 3C, przy czym bity 14 i 15 są dekodowane przez multiplexer sterowania w poprzednio opisany sposób. Oba bity 13 i 11 są binarnymi zerami. Ponieważ operację ma stanowić czytanie z pamięci głównej, multiplexer sterowania 26 dekoduje bity 9 i 10 wysyłając sygnał czytania do procesora 12 w celu wywołania operacji czytania. Bit 8 jest binarnym zerem, ponieważ nie jest w tym czasie wymagane przesunięcie sterowania przeznaczenia danych do pamięci 24a. Jak pokazano na fig. 7B, numer indeksowy adresu początkowego jest wczytywany do rejestru K. W wyniku tego, bity 6 i 7 są dekodowane przez multiplexer, wysyłając sygnał wyjściowy do procesora w celu skierowania informacji o adresie początkowym do rejestru K.

Ponieważ miejsce indeksowego numeru początkowego w pamięci głównej jest znamienne dla wykonywanego rozkazu, źródło rejestru adresów pamięci zostaje przeniesione do słowa sterowania rozkazu pamięci 24a, jak to określają bity 10—15 indeksowego sterowania miejsc. Określony przez bity 10—15 adres pamięci jest wysyłany przez multiplexer do procesora jako wynik kodowania bitów 0—5 słowa sterowania wejścia/wyjścia (fig. 3C) w miejscu 5 pamięci 22a. To przesunięcie źródła rejestru adresu pamięciowego jest oznaczone przez symbol p w bloku operacyjnym miejsca 5.

Odczytywane aktualnie z pamięci 24a słowo sterowania rozkazów jest wyszukiwane w miejscu określonego przez informację kodu operacyjnego w operacyjnym rejestrze 24b. Treść słowa sterowania rozkazu jest więc znamienna dla rozkazu wykonywanego przez urządzenie. Wysyłanie sygnałów sterujących i adresowych z multiplexera sterowania 26 powoduje wczytanie miejsca pamięci zawierającego indeksowy numer początkowy do rejestru K. Równocześnie dekodowane są bity 14, 15 i 11 słowa sterowania wejścia/wyjścia przez układ logiczny testowania bitów, który wysyła sygnał liczenia do licznika 22d, powodując że licznik ten przechodzi do stanu 6.

Zaadresowana w miejscu 6 pamięci 22a zawiera słowo sterowania procedurowego (fig. 3B). Słowo to jest wykorzystywane w tym etapie mikroprogramu do dodania zawartości rejestru IAR i rejestru K oraz do umieszczenia wyników dodawania z powrotem w rejestrze IAR. W ten sposób numer indeksowy adresu początkowego zostaje dodany do pola adresowego rozkazu modyfikując adres tego pola. Zawartość słowa sterowania procedurowego jest obecnie dostarczana do multiplexera sterowania 26 poprzez łącza 36 i 38.

W celu dokonania dodawania zawartości rejestru IAR i rejestru K, bity 8—10 pola określania funkcji arytmometru ALU są dekodowane przez multiplexer, który dostarcza sygnały zezwalające do arytmometru ALU, zezwalając na przeniesienie przez niego zawartości rejestru IAR i rejestru K. Bit 7 jest ustawiony na binarną jedynkę, dzięki czemu multiplexer sterowania 26 wytwarza sygnał wyjściowy ISO, umożliwiając odebranie przez rejestr IAR zawartości z arytmometru ALU po operacji dodawania. Jak wyjaśniono, do multiplexera sterowania 26 są również doprowadzane bity 14 i 15 kodu operacyjnego. Następnie potrzebne jest zwiększenie stanu licznika 22d. Bit 11 zostaje nastawiony na binarne zero, co powoduje, że układ logiczny testowania bitów

wysyła ponownie impuls liczenia do licznika 22d przesuwając go do stanu 7.

Powracając do miejsca 4 adresu bloku decyzyjnego „Początkowany?”, jeśli zawarte w rejestrze operacyjnym słowo rozkazu nie ma być początkowane indeksem, bit B słowa rozkazu jest binarnym zerem. Wskutek tego przy wykonywaniu testu rozgałęźnego przez układ logiczny testowania bitów, mikroprogramowa jednostka sterująca wychodzi przez odgałęzienie „NIE” tego ostatniego bloku decyzyjnego i przechodzi do bloku decyzyjnego „Indeksowany?” w adresowym miejscu 7 pamięci 22a. W celu zrealizowania tego odgałęzienia, potrzebne jest doprowadzenie adresu odgałęźnego do wejścia pamięci 22a z licznika 22d. Jest to wykonywane za pomocą bitu 6 z fig. 3A. Bit 6 jest identyfikowany jest przesunięciowy adres odgałęźny do pamięci 24a. Jak to przedstawiono na fig. 5, bit 6 jest doprowadzany z pamięci 22a poprzez łącza 42 do wejścia multiplexera 22c. Stan bitu 6 jest wykorzystywany przez ten multiplexer do określenia, czy adres wprowadzany równoległe do licznika 22d z multiplexera 22c ma pochodzić z pamięci 24a, czy z pamięci 22a. W obecnym przypadku, ponieważ adres dla pamięci 22a ma pochodzić z wyjścia tej samej pamięci, bit 6 jest zerem binarnym. Ponieważ w tym przypadku rozkaz nie ma być początkowany indeksem, układ logiczny, testowania bitów wysyła sygnał wprowadzania równoległego do wejścia licznika 22d na jednym z łącz 52. Sygnał ten powoduje przeniesienie bitów 0—5 adresu rozgałęźnego do pola własnego pamięci 22a (fig. 3A) poprzez multiplexer 22c do licznika 22d. Licznik ten jest więc wypełniony adresem miejsca 7, doprowadzanym do pamięci 22a na adresowych liniach 60.

Miejsce 7 w pamięci 22a zawiera słowo sterowania odgałęźnego, podobne do tego, które zostało ostatnio opisane dla adresowego miejsca 4. Kodowanie tego słowa w miejscu 7 jest takie same jak opisane dla miejsca 4, z tym jedynie wyjątkiem, że bity 8—11 pola testowania bitów, jak to przedstawiono na fig. 6, są kodowane testem 6 (XA) zadającym pytanie „Czy słowo rozkazu ma być indeksowane?”, tj. czy jakieś słowo indeksowe z pamięci głównej ma być dodane do pola adresu rozkazu. Jest to przeprowadzane w układzie logicznym testowania bitów, gdzie stan bitu A (IA) początkowego słowa rozkazu (fig. 2) jest porównywany z XA. Jeśli bit A jest jedynką, mikroprogram przechodzi przez odgałęzienie „Tak” bloku decyzyjnego „Indeksowany”, a równocześnie układ logiczny testowania bitów dostarcza sygnał do licznika 22d, powodujący adresowanie przez ten licznik adresowego miejsca 8 pamięci 22a.

Miejsce 8 zawiera słowo sterowania wejścia/wyjścia, podobne do opisanego dla adresowego miejsca 5. Wykonywanie tego słowa sterującego w miejscu 8 jest takie same jak opisane dla miejsca 5, z tym jednak, że bity 10—15 słowa sterowania rozkazu pamięci 24a określają adres miejsca pamięci głównej, zawierającego liczbę indeksową, która ma być dodana do pola adresu słowa rozkazu.

Po wykonaniu słowa sterującego w miejscu 8, stan licznika 22d zostaje zwiększony, w celu wytworzenia adresu miejsca 9 pamięci 22a. To miejsce 9 zawiera słowo sterowania procedurowego, posiadającą taką samą strukturę jaką opisano dla adresowego miejsca 6. Podczas wykonywania słowa sterującego w miejscu 9 przeprowadzane są takie same operacje jakie opisano w stosunku do miejsca 6. Jednakże, podczas wykonywania słowa sterowania

procedurowego, zawartość adresowanego miejsca indeksowego jest dodawana do pola adresu słowa rozkazu.

Operacje wykonywane w bloku decyzyjnym „Indeksowany?” miejsca 7 są również takie same, jak opisano dla miejsca 4, gdy mikroprogram wychodzi przez odgałęzienie „NIE” tego bloku decyzyjnego. Jediną różnicą jest to, że adres odgałęźny dostarczany przez bity 0—5 w miejscu 7 jest adresem miejsca 10 pamięci 22a. Po zakończeniu etapu mikroprogramu w miejscu 9, układ logiczny testowania bitów wysyła impuls liczenia do licznika 22d, powodując doprowadzenie przez ten licznik tego ostatniego adresu do pamięci 22a. To adresowanie miejsca 10 jest pokazane na fig. 7B i 7C przez wyjście mikroprogramu z miejsca 7 lub 9 do bloku określania rozkazu i wejścia do miejsca 10 do bloku decyzyjnego „Wyprowadzenie argumentu”.

Ponieważ został wyznaczony adres efektywny słowa rozkazu, dokonywane jest określenie, czy dany wykonywany rozkaz wymaga wyprowadzenia argumentu z pamięci głównej. Określenie to jest dokonywane w miejscu 10, które zawiera słowo sterowania rozgałęźnego (fig. 3A). Ponownie bity 14, 15 i 8—11 z pamięci 22a są doprowadzane do układu logicznego testowania bitów przez łączą 54. Część słowa początkowego rozkazu, stanowiąca kod operacyjny (fig. 2), jest w dalszym ciągu doprowadzana jako sygnały wejściowe do układu logicznego testowania bitów na łączach 50. Bity 8—10 pola testowania bitów są kodowane według testu 8 z fig. 6 i łączone w układzie logicznym testowania bitów z częścią słowa rozkazu stanowiącą kod operacyjny (bity A—F), przez co dokonuje się określenia, czy rozkaz wymaga wyprowadzenia argumentu.

Jeśli wykonywany rozkaz nie wymaga wyprowadzenia argumentu, mikroprogram wychodzi przez odgałęzienie „Nie” bloku decyzyjnego „Wyprowadzenie argumentu?” i wchodzi do bloku decyzyjnego „Adres odgałęzienia bezwarunkowego” w miejscu adresowym 12. Ten adres odgałęzienia jest wykonywany w sposób określony przez treść bitów 0—5 słowa sterowania rozgałęźnego w miejscu 10. Ponieważ tym razem nie jest potrzebne przeniesienie sterowania odgałęźnego adresu do pamięci 24a, bit 6 słowa sterowania rozgałęźnego jest zerowy. Ten właśnie zerowy stan bitu 6, który zostaje doprowadzony do wejścia multiplexera 22c poprzez łączą 42, realizuje przeniesienie adresu odgałęźnego z pamięci 22a poprzez multiplexer 22c do licznika 22d. Licznik ten jest wypełniony liczbą miejsca adresowego 12 za pomocą sygnału równoległego doprowadzania, wytwarzanego przez układ logiczny testowania bitów.

Jeśli natomiast rozkaz wymaga wyprowadzenia argumentu, mikroprogram wychodzi poprzez odgałęzienie „Tak” bloku decyzyjnego „Wyprowadzenie argumentu?” do adresowego miejsca 11. To miejsce pamięci 22a zawiera słowo sterowania wejścia/wyjścia, które powoduje wyprowadzenie argumentu z miejsca w pamięci głównej określonego przez zawartość rejestru IAR i umieszcza słowo lub dane argumentu w rejestrze A lub rejestrze K, jak to jest określone przez stan bitu 17 słowa sterowania rozkazu pamięci 24a.

Jak wspomniano, w każdym swym adresowanym miejscu pamięciowym pamięć 24a zawiera słowo sterowania rozkazu o strukturze pokazanej na fig. 4. Każde słowo sterujące w pamięci 24a posiada jednoznacznie bezpośrednio odpowiedniość lub zależność z informacją kodu operacyjnego w rejestrze operacyjnym, którego zawartość

jest wykorzystywana do adresowania określonych miejsc w pamięci 24a.

Adresowana w miejscu 11 z licznika 22d pamięć 22a dostarcza sygnały do multiplexera sterowania 26. Dekodowane bity 14 i 15 słowa sterowania wejścia/wyjścia, w powiązaniu z bitami 9 i 10, powodują wykonanie przez procesor operacji czytania. Podczas wykonywania słowa sterowania wejścia/wyjścia istotny jest stan bitu 8, który obecnie stanowi binarna jedynka wskazująca, że sterowanie przeznaczenia danych wychodzących z pamięci głównej do procesora my być przeniesione do słowa sterowania rozkazu pamięci 24a.

Stan bitu 17 przeznaczenia danych określa przeznaczenie argumentu czytanego z pamięci głównej do procesora. Przykładowo, jeśli bit 17 jest jedynką, argument jest kierowany do rejestru A. Jeśli natomiast bit 17 jest zerem, argument jest przenoszony do rejestru K. Przeznaczenie tych danych jest określone przez specjalny rozkaz wykonywany przez procesor, to znaczy, operacyjny rejestr 24b adresuje miejsce w pamięci 24a zawierające słowo sterowania rozkazu, które określa przeznaczenie argumentu. Bity 14, 15 i 11 z pamięci 22a są znowu dekodowane przez układ logiczny testowania bitów, który wysyła do licznika 22d wyjściowy sygnał liczenia, powodując adresowanie przez ten licznik miejsca 12, jak to pokazano na fig. 7C.

W miejscu 12 zawarte jest słowo sterowania rozgałęzienia bezwarunkowego, które jest kodowane w taki sposób, że adres odgałęźny do pamięci 22a zostaje przeniesiony do bitów 18—23 (fig. 4) słowa sterowania rozkazu pamięci 24a.

Fig. 6 przedstawia kodowanie bitów 8—11 dla rozgałęzienia bezwarunkowego (UB) jako test. 15. W odpowiedzi na to kodowanie, układ logiczny testowania bitów wysyła sygnał wprowadzania równoległego do wejścia licznika 22d, pozwalając na równoległe przeniesienie adresu w multiplexera 22c do tego licznika. Do wejścia multiplexera 22c jest również doprowadzany bit 6 słowa sterowania rozgałęźnego (fig. 3A) w postaci sygnału binarnej jedynki z wyjścia pamięci 22a. Wartość jedynkowa bitu 6 umożliwia przeniesienie adresu rozgałęźnego, tj. bitów 18—23, z pamięci 24a (fig. 4) do multiplexera 22c poprzez łączą 30. Pamięć 22a jest obecnie adresowana w określonym miejscu, zawierającym słowo sterowania w mikroprogramie do rozpoczęcia wykonywania podprogramu mikroprogramu w celu sterowania wykonywaniem rozkazu znajdującego się aktualnie w operacyjnym rejestrze 24b.

Na fig. 7C należy zauważyć, że mikroprogram wychodzi z bloku decyzyjnego adresu odgałęzienia bezwarunkowego w miejscu 12 do bloku miejsca proceduralnego. Miejscem proceduralnym może być dowolne miejsce adresowe w pamięci 22a. Miejsce proceduralne jest bezpośrednio uzależnione od adresu określonego przez bity 18—23 słowa sterowania pamięci 24a. Miejsce to jest tym miejscem w mikroprogramie, w którym zawarte jest słowo sterowania, które dotyczy danego rozkazu wykonywanego przez urządzenie. Przykładowo, jeśli wykonywanym rozkazem jest rozkaz dodawania lub odejmowania, wprowadzonym do licznika 22d z pamięci 22a miejscem adresowym jest miejsce 13, jak to przedstawiono na fig. 8. Fig. 8 przedstawia schemat działań dla wykonywania różnych słów sterowania zawartych w pamięci 22a i pamięci 24a dla wykonania podprogramu mikro-

programu w celu sterowania wykonaniem przez procesor rozkazu dodawania lub odejmowania.

Pierwsze mikroprogramowe słowo sterowania podprogramu, zawarte w miejscu 13, jest słowem sterowania wejścia/wyjścia (fig. 3C). W tym szczególnym etapie mikroprogramu, miejsce określone przez zawartość rejestru IAR jest wczytywane do tego rejestru IAR. Bity 14 i 15 są dekodowane przez multiplekser sterowania jako słowo sterowania wejścia/wyjścia, a bity 9 i 10 określają, że funkcją wejścia/wyjścia ma być czytanie danych z pamięci głównej. Bity 6 i 7 są dekodowane przez multiplekser, który powoduje, że procesor umieszcza dane odczytane z pamięci głównej w rejestrze IAR. Bity 0—5 są również dekodowane przez multiplekser, przy czym bity 3—5 ustalają, że adres pamięci ma pochodzić z zawartości rejestru IAR. Bity 8 i 11 są zerami. Jak opisano poprzednio, bity 14, 15 i 11 z pamięci 22a są ponownie dekodowane przez układ logiczny testowania bitów, który powoduje przejście licznika 22d do adresowego miejsca 14.

Podczas wykonywania rozkazu dodawania lub odejmowania, w procesorze muszą być wykonywane przez arytmometr ALU operacje wewnętrzne, dlatego w miejscu 14 pamięci 22a zawarte jest słowo sterowania proceduralnego (fig. 3B). To słowo sterowania proceduralnego powoduje przeniesienie sterowania arytmometru ALU z mikroprogramu pamięci 22a do słowa sterowania rozkazu pamięci 24a dotyczącego rozkazu wykonywanego przez urządzenie. Poza tym, treść słowa sterowania proceduralnego umożliwia wysyłanie przez multiplekser sygnałów do sterowania poszczególnymi rejestrami w procesorze.

Odnosnie multipleksa 26 sterowania z fig. 5 oraz słowa sterowania proceduralnego z fig. 3B, bity 14 i 15 tego słowa są dostarczane do tego multipleksa wraz z bitami 8, 9 i 10 pola określania funkcji arytmometru ALU. Dekodowanie bitów 8—10 przez multiplekser powoduje, że przenosi on sterowanie arytmometru ALU ze słowa sterowania proceduralnego do bitów 0—5 słowa sterowania rozkazu pamięci 24a (fig. 4).

Treść bitów 0—5 powoduje dostarczenie przez multiplekser właściwych sygnałów sterujących do arytmometru ALU, co umożliwia przeniesienie przez ten arytmometr zawartości rejestru IAR i rejestru A oraz dodanie lub odjęcie tych zawartości zgodnie z funkcją określoną przez bity 0—5.

Ponieważ wyniki dodawania lub odejmowania są umieszczone w rejestrze IAR, bit 7 słowa sterowania proceduralnego jest jedynką, co powoduje wytworzenie przez multiplekser sterującego sygnału IOS, dla równoległego wprowadzania zawartości arytmometru ALU do rejestru IAR. Po zakończeniu tego etapu mikroprogramu, licznik 22d jest zerowany przez układ logiczny testowania bitów, który dekoduje bity 14, 15 i 11 z pamięci 22a. Ponieważ bit 11 tego słowa sterowania proceduralnego jest binarną jedynką, układ logiczny testowania bitów wysyła wyjściowy sygnał zerowania lub oczyszczania do licznika 22d, powodując nastawienie tego licznika na stan zerowy. Mikroprogramowa jednostka sterująca wychodzi obecnie z adresowego miejsca 14 z powrotem do bloku startowego z fig. 7A i proces wykonywania mikroprogramu zostaje powtórzony w opisany sposób.

Fig. 9 przedstawia schemat działań mikroprogramowej jednostki sterującej dla wykonywania rozkazu obiegu przesuwania rejestru A w prawo. Jeśli część tego rozkazu

stanowiąca kod operacyjny znajduje się w rejestrze operacyjnym, zawartość tego rejestru adresuje miejsce w pamięci 24a, dotyczące tego szczególnego rozkazu. W odniesieniu do fig. 7C należy przypomnieć, że podczas wykonywania słowa sterowania rozkazu odgałęzienia warunkowego w miejscu 12 pamięci 22a adres odgałęzienia został przeniesiony do pamięci 24a. Ponieważ obecnie wykonywany jest rozkaz przesuwania rejestru A w prawo, adres ten w bitach 0—5 słowa sterowania rozkazu pamięci 24a adresuje miejsce 15 z fig. 9.

Należy również przypomnieć z omówienia fig. 2, że bity 0—9 podstawowego słowa rozkazu mogą również zawierać liczbę lub kod funkcyjny w postaci zakodowanej binarnie, określający liczbę przesunięć, które mają być, dokonane podczas rozkazu przesuwowego. Poza tym, należy przypomnieć, że pole funkcji lub adresu argumentu rozkazu jest zawsze wprowadzane do rejestru IAR. Podczas wykonywania rozkazu mikroprogramu w adresowym miejscu 15, liczba przesunięć, która ma być zrealizowana, jest przenoszona z rejestru IAR do rejestru K. Przenoszenie to jest sterowane przez słowo sterowania proceduralnego, odczytywane z pamięci 22a.

Bity 14 i 15 kodu operacyjnego (fig. 3B) są dekodowane przez multiplekser w powiązaniu z bitami 8—10 pola wybierania funkcji arytmometru ALU, co powoduje, że multiplekser wytwarza sygnał sterujący dla dokonania bramkowania zawartości rejestru IAR do arytmometru ALU. Bit 5 (KPE) sterowania proceduralnego jest binarną jedynką. Sygnał KPE jest przepuszczany przez multiplekser sterowania 26, umożliwiając równoległe zapelnienie rejestru K z arytmometru ALU, wskutek czego liczba przesunięć zostaje przesunięta lub przeniesiona z rejestru IAR do rejestru K. Układ logiczny testowania bitów ponownie dekoduje bity 14, 15 i 11 słowa sterowania proceduralnego i wysyła sygnał liczenia do licznika 22d, powodując adresowanie przez ten licznik miejsca 16 pamięci 22a.

W etapie 16 mikroprogramu wymagane jest zwiększenie stanu rejestru K o jeden. Jest to realizowane za pomocą innego słowa sterowania, przy czym bity 14 i 15 są ponownie dekodowane przez multiplekser sterowania wraz z bitem 4 (KCE), który jest binarną jedynką. Zezwalający na liczenie sygnał KCE jest przepuszczany przez multiplekser do rejestru K, umożliwiając zwiększenie stanu tego rejestru o jeden. Układ logiczny testowania bitów dostarcza również sygnał liczenia do licznika 22a przesuwając adres pamięci 22a do miejsca 17.

Miejsce 17 zawiera słowo sterowania rozgałęźnego mikroprogramu, które wywołuje sprawdzenie czy zawartość rejestru K jest równa 0 ($K = 0$), to jest, czy została zrealizowana liczba przesunięć rejestru A. Test ten jest wykonywany w układzie logicznym testowania bitów, gdzie bity 8—11 pola testowania bitów (fig. 6) są nastawione na przeprowadzenie testu 13 (SRC, czy przesuwanie w prawo zostało zakończone?). Stan rejestru K jest dostarczany do układu logicznego testowania bitów poprzez łączą 40 z procesora. Jeśli stan ten przy porównaniu z bitami 8—10 nie wskazuje na to, że zawartość rejestru K jest równa 0, układ logiczny testowania bitów wytwarza następny sygnał liczenia. Sygnał ten powoduje adresowanie przez licznik 22d miejsca 18 pamięci 22a. Słowo sterowania proceduralnego również jest zawarte w miejscu 18.

W słowie sterowania proceduralnego w miejscu 18 ważny jest stan bitu 3. Bit 3 jest jedynką i przechodzi przez

multiplekser jako sygnał AS1 do wejścia odpowiedniego układu bramkowania logicznego rejestru A, umożliwiając przesunięcie tego rejestru w prawo o jedną pozycję. Przez obserwowanie bitów 14, 15 i 11 układ logiczny testowania bitów ponownie wytwarza sygnał liczenia, powodując przejście licznika 22d do adresowego miejsca 19, jak to pokazano na fig. 9.

Miejsce 19 zawiera słowo sterowania rozgałęźnego, posiadające adres rozgałęźny do miejsca 16 w bitach 0—5, a bity 8—11 są zakodowane na przeprowadzenie testu 15 z fig. 6, jak to już wyjaśniono. Bit 6 słowa sterowania rozgałęźnego (fig. 3A) jest zerem, multiplekser 22c przepuszcza więc adres rozgałęźny z pamięci 22a do licznika 22d. Wskutek dekodowania bitów 14, 15 i 8—11, układ logiczny testowania bitów wytwarza sygnał wprowadzania równoległego, pozwalający na wprowadzenie adresu rozgałęźnego do licznika 22d. W wyniku tego, mikroprogram skacze z powrotem do adresowego miejsca 16, wychodząc ponownie do bloku „K-1”.

Mikroprogramowa jednostka sterująca kontynuuje obieg w pętli poprzez etapy 16—19 aż do uzyskania przez rejestr K stanu równego 0. Wtedy to rejestr A zostaje przesunięty w prawo określoną ilość razy i wykonywane jest słowo sterowania rozgałęźnego w miejscu 17, powodując wyjście mikroprogramu przez odgałęzienie „Tak” i powrót do bloku startowego, jak to przedstawiono na fig. 7A. To odgałęzienie do początku mikroprogramu jest realizowane przez nadanie adresu o wartości binarnego zera w 0—5 słowa sterowania rozgałęźnego miejsca 17. Przy zerowym stanie rejestru K i bitach 8—11 zakodowanych na realizowanie odgałęzienia bezwarunkowego (UB), układ logiczny testowania bitów doprowadza do licznika 22d sygnał wprowadzania równoległego. Powoduje to równoległe przeniesienie bitów 0—5 z pamięci 22a do licznika 22d poprzez multiplekser 22c. Bit 6 słowa sterowania rozgałęźnego stanowi zero binarne, co powoduje skierowanie adresu odgałęźnego z pamięci 22a do multipleksa 22c.

Fig. 11 przedstawia schemat działań rozkazu wpisaną zawartości rejestru A (STA), gdzie z licznika 22d jest adresowane miejsce 20 pamięci 22a, gdy mikroprogram opuszcza miejsce 12, jak to opisano w odniesieniu do fig. 7C. Do sterowania wykonaniem rozkazu wpisaną zawartości rejestru A, w miejscu 20 pamięci 22a jest umieszczona słowo sterowania wejścia/wyjścia. Rozkaz ten powoduje magazynowanie zawartości rejestru A procesora w miejscu pamięci głównej określonym przez zawartość rejestru IAR. Bity 14 i 15 kodu operacyjnego wejścia/wyjścia (fig. 3C) są ponownie dekodowane przez multiplekser w połączeniu z bitami 9 i 10 pola określania funkcji wejścia/wyjścia, w celu wysłania do procesora sygnału sterującego wpisywania.

Ponieważ wymagane jest magazynowanie zawartości rejestru A w miejscu pamięci określonym przez rejestr IAR, bity 6 i 7 są odpowiednio kodowane i wykorzystywane przez multiplekser do umożliwiania przeniesienia zawartości rejestru A do pamięci głównej. Ponieważ źródłem adresu pamięci jest rejestr IAR, bity 0—5 są dokodowane przez multiplekser sterowania 26, umożliwiając adresowanie pamięci głównej przez rejestr IAR. Podczas wykonywania tego słowa sterowania mikroprogramu również oczyszczany jest licznik MPCNT przez wysłanie do niego sygnału oczyszczania przez układ logiczny testowania bitów, co powoduje powrót mikroprogramu do bloku startowego z fig. 7A.

Na fig. 20 przedstawiony jest inny typ rozkazu rozgałęźnego, który może być wykonywany przez mikroprogramową jednostkę sterującą, a mianowicie odgałęzienie warunkowe stanu. Jeśli w rejestrze operacyjnym znajduje się rozkaz takiego odgałęzienia warunkowego, w miejscu 21 znajduje się słowo sterowania odgałęźnego, wykorzystywane do testowania pewnego określonego warunku, dostarczanego do układu logicznego testowania bitów z procesora przez łącza 40. Testowanie takie jest przedstawione na fig. 6, gdzie test 11 (BST) przedstawia kodowanie bitów 8—11 pola testowania bitów.

Na fig. 10 stawiane przez słowo sterowania odgałęźnego pytania jest reprezentowane przez blok decyzyjny „BST — 1?”. Jeśli stawiany warunek nie jest spełniony, mikroprogram wychodzi przez odgałęzienie „Nie” i wraca do bloku startowego z fig. 7A. Jest to realizowane przez zera binarne w bitach 0—5 oraz takie zero w bicie 6. Jak to wyjaśniono poprzednio, bit 6 kieruje adres pamięci 22a na łącza 44 poprzez multiplekser 22c, a układ logiczny testowania bitów wysyła sygnał wprowadzania równoległego do licznika 22d w odpowiedzi na bity 14, 15 i 8—11.

W miejscu 21, jeśli stawiany warunek jest spełniony, mikroprogram wychodzi poprzez odgałęzienie „Tak” i wtedy układ logiczny testowania bitów wysyła sygnał liczenia, powodujący przejście licznika 22d do stanu 22. Miejsce 22 pamięci 22a zawiera słowo sterowania wejścia/wyjścia, które powoduje wprowadzenie zawartości rejestru IAR do rejestru P w pamięci głównej, do miejsca określonego przez bity 0—5. Poprzez multiplekser sterowania 26, również bity 9 i 10 pola określania funkcji wejścia/wyjścia sterując procesorem 12 na realizowanie operacji wpisywania do pamięci głównej. Poza tym, przez multiplekser sterowania 26 dekodowane są również bity 6 i 7 w celu określenia do procesora źródła danych wprowadzanych do pamięci głównej, które stanowi rejestr IAR. W tym szczególnym słowie sterowania wejścia/wyjścia bit 11 zerowania licznika 22d jest binarną jedynką. Układ logiczny testowania bitów wysyła więc do licznika 22d sygnał zerowania, zerujący licznik i powodujący powrót jednostki sterującej mikroprogramu do bloku startowego z fig. 7A.

Na fig. 6 należy zauważyć, że pewna ilość testów jest przedstawiona jako testy nie wykorzystywane. Testy te mogą być wykorzystywane przez układ logiczny testowania bitów do wykonywania operacji rozgałęźnych mikroprogramu w odpowiedzi na różne warunki dotyczące stanów, dostarczane przez procesor.

Chociaż wynalazek został wyjaśniony w odniesieniu do przykładowych funkcji spełnianych przez mikroprogramową jednostkę sterującą uniwersalnego urządzenia do przetwarzania danych, mogą być dokonywane różne modyfikacje struktur i zawartości słów sterowania w celu otrzymania jednostki sterującej do sterowania różnych typów urządzeń do przetwarzania danych, cyfrowych jednostek sterujących lub podobnie skonstruowanych urządzeń zewnętrznych.

Koordinowanie operacji pomiędzy procesorem a mikroprogramową jednostką sterującą może być synchroniczna lub asynchroniczna. Wiadomo, że operacje te są zwykłymi funkcjami sterowania czasowego, które mogą być realizowane za pomocą znanych sposobów i dlatego sterowanie czasowe nie zostało wyekspozowane w opisie przykładu zastosowania.

1. Mikroprogramowa jednostka sterująca, zawierająca procesor, połączony z pamięcią, przeznaczoną do zapamiętywania rozkazów, które mają być wykonywane przez ten procesor, które to rozkazy zawierają przynajmniej część kodowo-operacyjną, identyfikującą, rozkazy, mikroprogramowy blok sterujący, połączony z procesorem, przeznaczony do sterowania wykonywaniem rozkazów przez ten procesor, który to mikroprogramowy blok sterujący zawiera pierwszą pamięć, przeznaczoną do zapamiętywania mikrorozkazów, i drugą pamięć, przeznaczoną do zapamiętywania słów sterujących, z których każde jest przyporządkowane jednemu z rozkazów, które mają być wykonywane przez procesor, przy czym słowa sterujące zawierają informację adresową i informację sterującą, wykorzystywaną do sterowania procesorem, przy czym druga pamięć jest połączona z procesorem i adresowana z niego w odpowiedzi na kodową informację sterującą celem zapewnienia możliwości poszukiwania słowa sterującego z drugiej pamięci, zespół sterujący, przeznaczony do selektywnego doprowadzania sygnałów adresowych do pierwszej pamięci celem wyszukania w niej mikrorozkazów, **znamienny tym**, że zespół sterujący (22), przeznaczony do selektywnego doprowadzania sygnałów adresowych do pierwszej pamięci (22a) celem wyszukania w niej mikrorozkazów, które to mikrorozkazy są mikrorozkazami pierwszego i drugiego rodzaju, przy czym mikrorozkazy pierwszego rodzaju zawierają dane sterujące wykorzystywane do sterowania sekwencją mikrorozkazów i informację adresową dla mikrorozkazów, a mikrorozkazy drugiego rodzaju zawierają dane sterujące wykorzystywane do sterowania sekwencją mikrorozkazów i informację sterującą dla procesora (12), zawiera układ testujący (22b) i układ (22c, 22d) przesyłania informacji adresowej, przy czym wejście sterujące układu sterującego (22b) jest połączone łączem (40) doprowadzającym informację operacyjno-kodową z jednym z wyjść procesora (12), pierwsze i drugie wejścia informacyjne układu testującego (22b) są połączone z pierwszym i drugim wyjściami informacyjnymi drugiej pamięci (24) łączami informacyjnymi (50, 56) odpowiednio, trzecie wejście informacyjne układu testującego (22b) jest połączone z wyjściem sterującym pierwszej pamięci (22a) łączem (54), którym są doprowadzane dane sterujące zawarte w uprzednio odszukanych mikrorozkazach pierwszego i drugiego rodzaju celem wytworzenia adresowych sygnałów sterujących, które są przeznaczone do wykorzystywania do zapewnienia kolejnego dostępu do pierwszej pamięci (22a), przy czym łączem informacyjnym (50) do układu testującego (22b) są doprowadzane sygnały adresowe i operacyjnokodowe z pierwszego wyjścia drugiej pamięci (24), a łączem (56) doprowadzane są sygnały, odwzorowujące słowa sterujące dla mikrorozkazów, z drugiego wyjścia drugiej pamięci (24), wejście sterujące układu (22c, 22d) przesyłania adresów jest połączone z wyjściem sterującym pierwszej pamięci (22a) łączem (44) doprowadzającym do układu (22c, 22d) przesyłania adresów sygnały sterujące, pierwsze wejście informacyjne tego układu (22c, 22d) przesyłania adresów jest połączone z drugim wyjściem drugiej pamięci (24) łączem (30), doprowadzającym informację adresową, zawartą w słowach sterujących uprzednio odszukanych w drugiej pamięci (24), a łączem (44) doprowadzana jest informacja

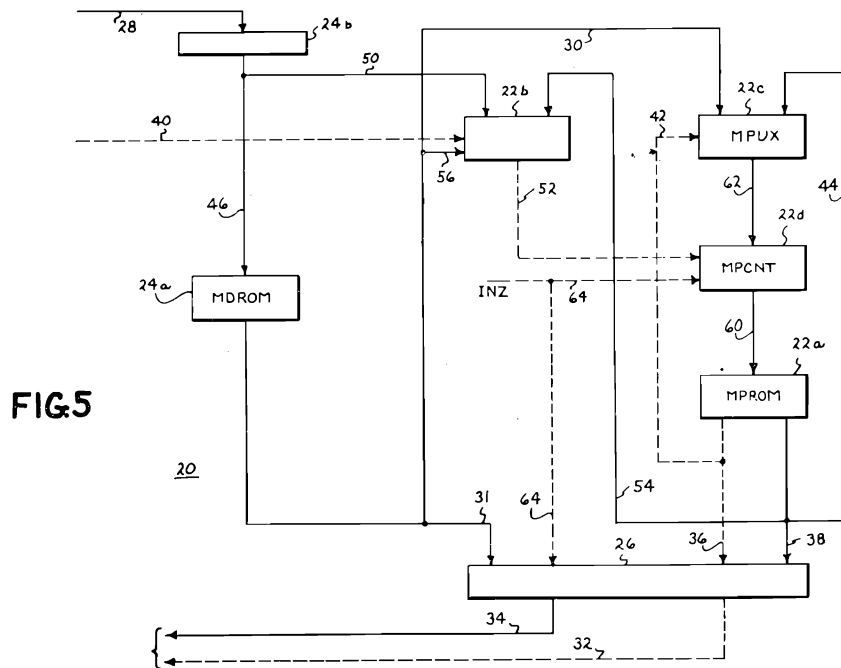
adresowa i dane sterujące zawarte w mikrorozkazach jednego rodzaju z wymienionych mikrorozkazów pierwszego i drugiego rodzaju uprzednio odszukanych w pierwszej pamięci (22a), a wyjście układu (22c, 22d) przesyłania adresów jest połączone z wejściem pierwszej pamięci (22a) przy tym układ przesyłania adresów (22c, 22d) w pierwszej kolejności reagują na adresowe sygnały sterujące i na dane sterujące zawarte w uprzednio odszukanych mikrorozkazach pierwszego rodzaju celem wyselekcjonowania i przesyłania informacji adresowej, zawartej w uprzednio odszukanym mikrorozkazie pierwszego rodzaju i uprzednio odszukanym słowie sterującym do pamięci jako sygnały adresujące, a w drugiej kolejności — do przesyłania adresów jako sygnałów adresujących do pierwszej pamięci (22a) w odpowiedzi na dane sterujące, doprowadzone do układu testującego (22b), zawarte w uprzednio odszukanym mikrorozkazie drugiego rodzaju, oraz układ (26) multipleksa sterującego połączony z pierwszą (22a) i drugą (24) pamięciami, przeznaczony do selektywnego doprowadzania sygnałów sterujących, przeznaczonych do sterowania procesorem zgodnie z informacją sterującą procesorem, zawartą w uprzednio odszukanym słowie sterującym i w informacji sterującej procesorem oraz w danych sterujących, zawartych w uprzednio odszukanym mikrorozkazie drugiego rodzaju.

2. Jednostka sterująca według zastrz. 1, **znamienna tym**, że układ (22c, 22d) przesyłania adresów zawiera załączony na wejściu mikroprogramowy multiplekser (22c), którego pierwsze wejście informacyjne stanowi pierwsze wejście informacyjne układu (22c, 22d) przesyłania adresów, drugie wejście informacyjne stanowi drugie wejście informacyjne układu (22c, 22d) przesyłania adresów, a wejście sterujące stanowi wejście sterujące układu (22c, 22d) przesyłania adresów, oraz mikroprogramowy licznik szeregoworównoległy (22d), którego wyjście jest połączone z wejściem pierwszej pamięci (22a), pierwsze wejście sterujące — z wyjściem układu testującego (22b), a drugie wejście sterujące — z łączem (64) doprowadzającym sygnał załączający.

3. Jednostka sterująca według zastrz. 1, albo 2, **znamienna tym**, że pierwsza (22a) pamięć i druga (24) pamięć są pamięciami odczytowymi (ROM).

4. Jednostka sterująca według zastrz. 3, **znamienna tym**, że druga pamięć (24) zawiera rejestr (24b) przeznaczony do odbierania sygnałów adresowych z procesora (12), przeznaczone do adresowania komórek pamięci w drugiej pamięci (24a), przy czym wyjście rejestru (24b) stanowi pierwsze wyjście drugiej pamięci (24) połączone z pierwszym wejściem informacyjnym układu testującego (22b) zespołu sterującego (22).

5. Jednostka sterująca według zastrz. 1, **znamienna tym**, że pierwsze wejście informacyjne układu (26) multipleksa jest połączone z drugim wyjściem drugiej pamięci (24) łączem (31) doprowadzającym informację identyfikacyjną, drugie wejście informacyjne układu (26) jest połączone z wyjściem informacyjnym pierwszej pamięci (22a) łączem (38), pierwsze wejście sterujące jest połączone z łączem (64), doprowadzającym sygnał załączający, drugie wejście sterujące jest połączone z wyjściem sterującym pierwszej pamięci (22a) łączem (36), doprowadzającym sygnały sterujące, a wyjście informacyjne i wyjście sterujące są połączone łączami (32, 34) z procesorem (12).



#	8	9	10	11	
0	0	0	0	0	
1	0	0	0	1	
2	0	0	1	0	
3	0	0	1	1	
4	0	1	0	0	X B
5	0	1	0	1	
6	0	1	1	0	X A
7	0	1	1	1	
8	1	0	0	0	FTCH
9	1	0	0	1	
10	1	0	1	0	
11	1	0	1	1	BST
12	1	1	0	0	
13	1	1	0	1	SRC
14	1	1	1	0	
15	1	1	1	1	UB

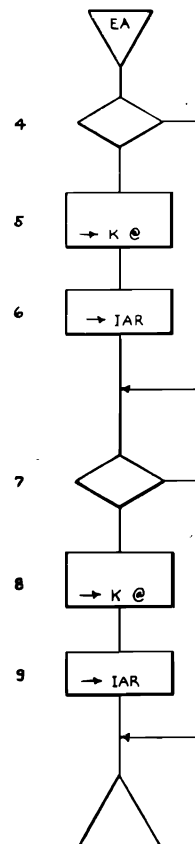
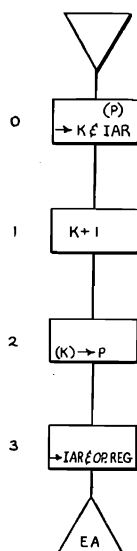


FIG. 6

FIG. 7A

FIG. 7B

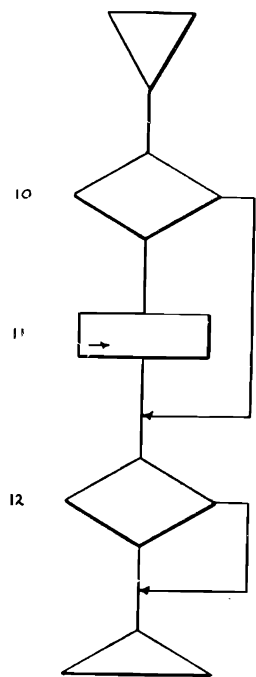


FIG. 7c

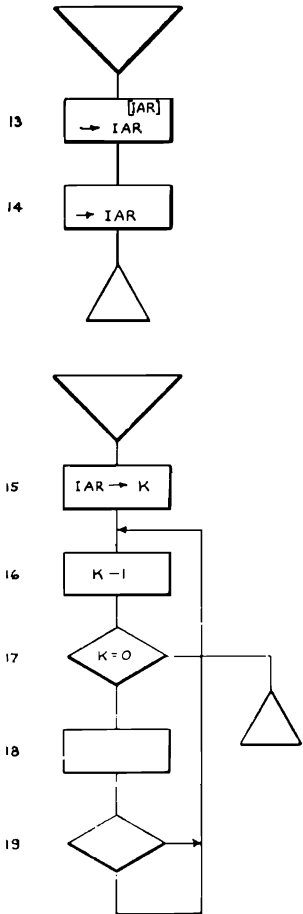


FIG. 8

FIG. 9

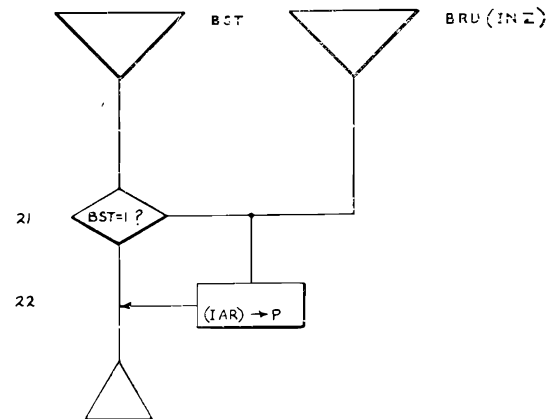


FIG. 10

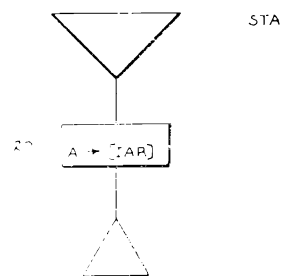


FIG. 11