

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4628531号
(P4628531)

(45) 発行日 平成23年2月9日(2011.2.9)

(24) 登録日 平成22年11月19日(2010.11.19)

(51) Int.Cl.

F 1

G03F	7/20	(2006.01)	G03F	7/20	501
G02F	1/136	(2006.01)	G02F	1/136	
G09F	9/00	(2006.01)	G09F	9/00	342Z
H01L	21/027	(2006.01)	H01L	21/30	514A
H01L	21/8238	(2006.01)	H01L	27/08	321F

請求項の数 7 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2000-258450 (P2000-258450)
 (22) 出願日 平成12年8月29日 (2000.8.29)
 (65) 公開番号 特開2001-142224 (P2001-142224A)
 (43) 公開日 平成13年5月25日 (2001.5.25)
 審査請求日 平成19年8月27日 (2007.8.27)
 (31) 優先権主張番号 特願平11-246572
 (32) 優先日 平成11年8月31日 (1999.8.31)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 勝村 学
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 磯田 志郎
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 佐野 浩樹

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

円形の基板上に、表示装置及び論理回路を有する半導体装置の作製方法であって、
 被加工物を前記円形の基板上に形成し、
 前記被加工物上にレジストを塗布し、
 前記円形の基板を第1の露光手段によって露光して、前記レジストの非露光領域から第1のパターンを形成し、

前記第1のパターンを、前記第1の露光手段と異なる第2の露光手段によって露光して、前記第1のパターンの非露光領域から第2のパターンを形成し、

前記レジストの、前記第1の露光手段によって露光された全ての領域及び前記第2の露光手段によって露光された全ての領域を、現像工程によって除去し、

前記被加工物のうち、前記第1の露光手段によって露光された領域と重なる部分から、前記表示装置を形成し、

前記被加工物のうち、前第2のパターンと重なる部分から、前記論理回路を形成し、

前記第1の露光手段の光源と前記第2の露光手段の光源は同じであり、

前記表示装置のデバイス面積は前記論理回路のデバイス面積よりも大きく、

前記表示装置は、前記円形の基板上の中央付近に配置され、

前記論理回路は、前記円形の基板上の前記表示装置の周辺に配置されることを特徴とする半導体装置の作製方法。

【請求項 2】

10

20

円形の基板上に、表示装置及び論理回路を有する半導体装置の作製方法であって、
被加工物を前記円形の基板上に形成し、
前記被加工物上にレジストを塗布し、
前記円形の基板を第1の露光手段によって露光して、前記レジストの非露光領域から第1のパターンを形成し、
前記第1のパターンを、前記第1の露光手段と異なる第2の露光手段によって露光して、前記第1のパターンの非露光領域から第2のパターンを形成し、
前記レジストの、前記第1の露光手段によって露光された全ての領域及び前記第2の露光手段によって露光された全ての領域を、現像工程によって除去し、
前記被加工物のうち、前記第1の露光手段によって露光された領域と重なる部分から、前記表示装置を形成し、
前記被加工物のうち、前記第2のパターンと重なる部分から、前記論理回路を形成し、
前記第1の露光手段における解像度よりも前記第2の露光手段における解像度の方が高
く、
前記第1の露光手段の光源と前記第2の露光手段の光源は同じであり、
前記表示装置のデバイス面積は前記論理回路のデバイス面積よりも大きく、
前記表示装置は、前記円形の基板上の中央付近に配置され、
前記論理回路は、前記円形の基板上の前記表示装置の周辺に配置されることを特徴とする半導体装置の作製方法。

【請求項3】 20

請求項1又は請求項2において、
前記第1の露光手段における露光装置と前記第2の露光手段における露光装置が異なることを特徴とする半導体装置の作製方法。

【請求項4】

請求項1乃至請求項3のいずれか一において、
前記第1の露光手段においてミラープロジェクションを用い、
前記第2の露光手段においてステッパーを用いることを特徴とする半導体装置の作製方法。
。

【請求項5】 30

請求項1乃至請求項4のいずれか一において、
前記第1のパターンの最小線幅と前記第2のパターンの最小線幅が異なることを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一において、
前記被加工物に、半導体膜、導電膜又は絶縁膜を用いることを特徴とする半導体装置の作製方法。

【請求項7】

請求項1乃至請求項6のいずれか一において、
前記円形の基板に、石英基板、ガラス基板、プラスチック基板、半導体基板又はS O I 基板を用いることを特徴とする半導体装置の作製方法。 40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】
本発明は、半導体装置を基板上に作製するに際し、同一基板上に複数種類の半導体装置を作製する方法に関する。特に、半導体装置の回路のパターンを形成するリソグラフィ技術に関する。

【0002】

本明細書中で、半導体装置とは、半導体素子（薄膜トランジスタ（以下T F Tという）、薄膜ダイオード、半導体を用いた容量など）を組み合わせたものをいい、具体的には半導体素子を用いた表示装置（液晶表示装置（以下L C Dという）、E Lディスプレイなど） 50

、C M O SやC C Dなどを用いたイメージセンサー、I C、L S Iなどが挙げられる。

【0003】

【従来の技術】

近年低温ポリシリコン技術の発展により、ガラス基板にL C Dの画素部に併せて画素を駆動する駆動回路（シフトレジスタ回路、バッファ回路、サンプリング回路）を同時に形成することが成されているが、ガラス基板上に表示装置に併せて、イメージセンサー、C P U、メモリーなどの種々の半導体装置を集積した構造を得るのはまだ夢物語である。本明細書中で、ガラス基板上に画素部に併せて形成された該駆動回路は、単独の半導体装置ではなく、表示装置の一部と認識する。

【0004】

10

本明細書において、半導体素子または回路のパターンの最小線幅を線幅ルールと称する。電界効果トランジスタを用いた回路ではゲート長を最も細くするため、通常ゲート長が線幅ルールとなるが、回路中にゲート長よりも細い線幅のパターンがあればその線幅の長さが線幅ルールとなる。例えば、ゲート長が $1.5 \mu m$ のTFTと $1.3 \mu m$ のソース配線とを有する回路は、線幅ルールが $1.3 \mu m$ である。

【0005】

C P UやメモリーなどのL S Iには、線幅ルールが $3 \mu m$ 以下の半導体素子、好ましくは $1 \mu m$ 以下というサブミクロンの半導体素子（以下これらを併せて微細素子という）を組み合わせることが望まれている。

【0006】

20

現在、TFTを用いたL C Dの作製に使用されているライン（以下L C Dラインという）では、大面積のガラス基板（ラインに投入される基板を指して以下マザーガラスという）を用いて複数の液晶表示パネルを多面取りしている。ここで、ラインとは、ある目的物を作製するときに用いられる製造装置全般または製造装置の配置を指す。マザーガラスの寸法は、第2世代のラインで $360 \times 465 mm$ 程度、第3世代のラインで $550 \times 650 mm$ 程度、第4世代のラインで $800 \times 950 mm$ 程度と、生産性の向上のために増大の一途をたどっている。

【0007】

30

しかしながら、大面積のマザーガラスは、ガラスの撓みや収縮により、パターンを形成する工程（以下パターニング工程という）における重ね合わせ精度が難しく、線幅ルールの制限の一つとなっている。また、L C Dラインでは、微細素子を作製するためのリソグラフィ技術が確立していない。そのため、既存のL C Dラインでは微細素子の形成は困難であった。

【0008】

一方、I C作製に使用されているライン（以下I Cラインという）では、半導体基板に線幅ルールが $1 \mu m$ 以下の回路を作製することが可能であり、微細素子を作製するためのリソグラフィ技術が確立している。しかし、I Cラインは、直径が8インチ若しくは最近では12インチの円形の基板を最大寸法として装置が設計されている。前述のとおり、L C Dラインは、生産性を上げるために、矩形で大面積のマザーガラスを用いて対角十数インチのL C Dパネル（以下表示装置のサイズは特に断りのない場合は、対角線の長さで表す）を多面取りをしているのである。そのため、十数インチのL C Dパネルの生産を、最大12インチの基板しか使用できないI Cラインに適用することは問題外であった。

40

【0009】

ところで、L C DラインおよびI Cラインにおけるリソグラフィ技術で使用されている露光装置には、一括露光方式と逐次露光方式とがあり、一括露光方式として密着露光、プロキシミティ露光およびミラープロジェクション（以下M P Aという）があり、逐次露光方式としてステップがある。密着露光、プロキシミティ露光は、解像性およびパターン欠陥の点で劣るため、微細加工が必要なプロセスでは用いられていない。

【0010】

M P Aは、露光範囲が最大で $400 mm$ 角と広く処理能力が高いため、生産性の点で非常

50

に有利である。M P Aは、I Cラインではイオン注入工程など重ね合せ余裕が十分取れる工程の処理に用いられており、L C Dラインにおいても十数インチものパネルを一括露光することが可能であり用いられている。しかし、M P Aのライン・アンド・スペース(L & S)の解像度(以下解像度はL & Sの解像度をいう)はせいぜい3 μmであり、重ね合せ精度などの余裕(マージン)を考えると線幅ルールとしては3 μm以上となる。そのため、M P Aで微細素子を作製することは困難であり、サブミクロンの半導体素子を作製することはできない。

【0011】

ステッパは、パターニング工程で使用される代表的な露光手段である。ステッパは、レチクル上のパターンを光学系で投影し、基板側ステージを動作および停止(ステップ・アンド・リピート)することによりレジストにパターンを露光する。I Cラインで使用されるステッパは、レチクルパターンを光学系で1/5或いは1/4に縮小して露光する方式であり、サブミクロンの半導体素子のパターニングが可能であるが、露光範囲は最大で25 mm角程度である。

【0012】

L C Dラインで使用されるステッパは、レチクルパターンを光学系で1/2に縮小、等倍あるいは1.25倍に拡大して露光する方式が採用されており、I Cラインで使用されているステッパに比べ露光範囲が130mm角と大面積化している。しかしながら、解像度は3 μmであり、微細素子のパターンを形成することはできない。

【0013】

ステッパでは、光源として水銀ランプのg線(波長436nm)、h線(波長405nm)若しくはi線(波長365nm)またはK r F(波長248nm)若しくはA r F(波長193nm)のエキシマレーザーが使用される。

【0014】

【発明が解決しようとする課題】

本発明は、ガラス基板上に表示装置に併せて、イメージセンサー、C P U、メモリーなどの種々の半導体装置を集積した構造を得ることを大きな課題とする。換言すれば、本発明は、基板上に複数種類の半導体装置、特に微細素子を有する半導体装置をその一つとして集積することである。1インチよりも大きい表示装置は、微細素子が使用されないと後述の露光範囲の問題から1インチ程度の小さいパネルしか作製することができないため、微細素子を使用せずに作製する。最終的に半導体装置は、基板上に形成された半導体回路を切り出し、配線を接続する等の過程を経て製品の状態となるが、本明細書中では基板上に形成された半導体回路の状態でも半導体装置と称する。また、最終的に表示装置は、基板上に形成されたアクティブマトリクスピネルを切り出し、様々な工程を行い完成するのである(L C Dでは対向電極を有するパネルが張り合わされた構成となる。これについては後に詳述する)が、本明細書では便宜上、アクティブマトリクスピネルの状態であっても表示装置と称する。

【0015】

表示装置と、微細素子を有する半導体装置とが混載した基板を以下混載基板と称する。表示装置と微細素子を用いた半導体装置とは、一つのパネルとして集積していてもよい(つまり、表示装置と半導体装置とは電気的に接続していてもよい)し、夫々独立していてもよい。

【0016】

現在のL C Dラインは、微細素子を作製するためのリソグラフィ技術が確立していない。また、L C Dラインは、大面積のL C Dパネルについては作製する技術が確立されているが、大面積のマザーガラスの採用しているため、露光範囲の狭い露光手段により微細素子を作製することは困難である。さらに、リソグラフィ技術を確立し、微細素子を作製するためにマザーガラスの寸法を適当なサイズにしても、ラインの変更、新設に伴う投資は莫大なものとなる。

【0017】

10

20

30

40

50

そこで、本発明者は、線幅ルールが $1 \mu m$ 以下の素子を作製するリソグラフィ技術が IC ラインにおいて確立されているため、微細素子を作製する際に既存の IC ラインの一部を適用することを検討した。

【 0 0 1 8 】

現状 IC ラインで使用している製造装置を用いて、高温ポリシリコン LCD が製造されているが、高温ポリシリコン LCD においても同一基板上にせいぜい駆動回路を形成するのみであり、同一基板上に複数種類の半導体装置を形成したものではない。

【 0 0 1 9 】

混載基板を IC ラインの一部を適用して作製しようとすると様々な問題が生じる。その要因の一つは、混載基板では IC や LSI に比べて基板の専有面積が大きい表示装置、例えば 10 4 インチの表示装置も同一基板上に作製するためである。

【 0 0 2 0 】

第一の問題は、IC ラインと同様、混載ラインでも円形の基板（現状最大で 12 インチの円形基板）を用いると、基板に対する専有面積の大きい半導体装置を作製する際に、多面取りしても基板に無駄な領域が多く形成され生産性が低下するということである。例えば 12 インチの基板に対し、4 インチの表示装置を作製すると、4 枚取りしかできず基板の利用面積は 50 % 程度となる。

【 0 0 2 1 】

第一の問題に対して、本発明者は、基板の不要な部分にデバイス面積（IC、LSI などの回路ではチップ面積を、表示装置の場合はパネル面積を指す）の小さい半導体装置を作製することにより対処した。その結果、基板の不要な部分を有効に利用することができる。

【 0 0 2 2 】

第二の問題は、混載基板のパターニング工程における露光手段として、IC ラインと同様のステッパを使用すると、露光範囲が最大で 25 mm 角程度であるため、25 mm 角以下の半導体装置、例えば LSI（通常 1 ~ 20 mm 角程度）に対しては 1 ショットで露光することができるが、25 mm 角以上の面積の半導体装置、例えば 1 インチ以上の表示装置については 1 ショットで露光することができないことである。

【 0 0 2 3 】

ステッパによる分割露光は、LCD ラインのステッパでアモルファスシリコン TFT を用いた LCD 作製に使用されている。この LCD ラインで使用しているステッパは、露光範囲を広いできるが解像度が低く微細素子をパターニングすることはできない。また、分割露光は、繋ぎ合わせ精度が低く、微細素子を有する半導体装置に使用すると配線の断線や短絡などのパターニング不良となってしまう。

【 0 0 2 4 】

このように、露光手段の露光範囲と線幅ルールはトレードオフの関係にある。露光範囲を優先すると線幅ルールは $3 \mu m$ 以上となり、線幅ルールを優先すると、例えば微細素子、特にサブミクロンの素子を形成しようとすると、デバイス面積は 25 mm 角以下と制限される。

【 0 0 2 5 】

従来リソグラフィ工程において、レジストに対し使用する露光手段は一種類であることが当然であった。そのため、当該露光手段の性能にしたがって、半導体装置のデバイス面積や最小線幅が決定されていた。

【 0 0 2 6 】

【課題を解決するための手段】

本発明の基本的な概念は、ある被加工物にパターンを形成するレジストに対して複数の露光手段を用いて露光することにより、半導体装置のデバイス面積や線幅ルールの制限を克服することである。

【 0 0 2 7 】

レジストのエッジリスの方法に、周辺露光があるが、本発明とは全く概念を異にするこ

10

20

30

40

50

とは明らかである。また、従来複数の露光工程に対し、工程に応じて異なる露光装置を適宜選択して用いるミックス・アンド・マッチは行われていたが、本発明の概念を導くものではない。本発明の概念は広く、無限の可能性を秘めているが、現状考えられる具体例として、以下にその構成を示す。

【0028】

つまり本発明は、半導体装置の作製方法において、被加工物を基板上に形成する工程と、前記被加工物上にレジストを塗布する工程と、前記レジストに第1のパターンを露光する工程と、前記レジストに第2のパターンを露光する工程とを有し、前記第1のパターンを露光する工程における露光手段と、第2のパターンを露光する工程における露光手段が異なることを特徴とする。

10

【0029】

また、他の発明は、被加工物を基板上に形成する工程と、前記被加工物上にレジストを塗布する工程と、前記レジストの一部に第1のパターンを露光する工程と、前記レジストの他の一部に第2のパターンを露光する工程とを有し、前記第1のパターンを露光する工程における露光手段と、第2のパターンを露光する工程における露光手段が異なることを特徴とする。

【0030】

また、他の発明は、同一基板上に表示装置と、微細素子を有する半導体装置とを作製する方法であって、前記表示装置および前記微細素子を有する半導体装置に共通して使用される被膜を形成する工程と、前記被膜にパターンを形成する工程とを有し、前記被膜に表示装置のパターンを形成するリソグラフィ工程における露光手段と、前記被膜に微細素子を有する半導体装置のパターンを形成するリソグラフィ工程における露光手段とが異なることを特徴とする。

20

【0031】

本明細書中の異なる露光手段とは、露光装置が異なること、露光範囲が異なることまたは解像度が異なることをいう。例えば、ステッパとMPAを用いる場合、露光範囲が25mm角のステッパと露光範囲が100mm角のステッパを用いた場合、解像度が0.35μmのステッパと解像度が3μmのステッパを用いた場合などは異なる露光手段を用いている。勿論、同じ露光装置を用いても、光源を変えれば異なる露光手段となる。

【0032】

30

また、露光装置とは、レジストを露光する放射エネルギー源（光源源、電子線源またはX線源）を有し、放射エネルギー源を用いて原画（レチクルまたはマスク）上のパターンをレジストに露光させる装置である。使用可能な露光装置としては、現状ステッパやMPAなどが主であるが、電子線による露光とX線による露光もレジストを共通に用いることができ、本発明の適用が可能である。

【0033】

【発明の実施の形態】

本発明の実施の形態を以下に説明する。図7は、基板701の上に形成された被加工物702のパターニング工程の断面工程図である。

【0034】

40

図7(A)は被加工物702を有する基板701を示している。基板701は、半導体装置を作製できる基板であれば特に制限はない。例えば、石英基板、ガラス基板、プラスチック基板、半導体基板などが使用できる。また、被加工物702は、半導体装置を構成する被膜の一つで、特に微細加工の必要な被膜、例えば半導体膜、導電膜、絶縁膜である。被加工物の加工は、レジストパターンをマスクとした被加工物のエッティング、レジストパターンをマスクとした被加工物への不純物のドーピングなどがある。

【0035】

半導体装置の作製工程において微細加工が必要な工程は、特に活性層を形成する際のエッティング、ゲート電極となる導電膜のエッティング、LDD領域を形成するためのドーピング、コンタクトホールを開口するための層間絶縁膜のエッティング、ソース配線となる導電膜

50

のエッチングなどがある。

【0036】

まず、被加工物上にレジスト703を塗布する(図7(B))。塗布法は特に限定ではなく、スピニコータやロールコータを用いればよい。レジストは、ポジ型、ネガ型の何れも使用可能であり、露光手段の光源に応じて選択できる。但し、本発明は2種類の露光手段の光源が同じ場合は何の問題もないが、光源が異なる場合は、両方の光源に対して十分に感光する材料を使用する必要がある。

【0037】

また、化学増幅系レジストは、露光から露光後ペーク(PEB)までに時間がかかると、大気中の塩基や水分および基板からの塩基や水分と反応して、得られるレジストパターンにT-トップやパターン下部の裾引き、或いはパターン上部の丸まりやパターン下部の食い込みなどの問題が発生する。そのため、2種類の露光手段のうち、線幅ルールの厳しいパターンの露光工程を後にする。つまり、線幅ルールが3μmの表示装置と、1μmの半導体装置を同時に作製するときは、表示装置のパターンを先に露光し、その後にLSIのパターンを露光する。また、第1の露光手段から第2の露光手段までをクラスタ化(途中で大気開放をしない構成)し、大気中の水分や塩基をフィルタにより除去することも有効である。

【0038】

次に、レジストにプリベークを行い、レジスト中の残留溶媒を揮発させ、レジストと被加工物との密着性を高め、さらにレジスト特性を安定化させた。

【0039】

そして、第1の露光手段によりレジストに第1のパターン705a～cを形成する。図7はポジ型のレジストを使用した場合を例示しており、露光された領域704a～dが後の現像工程により溶解、除去される(図7(C))。第1の露光手段の露光範囲は、線幅ルールの大きいパターンを露光するため広くすることができる。ポジ型レジストを用いる場合は、露光されたレジストが除去されるため、基板上の半導体装置が形成されない不要な部分のレジストも露光範囲の広い第1の露光手段により露光する。使用する露光装置は、MPAやLCDラインで使用されているような露光範囲の広いステッパを用いればよい。

【0040】

さらに、第2の露光手段により第1のパターン705aに第2のパターン707aおよび707bを形成する。706a～cは、第2の露光手段により露光された領域である(図7(D))。図7ではポジ型レジストを用いているため、第1の露光手段により露光された領域704aおよび704bの一部と、第2の露光手段により露光された領域706aおよび706cの一部が重っている。第2の露光手段の露光範囲は、前述したトレードオフの問題から線幅ルールの小さいパターンを露光するため小さくなるが、必要な部分、例えば微細素子を有する半導体装置の部分のみに露光できればよい。第2の露光手段に使用する露光装置は、微細素子のパターンを露光できるステッパがよい。

【0041】

その後、必要によりPEBを行い、現像する。この現像工程により、第1および第2の露光手段により形成されたレジストパターン705b、705c、707aおよび707bが形成される(図7(E))。

【0042】

このようして形成されたレジストパターンを用いて、被加工物をエッチングする、或いは被加工物にドーピングを行う。

【0043】

以下の実施例で、実際の半導体装置の作製工程において、本発明の具体的な実施を説明する。

【0044】

【実施例】

[実施例1]

10

20

30

40

50

図1は、混載基板の上面図であり、円形の基板101、本実施例では直径12インチの石英基板上に表示装置102、本実施例では周辺に駆動回路を有し画面サイズが4インチのアクティブマトリクスピネルを4枚どりし、基板の余った領域に微細素子を有しデバイス面積の小さい半導体装置103、本実施例では論理回路を作製した構成である。夫々の線幅ルールは、表示装置102が $3.5\mu m$ 、半導体装置103が $0.8\mu m$ とした。ただし、表示装置102において、線幅ルールの $3.5\mu m$ を決定しているのは駆動回路部におけるTFTのゲート長である。

【0045】

本実施例では、半導体装置103として論理回路（信号分割回路、D/Aコンバータ回路、補正回路、差動増幅回路等）を作製するが、Nチャネル型TFT（NTFT）とPチャネル型TFT（PTFT）を組み合わせることにより、その他に様々な回路を設計することが可能である。半導体装置103は、表示装置102と電気的に接続して形成してもよいし、独立して形成してもよい。

10

【0046】

円形の基板101に矩形で専有面積の大きい表示装置102を形成するため、基板に無駄な部分が発生する。その無駄な部分に半導体装置103を形成することにより、基板を有効に利用している。

【0047】

半導体装置としては、IC、LSI、表示装置、イメージセンサーなどが挙げられるが、表示装置と集積するのであれば、IC、LSIまたはイメージセンサーを形成し表示装置102と電気的に接続すればよいし、独立した半導体装置を形成するのであれば、パネルサイズの小さい表示装置やイメージセンサーを形成すればよい。

20

【0048】

図2～4は、混載基板の作製工程の断面図で、微細素子を有する半導体装置103として論理回路を構成する基本素子であるNTFTおよびPTFTを組み合わせたCMOSを図面左側に、表示装置102の駆動回路部を構成するCMOSを図面中央に、表示装置102の画素TFTおよび保持容量を図面右側に示す。

【0049】

まず、基板として石英基板201を用意し、その上に非晶質珪素膜（アモルファスシリコン）を形成する。この時、下地膜として窒化酸化珪素膜、酸化珪素膜または窒化珪素膜（以下これらを珪素を含む絶縁膜という）を形成した上で大気解放しないまま連続的に非晶質珪素膜を形成しても良い。こうすることで非晶質珪素膜の下表面に大気中に含まれるボロン等の不純物が吸着することを防ぐことができる。

30

【0050】

なお、本実施例では非晶質珪素膜を用いるが、他の半導体膜であっても構わない。例えば、微結晶質珪素（マイクロクリスタルシリコン）膜でも良いし、非晶質シリコンゲルマニウム膜でも良い。また、膜厚は後の熱酸化工程も考慮して、最終的にTFTが完成した状態で $25\sim40\text{nm}$ となるように形成する。本実施例では熱酸化工程で 25nm の膜減りを見込んで、予め 65nm の膜厚とする。

【0051】

40

次に、非晶質珪素膜の結晶化を行う。本実施例では結晶化手段として、特開平9-312260号公報に記載された技術を用いる。同公報に記載された技術は、結晶化を助長する触媒元素としてニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄、銅から選ばれた元素を用いている。

【0052】

本実施例では触媒元素としてニッケルを選択し、非晶質珪素膜上にニッケルを含んだ層を形成し、550℃で4時間の熱処理を行って結晶化する。そして、結晶質珪素（ポリシリコン）膜202を得る。（図2(A)）この結晶質珪素膜の結晶構造については後述する。

【0053】

50

なお、ここで結晶質珪素膜 202 に対して TFT のしきい値電圧を制御するための不純物元素（リンまたはボロン）を添加しても良い。リンまたはボロンを打ち分けても良いし、どちらか一方のみを添加しても良い。

【0054】

また、本実施例では非晶質珪素膜上にニッケルを含んだ層を形成する手段として、上記公報に記載されたニッケルを含む溶液を非晶質珪素膜上に塗布する手段を用いるが、スパッタ法や蒸着法を用いることもできる。

【0055】

次に、結晶質珪素膜 202 上に 100 nm 厚の酸化珪素膜でなるマスク膜 203 を形成し、その上に図示しないレジストパターンを用いてマスク膜をエッチングし、開口部を形成する。後に形成されるリン添加領域は、微細なパターンを形成する必要がないため、このマスク膜のパターニング工程では、露光装置に MPA を用いて基板全面を一括露光した。10

【0056】

この状態で 15 族に属する元素（本実施例ではリン）を添加し、リンドープ領域（リン添加領域）205a、205b を形成する。なお、添加するリンの濃度は $5 \times 10^{18} \sim 1 \times 10^{20}$ atoms/cm³（好ましくは $1 \times 10^{19} \sim 5 \times 10^{19}$ atoms/cm³）が好ましい。但し、添加すべきリンの濃度は、後のゲッタリング工程の温度、時間、さらにはリンドープ領域の面積によって変化するため、この濃度範囲に限定されるものではない。

【0057】

次に、レジストパターンを除去して 450 ~ 650（好ましくは 500 ~ 600）の熱処理を 2 ~ 16 時間加え、結晶質珪素膜中に残存するニッケルのゲッタリングを行う。ゲッタリング作用を得るためにには熱履歴の最高温度から ± 50 度の温度が必要であるが、結晶化のための熱処理が 550 ~ 600 で行われるため、500 ~ 650 の熱処理で十分にゲッタリング作用を得ることができる。20

【0058】

本実施例では 600、12 時間の熱処理を加えることによってニッケルが矢印（図 2 (B) 参照）の方向に移動し、リンドープ領域 205a、205b にゲッタリングされる。こうして 204 で示される結晶質珪素膜に残存するニッケルの濃度は 2×10^{17} atoms/cm³ 以下（好ましくは 1×10^{16} atoms/cm³ 以下）にまで低減される。但し、この濃度は質量二次イオン分析 (SIMS) による測定結果であり、測定限界の関係で現状ではこれ以下の濃度は確認できていない（図 2 (B)）。30

【0059】

こうしてニッケルのゲッタリング工程が終了したら、結晶質珪素膜 204 をパターニングするためのレジスト 206 を塗布する。レジスト 206 としては、スピノコータによりジアゾナフトキノン ノボラック樹脂系のレジストを用いた。その後、基板に 120 以下で 30 秒 ~ 300 秒、本実施例では 110 で 90 秒のプリベークを行いレジスト中の残留溶媒を揮発させ、レジストと被加工物との密着性を高め、さらにレジスト特性を安定化させた。

【0060】

そして、第 1 露光工程として、第 1 の露光手段を用いて表示装置の結晶性珪素膜の活性層を形成するためのパターンをレジストに露光する（図 2 (C)）。この工程により露光したレジスト 207a ~ c は後の現像工程により溶解し、除去される。40

【0061】

第 1 の露光手段は、解像度が 3 μm、露光範囲が 120 mm 角、水銀ランプの i 線を光源とするステッパーを用いた。そして、図 1 において第 1 の露光範囲 104 で示すように、表示装置のパターンを 1 ショットで露光した。そして、順次基板をステップ動作して、他の表示装置のパターンも露光する。この第 1 露光工程で、表示装置の部分だけではなく、基板全面に露光して、表示装置も半導体装置も形成されない領域のレジストを露光する。この際、半導体装置 103 の部分は露光されないようなレチカルパターンを用いた。

【0062】

50

本実施例では第1の露光手段にステッパーを用いてステップ動作により露光を行ったが、M P Aを用いて基板全面を一括露光してもよい。

【0063】

続いて、第2の露光手段を用いて、半導体装置の結晶性珪素膜の活性層を形成するためのパターンをレジストに露光する第2露光工程を行う（図2（D））。第2露光工程により露光されたレジスト208a, 208bは、後の現像工程により溶解し、除去される。

【0064】

第2の露光手段としては、第1の露光手段と同じく水銀ランプのi線を光源とするステッパーを用いた。ただし、露光範囲は22mm角で、解像度が0.35μmと微細素子のパターンを露光することが可能である。そして、図1の第2の露光範囲105に示すように、1ショットで半導体装置103を一つ露光する。そして、順次基板をステップ動作して、他の半導体装置のパターンも露光する。

10

【0065】

結晶性珪素膜のパターニング工程により後のTFTのチャネル幅が決定されるため、微細素子を有する半導体装置は非常に微細なパターンが必要となる。そのため、微細素子を有する半導体装置には、露光範囲が狭く解像度が高い第2の露光手段を用いて露光した。一方、それほど微細なパターンを必要としないがデバイス面積の広い表示装置のパターンには、露光範囲が広く解像度が低い第1の露光手段を用いて露光した。

【0066】

本実施例では、第2の露光手段の1ショットにより、半導体装置103を一つ露光しているが、半導体装置のデバイス面積が小さい場合は、第2の露光手段の1ショットにより複数の半導体装置を同時に露光することができる。

20

【0067】

本実施例では、第1の露光手段と第2の露光手段の光源が同じであるため、同じレジストを問題なく両方の手段に適用することが可能である。

【0068】

そして、露光した基板を加熱炉に搬入し、100～140で30～300秒、本実施例では120で180秒のPEBを行う。このPEBにより、定在波の影響を減少させることができる。定在波は、単一波長の放射エネルギーによって露光すると発生しやすく、レジストの膜厚と波長に応じて形成される。定在波によりレジストの感光量に分布が生じ、パターンにギザギザな形状ができる。化学增幅系のレジストを用いる場合には、PEBは非常に重要であり、厳密な温度管理が必要である。

30

【0069】

そして、現像装置、例えばスピンドロッパーで現像液（TMAH）により露光されたレジストを溶解する。そして、純水による洗浄で現像液および現像液に溶解したレジストを除去する。こうして形成されたレジストパターン209a～cをマスクとして、結晶性半導体膜をエッチングして活性層210～212を形成する。こうして、半導体装置のCMOSにおける活性層210、駆動回路の活性層211、画素TFT用及び保持容量用の活性層212が形成される。このパターニング工程で、ニッケルを捕獲したリンドープ領域205a, 205bを完全に除去することが望ましい。（図3（A））

40

【0070】

レジストパターン209a～cをアッシングした後に、プラズマCVD法により110nm厚の酸化珪素膜213を形成し、その上にレジストパターン214a～fを形成する。次に、その状態で15族に属する元素の添加工程を行う。本実施例では、 $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ （好ましくは $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度でリンを含む不純物領域（n⁻領域）215a～eを形成する（図3（B））。

【0071】

ここで、半導体装置のCMOSに形成されるn⁻領域のレジストパターン214a, bの露光手段は、CMOSの構造により選択される。実施例3に詳述するが、図6（B）で示す構造を半導体装置が有している場合は、この工程によりチャネル形成領域が画定するた

50

め、非常に厳密なパターンを形成する必要がある。したがって、活性層 210 を形成する際に使用した第 2 の露光手段を半導体装置のパターンを形成する際に使用するべきである。しかし、図 6 (A) で示す構造であれば、重ね合わせ精度は重要であるが、微細なパターンを必要とするわけではないため、全面を一括露光できる MPA や露光面積の大きいステップを用いればよい。後述するが、図 6 (C) で示す構造ではこの工程が不要になる。

【0072】

本実施例では、半導体装置の CMOS の構造を図 6 (A) に示す構造としたため、MPA により基板全面を一括露光することにより、レジストパターン 214a ~ f を形成する。

【0073】

この工程では基本的に TFT となる領域に対してリンを添加する。但し、半導体装置と表示装置の駆動回路部に使用される TFT は、後にチャネル形成領域とソース領域となる領域の上にレジストパターン 214a、214c を設け、ドレイン領域となる領域のみに n- 領域 215a、215b を形成する。また、画素 TFT においては後のチャネル形成領域 218a、b が画定する。

【0074】

次に、レジストパターン 214a ~ f および酸化珪素膜 213 を除去し、プラズマ CVD 法またはスパッタ法により珪素を含む絶縁膜を形成し、パターニングすることによりゲート絶縁膜 219 を形成する。このゲート絶縁膜 219 は画素 TFT のゲート絶縁膜として機能することになる絶縁膜であり、本実施例では 60 nm 厚の酸化珪素膜を用いる。但し、後の熱酸化工程で膜厚が増加するので、それを考慮して最終的に 50 ~ 200 nm (好ましくは 80 ~ 120 nm) となるようとする。この時、ゲート絶縁膜 219 を画素 TFT の部分に形成し、半導体装置の CMOS 回路、駆動回路部の CMOS 回路および保持容量となる領域では除去する (図 3 (C))。

【0075】

なお、本実施例では CMOS 回路のみで説明しているが、実際には半導体装置や駆動回路の一部 (特に高速動作を要求される回路) となる領域において、ゲート絶縁膜 219 は除去される。バッファ回路やサンプリング回路 (サンプルホールド回路ともいう) などのようにゲート絶縁膜に高電圧が印加されるような回路の場合に限っては、ゲート絶縁膜 219 を残しておくことが望ましい。

【0076】

ゲート絶縁膜 219 をパターニングする工程では、特に微細なパターンを形成する必要はなく、MPA を用いた一括露光で露光した。

【0077】

こうして図 3 (C) の状態が得られたら、次に、800 ~ 1150 (好ましくは 900 ~ 1100) の温度で 15 分 ~ 8 時間 (好ましくは 30 分 ~ 2 時間) の熱処理工程を、酸化性雰囲気下で行う (熱酸化工程)。本実施例では酸素雰囲気中で 950 、 30 分の熱処理工程を行う。

【0078】

なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体層中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、酸素雰囲気中にハロゲン元素を含ませた雰囲気でも良い。このハロゲン元素を含ませた雰囲気による熱酸化工程では、結晶化に用いたニッケルを除去する効果も期待できるので有効である。

【0079】

こうして熱酸化工程を行うことにより、半導体装置および駆動回路部の活性層の表面と、保持容量となる領域において露呈した半導体層の表面には、5 ~ 50 nm (好ましくは 10 ~ 30 nm) の酸化珪素膜 (熱酸化膜) 220、221、222 が形成される。本実施例では 50 nm 厚の酸化珪素膜を形成し、酸化珪素膜 220 は、半導体装置の CMOS のゲート絶縁膜として、酸化珪素膜 221 は駆動回路部の CMOS のゲート絶縁膜として、酸化珪素膜 222 は保持容量の誘電体として用いることにする。

【0080】

10

20

30

40

50

また、画素TFTに残存した酸化珪素膜でなるゲート絶縁膜219と、その下の半導体層との界面においても酸化反応が進行する。そのため、最終的に画素TFTのゲート絶縁膜223の膜厚は、予め形成されていた60nm厚の絶縁膜と熱酸化により形成された50nm厚の絶縁膜とを合計して110nmの膜厚を有する絶縁膜となる。また、この熱酸化工程により約25nmの半導体層が酸化され、活性層210、211、212の膜厚は40nmとなる。この膜厚が最終的に完成したTFTの活性層の膜厚となる。

【0081】

こうして熱酸化工程を終了したら、次にTFTのゲート配線および容量電極となる導電膜を形成する。ゲート配線および容量電極の形成材料としては、700～1150（好ましくは900～1100）の温度に耐える耐熱性を有する導電膜を用いる。代表的には、導電性を有する珪素膜（例えばリンドープシリコン膜、ボロンドープシリコン膜等）や金属膜（例えばタングステン膜、タンタル膜、モリブデン膜、チタン膜等）でも良いし、前記金属膜をシリサイド化したシリサイド膜、窒化した窒化膜（窒化タンタル膜、窒化タンクス滕膜、窒化チタン膜等）またはこれらの材料を組み合わせた合金膜でも良い。また、以上の薄膜を自由に組み合わせて積層した積層膜でも良い。また、前記金属膜を用いる場合には、金属膜の酸化を防止するために珪素膜との積層構造とすることが望ましい。また、酸化防止という意味では、金属膜を窒化珪素膜で覆った構造が有効である。本実施例では導電膜として、下層から珪素膜（導電性を持たせたリンドープシリコン膜）/窒化タンクス滕膜/タンクス滕膜（または下層から珪素膜/タンクス滕シリサイド膜）という積層膜を400nmに設ける。

10

【0082】

なお、本実施例では最下層の珪素膜を、減圧熱CVD法を用いて形成する。半導体装置および駆動回路部のゲート絶縁膜は5～50nmと薄いため、スパッタ法やプラズマCVD法を用いた場合、条件によっては半導体層（活性層）へダメージを与える恐れがある。従つて、化学的気相反応で成膜できる熱CVD法が好ましい。

20

【0083】

そして、導電膜をパターニングするが、ゲート配線は、電界効果トランジスタを有する回路において最も微細化が求められる層であり、半導体装置のゲート配線のパターニングには、微細なパターンが露光できる露光手段を用いる必要がある。本実施例では、活性層210をパターニングする際に使用したステッパーを用いてゲート長が0.8μmであるパターンを形成する。

30

【0084】

一方、表示装置においては、ゲート長が3.5μmのパターンを形成すればよく、活性層211、212をパターニングする際に使用したステッパーを用いてパターンを形成した。

【0085】

そして、レジストパターンを基に、導電膜をエッチングして、半導体装置のCMOSのゲート配線224、225と、駆動回路のCMOSのゲート配線226、227と、画素TFTのゲート配線228、229と、保持容量の電極230が形成される（図3（D））。

。

40

【0086】

次に、レジストパターン231a～dを形成して、再び15族に属する元素（本実施例ではリン）を添加する。本実施例では $5 \times 10^{19} \sim 3 \times 10^{21}$ atoms/cm³（好ましくは $1 \times 10^{20} \sim 5 \times 10^{20}$ atoms/cm³）の濃度でリンを含む不純物領域（n⁺領域）232、233、236、237、240、241、242、243を形成する。半導体装置のレジストパターン231aは、CMOSのPTFTにリンが添加することを防止すればよく、微細にする必要がないため、MPAを用いて基板全面に一括露光を行い形成された。

【0087】

この工程は、ゲート絶縁膜の膜厚が薄い半導体装置や駆動回路部のCMOSと、ゲート絶縁膜の膜厚が厚い画素TFTとで分けて行っても良いし、同時に行っても良い。また、リンの添加工程は質量分離を行いうイオンインプランテーション法を用いても良いし、質量分

50

離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0088】

この工程により、半導体装置のCMOSのN TFTに、ソース領域232、ドレイン領域233、LDD領域235およびチャネル形成領域234が画定する。また、駆動回路部のCMOSのN TFTに、ソース領域236、ドレイン領域237、LDD領域239およびチャネル形成領域238が画定する。そして、画素部に、画素TFTのソース領域240、ドレイン領域242およびLDD領域244a～d、並びにn⁺領域241、243および保持容量の電極245が画定する（画素TFTのチャネル領域は、既にn⁻領域を形成する工程で画定している）。（図4（A））

10

【0089】

この時、画素TFTのLDD領域244a～dは一部がゲート配線228、229と重なるように形成される。この構造を探ることにより、いわゆるGOLD（Gate-drain Overlapped LDD）構造のようにホットキャリア注入に起因する劣化に強い構造を得ることができる。また、ゲート配線228、229に重ならない部分は、オフ電流の増加を防ぐために絶大な効果をもつ。本実施例では、ソース領域240またはドレイン領域242に接するLDD領域244a、244dのうち、ゲート配線228、229に重なる部分の長さ（幅）を0.3～2.0μm（好ましくは0.5～1.0μm）とし、重ならない部分の長さ（幅）を1.0～4.0μm（好ましくは2.0～3.0μm）とする。

【0090】

半導体装置および駆動回路部のCMOSのN TFTは、LDD領域235、39がゲート配線224、226と重なる構造である。

20

【0091】

次に、CMOSのPTFTとなる領域以外をレジストパターン246a～cで隠し、13族に属する元素（本実施例ではボロン）の添加工程を行う。本実施例では3×10²⁰～3×10²¹atoms/cm³の濃度でボロンが添加されるように調節する。このレジストパターン246aは、半導体装置のN TFTにボロンが添加することを防止すればよく、微細にする必要がないため、MPAを用いて基板全面に一括露光を行い形成された。

【0092】

勿論、この工程も質量分離を行いうイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

30

【0093】

この工程により、半導体装置のCMOSを形成するPTFTのソース領域248、ドレイン領域247、チャネル形成領域249が画定し、駆動回路部のCMOSを形成するPTFTのソース領域251、ドレイン領域250、チャネル形成領域252が画定する。（図4（B））

【0094】

こうして全ての不純物領域を形成し終えたら、レジストパターン246a～cを除去する。そして、ゲート配線224～229および容量電極230を覆って200nm厚の窒化酸化珪素膜でなる保護膜253を形成する。この保護膜はゲート配線224～229および容量電極230の酸化を防ぐ効果をもつ。保護膜253として、他の珪素を含む絶縁膜を用いても良い。

40

【0095】

保護膜を形成したら、600～1000（好ましくは600～850）の温度範囲で20分～12時間の熱処理工程を行う。本実施例では、800で1時間の熱処理を不活性雰囲気中において行う。この工程により添加した不純物元素の活性化及び非晶質化した珪素膜の再結晶化を行う。

【0096】

活性化が終えたら水素化処理を行う。水素化処理は熱処理またはプラズマ処理により励起

50

させた水素を添加する処理であり、熱処理による場合は3～100%の水素を含む雰囲気中で300～450、2～6時間の熱処理工程を行えば良い。水素化処理は、ソース配線及びドレイン配線を形成した後で行ってもよい。

【0097】

次に第1層間絶縁膜254を形成する。本実施例では、プラズマCVD法により形成した800nm厚の酸化珪素膜を用いる。そして、ソース領域およびドレイン領域のコンタクトホールを形成する。

【0098】

このコンタクトホールを形成するためのパターニング工程では、集積化を重視するのであれば、2つの露光手段を用いて微細なコンタクトホールを半導体装置のCMOSのソース領域およびドレイン領域に形成すればよい。半導体装置においては微細なパターンとすることが集積化の上では重要であるが、生産性の点では表示装置と同じ露光手段を用いることが望まれる。そのため、活性層210のパターンを工夫し、ソースおよびドレイン領域のコンタクトホールを形成する部分を大きくすることにより、表示装置と同じ露光手段を使用することが可能である。本実施例では、集積化を重視して、活性層のパターニングと同様に第1の露光手段により、駆動回路のCMOSと画素TFTのコンタクトホールを、第2の露光手段を用いて半導体装置のCMOSのコンタクトホールをパターニングした。また、図示しないが、この工程において、ゲート配線224～229および保持容量の電極230にも引き出し用のコンタクトホールが形成される。

【0099】

そして、ソース配線255、257、258、260、261と、ドレイン配線256、259、262を形成する。本実施例ではこれらの配線を、アルミニウムを主成分とする導電膜をチタン膜で挟んだ積層膜で形成する。ここで、図4ではCOMSのドレイン配線がNTFTとPTFTとで共通であるが、これは図を簡略化するための概略であり、夫々ドレイン配線を設けてもよい。

【0100】

ソース配線およびドレイン配線のパターニングには、活性層のパターニングと同様に2つの露光手段を用いて、駆動回路部および画素TFTのソース配線258、260、261とドレイン配線259、262は、第1の露光手段によりパターニングを行い。半導体装置のソース配線255、257とドレイン配線256は第2の露光手段によりパターニングを行った。この工程において、図示していないが、ゲート配線224～229および保持容量の電極230にも引き出し用の電極がコンタクトホールを介して形成される。

【0101】

次に、パッシベーション膜263を形成する。パッシベーション膜としては、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、またはこれらの絶縁膜と酸化珪素膜との積層膜を用いることができる。本実施例では300nm厚の窒化珪素膜をパッシベーション膜として用いる。

【0102】

なお、本実施例では窒化珪素膜を形成する前処理として、アンモニアガスを用いたプラズマ処理を行い、そのままパッシベーション膜263を形成する。この前処理によりプラズマで活性化した（励起した）水素が第1層間絶縁膜254中に閉じこめられるため、TFTの活性層（半導体層）の水素終端を促進させることができる。

【0103】

そして、パッシベーション膜を形成したら350～450の熱処理工程を行う。これはパッシベーション膜の膜質を改善するための熱処理ではあるが、同時に先ほどの水素化で第1層間絶縁膜中に添加された水素が熱拡散によって下層に下がるため。効率良く活性層を水素化することができる。勿論、この熱処理自体を、水素を含む雰囲気中で行っても構わない。

【0104】

次に、第2層間絶縁膜264として1μm厚のアクリル膜を形成する。アクリル膜以外に

10

20

30

40

50

も、ポリイミド膜、ポリアミド膜、ポリイミドアミド膜またはB C B（ベンゾシクロブテン）膜等の有機系樹脂膜を用いることができる。これらの樹脂膜は比誘電率が低く、平坦性が高いため有効である。

【0105】

そして、その上に金属膜を200nmの厚さに形成してパターニングを行い、遮蔽膜265、266を形成する。本実施例では遮蔽膜としてチタン膜またはアルミニウム膜とチタン膜との積層膜を用いる。遮蔽膜は微細化の必要は少ない層であり、半導体装置のCMOSには使用しない層であるため、MPAにより基板全体を一括露光しパターニングすればよい。

【0106】

次に、第2層間絶縁膜と同じく有機系樹脂材料でなる第3層間絶縁膜267を1μmの厚さに形成する。そして、第3層間絶縁膜、第2層間絶縁膜およびパッシベーション膜を順次エッティングして、画素TFTのドレイン配線262に達するコンタクトホールを形成し、画素電極270を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置するために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成する。また、反射型の液晶表示装置とする場合には、第2層間絶縁膜およびパッシベーション膜を形成した後に、画素TFTのドレイン配線に達するコンタクトホールを形成し、遮蔽膜を画素電極として利用することができ、透過型に比べてマスクを一枚減らすことができる。

10

【0107】

また、この工程で、半導体装置のCMOSのソース配線255、257に達するコンタクトホールを形成し、引き出し電極268、269をITOで形成する。

【0108】

このコンタクトホールの開口と、画素電極および引き出し電極のパターニング工程では、微細な加工を必要としていないためMPAを用いて基板全面を一括録することにより夫々形成した。

【0109】

本実施例の混載基板は、同一基板上に形成された半導体装置および駆動回路のCMOSのTFTと画素TFTでゲート絶縁膜の膜厚が異なる。

30

【0110】

さらに、半導体装置および駆動回路のCMOSのゲート絶縁膜と、画素部に設けられる保持容量の誘電体を同時に形成することで工程簡略化を図る点にも特徴がある。

【0111】

このように、半導体装置および駆動回路のCMOSのゲート絶縁膜を薄く形成するための工程を、保持容量の誘電体を薄くするための工程と兼ねる点に特徴がある。このような構成により面積を広げることなく保持容量のキャパシティを増加させることが可能となる。

【0112】

本実施例の特徴の一つとして、複数のパターニング工程において、2つの露光手段を用いる場合と、1つの露光手段を用いる場合を使い分けることにより、生産性を向上している。すなわち、微細な加工が必要なパターニング工程では2つの露光手段を用い、微細な加工が必要ではないパターニング工程では1つの露光手段で広い面積を露光している。本実施例において、微細な加工が必要なパターニング工程は、活性層210のパターニング工程、ゲート配線224および225のパターニング工程、ソース配線255、257およびドレイン配線256のコンタクトホールのパターニング工程、ソース配線255、257およびドレイン配線256のパターニング工程である。

40

【0113】

また、本実施例の作製工程に従うと、最終的なTFTの活性層（半導体層）は、結晶格子に連続性を持つ特異な結晶構造の結晶質珪素膜で形成される。ここでは、本実施例の作製工程に従って結晶質珪素膜を形成する段階まで実験的に行い、そうして形成した膜を分析

50

した結果について以下に説明する。

【0114】

上記作製工程に従って形成した結晶質珪素膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことは TEM（透過型電子顕微鏡法）による観察で容易に確認できた。

【0115】

また、電子線回折及びエックス線（X線）回折を利用すると結晶質珪素膜の表面（チャネルを形成する部分）が、結晶軸に多少のずれが含まれているものの主たる配向面として{110}面を有することを確認できた。本出願人がスポット径約1.5 μmの電子線回折写真を詳細に観察した結果、{110}面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持っていることが確認された。10

【0116】

また、本出願人は個々の棒状結晶が接して形成する結晶粒界を HR-TEM（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できた。

【0117】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi , Japanese Journal of Applied Physics vol.27 , No.5 , pp.7 51-758 , 1988」に記載された「Planar boundary」である。20

【0118】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0119】

特に結晶軸（結晶面に垂直な軸）が 110 軸である場合、{211}双晶粒界は3の対応粒界とも呼ばれる。 θ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、小さいほど整合性の良い粒界であることが知られている。30

【0120】

本出願人が本実施例の作製工程に従って形成した結晶質珪素膜を詳細にTEMを用いて観察した結果、結晶粒界の殆ど（90%以上、典型的には95%以上）が3の対応粒界、即ち{211}双晶粒界であることが判明した。

【0121】

つまり、二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が{110}である場合、{111}面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に3の対応粒界となることが知られている。本実施例の作製工程に従って形成した結晶質珪素膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 70.5° の角度で連続しており、その事からこの結晶粒界は{211}双晶粒界であるという結論に辿り着いた。40

【0122】

なお、 $\theta = 38.9^\circ$ の時には9の対応粒界となるが、この様な他の結晶粒界も存在した。

【0123】

この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本実施例の作製工程に従って形成した結晶質珪素膜は面方位が概略{110}で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうる。

【0124】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しないと見なすことができる。

【0125】

またさらに、700～1150という高い温度での熱処理工程（本実施例における熱酸化工程にあたる）によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることからも明らかである。

10

【0126】

この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance：ESR）によってスピン密度の差となって現れる。現状では、本実施例の作製工程に従って形成した結晶質珪素膜のスピン密度は、少なくとも 5×10^{17} spins/cm³以下（好ましくは 3×10^{17} spins/cm³以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0127】

以上の事から、本実施例を実施して得られた結晶質珪素膜は、結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。本出願人はこのような結晶構造を有する結晶質珪素膜をCGS（Continuous Grain Silicon）と呼んでいる。

20

【0128】

CGSに関する記載は本出願人による特願平10-044659号、特願平10-152316号、特願平10-152308号または特願平10-152305号の出願を参照すれば良い。

【0129】

〔実施例2〕

本実施例では、半導体装置と表示装置が電気的に接続しているアクティブマトリクスパネルの例を図5を用いて説明する。図5において、図面左側に半導体装置を構成するCMOSの断面図を、図面中央および右側に表示装置の駆動回路部を構成するCMOSおよび画素部の画素 TFT と保持容量の断面図を示す。実施例1と共通する部分は、同一の符号を用いている。

30

【0130】

第3層間絶縁膜の形成までは、実施例1と同様の工程で作製する。そして、画素電極のコンタクトホールを形成する工程において、同時に半導体装置および駆動回路部のCMOS上に形成されている第3層間絶縁膜267'および第2層間絶縁膜264'を全てエッチングし、パッシベーション膜263'に半導体装置のCMOSの引き出し電極と駆動回路のCMOSの引き出し電極用コンタクトホールを開口する。

【0131】

そして、画素電極270を形成する工程で、画素電極と同じ導電膜を用いて引き出し電極268'、269'を形成する。引き出し電極269'により、半導体装置のドレイン配線256と表示装置の駆動回路部におけるN TFTのソース電極258とが、電気的に接続されている。

40

【0132】

このように、本実施例では、画素電極と同じ導電膜を用いて半導体装置と表示装置が電気的に接続している。これは、ソース配線およびドレイン配線のパターン形成において、半導体装置の配線パターン255～257を形成する露光手段と、駆動回路部および画素部の配線パターン258～262を形成する露光手段とが異なるため、半導体装置のドレイン配線256を延在することで、駆動回路部のソース配線236と電気的に接続することが難しいからである。

50

【0133】

また、本実施例において、半導体装置および駆動回路部のCMOS上に形成されている第3層間絶縁膜および第2層間絶縁膜を全てエッチングしている。これは、画素部においては、画素電極270は平坦であることが好ましいが、半導体装置および駆動回路部においては、コンタクトホールが深くなることにより、コンタクトホールの直径が大きくなる、アスペクト比が高くなり断線が起こるなどの問題が生じる。そのため、集積化をする必要のある半導体装置および駆動回路部の第3層間絶縁膜および第2層間絶縁膜を全てエッチングし、コンタクトホールを浅く、小さくすることができる。この構成は、実施例1においても適用可能である。

【0134】

10

[実施例3]

本実施例は、半導体装置を構成するCMOSの構造を図6(A)～(C)に示す。図6(A)～(C)に示す構造のCMOSを必要とする特性に応じて選択し、配置することにより、機能的な半導体装置を実現できる。図6(A)～(C)において、PTFTは同一の構造である。

【0135】

図6(A)の構造は、NTFTのLDD領域501がゲート配線に重なってチャネル領域とドレイン領域の間にのみ設けられており、ホットキャリア注入によるオン電流値の劣化を防ぐ効果を有する。このLDD領域は、少なくともドレイン領域側に設けてあればよい。この構造を有するCMOSは、高速動作を必要とする回路に配置することが好ましい。なお、LDD領域501の長さは0.3～1μm(代表的には0.5～0.8μm)が好ましい。

20

【0136】

図6(B)の構造は、LDD領域502、503がチャネル形成領域の両側に挟み込むようにして設けられており、ゲート配線に重なった部分によりホットキャリア注入に起因する劣化を防止し、重ならない部分によりオフ電流の増加を防ぐ効果を有する。この構造を有するCMOSは、ソース領域とドレイン領域の機能が反転し、信頼性を必要とする回路に配置することが好ましい。ゲート配線と重なったLDD領域の長さは0.3～2μm(代表的には1.0～1.5μm)、ゲート配線と重ならないLDD領域の長さは1.0～2.5μm(代表的には1.5～2.0μm)とすればよい。

30

【0137】

図6(C)の構造は、LDD領域505、506がチャネル形成領域の両側に挟み込むようにして設けられており、ゲート配線に重ならないためオフ電流の増加を防ぐ効果を有する。この構造は、ソース領域とドレイン領域の機能が反転する回路において、特にオフ電流を低減する必要のある回路に配置することが好ましい。

【0138】

図6(A)の構造は、実施例1の半導体装置のCMOSの作製方法を適用すれば得られ、(B)の構造は、画素TFTの作製工程をCMOSのNTFTに適用すれば得られる。

【0139】

40

図6(C)のNTFTの構造を得る方法の一つを、実施例1の画素TFTの製造工程を例に説明する。実施例1の図3(B)のリンの添加工程(n^-)を画素TFTには行わず、図4(A)のレジストパターン231c、dによりソース領域およびドレイン領域を形成する。そして、レジストパターン231a～dを除去した後に、リンの添加工程(n^-)を画素TFTに行いNTFTのゲート配線をマスクとしてセルファラインでLDD領域を形成する。こうして、ゲート配線と重ならないLDD領域をチャネル領域の両側に設けることができる。このリンの添加工程(n^-)でPTFTのソース領域およびドレイン領域にもリンが添加されるが、後のボロンの添加工程により10倍以上のp型不純物が添加されるため、PTFTのソース領域およびドレイン領域としての機能にリンは影響を与えない。

【0140】

50

以上のように、得られる特性の異なる C M O S を必要に応じて適宜選択し、使い分けて回路を設計することにより、機能的な半導体装置を形成することができる。

【 0 1 4 1 】

なお、本実施例の構成を実現するにあたって、実施例 1 の作製工程を用いることは可能である。また、本実施例で示した数値範囲などを実施例 1 の作製工程を実施するにあたって適用することは有効である。

【 0 1 4 2 】

[実施例 4]

本実施例では、実施例 1 に示した作製工程で基板上にアクティブマトリクスパネルを形成し、実際にそのパネルを用いて表示装置を作製した場合について説明する。

10

【 0 1 4 3 】

図 4 (C) の状態が得られたら、画素電極 270 上に配向膜を 80 nm の厚さに形成する。次に、対向電極を有するパネルとしてガラス基板上にカラーフィルタ、透明電極（対向電極）、配向膜を形成したものを準備し、それぞれの配向膜に対してラビング処理を行い、シール材（封止材）を用いてアクティブマトリクスパネルと対向電極を有するパネルとを貼り合わせる。そして、その間に液晶を保持させる。このセル組み工程は公知の手段を用いれば良いので詳細な説明は省略する。

【 0 1 4 4 】

なお、セルギャップを維持するためのスペーサは必要に応じて設ければ良い。従って、1 インチ以下の表示装置のようにスペーサがなくてもセルギャップを維持できる場合は特に設けなくても良い。

20

【 0 1 4 5 】

次に、以上のようにして作製した表示装置の外観を図 8 に示す。アクティブマトリクスパネル（図 4 (C) の T F T が形成された基板を指す）11 には画素部 12 、駆動回路（ソースドライバ回路 13 、ゲートドライバ回路 14 ）、微細素子を有する半導体装置である論理回路（信号分割回路、D / A コンバータ回路、補正回路、差動増幅回路等）15 が形成され、F P C （フレキシブルプリントサーキット）16 が取り付けられている。なお、17 は対向電極を有するパネルである。

【 0 1 4 6 】

これらの画素部、駆動回路および論理回路を形成する T F T は実施例 1 の作製工程に従つて形成される。また、T F T 構造は実施例 1 を参考にして最適なものを配置すれば良い。なお、本実施例は実施例 1 ~ 3 のいずれの実施例とも自由に組み合わせることが可能である。

30

【 0 1 4 7 】

[実施例 5]

本発明は従来のM O S F E T 上に層間絶縁膜を形成し、その上に T F T を形成する際に用いることも可能である。即ち、半導体回路上に反射型表示装置が形成された三次元構造の半導体装置を実現することも可能である。

【 0 1 4 8 】

また、前記半導体回路はS I M O X 、S m a r t - C u t (SOITEC 社の登録商標) 、E L T R A N (キヤノン株式会社の登録商標) などのS O I 基板上に形成されたものであっても良い。

40

【 0 1 4 9 】

なお、本実施例を実施するにあたって、実施例 1 ~ 4 のいずれの構成を組み合わせても構わない。

【 0 1 5 0 】

[実施例 6]

本発明は表示装置としてアクティブマトリクス型 E L ディスプレイに適用することも可能である。その例を図 9 に示す。

【 0 1 5 1 】

50

図9はアクティブマトリクス型ELディスプレイの回路図である。81は画素部を表しており、その周辺にはX方向制御回路82、Y方向制御回路83が設けられている。また、画素部81の各画素は、スイッチ用TFT84、コンデンサ85、電流制御用TFT86、有機EL素子87を有し、スイッチ用TFT84にX方向信号線88a(または88b)、Y方向信号線89a(または89b、89c)が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

【0152】

本実施例のアクティブマトリクス型ELディスプレイでは、X方向制御回路82、Y方向制御回路83として実施例1に示す駆動回路のCMOSを用い、電流制御用TFT86として実施例1に示す駆動回路のCMOSのN TFTを用い、スイッチ用TFT84として実施例1に示す画素TFTを用いることが可能である。10

【0153】

なお、本実施例のアクティブマトリクス型ELディスプレイは図4(C)に示したアクティブマトリクス基板を作製した後、公知の手段によりEL層を形成すれば良い。従って、実施例1の作製工程を用いることは可能である。

【0154】

〔実施例7〕

本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、TN液晶、PDL C(ポリマー分散型液晶)、FLC(強誘電性液晶)、AFL C(反強誘電性液晶)、またはFLCとAFL Cの混合物(反強誘電性混合液晶)が挙げられる。20

【0155】

例えば、「H.Furue et al.;Charakteristics and Drivng Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability,SID,1998」、「T.Yoshida et al.;A Full-Color Thresholdless Anti ferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time,841,SID97DIGEST,1997」、「S.Inui et al.;Thresholdless antiferroelectricity in liquid crystals and its application to displays,671-673,J.Mater.Chem.6(4),1996」、または米国特許第5,594,569号に開示された材料を用いることができる。

【0156】

特に、電場に対して透過率が連続的に変化する電気光学応答特性を示す無しきい値反強誘電性混合液晶(Thresholdless Antiferroelectric LCD:TL-AFL Cと略記する)にはV字型(またはU字型)の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度(セル厚約1μm~2μm)のものも見出されている。そのため、画素回路用の電源電圧が5~8V程度で済む場合があり、駆動回路と画素回路を同じ電源電圧で動作させる可能性が示唆されている。30

即ち、液晶表示装置全体の低消費電力化を図ることができる。

【0157】

また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。本発明で用いるようなTFTは非常に動作速度の速いTFTを実現しうるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。40

【0158】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0159】

なお、本実施例の構成は実施例1、2、4または5に示した表示装置に用いることが可能である。また、本実施例の液晶表示装置をパーソナルコンピュータ等の電子機器の表示デ50

イスプレイとして用いることが有効であることは言うまでもない。

【0160】

【実施例8】

表示装置或いは半導体装置を組み込んだ電子機器全てに本発明を実施できる。

【0161】

その様な電子機器としては、液晶ディスプレイ、ビデオカメラ、デジタルスチルカメラ、プロジェクター（リア型またはフロント型）、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レザーディスク（LD）又はデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子機器の例を図10に示す。
10

【0162】

図10（A）はパーソナルコンピュータであり、本体2001、受像部2002、表示装置2003、キーボード2004等で構成される。本発明は表示装置2003および半導体装置としてイメージセンサーを形成すれば受像部2002に用いることができる。

【0163】

図10（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等で構成される。本発明を表示装置2102および半導体装置としてイメージセンサーを形成すれば受像部2106に用いることができる。
20

【0164】

図10（C）はゴーグル型ディスプレイであり、本体2201、表示装置2202、アーム部2203等で構成される。本発明は表示装置2202に用いることができる。

【0165】

図10（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2301、記録媒体（CD、LDまたはDVD等）2302、操作スイッチ2303、表示装置（a）2304、表示装置（b）2305等で構成される。表示装置（a）は主として画像情報を表示し、表示装置（b）は主として文字情報を表示するが、本発明はこれら表示装置（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本発明を用いることができる。
30

【0166】

図10（E）はフロント型プロジェクターであり、本体2401、光源、光学系レンズ及び表示装置を含む光学エンジン2402等で構成され、スクリーン2403に画像を表示することができる。本発明は光学エンジン2402に内蔵される表示装置（図示せず）に用いることができる。なお、表示装置は3枚用いる方式でも1枚用いる方式でも良く、透過型表示装置であっても反射型表示装置であっても良い。

【0167】

図10（F）はリア型プロジェクターであり、本体2501、光源、光学系レンズ及び表示装置を含む光学エンジン2502、リフレクター2503、2504、スクリーン2505等で構成される。本発明は光学エンジン2502に内蔵される表示装置（図示せず）に用いることができる。なお、表示装置は3枚用いる方式でも1枚用いる方式でも良く、透過型表示装置であっても反射型表示装置であっても良い。
40

【0168】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～7の構成を組み合わせて実現することができる。

【0169】

【発明の効果】

本発明は、同一基板上に異なる線幅ルールの半導体装置を任意に作製することができるた
50

め、表示装置に加えて C P U やメモリーなどの半導体装置を集積した付加価値の高い製品が得られる。

[0 1 7 0]

また、既存の I C ラインの一部を適用することにより、設備投資を減らすことができる。

[0 1 7 1]

専有面積の大きい半導体装置を円形の基板に作製する際に、余った部分にデバイス面積の小さい半導体装置を作りこむことができ、基板を有効に利用することができる。

〔 0 1 7 2 〕

また、必要な露光工程においてのみ 2 つの露光手段を用いるため、生産性をあまり低下させることなく複数種類の半導体装置を作製することができる。また、半導体装置の各部位が要求する仕様に応じて適切な性能の TFT を配置することが可能となり、半導体装置の性能や信頼性を大幅に向上させることができる。

10

【図面の簡単な説明】

【図1】 混載基板の上面図。

【図2】 アクティブマトリクスパネルの作製工程を示す断面図。

【図3】 アクティブマトリクスパネルの作製工程を示す断面図。

【図4】 アクティブマトリクスピネルの作製工程を示す断面図。

【図5】 アクティブマトリクスパネルの断面図。

【図6】 CMOSの構造を示す断面図。

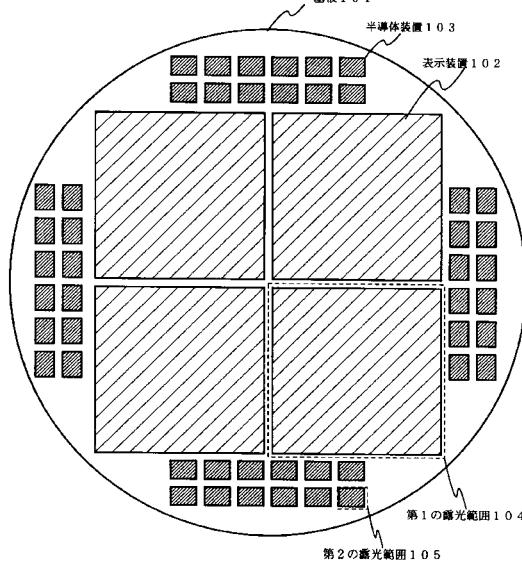
【図7】 本発明を実施したリソグラフィ工程図。

【図8】 表示装置の外観を示す図。

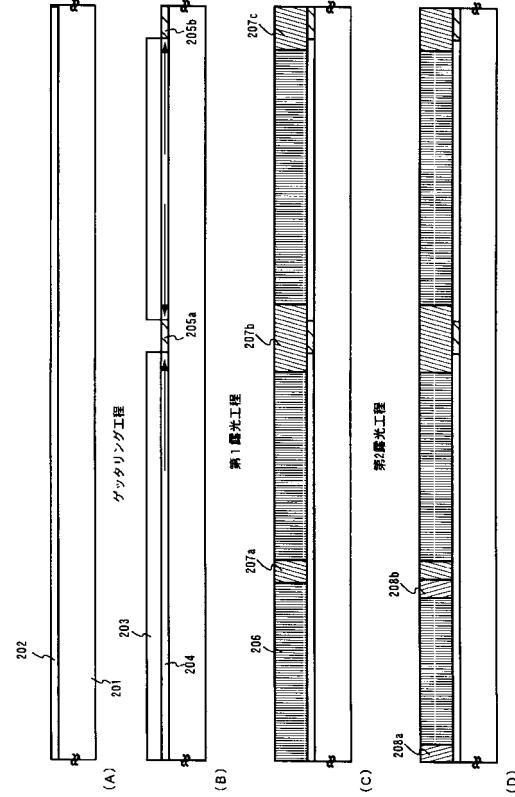
【図9】 アクティブマトリクス型

【図10】電子機器の例を示す図。

— 7 —



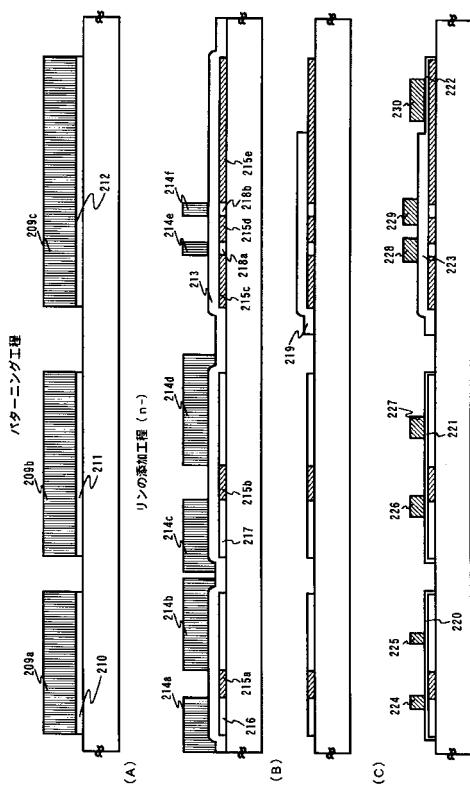
— 7 —



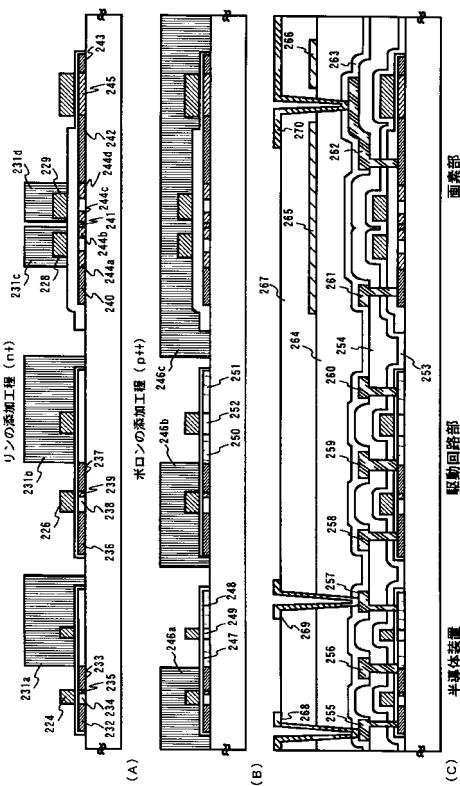
201 基板 202:結晶質珪藻殼 203:酸化珪藻殼 (マスク壁) 204:結晶質珪藻殼
205a, b リンドーブ領
206:レジスト 207a-c:露光したレジスト 208a, b:露光したレジスト

20

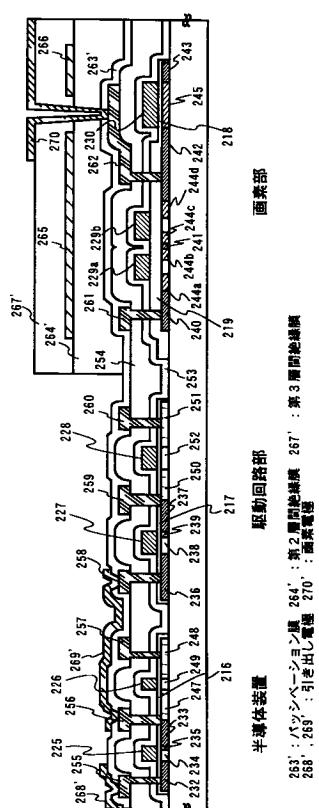
【 四 3 】



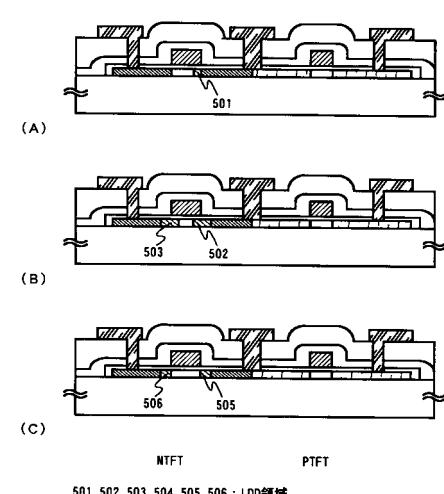
【 四 4 】



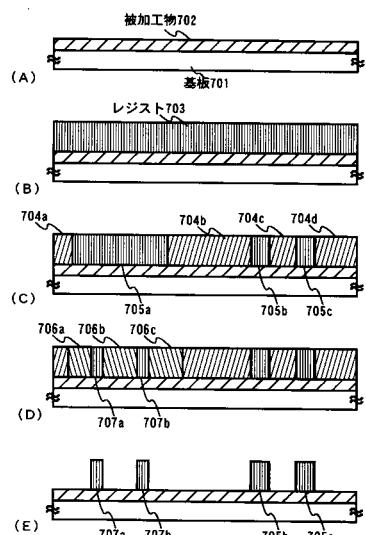
【 义 5 】



【図6】

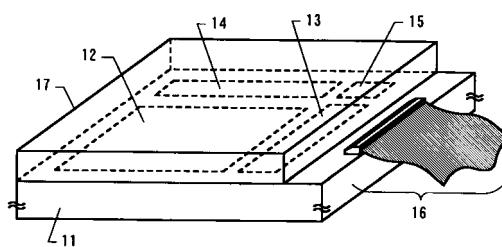


【図7】



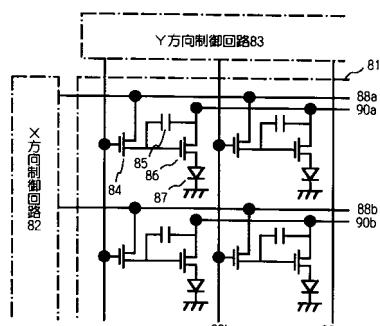
704a~d: 第1の露光手段により露光された領域
705a~c: 第1のパターン
706a~c: 第2の露光手段により露光された領域
707a, b: 第2のパターン

【図8】



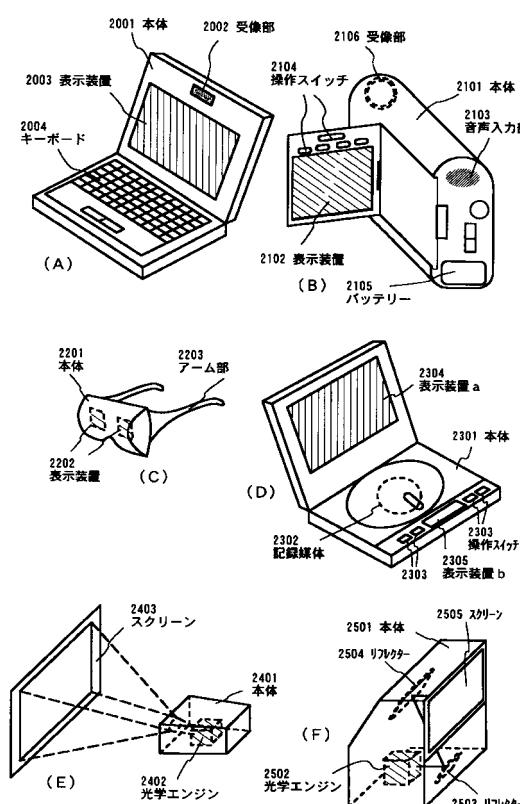
11: アクティブマトリクスパネル 12: 画素部
13: ヨードライバ回路 14: ゲートドライバ回路 15: 論理回路
16: FP 17: 対向電極を有するパネル

【図9】



81: 画素部 82: X方向制御回路 83: Y方向制御回路
84: シグナル用TFT 85: コアゲート 86: 電流制御用TFT 87: 有機EL素子
88a, 88b: X方向信号線 89a~89c: Y方向信号線 90a, 90b: 電源線

【図10】



フロントページの続き

(51)Int.Cl.	F I
H 01 L 27/092 (2006.01)	H 01 L 27/08 3 2 1 N
H 01 L 29/786 (2006.01)	H 01 L 29/78 6 1 2 D
H 01 L 21/336 (2006.01)	H 01 L 29/78 6 1 2 B
H 01 L 27/08 (2006.01)	H 01 L 27/08 3 3 1 E

(56)参考文献 特開平01-134919(JP,A)
特開昭64-073616(JP,A)
特開平08-236433(JP,A)
特開平11-143085(JP,A)
特開平10-303125(JP,A)
特開2000-347416(JP,A)
特開2000-156344(JP,A)
特開昭50-159267(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343- 1/1345、
1/135- 1/1368、
G03F 7/20 - 7/24、 9/00 - 9/02、
G09F 9/00、
H01L21/027、21/30、21/33、21/46、
21/82、27/06 -27/08、
27/088-27/092、29/786