

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年6月8日(08.06.2023)



(10) 国際公開番号

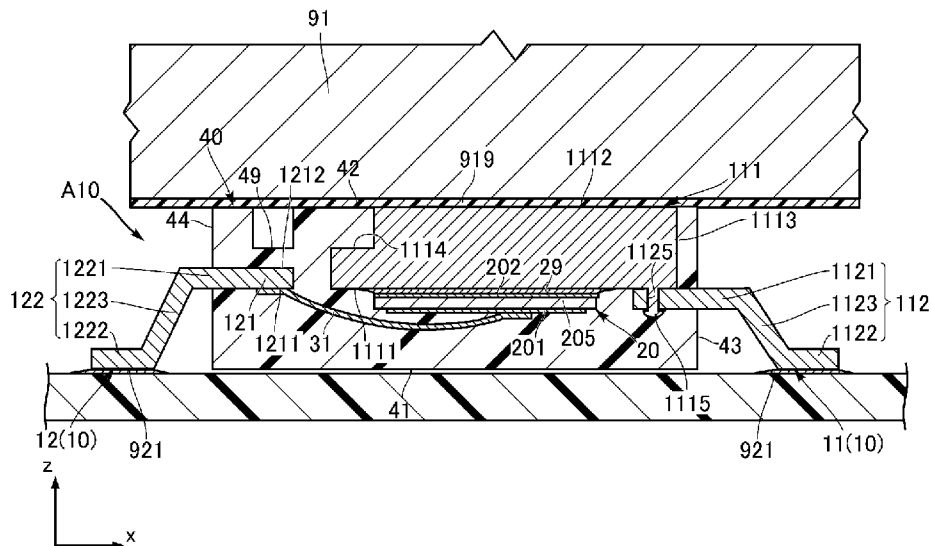
WO 2023/100733 A1

- (51) 国際特許分類:
H01L 23/48 (2006.01) H01L 23/29 (2006.01)
H01L 23/28 (2006.01)
- (21) 国際出願番号: PCT/JP2022/043313
- (22) 国際出願日: 2022年11月24日(24.11.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-195175 2021年12月1日(01.12.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 柿▲崎▼ 僚太郎 (KAKIZAKI Ryotaro);
〒6158585 京都府京都市右京区西院溝崎町2
1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町
2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および、半導体装置の製造方法

FIG.16



(57) Abstract: In the present invention, a semiconductor device comprises: a first lead including a semiconductor element, a die pad part, and a first terminal part; and a sealing resin. The back surface of the first lead is exposed from a second resin surface. The first terminal part is provided with a first section joined to the die pad part, a second section positioned on one z-direction side of the first section and used for mounting, and a third section interposed between the first section and the second section.

ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：半導体装置は、半導体素子と、ダイパッド部と、第1端子部と、を含む第1リードと、封止樹脂と、を備える。第1リード裏面は、第2樹脂面から露出する。前記第1端子部は、前記ダイパッド部に接合された第1部と、前記第1部に対してz方向一方側に位置し且つ実装に用いられる第2部と、前記第1部と前記第2部との間に介在する第3部とを備えている。

明 細 書

発明の名称：半導体装置、および、半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置、および、半導体装置の製造方法に関する。

背景技術

[0002] 特許文献1には、パッド主面およびパッド裏面を有する第1パッドを含む第1リード、第2リード、第3リードと、パッド主面の上に搭載された半導体素子と、パッド主面に接し、かつ半導体素子を覆う封止樹脂とを備える半導体装置の一例が開示されている。第1リード、第2リードおよび第3リードは、同一方向に延びる第1端子、第2端子および第3端子を有する。第1端子、第2端子および第3端子が、回路基板等の貫通孔に挿通されることにより、この半導体装置が回路基板に実装される。また、この半導体装置が、ヒートシンクに取り付けられる場合、パッド裏面とヒートシンクとの間に、たとえば絶縁シートが設けられる。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-174951号公報

発明の概要

発明が解決しようとする課題

[0004] 半導体装置は、回路基板に端子部を挿通させる実装形態の他に、たとえば回路基板に面実装される形態が求められる場合がある。

[0005] 本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記した事情に鑑み、面実装可能な半導体装置を提供することをその一の課題とする。

課題を解決するための手段

[0006] 本開示の一の側面によって提供される半導体装置は、半導体素子と、厚さ方向一方側を向き且つ前記半導体素子が搭載された第1リード主面、前記厚

さ方向他方側を向く第1リード裏面、および、前記厚さ方向と直交する第1方向一方側を向く第1リード側面を有するダイパッド部と、第1端子部と、を含む第1リードと、前記厚さ方向一方側を向く第1樹脂面、および、前記厚さ方向他方側を向く第2樹脂面を有し、前記半導体素子と前記ダイパッド部の一部とを覆う封止樹脂と、を備える。前記第1リード裏面は、前記第2樹脂面から露出する。前記第1端子部は、前記ダイパッド部に接合された第1部と、前記第1部に対して前記厚さ方向一方側に位置し且つ実装に用いられる第2部と、前記第1部と前記第2部との間に介在する第3部と、を備えている。

[0007] なお、本明細書において「接合」とは、金属同士をつなぎ合わせる方法を含み、機械的接合および冶金的接合の両方が含まれる。機械的接合には、係合孔に係合部を係合させてかしめるかしめ接合、および、ネジ、リベットなどの部品によって固定する方法などが含まれる。また、冶金的接合には、超音波接合、はんだなどの接合材による接合、および各種溶接などの方法が含まれる。

[0008] 本開示の一の側面によって提供される半導体装置の製造方法は、第1端子部を有するリードフレームを形成する工程と、前記第1端子部にダイパッド部を接合する工程と、前記ダイパッド部に半導体素子を接合する工程と、前記半導体素子を覆う封止樹脂を形成する工程と、前記リードフレームを切断する工程と、を備えている。

発明の効果

[0009] 上記構成によれば、面実装可能な半導体装置を提供することが可能である。

[0010] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0011] [図1]図1は、本開示の第1実施形態に係る半導体装置を示す斜視図である。

[図2]図2は、本開示の第1実施形態に係る半導体装置を示す斜視図である。

[図3]図3は、本開示の第1実施形態に係る半導体装置を示す斜視図である。

[図4]図4は、本開示の第1実施形態に係る半導体装置を示す要部斜視図である。

[図5]図5は、本開示の第1実施形態に係る半導体装置を示す要部斜視図である。

[図6]図6は、本開示の第1実施形態に係る半導体装置を示す平面図である。

[図7]図7は、本開示の第1実施形態に係る半導体装置を示す底面図である。

[図8]図8は、本開示の第1実施形態に係る半導体装置を示す正面図である。

[図9]図9は、本開示の第1実施形態に係る半導体装置を示す側面図である。

[図10]図10は、本開示の第1実施形態に係る半導体装置を示す要部平面図である。

[図11]図11は、本開示の第1実施形態に係る半導体装置を示す要部底面図である。

[図12]図12は、図11のXⅠⅠ-XⅠⅠ線に沿う断面図である。

[図13]図13は、図11のXⅠⅠⅠ-XⅠⅠⅠ線に沿う断面図である。

[図14]図14は、図11のXⅠⅤ-XⅠⅤ線に沿う断面図である。

[図15]図15は、図11のXⅤ-XⅤ線に沿う断面図である。

[図16]図16は、本開示の第1実施形態に係る半導体装置の使用状態を示す断面図である。

[図17]図17は、本開示の第1実施形態に係る半導体装置の製造方法の一例を示すフローチャートである。

[図18]図18は、本開示の第1実施形態に係る半導体装置の製造方法の一例に係る工程を示す断面図である。

[図19]図19は、本開示の第1実施形態に係る半導体装置の製造方法の一例に係る工程を示す断面図である。

[図20]図20は、本開示の第1実施形態に係る半導体装置の製造方法の一例に係る工程を示す断面図である。

[図21]図21は、本開示の第1実施形態に係る半導体装置の製造方法の一例

に係る工程を示す断面図である。

[図22]図22は、本開示の第1実施形態に係る半導体装置の製造方法の一例に係る工程を示す断面図である。

[図23]図23は、本開示の第1実施形態に係る半導体装置の第1変形例を示す断面図である。

[図24]図24は、本開示の第1実施形態に係る半導体装置の第1変形例の使用状態を示す断面図である。

[図25]図25は、本開示の第1実施形態に係る半導体装置の第2変形例を示す斜視図である。

[図26]図26は、本開示の第1実施形態に係る半導体装置の第2変形例を示す断面図である。

[図27]図27は、本開示の第1実施形態に係る半導体装置の第3変形例を示す斜視図である。

[図28]図28は、本開示の第1実施形態に係る半導体装置の第3変形例を示す断面図である。

[図29]図29は、本開示の第1実施形態に係る半導体装置の第4変形例を示す斜視図である。

[図30]図30は、本開示の第1実施形態に係る半導体装置の第4変形例を示す断面図である。

[図31]図31は、本開示の第1実施形態に係る半導体装置の第5変形例を示す断面図である。

[図32]図32は、本開示の第1実施形態に係る半導体装置の第6変形例を示す断面図である。

[図33]図33は、本開示の第1実施形態に係る半導体装置の第7変形例を示す断面図である。

[図34]図34は、図33の拡大図である。

[図35]図35は、本開示の第1実施形態に係る半導体装置の第8変形例を示す断面図である。

[図36]図 3 6 は、本開示の第 2 実施形態に係る半導体装置を示す要部平面図である。

[図37]図 3 7 は、本開示の第 2 実施形態に係る半導体装置を示す断面図である。

[図38]図 3 8 は、本開示の第 3 実施形態に係る半導体装置を示す斜視図である。

[図39]図 3 9 は、本開示の第 3 実施形態に係る半導体装置を示す要部平面図である。

[図40]図 4 0 は、本開示の第 4 実施形態に係る半導体装置を示す断面図である。

[図41]図 4 1 は、本開示の第 5 実施形態に係る半導体装置を示す断面図である。

[図42]図 4 2 は、本開示の第 6 実施形態に係る半導体装置を示す断面図である。

[図43]図 4 3 は、本開示の第 6 実施形態に係る半導体装置の第 1 変形例を示す断面図である。

[図44]図 4 4 は、本開示の第 6 実施形態に係る半導体装置の第 2 変形例を示す断面図である。

発明を実施するための形態

[0012] 以下、本開示の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0013] 本開示における「第 1」、「第 2」、「第 3」等の用語は、単に識別のために用いたものであり、それらの対象物に順列を付することを意図していない。

[0014] 本開示において、「ある物 A がある物 B に形成されている」および「ある物 A がある物 B 上に形成されている」とは、特段の断りのない限り、「ある物 A がある物 B に直接形成されていること」、および、「ある物 A とある物 B との間に他の物を介在させつつ、ある物 A がある物 B に形成されているこ

と」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B上に位置していること」を含む。また、「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。

[0015] 第1実施形態：

図1～図16は、本開示の第1実施形態に係る半導体装置を示している。本実施形態の半導体装置A10は、導通部材10、半導体素子20、接続部材31、32、33および封止樹脂40を備える。これらの図において、たとえば、z方向は、「厚さ方向」の一例であり、x方向は、「第1方向」の一例であり、y方向は、「第2方向」の一例である。

[0016] 導通部材10：

導通部材10は、半導体素子20への導通経路を構成する部材である。本実施形態の導通部材10は、第1リード11、第2リード12、第3リード13および第4リード14を含む。第1リード11、第2リード12、第3リード13および第4リード14の材質は何ら限定されず、たとえば銅(Cu)または銅合金を含む。また、第1リード11、第2リード12、第3リード13および第4リード14の適所には、銀(Ag)、ニッケル(Ni)、錫(Sn)等のめっきが施されていてもよい。

[0017] 第1リード11：

図1～図15に示すように、第1リード11は、ダイパッド部111および複数の第1端子部112を有する。第1リード11は、別々の部材であっ

たダイパッド部 111 と複数の第 1 端子部 112 とが接合されて形成されている。ダイパッド部 111 は、第 1 リード主面 1111 および第 1 リード裏面 1112 を有する。第 1 リード主面 1111 は、z 方向の一方側を向く面である。第 1 リード裏面 1112 は、z 方向の他方側を向く面である。第 1 リード主面 1111 には、半導体素子 20 が搭載されている。

[0018] 本実施形態のダイパッド部 111 は、第 1 リード側面 1113 および第 1 中間面 1114 をさらに有する。第 1 リード側面 1113 は、z 方向において第 1 リード主面 1111 と第 1 リード裏面 1112 との間に位置しており、x 方向の一方側を向く面である。第 1 中間面 1114 は、z 方向において第 1 リード主面 1111 と第 1 リード裏面 1112 との間に位置しており、z 方向の他方側（第 1 リード裏面 1112 と同じ側）を向く面である。また、本実施形態では、ダイパッド部 111 は、第 1 リード主面 1111 から z 方向に突出し、各第 1 端子部 112 の後述する係合孔 1125 に係合された係合部 1115 を複数備えている。複数の係合部 1115 は、y 方向に等間隔で配置されている。

[0019] ダイパッド部 111 の形状は、何ら限定されない。図示された例においては、ダイパッド部 111 は、z 方向に見て矩形状である。また、第 1 リード主面 1111 および第 1 リード裏面 1112 の形状は、何ら限定されず、図示された例においては、z 方向に見て矩形状である。

[0020] 複数の第 1 端子部 112 は、y 方向に並んで配置されている。第 1 端子部 112 は、第 1 部 1121、第 2 部 1122 および第 3 部 1123 を有する。

[0021] 第 1 部 1121 は、ダイパッド部 111 に接合されている。本実施形態では、第 1 部 1121 は、ダイパッド部 111 の第 1 リード主面 1111 に接合されている。各第 1 部 1121 は、z 方向に貫通した係合孔 1125 を有する。第 1 部 1121 は、ダイパッド部 111 にかしめ接合されている。具体的には、第 1 部 1121 は、係合孔 1125 にダイパッド部 111 の係合部 1115 を挿通される。そして、熱を加えながら、係合部 1115 の先端

側から金型により加圧する。これにより、係合部 1 1 1 5 の先端部分がつぶれて係合孔 1 1 2 5 に係合し、また、係合部 1 1 1 5 の周面が係合孔 1 1 2 5 の内面に密着する。

[0022] 第 1 部 1 1 2 1 は、x 方向の一方側に延びており、図示された例においては x y 平面に平行（あるいは略平行）である。第 1 部 1 1 2 1 の形状は、何ら限定されず、図示された例においては、z 方向に見て矩形状である。図 1 2 に示すように、ダイパッド部 1 1 1 の z 方向の第 1 寸法 t 1 は、第 1 部 1 1 2 1 の z 方向の第 2 寸法 t 2 よりも大きい。各寸法は限定されないが、たとえば、第 1 寸法 t 1 は、第 2 寸法 t 2 の 3 倍以上 1 0 倍以下である。第 1 寸法 t 1 は、異形条の材料で第 1 リード 1 1 を一体的に形成する場合には困難である第 2 寸法 t 2 の 6 倍以上にすることが可能である。第 1 部 1 1 2 1 は、z 方向において第 1 リード裏面 1 1 1 2 から離れている。

[0023] 第 2 部 1 1 2 2 は、第 1 部 1 1 2 1 に対して z 方向の一方側に位置している。第 2 部 1 1 2 2 は、半導体装置 A 1 0 を回路基板等に面実装する際に用いられる。第 2 部 1 1 2 2 は、x 方向に沿って延びる形状である。

[0024] 第 3 部 1 1 2 3 は、第 1 部 1 1 2 1 と第 2 部 1 1 2 2 との間に介在している。第 3 部 1 1 2 3 は、第 1 部 1 1 2 1 から z 方向の一方側に延びている。図示された例においては、第 3 部 1 1 2 3 は、z 方向（y z 平面）に対して傾いている。第 3 部 1 1 2 3 の形状は何ら限定されず、図示された例においては、x 方向に見て矩形状である。

[0025] 第 2 リード 1 2 :

第 2 リード 1 2 は、第 1 リード 1 1 から離間して配置され、ダイパッド部 1 1 1 に対して x 方向の他方側に位置している。第 2 リード 1 2 は、第 2 パッド部 1 2 1 および複数の第 2 端子部 1 2 2 を有する。

[0026] 第 2 パッド部 1 2 1 は、第 2 リード主面 1 2 1 1 および第 2 リード裏面 1 2 1 2 を有する。第 2 リード主面 1 2 1 1 は、z 方向の一方側を向く面である。第 2 リード裏面 1 2 1 2 は、z 方向の他方側を向く面である。第 2 リード主面 1 2 1 1 は、本実施形態では、z 方向において第 1 リード主面 1 1 1

1と同じ（あるいは略同じ）位置にある。第2リード主面1211には、接続部材31が導通接合されている。第2パッド部121の形状は何ら限定されず、図示された例においては、y方向を長手方向とする長矩形状である。また、z方向に見て、第2パッド部121は、ダイパッド部111よりも小さい。また、第2パッド部121は、ダイパッド部111よりもz方向の大きさが小さく、第1端子部112と同じである。

[0027] 複数の第2端子部122は、y方向に並んで配置されている。第2端子部122は、第4部1221、第5部1222および第6部1223を有する。

[0028] 第4部1221は、第2パッド部121に繋がっており、第2パッド部121からx方向の他方側に延びており、図示された例においてはxy平面に平行（あるいは略平行）である。第4部1221のz方向一方側を向く面は、第2リード主面1211と面一である。第4部1221の形状は、何ら限定されず、図示された例においては、z方向に見て矩形状である。

[0029] 第5部1222は、第4部1221に対してz方向の一方側に位置している。第5部1222は、半導体装置A10を回路基板等に面実装する際に用いられる。第5部1222は、x方向に沿って延びる形状である。

[0030] 第6部1223は、第4部1221と第5部1222との間に介在している。第6部1223は、第4部1221からz方向の一方側に延びている。図示された例においては、第6部1223は、z方向（yz平面）に対して傾いている。第6部1223の形状は何ら限定されず、図示された例においては、x方向に見て矩形状である。

[0031] 第3リード13：

第3リード13は、第1リード11および第2リード12から離間して配置され、ダイパッド部111に対してx方向の他方側に位置している。また、第3リード13は、y方向において第2リード12と並んでいる。第3リード13は、第3パッド部131および第3端子部132を有する。

[0032] 第3パッド部131は、第3リード主面1311および第3リード裏面1

3 1 2 を有する。第3リード主面 1 3 1 1 は、z 方向の一方側を向く面である。第3リード裏面 1 3 1 2 は、z 方向の他方側を向く面である。第3リード主面 1 3 1 1 は、本実施形態では、z 方向において第1リード主面 1 1 1 1 と同じ（あるいは略同じ）位置にある。第3リード主面 1 3 1 1 には、接続部材 3 2 が導通接合されている。第3パッド部 1 3 1 の形状は何ら限定されず、図示された例においては、z 方向に見て矩形状である。また、z 方向に見て、第3パッド部 1 3 1 は、第2パッド部 1 2 1 よりも小さい。また、第3パッド部 1 3 1 は、ダイパッド部 1 1 1 よりも z 方向の大きさが小さく、第2パッド部 1 2 1 と同じである。

[0033] 第3端子部 1 3 2 は、第7部 1 3 2 1、第8部 1 3 2 2 および第9部 1 3 2 3 を有する。

[0034] 第7部 1 3 2 1 は、第3パッド部 1 3 1 に繋がっており、第3パッド部 1 3 1 から x 方向の他方側に延びており、図示された例においては x y 平面に平行（あるいは略平行）である。第7部 1 3 2 1 の z 方向一方側を向く面は、第3リード主面 1 3 1 1 と面一である。第7部 1 3 2 1 の形状は、何ら限定されず、図示された例においては、z 方向に見て矩形状である。

[0035] 第8部 1 3 2 2 は、第7部 1 3 2 1 に対して z 方向の一方側に位置している。第8部 1 3 2 2 は、半導体装置 A 1 0 を回路基板等に面実装する際に用いられる。第8部 1 3 2 2 は、x 方向に沿って延びる形状である。

[0036] 第9部 1 3 2 3 は、第7部 1 3 2 1 と第8部 1 3 2 2 との間に介在している。第9部 1 3 2 3 は、第7部 1 3 2 1 から z 方向の一方側に延びている。図示された例においては、第9部 1 3 2 3 は、z 方向（y z 平面）に対して傾いている。第9部 1 3 2 3 の形状は何ら限定されず、図示された例においては、x 方向に見て矩形状である。

[0037] 第4リード 1 4 :

第4リード 1 4 は、第1リード 1 1、第2リード 1 2 および第3リード 1 3 から離間して配置され、ダイパッド部 1 1 1 に対して x 方向の他方側に位置している。また、第4リード 1 4 は、y 方向において第2リード 1 2 と第

3 リード 1 3 との間に位置している。第 4 リード 1 4 は、第 4 パッド部 1 4 1 および第 4 端子部 1 4 2 を有する。

[0038] 第 4 パッド部 1 4 1 は、第 4 リード主面 1 4 1 1 および第 4 リード裏面 1 4 1 2 を有する。第 4 リード主面 1 4 1 1 は、 z 方向の一方側を向く面である。第 4 リード裏面 1 4 1 2 は、 z 方向の他方側を向く面である。第 4 リード主面 1 4 1 1 は、本実施形態では、 z 方向において第 1 リード主面 1 1 1 1 と同じ（あるいは略同じ）位置にある。第 4 リード主面 1 4 1 1 には、接続部材 3 3 が導通接合されている。第 4 パッド部 1 4 1 の形状は何ら限定されず、図示された例においては、 z 方向に見て矩形状である。また、 z 方向に見て、第 4 パッド部 1 4 1 は、第 2 パッド部 1 2 1 よりも小さく、第 3 パッド部 1 3 1 と同程度の大きさである。また、第 4 パッド部 1 4 1 は、ダイパッド部 1 1 1 よりも z 方向の大きさが小さく、第 2 パッド部 1 2 1 および第 3 パッド部 1 3 1 と同じである。

[0039] 第 4 端子部 1 4 2 は、第 1 0 部 1 4 2 1、第 1 1 部 1 4 2 2 および第 1 2 部 1 4 2 3 を有する。

[0040] 第 1 0 部 1 4 2 1 は、第 4 パッド部 1 4 1 に繋がっており、第 4 パッド部 1 4 1 から x 方向の他方側に延びており、図示された例においては x y 平面に平行（あるいは略平行）である。第 1 0 部 1 4 2 1 の z 方向一方側を向く面は、第 4 リード主面 1 4 1 1 と面一である。第 1 0 部 1 4 2 1 の形状は、何ら限定されず、図示された例においては、 z 方向に見て矩形状である。

[0041] 第 1 1 部 1 4 2 2 は、第 1 0 部 1 4 2 1 に対して z 方向の一方側に位置している。第 1 1 部 1 4 2 2 は、半導体装置 A 1 0 を回路基板等に面実装する際に用いられる。第 1 1 部 1 4 2 2 は、 x 方向に沿って延びる形状である。

[0042] 第 1 2 部 1 4 2 3 は、第 1 0 部 1 4 2 1 と第 1 1 部 1 4 2 2 との間に介在している。第 1 2 部 1 4 2 3 は、第 1 0 部 1 4 2 1 から z 方向の一方側に延びている。図示された例においては、第 1 2 部 1 4 2 3 は、 z 方向（ y z 平面）に対して傾いている。第 1 2 部 1 4 2 3 の形状は何ら限定されず、図示された例においては、 x 方向に見て矩形状である。

[0043] 半導体素子 20 :

半導体素子 20 は、図 5 および図 11 ~ 図 15 に示すように、ダイパッド部 111 の第 1 リード主面 1111 に搭載されている。半導体装置 A10 においては、半導体素子 20 は、スイッチング素子である。当該スイッチング素子は、たとえば n チャネル型であり、かつ縦型構造の MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) である。半導体素子 20 は、MOSFET に限定されない。半導体素子 20 は、IGBT (Insulated Gate Bipolar Transistor) などの他のトランジスタでもよい。さらに半導体素子 20 は、ダイオードでもよい。半導体素子 20 は、半導体層 205、第 1 電極 201、第 2 電極 202 および第 3 電極 203 を有する。

[0044] 半導体層 205 は、化合物半導体基板を含む。化合物半導体基板の主材料は、炭化ケイ素 (SiC) である。この他、化合物半導体基板の主材料として、ケイ素 (Si) を用いてもよい。

[0045] 第 1 電極 201 は、z 方向において第 1 リード 11 のダイパッド部 111 の第 1 リード主面 1111 が向く側 (一方側) に設けられている。第 1 電極 201 は、半導体素子 20 のソース電極に相当する。

[0046] 第 2 電極 202 は、z 方向において第 1 電極 201 とは反対側に設けられている。第 2 電極 202 は、第 1 リード 11 のダイパッド部 111 の第 1 リード主面 1111 に対向している。第 2 電極 202 は、半導体素子 20 のドレイン電極に相当する。本実施形態においては、第 2 電極 202 は、接合層 29 を介して第 1 リード主面 1111 に導通接合されている。接合層 29 は、たとえば、はんだ、銀 (Ag) ペースト、焼成銀等である。

[0047] 第 3 電極 203 は、z 方向において第 1 電極 201 と同じ側に設けられ、かつ第 1 電極 201 から離れて位置する。第 3 電極 203 は、半導体素子 20 のゲート電極に相当する。z 方向に見て、第 3 電極 203 の面積は、第 1 電極 201 の面積よりも小である。

[0048] 接続部材 31, 32, 33 :

接続部材 31 は、半導体素子 20 の第 1 電極 201 と第 2 リード 12 の第

2パッド部121の第2リード主面1211とに接合されている。接続部材31の材質は何ら限定されず、アルミニウム（Al）、銅（Cu）、金（Au）等の金属を含む。また、接続部材31の本数は何ら限定されず、複数の接続部材31を備えていてもよい。図示された例においては、接続部材31は、アルミニウム（Al）を含み、扁平な帯状の部材である。

[0049] 接続部材32は、半導体素子20の第3電極203と第3リード13の第3パッド部131の第3リード主面1311とに接続されている。図示された例においては、接続部材32は、金（Au）を含み、接続部材31よりも細い線状部材である。

[0050] 接続部材33は、半導体素子20の第1電極201と第4リード14の第4パッド部141の第4リード主面1411とに接続されている。図示された例においては、接続部材33は、金（Au）を含み、接続部材31よりも細い線状部材である。

[0051] 本実施形態においては、第1リード11の第1端子部112は、ドレイン端子であり、第2リード12の第2端子部122は、ソース端子であり、第3リード13の第3端子部132は、ゲート端子であり、第4リード14の第4端子部142は、ソースセンス端子である。

[0052] 封止樹脂40：

封止樹脂40は、図1～図15に示すように、半導体素子20および接続部材31、32、33と、第1リード11、第2リード12および第3リード13それぞれの一部とを覆っている。封止樹脂40は、電気絶縁性を有する。封止樹脂40は、たとえば黒色のエポキシ樹脂を含む材料からなる。封止樹脂40は、第1樹脂面41、第2樹脂面42、第3樹脂面43、第4樹脂面44、第5樹脂面45および第6樹脂面46を有する。

[0053] 第1樹脂面41は、z方向において第1リード11のダイパッド部111の第1リード主面1111と同じ側（一方側）を向く。第2樹脂面42は、z方向において第1樹脂面41とは反対側（他方側）を向く。第2樹脂面42から、第1リード11のダイパッド部111の第1リード裏面1112が

露出している。第2樹脂面42と第1リード裏面1112とは、互いに面一である。第1リード裏面1112は、x方向において第3樹脂面43から離れている。

[0054] 第3樹脂面43は、x方向の一方側を向いている。第1リード11の複数の第1端子部112の第1部1121は、第3樹脂面43を貫通している。また、第1部1121は、z方向において第2樹脂面42から離れている。

[0055] 第4樹脂面44は、x方向において第3樹脂面43とは反対側（他方側）を向いている。本実施形態においては、第2リード12の複数の第2端子部122の第4部1221、第3リード13の第3端子部132の第7部1321、および第4リード14の第4端子部142の第10部1421が、第4樹脂面44を貫通している。また、第4部1221、第7部1321および第10部1421は、z方向において第2樹脂面42から離れている。

[0056] 第5樹脂面45および第6樹脂面46は、y方向において互いに反対側を向く面である。

[0057] 図示された例においては、封止樹脂40は、溝49を有する。溝49は、第2樹脂面42からz方向に凹んでおり、y方向に沿って延びている。溝49は、第5樹脂面45および第6樹脂面46に到達している。

[0058] また、図示された例においては、封止樹脂40は、2つの凹部47を有している。一方の凹部47は、第1樹脂面41および第5樹脂面45から凹んでいる。他方の凹部47は、41および第6樹脂面46から凹んでいる。凹部47からは、第1リード主面1111の一部が露出している。

[0059] 図16は、半導体装置A10の使用状態を示している。本使用例においては、半導体装置A10は、回路基板92に面実装されている。すなわち、第1端子部112の第2部1122、第2端子部122の第5部1222、第3端子部132の第8部1322および第4端子部142の第11部1422が、たとえばはんだ921によって、回路基板92の配線パターン（図示略）に導通接合されている。また、ダイパッド部111の第1リード裏面1112には、ヒートシンク91が対向配置されている。図示された例におい

ては、第1リード裏面1112とヒートシンク91との間に、シート材919が配置されている。シート材919は、たとえば絶縁シートである。

[0060] 次に、半導体装置A10の製造方法の一例について、図17～図22を参照して以下に説明する。

[0061] 図17は、半導体装置A10の製造方法の一例を示すフローチャートである。図18～図22は、半導体装置A10の製造方法の一例に係る工程を示す図である。図18～図22は、断面図であり、図12に対応する図である。

[0062] 図17に示すように、半導体装置A10の製造方法は、導通部材作成工程S10、ダイボンディング工程S20、接続部材ボンディング工程S30、封止工程S40、および切断工程S50を備えている。

[0063] 導通部材作成工程S10は、導通部材10を作成する工程である。当該工程では、まず、リードフレーム99を形成する(S11)。リードフレーム99は、金属板にスタンピング加工またはエッチング加工などを施すことで形成される。リードフレーム99は、第2リード12、第3リード13、第4リード14、および複数の第1端子部112になる部分を含んでいる。リードフレーム99の第1端子部112になる部分には、z方向に貫通する係合孔1125が形成されている(図18参照)。

[0064] 次に、ダイパッド部111を準備する(S12)。ダイパッド部111には、第1リード主面1111からz方向に突出する複数の係合部1115が形成されている(図18参照)。

[0065] 次に、ダイパッド部111をリードフレーム99にかしめ接合する(S13)。まず、図18および図19に示すように、ダイパッド部111の複数の係合部1115を、リードフレーム99の複数の係合孔1125にそれぞれ挿通させる。次に、図19に示すように、熱を加えながら、係合部1115の先端側から金型により加圧する。これにより、図20に示すように、係合部1115の先端部分がつぶれて係合孔1125に係合し、また、係合部1115の周面が係合孔1125の内面に密着する。

[0066] ダイボンディング工程S20は、ダイパッド部111に、半導体素子20を接合する工程である。当該工程では、まず、ダイパッド部111の第1リード主面1111に、はんだペーストを塗布する。次に、塗布されたはんだペースト上に、半導体素子20を載置する。次いで、リフロー処理を行って、はんだペーストを溶融させた後に固化させる。以上により、半導体素子20が、接合層29を介して、ダイパッド部111に接合される（図21参照）。なお、ダイボンディング工程S20での半導体素子20の接合方法は限定されない。

[0067] 接続部材ボンディング工程S30は、図21に示すように、接続部材31、32、33を形成する工程である。当該工程では、半導体素子20の第1電極201とリードフレーム99の第2リード12になる部分とに、接続部材31を接合する。同様に、第3電極203とリードフレーム99の第3リード13になる部分とに接続部材32を接合し、第1電極201とリードフレーム99の第4リード14になる部分とに接続部材33を接合する。なお、接続部材ボンディング工程S30での接続部材31、32、33の形成方法は限定されない。

[0068] 封止工程S40は、封止樹脂40を形成する工程である。当該工程では、樹脂材料を硬化させることにより、図22に示すように、リードフレーム99およびダイパッド部111それぞれの一部と、半導体素子20および接続部材31、32、33の全体とを覆う封止樹脂40を形成する。当該工程は、たとえば、金型を用いた、周知のトランスファモールディングにより行われる。具体的には、ダイパッド部111、半導体素子20および接続部材31、32、33が接合されたリードフレーム99を、金型成形機にセットする。次に、流動化させた樹脂材料を金型内のキャビティに流し込み、モールディングする。そして、樹脂材料を硬化させる。以上により、封止樹脂40が形成される。第1リード裏面1112を金型に当接させた状態でセットされることで、第1リード裏面1112が封止樹脂40から露出する。また、第1リード裏面1112と、封止樹脂40の第2樹脂面42とが、互いに面一に

なる。なお、封止工程S40での封止樹脂40の形成方法は限定されない。

[0069] 切断工程S50は、リードフレーム99を切断する工程である。当該工程では、たとえばブレードを用いて、リードフレーム99を切断して、個片化する。これにより、半導体装置A10となる個片が形成される。リードフレーム99は、切断されることで、第2リード12、第3リード13、第4リード14、および複数の第1端子部112になる。第1端子部112とダイパッド部111とを合わせた部材が第1リード11である。なお、切断工程S50での切断方法は限定されない。その後、第1端子部112、第2端子部122、第3端子部132および第4端子部142のうち封止樹脂40から突出する部分に曲げ加工を行う。以上の工程を経ることにより、上述した半導体装置A10が製造される。

[0070] なお、半導体装置A10の製造方法は、上述した方法に限定されない。たとえば、ダイパッド部111にあらかじめ半導体素子20を接合しておき、半導体素子20が接合されたダイパッド部111を、リードフレーム99に接合してもよい。

[0071] 次に、半導体装置A10の作用について説明する。

[0072] 図15に示すように、第1リード裏面1112は、第2樹脂面42から露出している。これにより、第1リード裏面1112には、たとえばヒートシンク91を対向配置させることが可能である。また、第2部1122は、第1部1121よりもz方向の一方側に位置している。これにより、第2部1122を用いて半導体装置A10を回路基板92等に面実装することが可能である。また、第1リード裏面1112は、x方向において第3樹脂面43から離れている。また、第1部1121は、z方向において第2樹脂面42から離れている。このため、第1リード裏面1112と第1部1121との間には、封止樹脂40の一部が存在する。これにより、封止樹脂40によって第1リード11をより強固に保持することができる。

[0073] ダイパッド部111は、第1部1121よりもz方向の大きさが大きい。これにより、半導体素子20から第1リード裏面1112へと熱が伝わる過

程で、 x 方向および y 方向において、熱をより広い範囲に伝えることが可能である。したがって、第1リード裏面1112のより広い領域によって、半導体素子20からの熱をヒートシンク91等に放熱することが可能であり、放熱効率を高めることができる。ダイパッド部111の z 方向の大きさが大きいほど、当該効果はより大きくなる。本実施形態では、ダイパッド部111の z 方向の第1寸法 t_1 は、第1部1121の z 方向の第2寸法 t_2 の6倍以上10倍以下である。したがって、半導体装置A10は、放熱効率を十分高めることができる。

[0074] 第1リード11は、別々の部材であったダイパッド部111と複数の第1端子部112とが接合されて形成されている。したがって、 z 方向の大きさが大きく異なるダイパッド部111と複数の第1端子部112とを有する第1リード11が形成可能である。たとえば異形条のリードフレームを用いて第1リード11を形成する場合、ダイパッド部111の z 方向の第1寸法 t_1 には制限があり、第1部1121の z 方向の第2寸法 t_2 の5倍程度までになる。

[0075] 第1リード11は、第1端子部112の各第1部1121に係合孔1125にダイパッド部111の各係合部1115を挿通して、かしめ接合により形成されている。これにより、第1リード11は、複数の第1端子部112がダイパッド部111に強固に接合されて一体化した部材になっている。したがって、ダイパッド部111と第1端子部112との接合において、接合材などの他の部材を用いる必要がない。

[0076] 第1リード11は、複数の第1端子部112を有する。これにより、半導体装置A10の実装強度を高めることができる。

[0077] 封止樹脂40には、溝49が形成されている。これにより、第1リード裏面1112から第2リード12（第4部1221）、第3リード13（第7部1321）および第4リード14（第10部1421）までの、封止樹脂40の表面に沿った距離（以下、沿面距離）を延長することができる。

[0078] 図23～図44は、本開示の他の実施形態を示している。なお、これらの

図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。また、各変形例および各実施形態における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。

[0079] 第1実施形態 第1変形例：

図23および図24は、半導体装置A10の第1変形例を示している。本変形例の半導体装置A11は、第2部1122、第5部1222、第8部1322および第11部1422と、第1樹脂面41との関係が、上述した例と異なっている。

[0080] 本変形例においては、第2部1122、第5部1222、第8部1322および第11部1422は、第1樹脂面41よりもz方向の他方側（第1リード裏面1112が向く側）に位置している。第2部1122、第5部1222、第8部1322および第11部1422のz方向の一方側を向く面と第1樹脂面41とは、距離Gzだけ離れている。

[0081] 本変形例によっても、半導体装置A11を面実装可能であり、半導体装置A10と同様の効果を奏する。また、第1樹脂面41は、第2部1122、第5部1222、第8部1322および第11部1422よりもz方向の一方側に距離Gzだけ突出している。このため、図24に示す半導体装置A11の使用状態においては、半導体装置A11にヒートシンク91が押し付けられると、第1樹脂面41が、回路基板92と当接しやすい。これにより、ヒートシンク91から加えられた力が、第1リード11、第2リード12、第3リード13および第4リード14や半導体素子20に作用することを抑制することができる。

[0082] 第1実施形態 第2変形例：

図25および図26は、半導体装置A10の第2変形例を示している。本変形例の半導体装置A12においては、封止樹脂40に2つの溝49が設けられている。

[0083] 各溝49は、y方向に延びており、第5樹脂面45および第6樹脂面46

に到達している。また、2つの溝49は、x方向に離れて配置されている。

[0084] 本変形例によっても、半導体装置A12を面実装可能であり、上述の例と同様の効果を奏する。また、2つの溝49を有することにより、第1リード裏面1112と第2端子部122、第3端子部132および第4端子部142との沿面距離をさらに延長することができる。本変形例から理解されるように、溝49の個数は何ら限定されない。

[0085] 第1実施形態 第3変形例：

図27および図28は、半導体装置A10の第3変形例を示している。本変形例の半導体装置A13においては、封止樹脂40に凸部48が設けられている。

[0086] 凸部48は、第2樹脂面42からz方向の他方側に突出している。凸部48は、y方向に沿って延びており、第5樹脂面45および第6樹脂面46に到達している。図示された例においては、凸部48は、封止樹脂40のx方向の他方側端に配置されており、第4樹脂面44に接している。

[0087] 本変形例によっても、半導体装置A13を面実装可能である。また、凸部48を有することにより、第1リード裏面1112と第2端子部122、第3端子部132および第4端子部142との沿面距離を延長することができる。

[0088] 第1実施形態 第4変形例：

図29および図30は、半導体装置A10の第4変形例を示している。本変形例のA14においては、封止樹脂40に2つの凸部48が設けられている。

[0089] 各凸部48は、いずれも第2樹脂面42からz方向の他方側に突出している。各凸部48は、y方向に沿って延びており、第5樹脂面45および第6樹脂面46に到達している。2つの凸部48は、x方向において第1リード裏面1112を挟んで互いに離れて配置されている。一方の凸部48は、第4樹脂面44に接している。他方の凸部48は、第3樹脂面43に接している。

[0090] 本変形例によっても、半導体装置A 1 4を面実装可能である。また、2つの凸部4 8を有することにより、第1リード裏面1 1 1 2と第2端子部1 2 2、第3端子部1 3 2および第4端子部1 4 2との沿面距離をさらに延長することができる。本変形例から理解されるように、凸部4 8の個数は何ら限定されない。

[0091] 第1実施形態 第5変形例：

図3 1は、半導体装置A 1 0の第5変形例を示している。本変形例の半導体装置A 1 5においては、封止樹脂4 0が上述の凸部4 8および溝4 9を有していない。本変形例によっても、半導体装置A 1 5を面実装可能である。また、本変形例から理解されるように、封止樹脂4 0は、凸部4 8および溝4 9を有さない構成であってもよい。

[0092] 第1実施形態 第6変形例：

図3 2は、半導体装置A 1 0の第6変形例を示している。本変形例の半導体装置A 1 6においては、ダイパッド部1 1 1に対する複数の第1端子部1 1 2の接合位置が異なっている。

[0093] 本変形例に係るダイパッド部1 1 1の複数の係合部1 1 1 5は、第1リード側面1 1 1 3からx方向に突出しており、y方向に等間隔で配置されている。また、本変形例に係る各第1端子部1 1 2は、第1部1 1 2 1がy方向に見てL字形状であり、係合孔1 1 2 5が第1部1 1 2 1をx方向に貫通している。本変形例では、係合孔1 1 2 5に係合部1 1 1 5を挿通してかしめ接合することで、第1端子部1 1 2（第1部1 1 2 1）が、ダイパッド部1 1 1の第1リード側面1 1 1 3に接合されている。また、本変形例では、第1端子部1 1 2の第1部1 1 2 1のz方向一方側の面と第1リード主面1 1 1 1とが、面一になっている。したがって、第1部1 1 2 1のz方向一方側の面、第1リード主面1 1 1 1、第4部1 2 2 1のz方向一方側の面、および第2リード主面1 2 1 1は、z方向において同じ（あるいは略同じ）位置にある。

[0094] 本変形例によっても、半導体装置A 1 6を面実装可能である。本変形例が

ら理解されるように、ダイパッド部 111 に対する複数の第 1 端子部 112 の接合位置は何ら限定されない。

[0095] 第 1 実施形態 第 7 変形例：

図 33 および図 34 は、半導体装置 A10 の第 7 変形例を示している。本変形例の半導体装置 A17 においては、ダイパッド部 111 と複数の第 1 端子部 112 との接合方法が異なっている。

[0096] 本変形例に係る第 1 リード 11 において、ダイパッド部 111 と複数の第 1 端子部 112 とは、超音波接合により接合されている。具体的には、ダイパッド部 111 と第 1 端子部 112（第 1 部 1121）とが接する面に直交する方向（z 方向）に、互いに押し付け合うように押圧力を加えた状態で、当該接する面に平行な方向に超音波振動を加えることで、両者の接触面を活性化させて、固相接合させる。なお、「直交する方向」は、接する面に対して正確に 90° であることを限定しているのではなく、接する面に対して略 90° であればよい。また、「平行な方向」は、接する面に対して正確に平行であることを限定しているのではなく、接する面に対して略平行であればよい。これにより、ダイパッド部 111 と第 1 端子部 112（第 1 部 1121）とは、互いに接して一体となっている。なお、第 1 部 1121 の第 1 リード主面 1111 に接する境界面 1126 のすべてが、第 1 リード主面 1111 に接合されている必要はない。図 34 に示すように、境界面 1126 のうち第 1 リード主面 1111 に接合されていない部分があっても、面積の 30% 程度が接合されていれば、十分な強度と導電性が確保される。また、図 34 に示すように、第 1 部 1121 は、ダイパッド部 111（第 1 リード主面 1111）との境界に、超音波接合工程で発生したスプラッシュによって、境界面 1126 が向く方向（z 方向）と交差する方向に盛り上がった隆起部 1127 が形成されている。超音波接合工程では、当該隆起部 1127 が形成されるまで、押圧力および超音波振動を加えることで、第 1 リード主面 1111 と境界面 1126 とを、十分な強度と導電性を有する程度に接合して、一体化させることができる。

[0097] 本変形例によっても、半導体装置A 1 7を面実装可能である。さらに、第1リード1 1は、各第1端子部1 1 2の第1部1 1 2 1とダイパッド部1 1 1とが、超音波接合により接合されて形成されている。これにより、第1リード1 1は、複数の第1端子部1 1 2がダイパッド部1 1 1に強固に接合されて一体化した部材になっている。したがって、ダイパッド部1 1 1と第1端子部1 1 2との接合において、ダイパッド部1 1 1に係合部1 1 1 5を形成し、第1端子部1 1 2に係合孔1 1 2 5を形成する必要がないし、接合材などの他の部材を用いる必要がない。

[0098] 第1実施形態 第8変形例：

図3 5は、半導体装置A 1 0の第8変形例を示している。本変形例の半導体装置A 1 8においては、ダイパッド部1 1 1と複数の第1端子部1 1 2との接合方法が異なっている。

[0099] 本変形例に係る第1リード1 1において、ダイパッド部1 1 1と複数の第1端子部1 1 2とは、接合層1 1 5を介して接合されている。つまり、ダイパッド部1 1 1と第1部1 1 2 1の間には、接合層1 1 5が介在する。接合層1 1 5は、たとえば、はんだ、銀（A g）ペースト、焼成銀等である。

[0100] 本変形例によっても、半導体装置A 1 8を面実装可能である。さらに、ダイパッド部1 1 1と複数の第1端子部1 1 2とが接合層1 1 5を介して接合されるので、ダイパッド部1 1 1に係合部1 1 1 5を形成し、第1端子部1 1 2に係合孔1 1 2 5を形成する必要がない。

[0101] 第7変形例および第8変形例から理解されるように、ダイパッド部1 1 1と第1端子部1 1 2との接合方法は何ら限定されない。ダイパッド部1 1 1と第1端子部1 1 2とは、その他の方法（たとえばネジ、リベットなどの部品を用いた他の機械的接合、または、溶接などの他の冶金的接合など）によって接合されてもよい。

[0102] 第2実施形態：

図3 6および図3 7は、本開示の第2実施形態に係る半導体装置を示している。本実施形態の半導体装置A 2 0は、接続部材3 1，3 2，3 3を備え

ていない点で、第1実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1実施形態および各変形例の各部が任意に組み合わせられてもよい。

[0103] 本実施形態においては、第2リード12の第2パッド部121の第2リード裏面1212が、半導体素子20の第1電極201に導通接合されている。また、第3リード13の第3パッド部131の第3リード裏面1312が、半導体素子20の第3電極203に導通接合されている。また、第4リード14の第4パッド部141の第4リード裏面1412が、半導体素子20の第1電極201に導通接合されている。

[0104] 本実施形態によっても、半導体装置A20を面実装可能である。さらに、本実施形態によると、第2パッド部121が第1電極201に導通接合され、第3パッド部131が第3電極203に導通接合され、第4パッド部141が第1電極201に導通接合されている。したがって、第2パッド部121、第3パッド部131および第4パッド部141が接続部材31、32、33を介して半導体素子20に導通接続される場合と比較して、より大きな電流を流すことが可能である。また、半導体装置A20は、接続部材31、32、33を必要としない。また、本実施形態から理解されるように、第2リード12、第3リード13および第4リード14と半導体素子20との具体的な導通形態は何ら限定されない。

[0105] 第3実施形態：

図38および図39は、本開示の第3実施形態に係る半導体装置を示している。本実施形態の半導体装置A30は、第1端子部112の形状が上述した実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1～2実施形態および各変形例の各部が任意に組み合わせられてもよい。

[0106] 本実施形態の第1リード11は、第1端子部112を1つだけ有している。第1端子部112は、第1部1121、2つの第2部1122および2つの第3部1123を有する。

- [0107] 第1部1121は、ダイパッド部111の第1リード主面1111に接合されている。第1部1121は、z方向に貫通した係合孔1125を複数有する。複数の係合孔1125は、y方向に等間隔で配置されている。第1部1121は、複数の係合孔1125に、ダイパッド部111の係合部1115をそれぞれ挿通され、ダイパッド部111にかしめ接合されている。第1部1121は、ダイパッド部111からx方向の一方側に延びており、図示された例においてはx-y平面に平行（あるいは略平行）である。第1部1121は、第3樹脂面43を貫通している。第1部1121の形状は、何ら限定されず、図示された例においては、z方向に見て矩形状である。
- [0108] 2つの第2部1122は、第1部1121に対してz方向の一方側に位置している。2つの第2部1122は、半導体装置A10を回路基板等に面実装する際に用いられる。
- [0109] 2つの第3部1123は、第1部1121と2つの第2部1122との間に介在している。第3部1123は、第1部1121からz方向の一方側に延びている。図示された例においては、第3部1123は、第1部1121からy方向の外側に延出するようにz方向に対して傾いている。第3部1123は、y-z平面に対して平行（あるいは略平行）である。第3部1123の形状は何ら限定されず、図示された例においては、y方向に見て矩形状である。
- [0110] 本実施形態においては、2つの第2部1122は、2つの第3部1123からy方向の外側に延出している。また、2つの第2部1122は、y方向に対して平行（あるいは略平行）である。2つの第2部1122は、2つの第3部1123からx方向の一方側にはみ出さない。図示された例においては、2つの第2部1122と2つの第3部1123とは、x方向における位置が同じ（あるいは略同じ）である。
- [0111] 本実施形態によっても、半導体装置A30を面実装可能である。さらに、第3部1123がy-z平面に対して平行（あるいは略平行）であり、第2部1122がx方向において第3部1123からはみ出さないで、半導体装

置 A 3 0 の x 方向寸法を縮小することができる。また、2つの第2部 1 1 2 2 が第3部 1 1 2 3 から x 方向の外側に延出しているので、半導体装置 A 3 0 の実装強度をさらに高めることができる。また、本実施形態から理解されるように、第1端子部 1 1 2 の形状は何ら限定されない。

[0112] 第4実施形態：

図40は、本開示の第4実施形態に係る半導体装置を示している。本実施形態の半導体装置 A 4 0 は、第1リード 1 1 の構成が上述した実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1～3実施形態および各変形例の各部が任意に組み合わせられてもよい。

[0113] 本実施形態においては、第1リード側面 1 1 1 3 が、第3樹脂面 4 3 より x 方向一方側に位置している。つまり、第1リード裏面 1 1 1 2 が z 方向に見て第3樹脂面 4 3 から x 方向の一方側に位置する部分を有する。

[0114] 本実施形態によっても、半導体装置 A 4 0 を面実装可能である。また、本実施形態によると、第1リード裏面 1 1 1 2 が第3樹脂面 4 3 よりも x 方向の一方側にはみ出す部分を有することにより、ヒートシンク 9 1 と対向する第1リード裏面 1 1 1 2 の面積を拡大することが可能である。したがって、半導体装置 A 4 0 からヒートシンク 9 1 への放熱効率を高めることができる。

[0115] 第5実施形態：

図41は、本開示の第5実施形態に係る半導体装置を示している。本実施形態の半導体装置 A 5 0 は、第1端子部 1 1 2、第2端子部 1 2 2、第3端子部 1 3 2 および第4端子部 1 4 2 の形状が上述した実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1～4実施形態および各変形例の各部が任意に組み合わせられてもよい。

[0116] 本実施形態の第1端子部 1 1 2 において、第3部 1 1 2 3 は、第1部 1 1 2 1 の x 方向一方側端部から第3樹脂面 4 3 に沿って z 方向一方側に延びる

。また、第2部1122は、第3部1123のz方向一方側端部から第1樹脂面41に沿ってx方向他方側に延出している。また、本実施形態の第2端子部122において、第6部1223は、第4部1221のx方向他方側端部から第4樹脂面44に沿ってz方向一方側に延びる。また、第5部1222は、第6部1223のz方向一方側端部から第1樹脂面41に沿ってx方向一方側に延出している。同様に、図に表れていないが、本実施形態の第3端子部132において、第9部1323は、第7部1321のx方向他方側端部から第4樹脂面44に沿ってz方向一方側に延びる。また、第8部1322は、第9部1323のz方向一方側端部から第1樹脂面41に沿ってx方向一方側に延出している。また、本実施形態の第4端子部142において、第12部1423は、第10部1421のx方向他方側端部から第4樹脂面44に沿ってz方向一方側に延びる。また、第11部1422は、第12部1423のz方向一方側端部から第1樹脂面41に沿ってx方向一方側に延出している。

[0117] 本実施形態によっても、半導体装置A50を面実装可能である。また、本実施形態によると、第2部1122、第5部1222、第8部1322および第11部1422は、x方向内側に向けて延出しているので、x方向外側に向けて延出している場合（いわゆるガルウイング状）と比較して、半導体装置A50の実装面積（x方向の寸法）を小さくできる。また、本実施形態から理解されるように、第1端子部112、第2端子部122、第3端子部132および第4端子部142の形状は、何ら限定されない。

[0118] 第6実施形態：

図42は、本開示の第6実施形態に係る半導体装置を示している。本実施形態の半導体装置A60は、第1端子部112、第2端子部122、第3端子部132および第4端子部142の構成が上述した実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1～5実施形態および各変形例の各部が任意に組み合わせられてもよい。

[0119] 本実施形態においては、第1端子部112は、第1部1121が第3樹脂面43を貫通せず、第3部1123が封止樹脂40内をz方向に延び、第2部1122が第1樹脂面41から露出している。また、第2端子部122は、第4部1221が第4樹脂面44を貫通せず、第6部1223が封止樹脂40内をz方向に延び、第5部1222が第1樹脂面41から露出している。また、図に表れていないが、第3端子部132は、第7部1321が第4樹脂面44を貫通せず、第9部1323が封止樹脂40内をz方向に延び、第8部1322が第1樹脂面41から露出している。同様に、第4端子部142は、第10部1421が第4樹脂面44を貫通せず、第12部1423が封止樹脂40内をz方向に延び、第11部1422が第1樹脂面41から露出している。

[0120] 本実施形態によっても、半導体装置A60を面実装可能である。さらに、第1端子部112、第2端子部122、第3端子部132および第4端子部142が第3樹脂面43または第4樹脂面44を貫通してx方向に突出する場合と比較して、半導体装置A60の実装面積（x方向の寸法）を小さくできる。本実施形態から理解されるように、第1端子部112、第2端子部122、第3端子部132および第4端子部142の構成は、何ら限定されない。

[0121] 第6実施形態 第1変形例：

図43は、半導体装置A60の第1変形例を示している。本変形例の半導体装置A61においては、ダイパッド部111に対する複数の第1端子部112の接合位置が、第6実施形態と異なっている。

[0122] 本変形例に係るダイパッド部111の複数の係合部1115は、第1リード側面1113からx方向に突出しており、y方向に等間隔で配置されている。また、本変形例に係る各第1端子部112は、第1部1121が第3部1123のz方向他方側に繋がり、z方向他方側に延出している。係合孔1125は、第1部1121をx方向に貫通している。本変形例では、係合孔1125に係合部1115を挿通してかしめ接合することで、第1端子部1

1 2（第1部1 1 2 1）が、ダイパッド部1 1 1の第1リード側面1 1 1 3に接合されている。

[0123] 本変形例によっても、半導体装置A 6 1を面実装可能であり、上述の例と同様の効果を奏する。本変形例から理解されるように、ダイパッド部1 1 1に対する複数の第1端子部1 1 2の接合位置は何ら限定されない。

[0124] 第6実施形態 第2変形例：

図4 4は、半導体装置A 6 0の第2変形例を示している。本変形例の半導体装置A 6 2においては、封止樹脂4 0が凹形状領域4 1 1を有している。凹形状領域4 1 1は、第1樹脂面4 1からz方向に凹む領域である。凹形状領域4 1 1は、x方向における第2部1 1 2 2と第5部1 2 2 2、第8部1 3 2 2および第1 1部1 4 2 2との間に位置する。本変形例では、凹形状領域4 1 1は、第2部1 1 2 2の近辺からx方向他方側に進むにしたがって緩やかにz方向他方側に凹み、第5部1 2 2 2、第8部1 3 2 2および第1 1部1 4 2 2の近辺からx方向一方側に進むにしたがって緩やかにz方向他方側に凹む凹部である。凹形状領域4 1 1は、半導体素子2 0および接続部材3 1，3 2，3 3に影響を及ぼさないように形成されている。

[0125] 本変形例によっても、半導体装置A 6 2を面実装可能であり、上述の例と同様の効果を奏する。また、封止樹脂4 0が凹形状領域4 1 1を有することで、第2部1 1 2 2から第5部1 2 2 2、第8部1 3 2 2および第1 1部1 4 2 2までの、封止樹脂4 0の表面に沿った距離（沿面距離）を延長することができる。なお、凹形状領域4 1 1は、本変形例のように、緩やかな凹部が1つだけある場合に限定されない。凹形状領域4 1 1は、複数の凹部を有してもよい。

[0126] 本開示に係る半導体装置および半導体装置の製造方法は、先述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成、および、本開示の半導体装置の製造方法の各工程の具体的な処理は、種々に設計変更自在である。本開示は、以下の付記に記載した実施形態を含む。

[0127] 付記 1.

半導体素子と、

厚さ方向一方側を向き且つ前記半導体素子が搭載された第 1 リード主面、前記厚さ方向他方側を向く第 1 リード裏面、および、前記厚さ方向と直交する第 1 方向一方側を向く第 1 リード側面を有するダイパッド部と、第 1 端子部と、を含む第 1 リードと、

前記厚さ方向一方側を向く第 1 樹脂面、および、前記厚さ方向他方側を向く第 2 樹脂面を有し、前記半導体素子と前記ダイパッド部の一部とを覆う封止樹脂と、を備え、

前記第 1 リード裏面は、前記第 2 樹脂面から露出し、

前記第 1 端子部は、前記ダイパッド部に接合された第 1 部と、前記第 1 部に対して前記厚さ方向一方側に位置し且つ実装に用いられる第 2 部と、前記第 1 部と前記第 2 部との間に介在する第 3 部と、を備えている、半導体装置。

付記 2.

前記第 1 部は、前記第 1 リード主面に接合されている、付記 1 に記載の半導体装置。

付記 3.

前記第 1 部は、前記第 1 リード側面に接合されている、付記 1 に記載の半導体装置。

付記 4.

前記ダイパッド部は、係合部をさらに有し、

前記第 1 部は、前記係合部に係合する係合孔を有し、

前記係合部は、前記係合孔にかしめられている、付記 1 ないし 3 のいずれかに記載の半導体装置。

付記 5.

前記ダイパッド部と前記第 1 部とは、互いに接して一体となっており、

前記第 1 部は、前記ダイパッド部との境界に、前記第 1 部と前記ダイパッ

ド部との境界面が向く方向と交差する方向に盛り上がった隆起部が形成されている、付記 1 ないし 3 のいずれかに記載の半導体装置。

付記 6.

前記ダイパッド部と前記第 1 部との間に介在する接合層をさらに備えている、付記 1 ないし 3 のいずれかに記載の半導体装置。

付記 7.

前記第 1 リードから離間して配置された第 2 リードをさらに備え、

前記第 2 リードは、第 2 パッド部と、前記第 2 パッド部に繋がる第 2 端子部と、を備え、

前記第 2 端子部は、前記第 2 パッド部に繋がる第 4 部と、前記第 4 部に対して前記厚さ方向一方側に位置し且つ実装に用いられる第 5 部と、前記第 4 部と前記第 5 部との間に介在する第 6 部と、を備え、

前記封止樹脂は、前記第 1 方向一方側を向く第 3 樹脂面と、前記第 1 方向他方側を向く第 4 樹脂面と、をさらに有する、付記 1 ないし 6 のいずれかに記載の半導体装置。

付記 7-1.

前記第 2 パッド部と前記半導体素子とに導通接合された接続部材をさらに備えている、付記 7 に記載の半導体装置。

付記 7-2.

前記第 2 パッド部は、前記半導体素子に導通接合されている、付記 7 に記載の半導体装置。

付記 8.

前記第 1 部は、前記第 3 樹脂面を貫通し、且つ、前記厚さ方向において前記第 2 樹脂面から離れており、

前記第 4 部は、前記第 4 樹脂面を貫通し、且つ、前記厚さ方向において前記第 2 樹脂面から離れている、付記 7 に記載の半導体装置。

付記 8-1.

前記第 2 部は、前記第 3 部から前記厚さ方向および前記第 1 方向に直交す

る第2方向外側に延出している、付記8に記載の半導体装置。

付記8-2.

前記第2部は、前記第3部から前記第1方向他方側に延出している、付記8に記載の半導体装置。

付記9.

前記第2部および前記第5部は、前記第1樹脂面より、前記厚さ方向他方側に位置する、付記8に記載の半導体装置。

付記10.

前記第2パッド部は、前記厚さ方向一方側を向く第2リード主面を有し、前記第1部の前記厚さ方向一方側の面、前記第1リード主面、前記第4部の前記厚さ方向一方側の面、および、前記第2リード主面、は、前記厚さ方向において同じ位置にある、付記8または9に記載の半導体装置。

付記10-1.

前記第1リード裏面は、前記厚さ方向に見て前記第3樹脂面から前記第1方向一方側に位置する部分を有する、付記8または9に記載の半導体装置。

付記11.

前記第3部および前記第6部は、前記封止樹脂内を前記厚さ方向に延び、前記第2部および前記第5部は、前記第1樹脂面から露出している、付記7に記載の半導体装置。

付記11-1.

前記封止樹脂は、前記第1方向における前記第2部と前記第5部との間において、前記第1樹脂面から前記厚さ方向に凹む凹部を有する、付記11に記載の半導体装置。

付記12.

前記ダイパッド部の前記厚さ方向の第1寸法は、前記第1部の前記厚さ方向の第2寸法の6倍以上10倍以下である、付記1ないし11のいずれかに記載の半導体装置。

付記12-1.

前記封止樹脂は、前記第２樹脂面から前記厚さ方向に凹む溝を有する、付記１ないし１２のいずれかに記載の半導体装置。

付記１２－２．

前記封止樹脂は、前記第２樹脂面から前記厚さ方向に突出する凸部を有する、付記１ないし１２のいずれかに記載の半導体装置。

付記１３．

第１端子部を有するリードフレームを形成する工程と、
前記第１端子部にダイパッド部を接合する工程と、
前記ダイパッド部に半導体素子を接合する工程と、
前記半導体素子を覆う封止樹脂を形成する工程と、
前記リードフレームを切断する工程と、を備えている、半導体装置の製造方法。

付記１４．

前記ダイパッド部は、係合部を有し、
前記第１端子部は、前記係合部に係合する係合孔を有し、
前記接合する工程では、前記第１端子部に前記ダイパッド部をかしめ接合する、付記１３に記載の半導体装置の製造方法。

付記１５．

前記接合する工程では、前記第１端子部と前記ダイパッド部とに押圧力を加えた状態で、前記第１端子部と前記ダイパッド部とが接する面に平行な方向での振動を加えることで固相接合させる、付記１３に記載の半導体装置の製造方法。

符号の説明

[0128] A 1 0, A 1 1, A 1 2, A 1 3, A 1 4, A 1 5, A 1 6, A 1 7, A 1 8, A 2 0, A 3 0, A 4 0, A 5 0, A 6 0, A 6 1, A 6 2 : 半導体装置

1 0 : 導通部材 1 1 : 第１リード

1 2 : 第２リード 1 3 : 第３リード

14 : 第4リード 20 : 半導体素子
29 : 接合層 31, 32, 33 : 接続部材
40 : 封止樹脂 41 : 第1樹脂面
42 : 第2樹脂面 43 : 第3樹脂面
44 : 第4樹脂面 45 : 第5樹脂面
46 : 第6樹脂面 47 : 凹部
48 : 凸部 49 : 溝
91 : ヒートシンク 92 : 回路基板
99 : リードフレーム 111 : ダイパッド部
112 : 第1端子部 115 : 接合層
121 : 第2パッド部 122 : 第2端子部
131 : 第3パッド部 132 : 第3端子部
141 : 第4パッド部 142 : 第4端子部
201 : 第1電極 202 : 第2電極
203 : 第3電極 205 : 半導体層
411 : 凹形状領域 919 : シート材
921 : はんだ 1111 : 第1リード主面
1112 : 第1リード裏面 1113 : 第1リード側面
1114 : 第1中間面 1115 : 係合部
1121 : 第1部 1122 : 第2部
1123 : 第3部 1125 : 係合孔
1126 : 境界面 1127 : 隆起部
1211 : 第2リード主面 1212 : 第2リード裏面
1221 : 第4部 1222 : 第5部
1223 : 第6部 1311 : 第3リード主面
1312 : 第3リード裏面 1321 : 第7部
1322 : 第8部 1323 : 第9部
1411 : 第4リード主面 1412 : 第4リード裏面

1 4 2 1 : 第 1 0 部

1 4 2 2 : 第 1 1 部

1 4 2 3 : 第 1 2 部

請求の範囲

- [請求項1] 半導体素子と、
厚さ方向一方側を向き且つ前記半導体素子が搭載された第1リード主面、前記厚さ方向他方側を向く第1リード裏面、および、前記厚さ方向と直交する第1方向一方側を向く第1リード側面を有するダイパッド部と、第1端子部と、を含む第1リードと、
前記厚さ方向一方側を向く第1樹脂面、および、前記厚さ方向他方側を向く第2樹脂面を有し、前記半導体素子と前記ダイパッド部の一部とを覆う封止樹脂と、を備え、
前記第1リード裏面は、前記第2樹脂面から露出し、
前記第1端子部は、前記ダイパッド部に接合された第1部と、前記第1部に対して前記厚さ方向一方側に位置し且つ実装に用いられる第2部と、前記第1部と前記第2部との間に介在する第3部と、を備えている、半導体装置。
- [請求項2] 前記第1部は、前記第1リード主面に接合されている、請求項1に記載の半導体装置。
- [請求項3] 前記第1部は、前記第1リード側面に接合されている、請求項1に記載の半導体装置。
- [請求項4] 前記ダイパッド部は、係合部をさらに有し、
前記第1部は、前記係合部に係合する係合孔を有し、
前記係合部は、前記係合孔にかしめられている、請求項1ないし3のいずれかに記載の半導体装置。
- [請求項5] 前記ダイパッド部と前記第1部とは、互いに接して一体となっており、
前記第1部は、前記ダイパッド部との境界に、前記第1部と前記ダイパッド部との境界面が向く方向と交差する方向に盛り上がった隆起部が形成されている、請求項1ないし3のいずれかに記載の半導体装置。

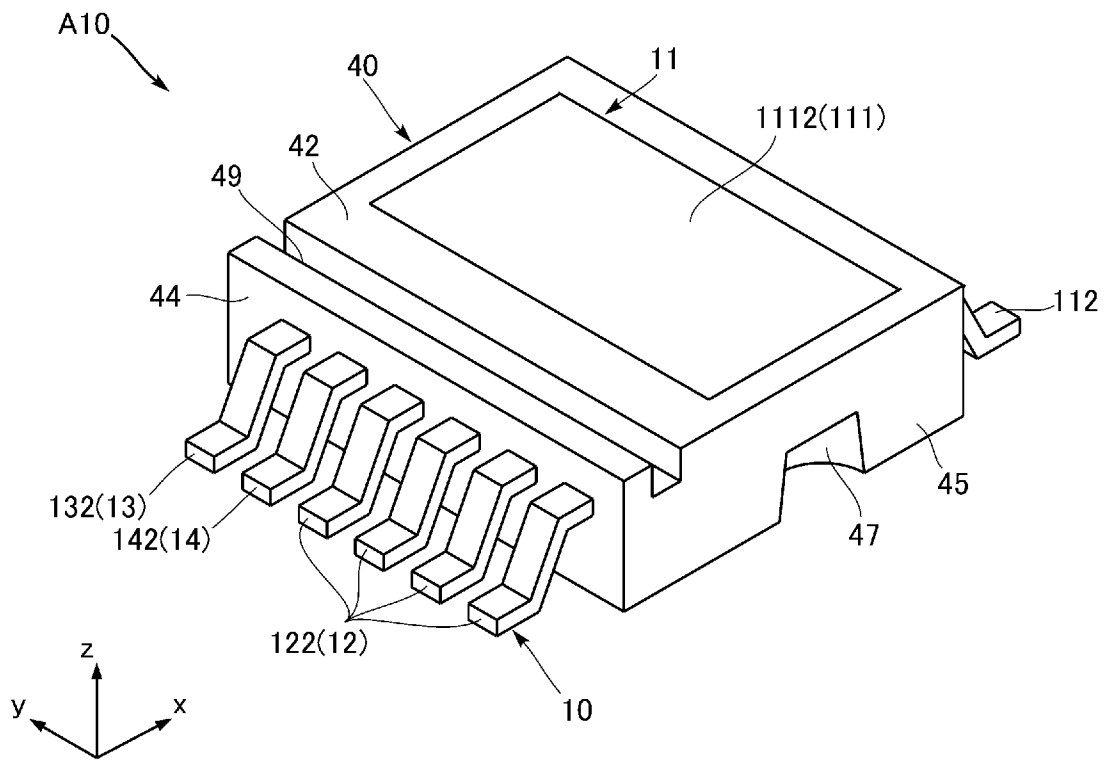
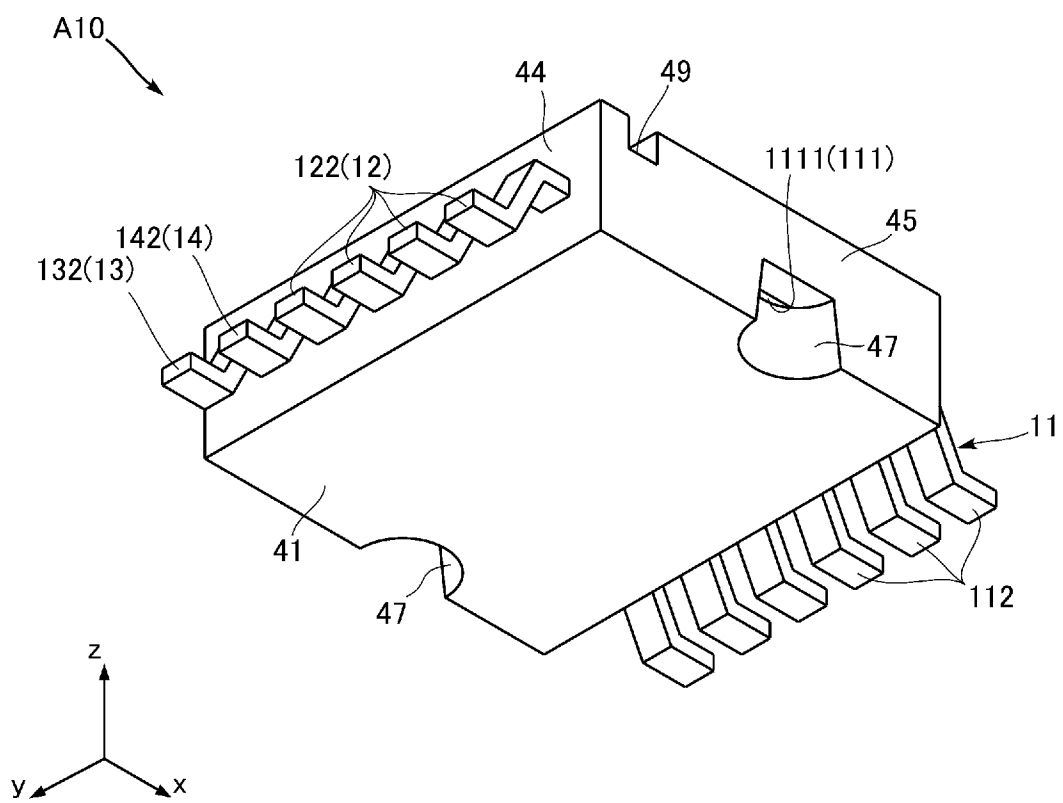
- [請求項6] 前記ダイパッド部と前記第1部との間に介在する接合層をさらに備えている、請求項1ないし3のいずれかに記載の半導体装置。
- [請求項7] 前記第1リードから離間して配置された第2リードをさらに備え、
前記第2リードは、第2パッド部と、前記第2パッド部に繋がる第2端子部と、を備え、
前記第2端子部は、前記第2パッド部に繋がる第4部と、前記第4部に対して前記厚さ方向一方側に位置し且つ実装に用いられる第5部と、前記第4部と前記第5部との間に介在する第6部と、を備え、
前記封止樹脂は、前記第1方向一方側を向く第3樹脂面と、前記第1方向他方側を向く第4樹脂面と、をさらに有する、請求項1ないし6のいずれかに記載の半導体装置。
- [請求項8] 前記第1部は、前記第3樹脂面を貫通し、且つ、前記厚さ方向において前記第2樹脂面から離れており、
前記第4部は、前記第4樹脂面を貫通し、且つ、前記厚さ方向において前記第2樹脂面から離れている、請求項7に記載の半導体装置。
- [請求項9] 前記第2部および前記第5部は、前記第1樹脂面より、前記厚さ方向他方側に位置する、請求項8に記載の半導体装置。
- [請求項10] 前記第2パッド部は、前記厚さ方向一方側を向く第2リード主面を有し、
前記第1部の前記厚さ方向一方側の面、前記第1リード主面、前記第4部の前記厚さ方向一方側の面、および、前記第2リード主面、は、前記厚さ方向において同じ位置にある、請求項8または9に記載の半導体装置。
- [請求項11] 前記第3部および前記第6部は、前記封止樹脂内を前記厚さ方向に延び、
前記第2部および前記第5部は、前記第1樹脂面から露出している、請求項7に記載の半導体装置。
- [請求項12] 前記ダイパッド部の前記厚さ方向の第1寸法は、前記第1部の前記

厚さ方向の第2寸法の6倍以上10倍以下である、請求項1ないし11のいずれかに記載の半導体装置。

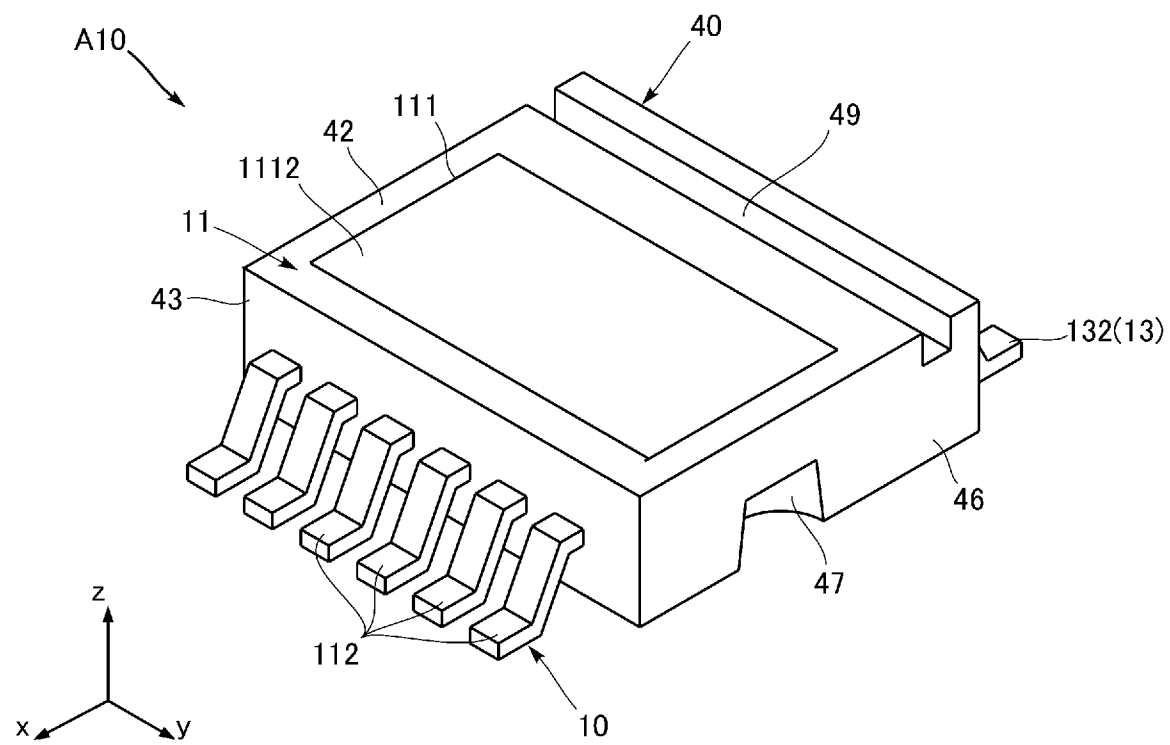
[請求項13] 第1端子部を有するリードフレームを形成する工程と、
前記第1端子部にダイパッド部を接合する工程と、
前記ダイパッド部に半導体素子を接合する工程と、
前記半導体素子を覆う封止樹脂を形成する工程と、
前記リードフレームを切断する工程と、を備えている、半導体装置の製造方法。

[請求項14] 前記ダイパッド部は、係合部を有し、
前記第1端子部は、前記係合部に係合する係合孔を有し、
前記接合する工程では、前記第1端子部に前記ダイパッド部をかしめ接合する、請求項13に記載の半導体装置の製造方法。

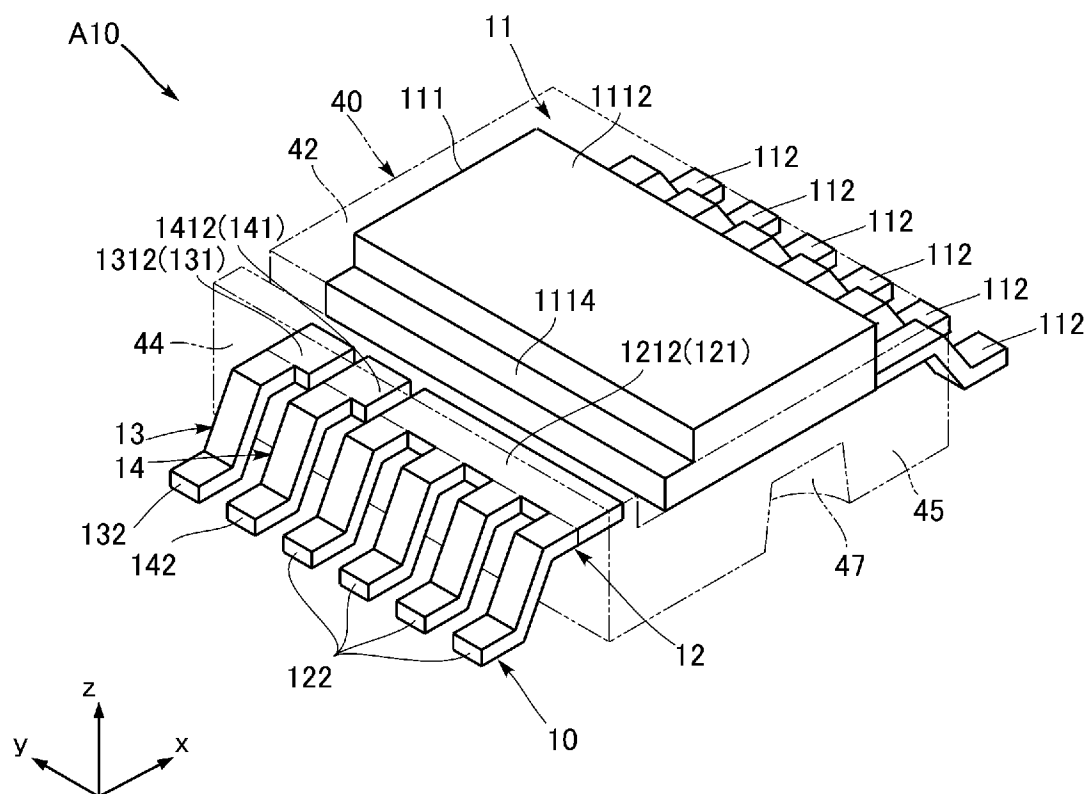
[請求項15] 前記接合する工程では、前記第1端子部と前記ダイパッド部とに押圧力を加えた状態で、前記第1端子部と前記ダイパッド部とが接する面に平行な方向での振動を加えることで固相接合させる、請求項13に記載の半導体装置の製造方法。

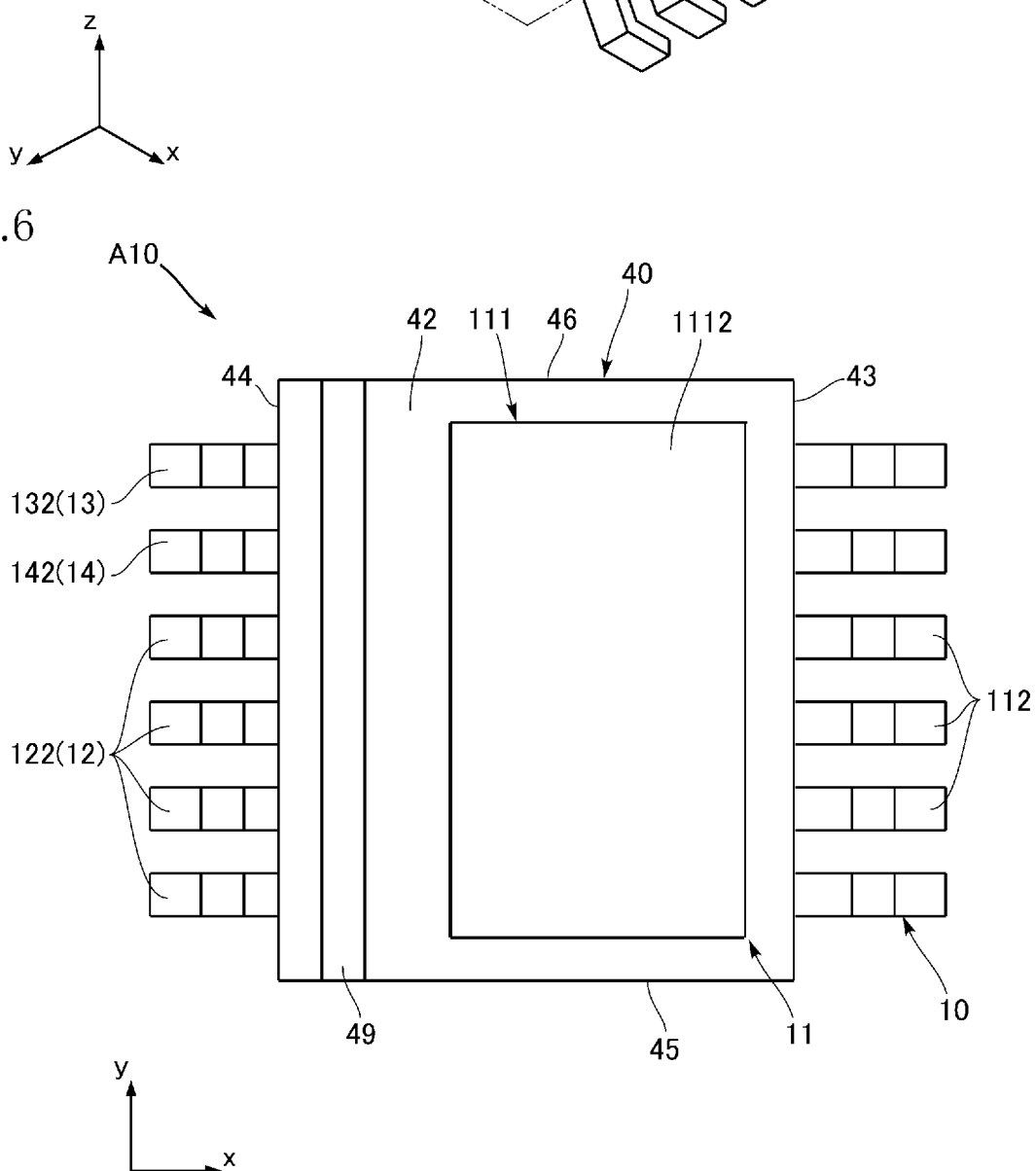
[図1]
FIG.1[図2]
FIG.2

[図3]
FIG.3

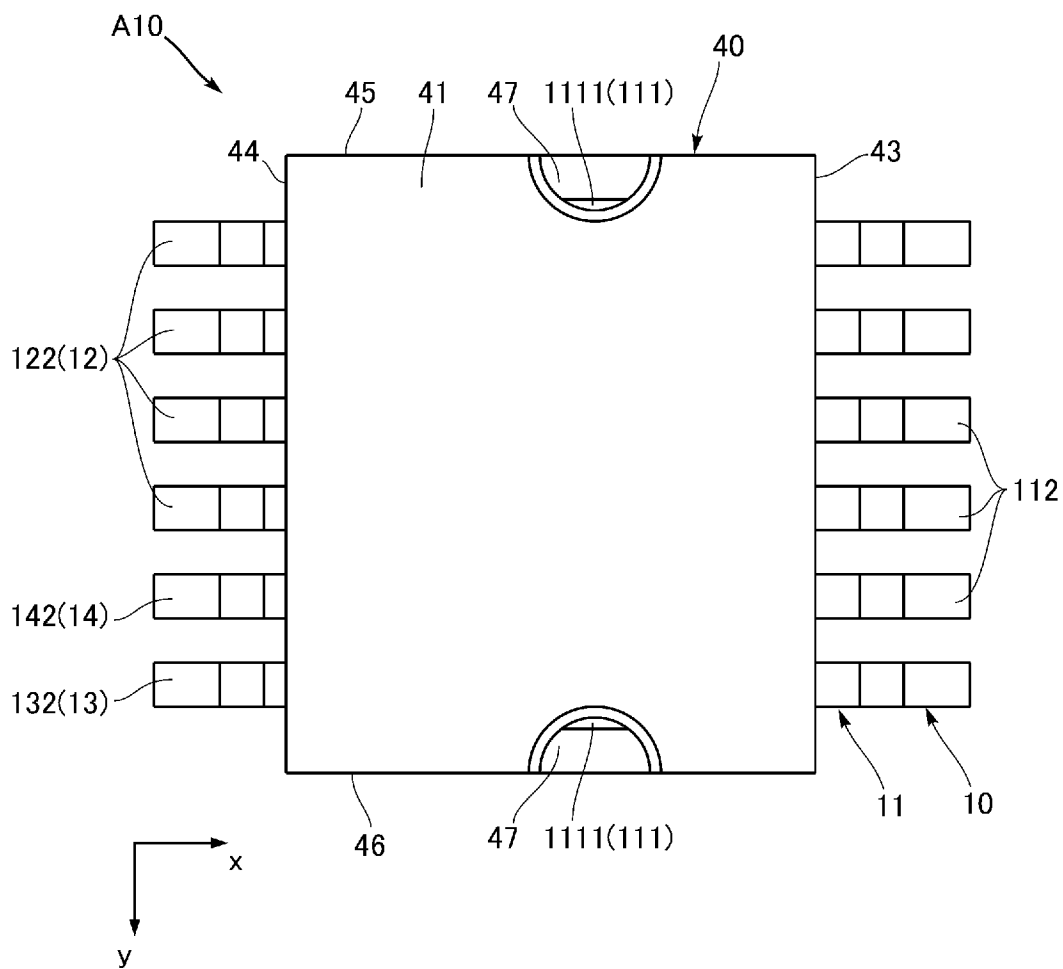


[図4]
FIG.4

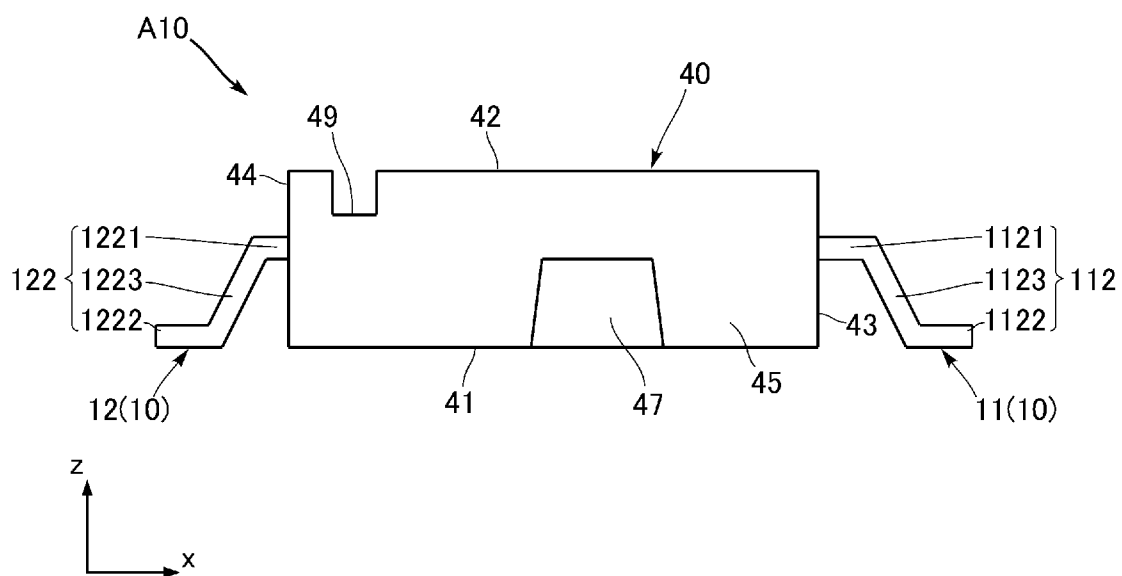




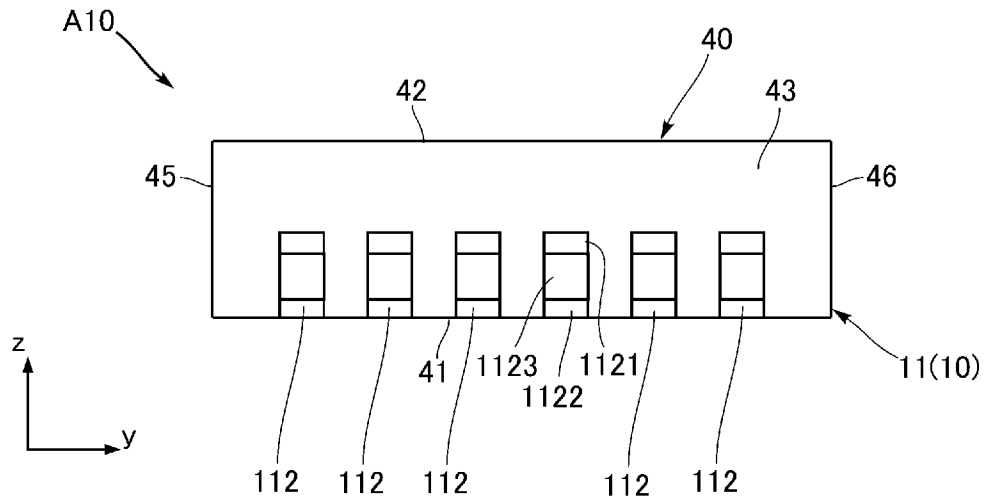
【図7】
FIG.7



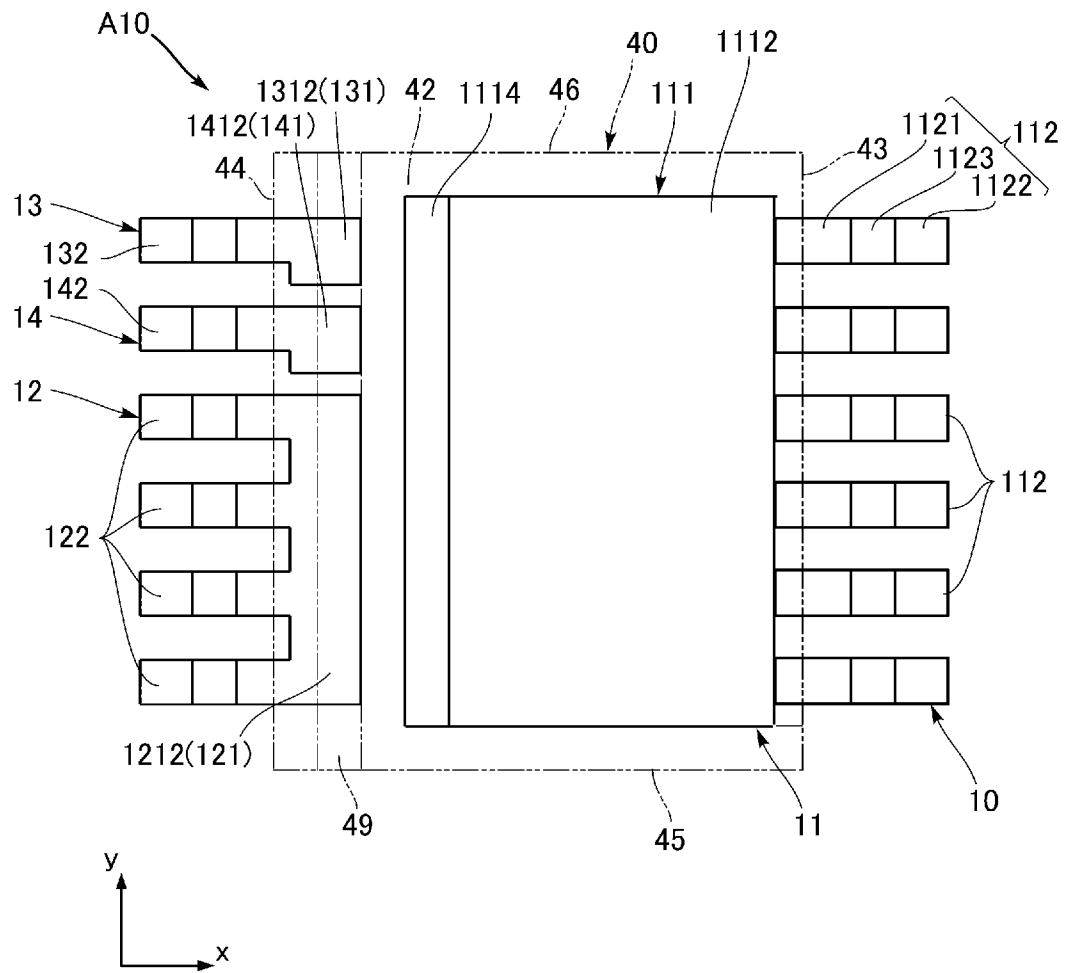
【図8】
FIG.8



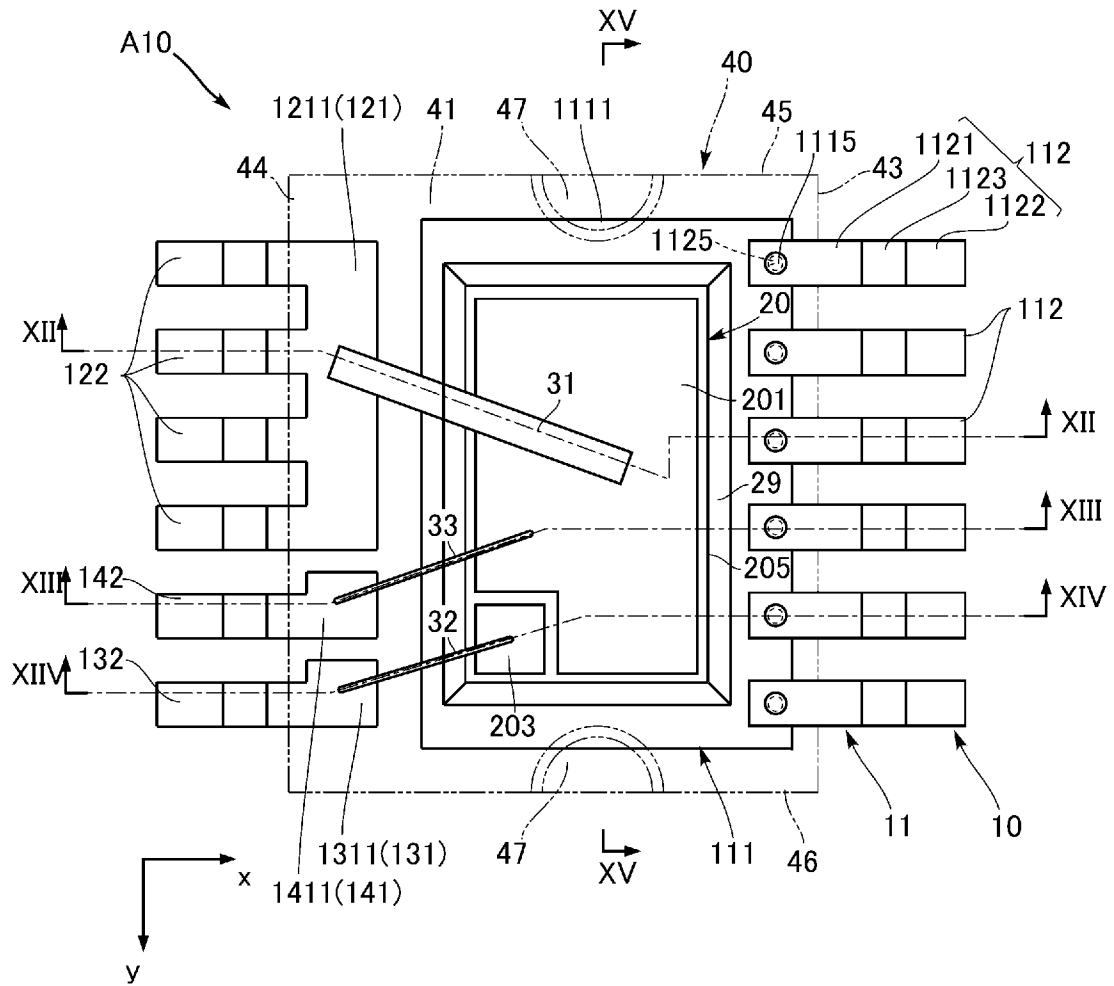
【図9】
FIG.9



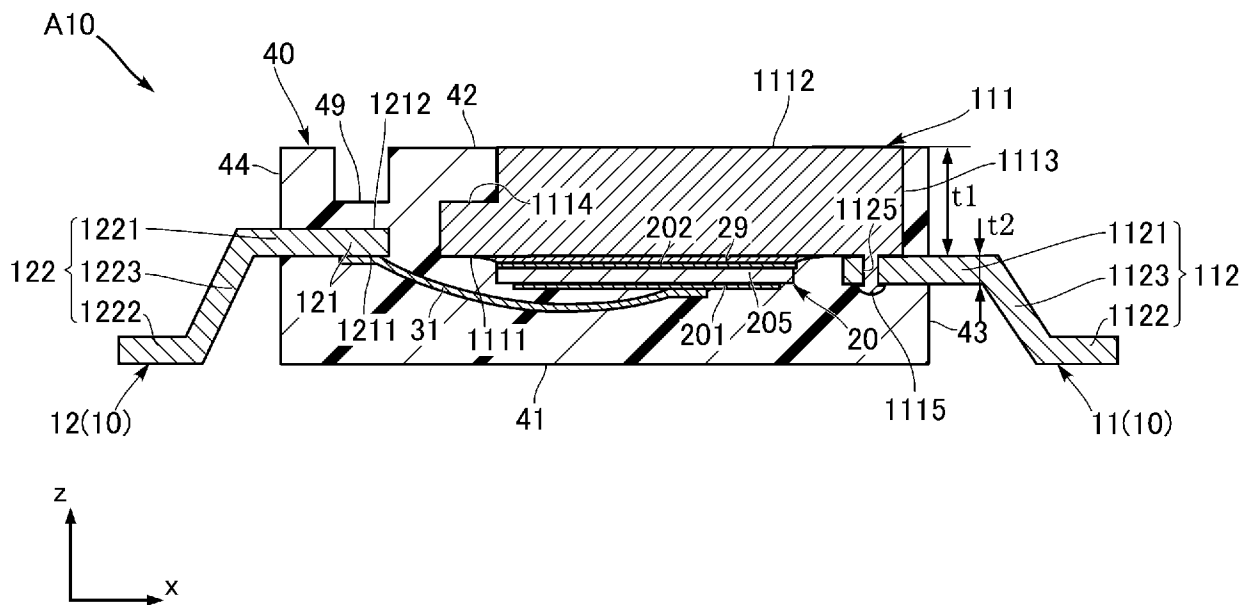
【図10】
FIG.10



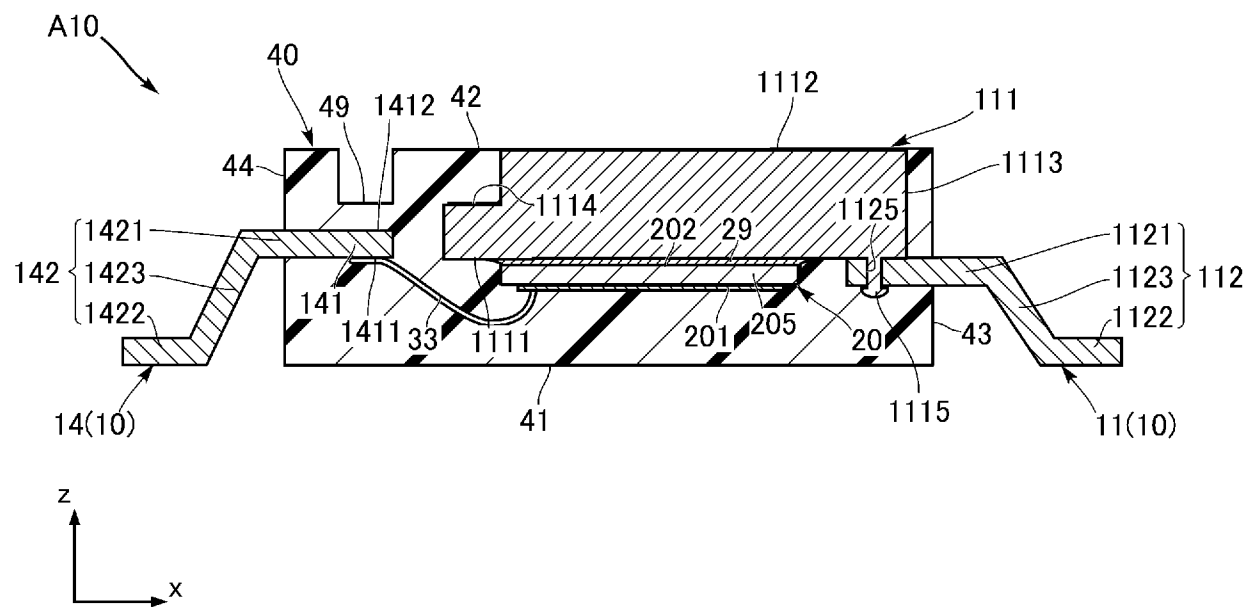
[図11]
FIG.11



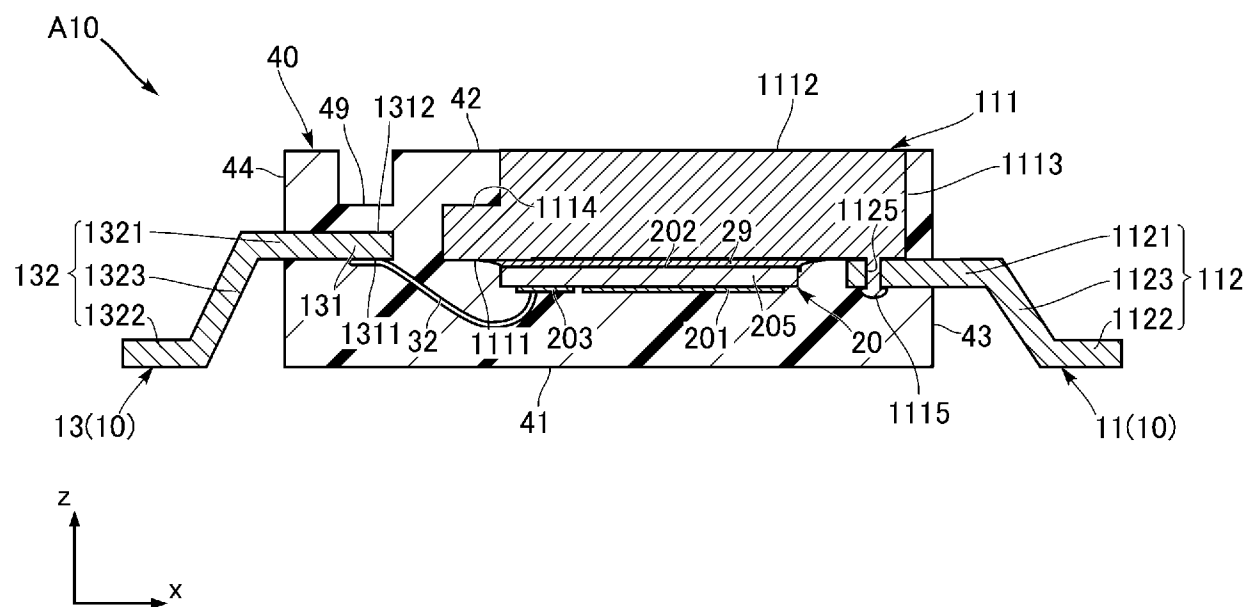
[図12]
FIG.12



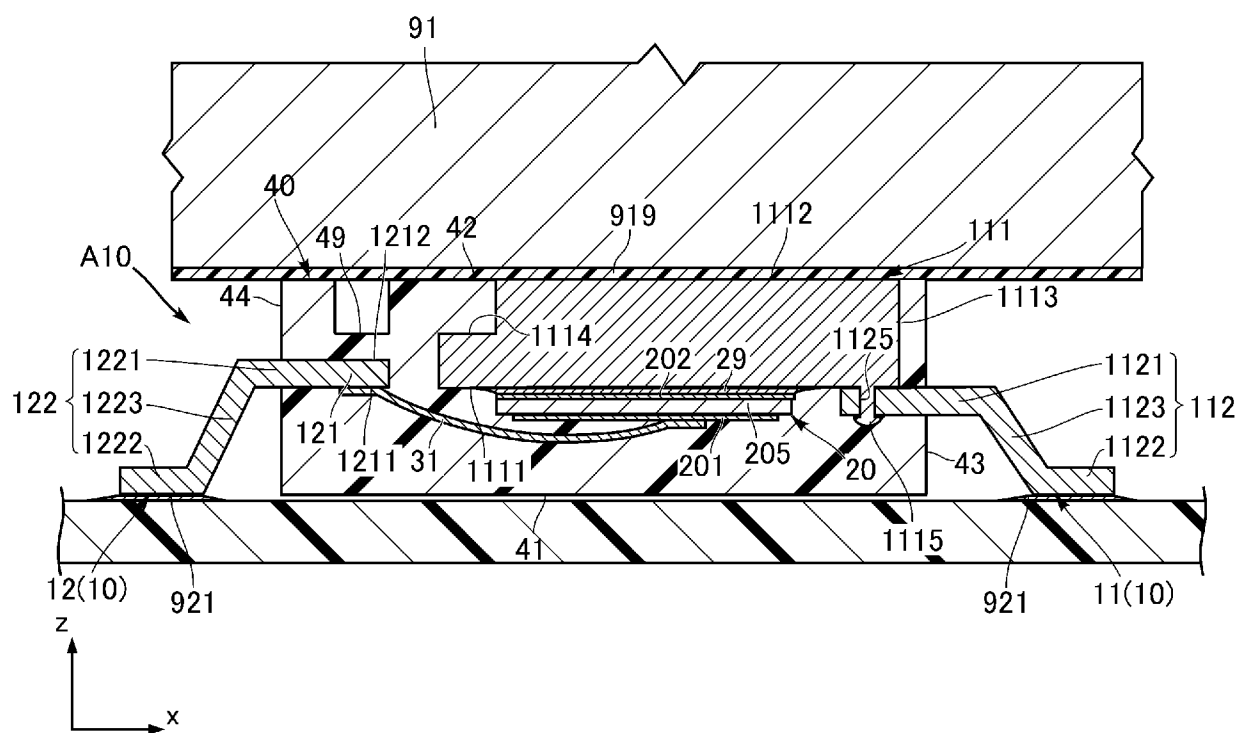
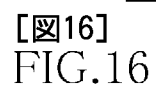
[図13]
FIG.13



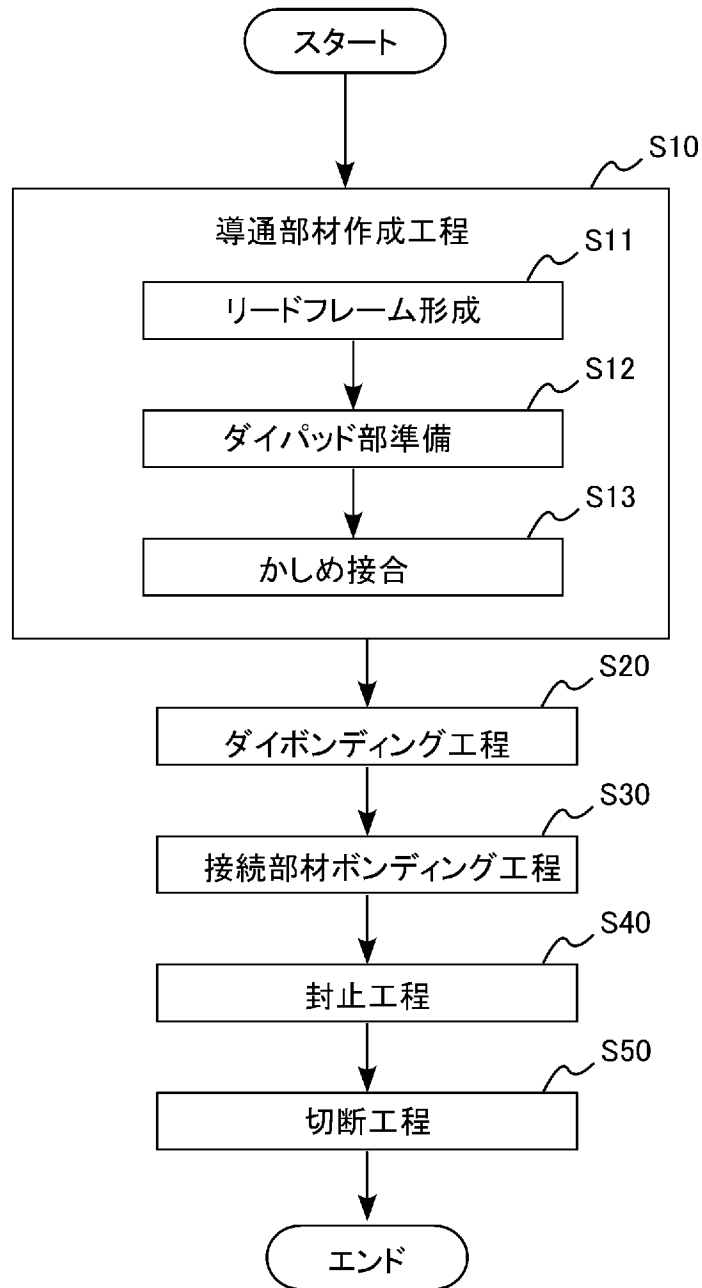
[図14]
FIG.14

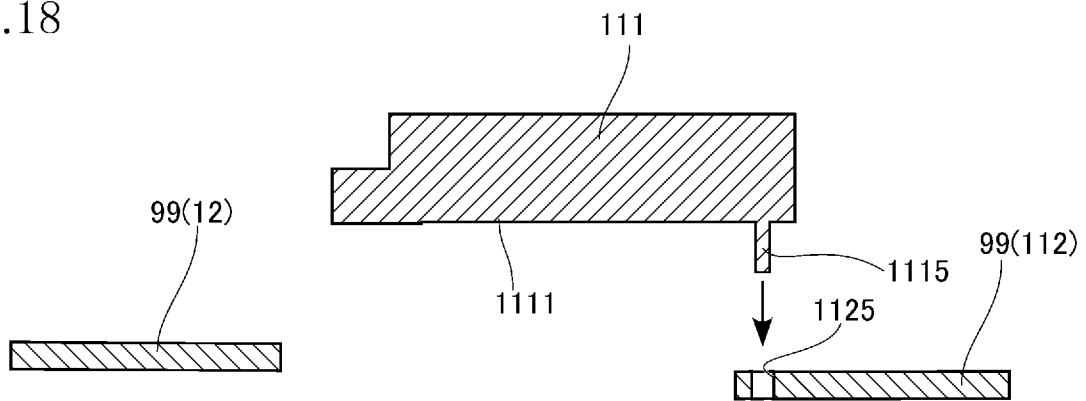
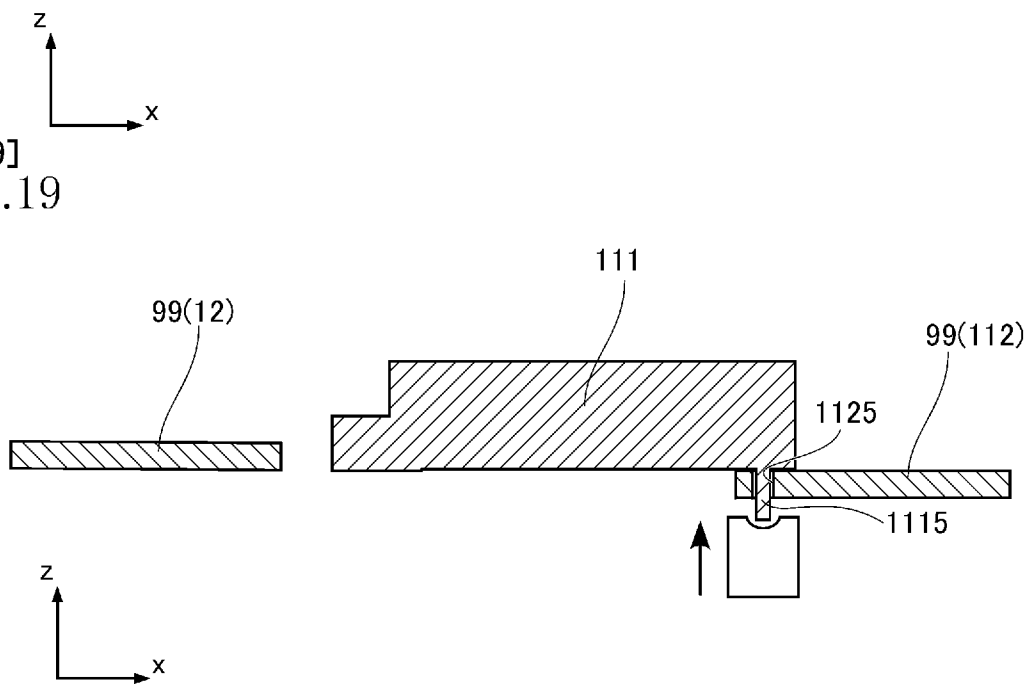
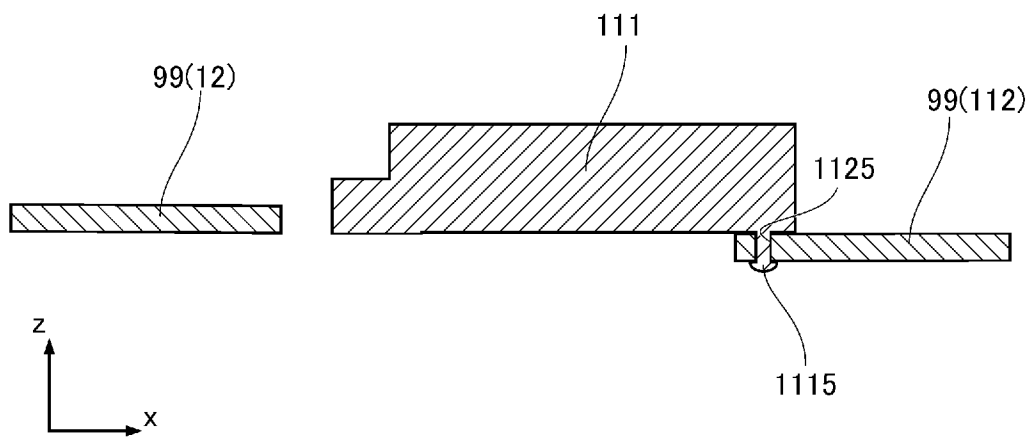


A10 



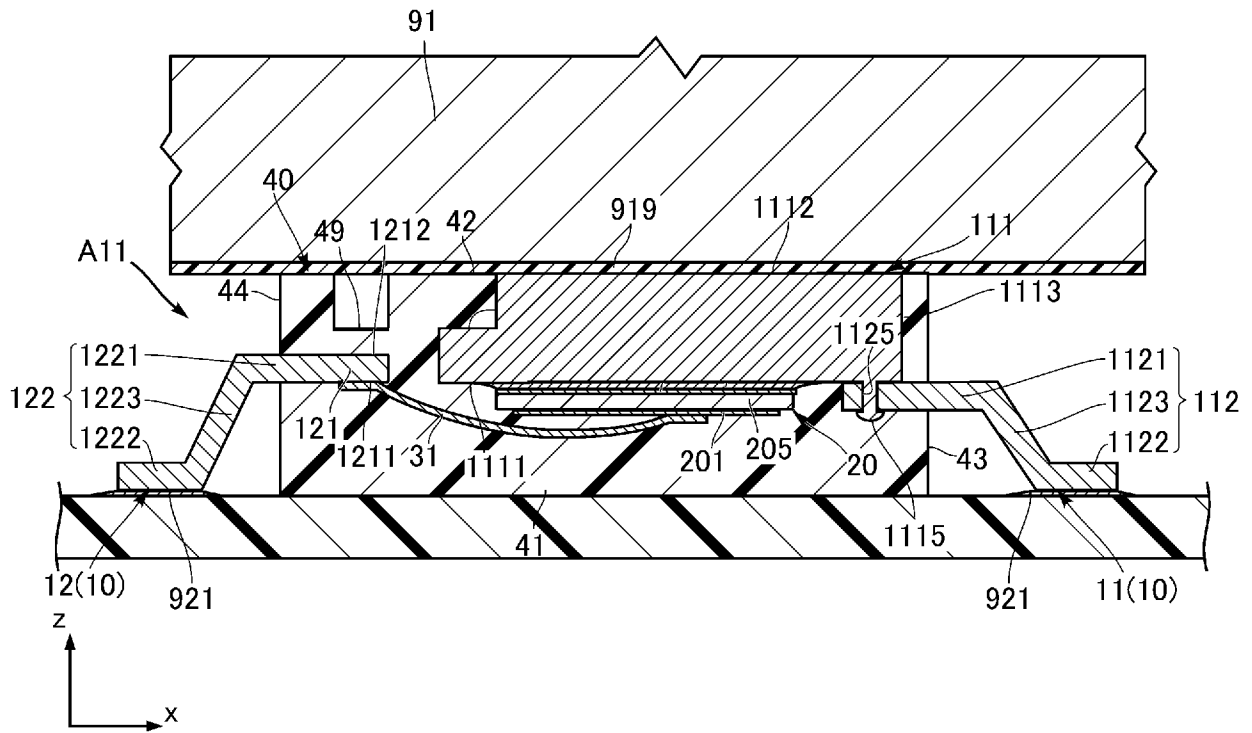
[図17]
FIG.17



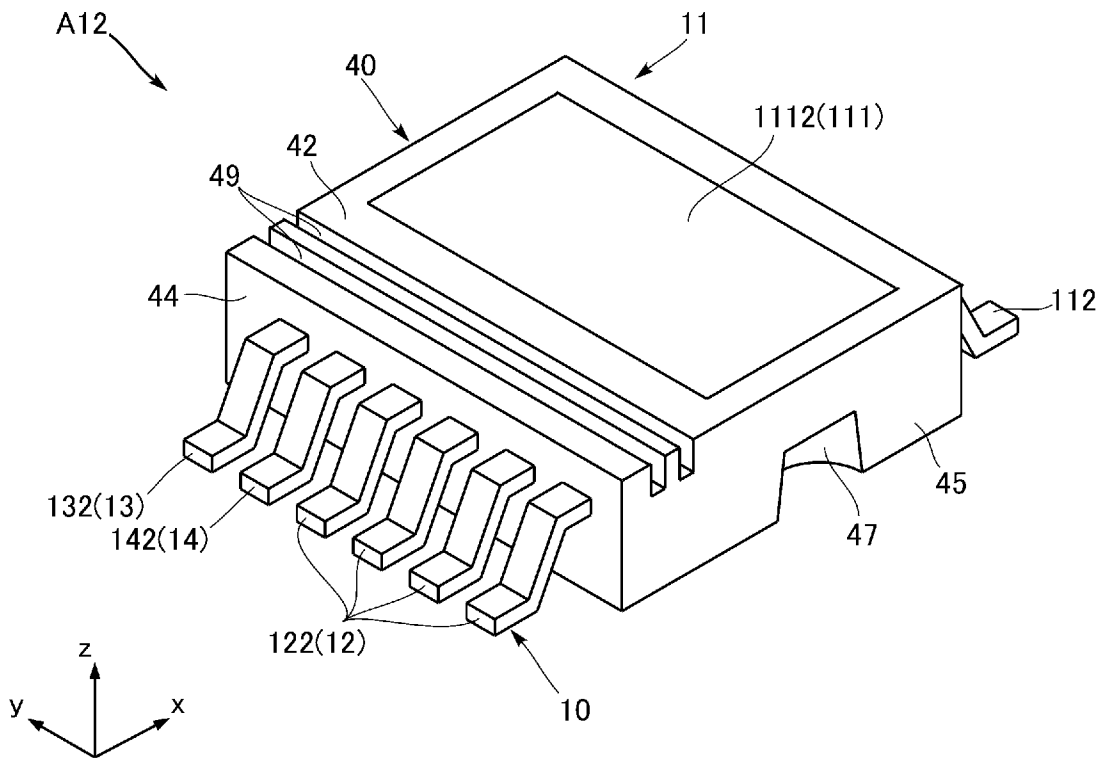
[図18]
FIG.18[図19]
FIG.19[図20]
FIG.20

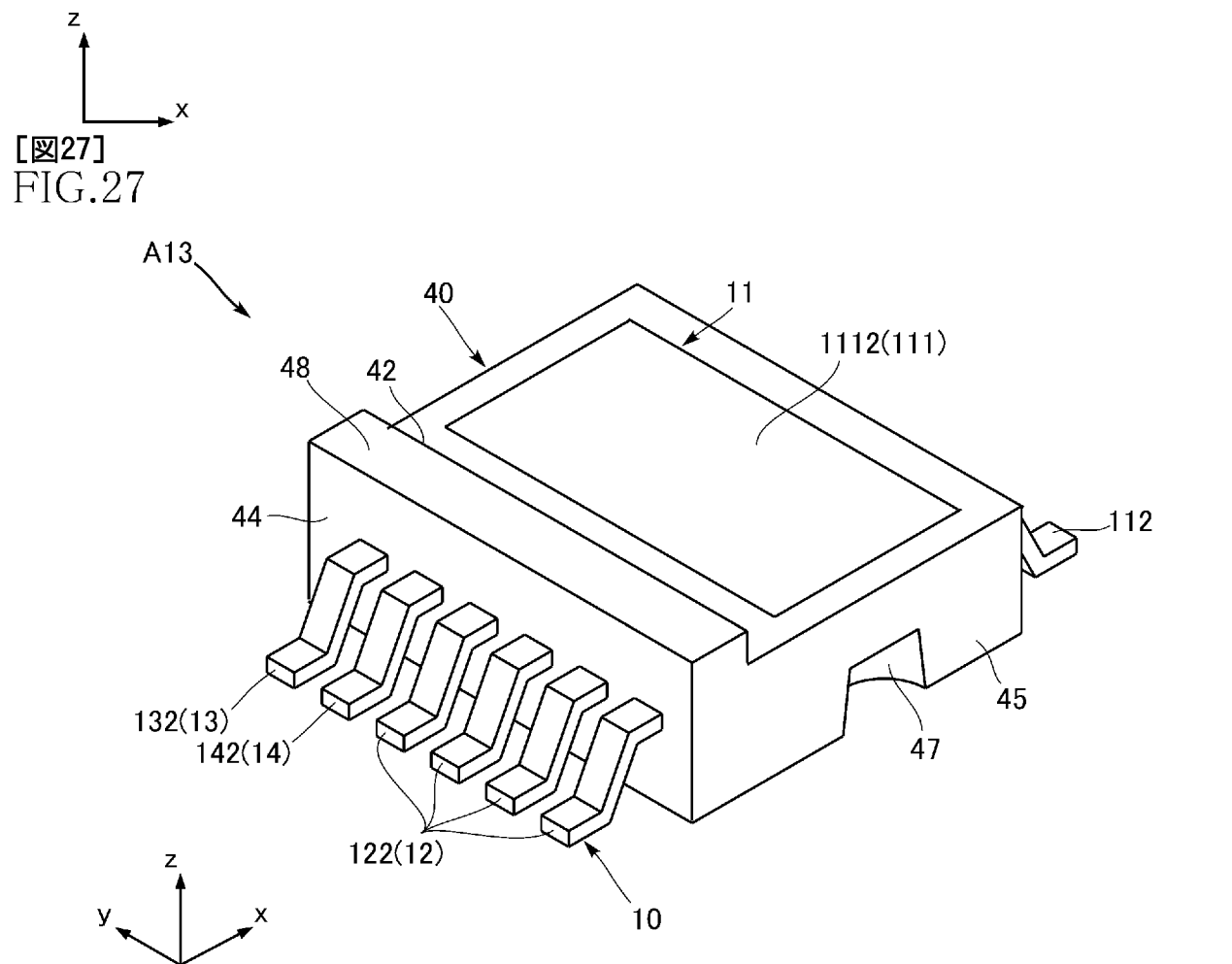
This cross-sectional view shows a semiconductor device with a central gate stack (20) on a substrate (111). The gate stack includes a gate dielectric (201) and a gate electrode (202). A curved gate structure (31) is formed on the left side of the gate stack, extending from the gate electrode (202) and curving downwards and outwards. The device is surrounded by a passivation layer (99) with regions 99(12) on the left and 99(112) on the right. A contact pad (29) is located on the right side of the gate stack. A coordinate system with x and z axes is shown in the bottom left corner.

[図24]
FIG.24

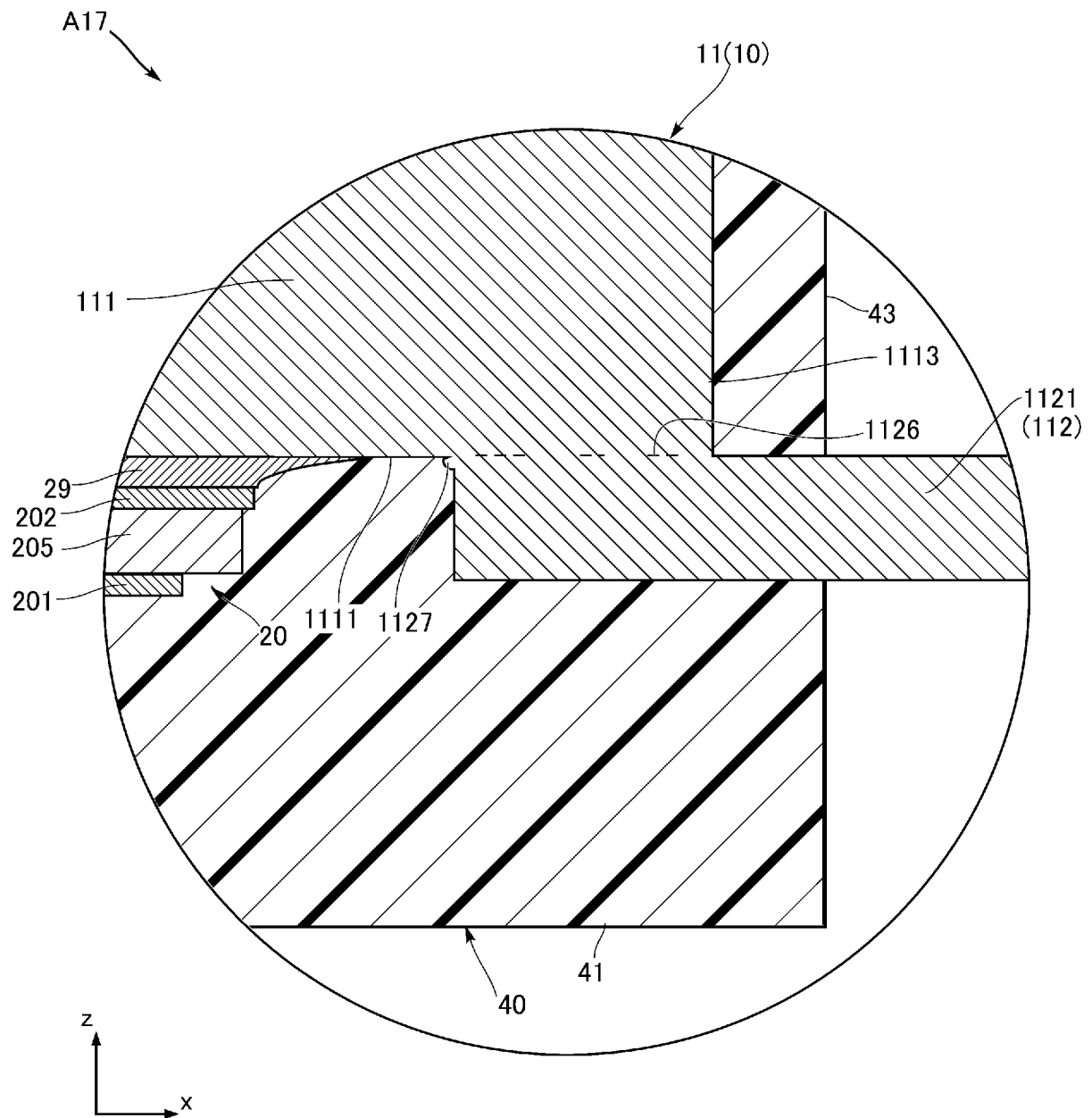


[図25]
FIG.25

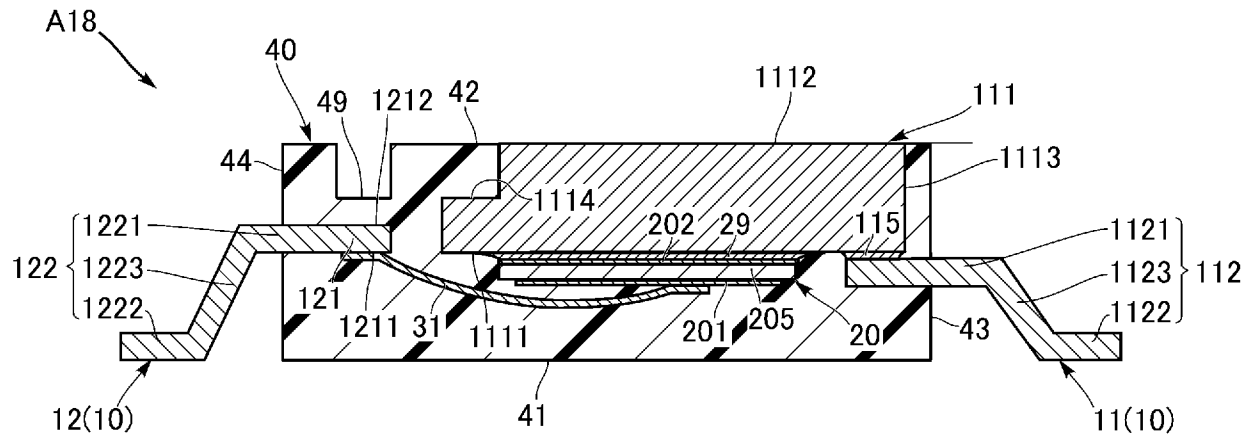




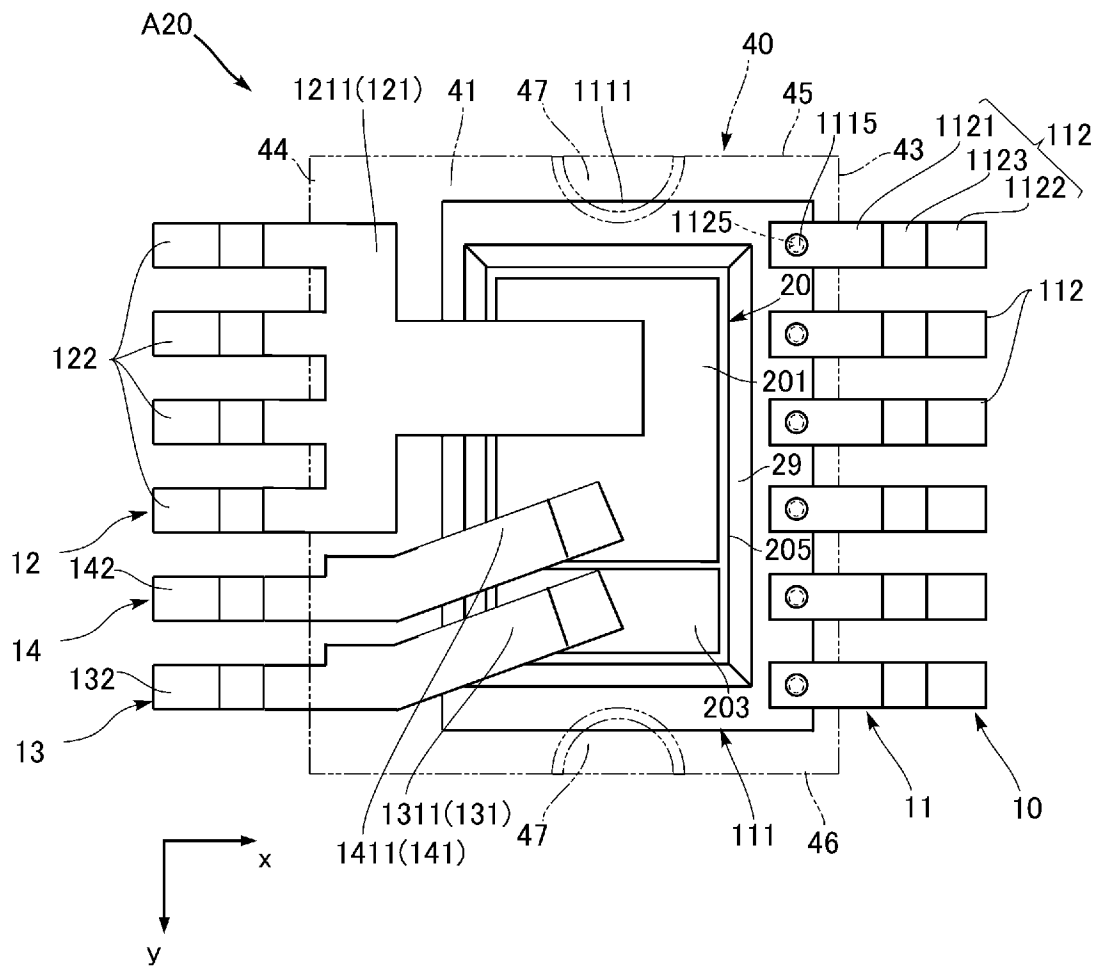
[図34]
FIG.34

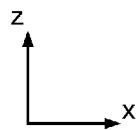


[図35]
FIG.35

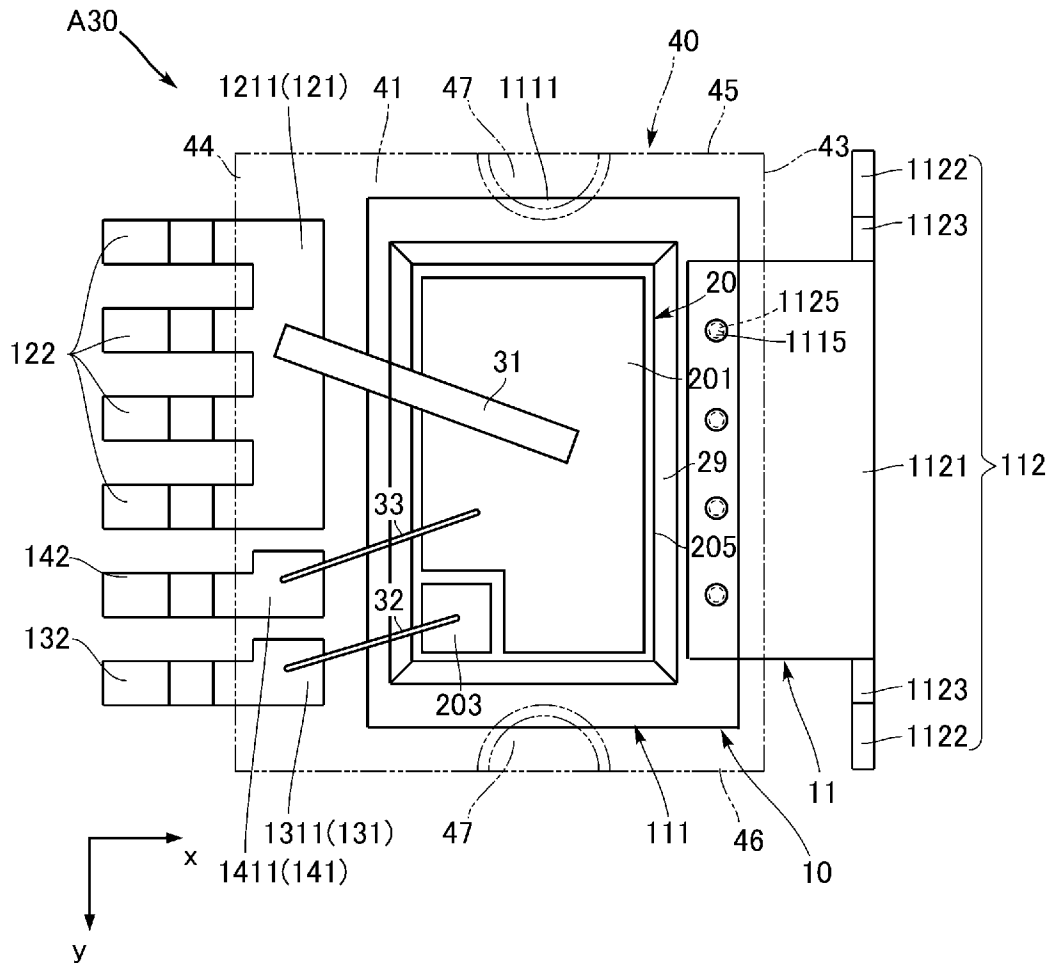


[図36]
FIG.36

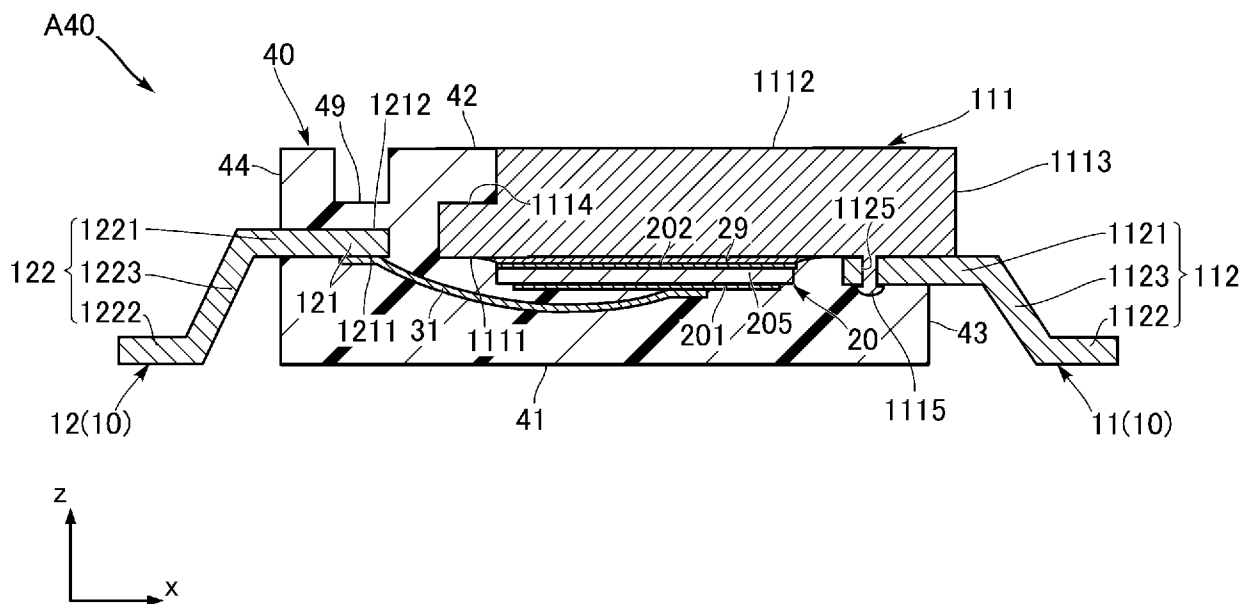


[illegible]

【図39】
FIG.39



【図40】
FIG.40



[illegible]

FIG.43

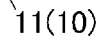


FIG.44



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/043313

A. CLASSIFICATION OF SUBJECT MATTER**H01L 23/48**(2006.01)i; **H01L 23/28**(2006.01)i; **H01L 23/29**(2006.01)i

FI: H01L23/48 P; H01L23/48 G; H01L23/36 A; H01L23/28 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/48; H01L23/28; H01L23/29

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/050325 A1 (MITSUBISHI ELECTRIC CORP.) 12 March 2020 (2020-03-12) paragraphs [0012]-[0111], fig. 1-19	1, 7-10
Y		2-6, 12-15
A		11
Y	JP 2005-11899 A (HIMEJI TOSHIBA E.P. CORP.) 13 January 2005 (2005-01-13) paragraphs [0015]-[0049], fig. 1-12	2, 4-6, 13-15
A		11
Y	WO 2019/130474 A1 (MITSUBISHI ELECTRIC CORP.) 04 July 2019 (2019-07-04) paragraphs [0035]-[0040], fig. 8	3, 12
A		11

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

23 January 2023

Date of mailing of the international search report

07 February 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/043313

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/050325	A1	12 March 2020	US 2021/0327777 A1 paragraphs [0044]-[0139], fig. 1-19 CN 112655087 A	
JP	2005-11899	A	13 January 2005	(Family: none)	
WO	2019/130474	A1	04 July 2019	US 2020/0258806 A1 paragraphs [0044]-[0049], fig. 8 JP 6373545 B1 KR 10-2020-0087200 A CN 111615747 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/48(2006.01)i; H01L 23/28(2006.01)i; H01L 23/29(2006.01)i FI: H01L23/48 P; H01L23/48 G; H01L23/36 A; H01L23/28 A		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L23/48; H01L23/28; H01L23/29		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2020/050325 A1（三菱電機株式会社）12.03.2020（2020 - 03 - 12） 段落[0012]-[0111], 図1-19	1, 7-10
Y		2-6, 12-15
A		11
Y	JP 2005-11899 A（姫路東芝電子部品株式会社）13.01.2005（2005 - 01 - 13） 段落[0015]-[0049], 図1-12	2, 4-6, 13-15
A		11
Y	WO 2019/130474 A1（三菱電機株式会社）04.07.2019（2019 - 07 - 04） 段落[0035]-[0040], 図8	3, 12
A		11
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 23.01.2023		国際調査報告の発送日 07.02.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 平林 雅行 5F 6310 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/043313

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/050325	A1	12.03.2020	US 2021/0327777 A1 段落[0044]-[0139], 図1-19 CN 112655087 A	
JP	2005-11899	A	13.01.2005	(ファミリーなし)	
WO	2019/130474	A1	04.07.2019	US 2020/0258806 A1 段落[0044]-[0049], 図8 JP 6373545 B1 KR 10-2020-0087200 A CN 111615747 A	