



(12) 发明专利申请

(10) 申请公布号 CN 103367287 A

(43) 申请公布日 2013. 10. 23

(21) 申请号 201210156335. 3

(22) 申请日 2012. 05. 18

(30) 优先权数据

101111659 2012. 04. 02 TW

(71) 申请人 矽品精密工业股份有限公司

地址 中国台湾台中市

(72) 发明人 黄惠暖 林畯棠 詹前峰 邱启新

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H01L 23/488(2006. 01)

H01L 21/60(2006. 01)

H01L 23/12(2006. 01)

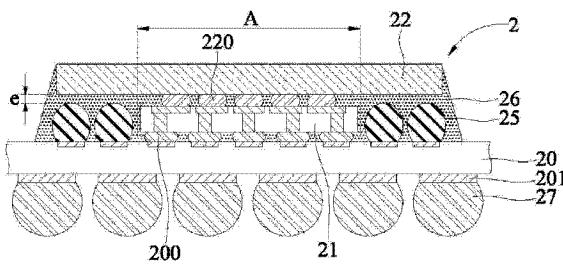
权利要求书2页 说明书6页 附图5页

(54) 发明名称

半导体封装件及其制法与其封装基板

(57) 摘要

一种半导体封装件及其制法与其封装基板，该半导体封装件包括：具有置晶区的封装基板、形成于该置晶区外围的多个导流块、覆晶结合于该置晶区上的第一半导体组件、覆晶结合于该第一半导体组件上的第二半导体组件以及形成于该封装基板与该第二半导体组件之间的胶体。借由导流块的设计，以于填胶工艺中，该些导流块会导引该胶体的流向，而使部分胶材流至该第一与第二半导体组件之间，所以只需一次点胶工艺即可包覆所有覆晶用的导电凸块，因而有效简化工艺，而能增加产能。



1. 一种半导体封装件,包括:

封装基板,其具有置晶区;

多个第一导流块,其形成于该封装基板的置晶区的外围上;

第一半导体组件,其置放于该置晶区上;

第二半导体组件,其置放于该第一半导体组件上;以及

胶体,其形成于该封装基板与该第二半导体组件之间,以包覆该第一半导体组件及该些第一导流块。

2. 根据权利要求 1 所述的半导体封装件,其特征在于,该第一导流块的高度大于或等于该第一半导体组件的高度。

3. 根据权利要求 1 所述的半导体封装件,其特征在于,该第一半导体组件以覆晶方式结合于该置晶区上。

4. 根据权利要求 1 所述的半导体封装件,其特征在于,该第一半导体组件未接触该些第一导流块。

5. 根据权利要求 1 所述的半导体封装件,其特征在于,该第二半导体组件的结合侧的面积大于该第一半导体组件的结合侧的面积。

6. 根据权利要求 1 所述的半导体封装件,其特征在于,该第二半导体组件未接触该些第一导流块。

7. 根据权利要求 1 所述的半导体封装件,其特征在于,该封装件还包括第三半导体组件与第四半导体组件,其置放于该第一与第二半导体组件之间。

8. 根据权利要求 7 所述的半导体封装件,其特征在于,该第一半导体组件具有结合区及多个第二导流块,该些第二导流块形成于该结合区的外围,且该第三半导体组件结合于该结合区上,而该第四半导体组件则设于该第二与第三半导体组件之间。

9. 根据权利要求 7 所述的半导体封装件,其特征在于,该第四半导体组件的结合侧的面积大于该第三半导体组件的结合侧的面积。

10. 根据权利要求 7 所述的半导体封装件,其特征在于,该胶体还包覆该些第二导流块、第三半导体组件及第四半导体组件。

11. 一种半导体封装件的制法,其包括:

提供一具有置晶区的封装基板,该封装基板于该置晶区的外围上具有多个第一导流块;

置放第一半导体组件于该置晶区上;

置放第二半导体组件于该第一半导体组件上;以及

形成胶体于该封装基板与该第二半导体组件之间,以包覆该第一半导体组件及该些第一导流块。

12. 根据权利要求 11 所述的半导体封装件的制法,其特征在于,该第一导流块的高度大于或等于该第一半导体组件的高度。

13. 根据权利要求 11 所述的半导体封装件的制法,其特征在于,该第一半导体组件以覆晶方式结合于该置晶区上。

14. 根据权利要求 11 所述的半导体封装件的制法,其特征在于,该第一半导体组件并未接触该些第一导流块。

15. 根据权利要求 11 所述的半导体封装件的制法, 其特征在于, 该第二半导体组件的结合侧的面积大于该第一半导体组件的结合侧的面积。

16. 根据权利要求 11 所述的半导体封装件的制法, 其特征在于, 该第二半导体组件并未接触该些第一导流块。

17. 根据权利要求 11 所述的半导体封装件的制法, 其特征在于还包括置放第三半导体组件与第四半导体组件于该第一与第二半导体组件之间。

18. 根据权利要求 17 所述的半导体封装件的制法, 其特征在于, 该第一半导体组件具有结合区及多个第二导流块, 该些第二导流块形成于该结合区的外围, 且该第三半导体组件结合于该结合区上, 而该第四半导体组件则设于该第二与第三半导体组件之间。

19. 根据权利要求 17 所述的半导体封装件的制法, 其特征在于, 该第四半导体组件的结合侧的面积大于该第三半导体组件的结合侧的面积。

20. 根据权利要求 17 所述的半导体封装件的制法, 其特征在于, 该胶体还包覆该些第二导流块、第三半导体组件及第四半导体组件。

21. 一种封装基板, 其包括:

基板本体, 其具有置晶区; 以及

多个第一导流块, 其形成于该置晶区的外围上。

半导体封装件及其制法与其封装基板

技术领域

[0001] 本发明涉及一种半导体封装件及其制法,特别是关于一种提升可靠度的半导体封装件及其制法与其封装基板。

背景技术

[0002] 随着电子产业的蓬勃发展,电子产品也逐渐迈向多功能、高性能的趋势。为了满足半导体封装件微型化(miniaturization)的封装需求,发展出晶圆级封装(Wafer Level Packaging, WLP)的技术。

[0003] 请参阅图1,其为现有半导体封装件1的剖面示意图。如图1所示,现有半导体封装件1包括:一具有相对的第一表面10a与第二表面10b的封装基板10、一置放于该第一表面10a上的第一半导体组件11、一置放于该第一半导体组件11上的第二半导体组件12以及胶体16a,16b。

[0004] 所述的封装基板10的第一表面10a上具有多个导电凸块100以结合该第一半导体组件11,而该第二表面10b上则具有多个电性接触垫101以结合焊球17。

[0005] 所述的第一半导体组件11具有多个直通硅晶穿孔(Through Silicon Via, TSV)111。

[0006] 所述的第二半导体组件12借由多个导电凸块120而以覆晶方式结合并电性连接于该第一半导体组件11,且借由该些直通硅晶穿孔211以电性连接该封装基板20。

[0007] 所述的胶体16a,16b形成于该封装基板10与该第一半导体组件11之间、及该第二半导体组件12与该第一半导体组件11之间,以包覆该些导电凸块100,120。其中,设置该些导电凸块100,120的空间高度(即上、下相邻组件间的间距x,y)不大,所以该胶体16a,16b可分别填入各半导体组件间,也就是以两次点胶工艺包覆该些导电凸块100,120。

[0008] 然而,现有半导体封装件1中,需以两次点胶工艺才能包覆该些导电凸块100,120,且每次经过点胶后,需再经过烘烤程序予以固化,因而造成产品生产的产能(Unit Per Hour, UPH)下降。

[0009] 此外,若欲以一次点胶工艺完成底胶作业以提高产能,如图1'所示,因该第二半导体组件12与该封装基板10之间的间距L过大,致使胶材16无法由下往上流至该第二半导体组件12与该第一半导体组件11之间(即间距x),所以仅能包覆下方的导电凸块100,而无法包覆上方的导电凸块120,致使产品作废。因此,该胶体16a,16b仍需分别填入各半导体组件底下,也就是仍需两次点胶工艺完成底胶作业,而无法以一次点胶工艺完成底胶作业,所以无法突破关于提升产能的技术瓶颈。

[0010] 又,若堆栈的半导体组件的数量越多,将需进行更多次的点胶工艺,造成产能更低,致使难以量产化。

[0011] 因此,如何克服上述现有技术的种种问题,实已成目前亟欲解决的课题。

发明内容

[0012] 鉴于上述现有技术的缺失,本发明的主要目的在于提供一种半导体封装件及其制法与其封装基板,只需一次点胶工艺即可包覆所有覆晶用的导电凸块,可有效简化工艺,而能增加产能。

[0013] 本发明所提供的半导体封装件,包括:封装基板,其具有置晶区;多个第一导流块,其形成于该封装基板的置晶区的外围上;第一半导体组件,其置放于该置晶区上;第二半导体组件,其置放于该第一半导体组件上;以及胶体,其形成于该封装基板与该第二半导体组件之间,以包覆该第一半导体组件及该些第一导流块。

[0014] 本发明还提供一种半导体封装件的制法,其包括:提供一具有置晶区的封装基板;形成多个第一导流块于该封装基板的置晶区的外围上;置放第一半导体组件于该置晶区上;置放第二半导体组件于该第一半导体组件上;以及形成胶体于该封装基板与该第二半导体组件之间,以包覆该第一半导体组件及该些第一导流块。

[0015] 前述的半导体封装件及其制法中,该第一导流块的高度可大于或等于该第一半导体组件的高度。

[0016] 前述的半导体封装件及其制法中,该第一半导体组件可以覆晶方式结合于该置晶区上。

[0017] 前述的半导体封装件及其制法中,该第一半导体组件可未接触该些第一导流块。

[0018] 前述的半导体封装件及其制法中,该第二半导体组件的结合侧的面积可大于该第一半导体组件的结合侧的面积。

[0019] 前述的半导体封装件及其制法中,该第二半导体组件可未接触该些第一导流块。

[0020] 前述的半导体封装件及其制法中,还可包括第三半导体组件与第四半导体组件,其置放于该第一与第二半导体组件之间。例如,该第一半导体组件具有结合区及多个第二导流块,该些第二导流块形成于该结合区的外围,且该第三半导体组件结合于该结合区上,而该第四半导体组件则设于该第二与第三半导体组件之间。又该第四半导体组件的结合侧的面积可大于该第三半导体组件的结合侧的面积。另外,该胶体还可包覆该些第二导流块、第三半导体组件及第四半导体组件。

[0021] 另外,本发明又提供一种封装基板,其包括:基板本体,其具有置晶区;以及多个第一导流块,其形成于该置晶区的外围上。

[0022] 由上可知,本发明半导体封装件及其制法,其借由该些第一导流块(及第二导流块)作为毛细现象结构,也就是于填胶工艺中,该些第一导流块(及第二导流块)会导引该胶体的流向,而使部分胶材流至各半导体组件间,以同时包覆所有覆晶用的导电凸块,所以相较于现有技术,本发明只需一次点胶工艺即可包覆所有的导电凸块,因而有效简化工艺,而可增加产品生产的产能。

附图说明

[0023] 图 1 及图 1' 为现有半导体封装件的剖面示意图;

[0024] 图 2A 至图 2E 为本发明半导体封装件的制法的剖面示意图;其中,图 2A' 为图 2A 的另一实施例,图 2E' 为图 2E 的另一实施例;以及

[0025] 图 3A 至图 3D 为本发明半导体封装件的不同实施例的上视示意图。

[0026] 主要组件符号说明

[0027]	1, 2, 2'	半导体封装件
[0028]	10, 20	封装基板
[0029]	10a, 20a	第一表面
[0030]	10b, 20b	第二表面
[0031]	100, 120, 220, 230, 240	导电凸块
[0032]	101, 201	电性接触垫
[0033]	11, 21, 21'	第一半导体组件
[0034]	111, 211	直通硅晶穿孔
[0035]	12, 22	第二半导体组件
[0036]	16	胶材
[0037]	16a, 16b, 26	胶体
[0038]	17, 27	焊球
[0039]	200	预焊料
[0040]	210	第二导流块
[0041]	23	第三半导体组件
[0042]	24	第四半导体组件
[0043]	25, 25', 25a, 25b, 25c, 25d	第一导流块
[0044]	A	置晶区
[0045]	B	结合区
[0046]	h, t	高度
[0047]	L, e, x, y, z	间距
[0048]	k	距离
[0049]	S, W, r, d	面积。

具体实施方式

[0050] 以下借由特定的具体实施例说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其它优点及功效。

[0051] 须知,本说明书所附图式所绘示的结构、比例、大小等,均仅用以配合说明书所揭示的内容,以供本领域技术人员的了解与阅读,并非用以限定本发明可实施的限定条件,所以不具技术上的实质意义,任何结构的修饰、比例关系的改变或大小的调整,在不影响本发明所能产生的功效及所能达成的目的下,均应仍落在本发明所揭示的技术内容得能涵盖的范围内。同时,本说明书中所引用的如“上”、“下”、“第一”、“第二”及“一”等的用语,也仅为便于叙述的明了,而非用以限定本发明可实施的范围,其相对关系的改变或调整,在无实质变更技术内容下,当也视为本发明可实施的范畴。

[0052] 请参阅图 2A 至图 2E,其为本发明的半导体封装件 2 的制法的剖面示意图。

[0053] 如图 2A 所示,提供具有一置晶区 A 的一封装基板 20,封装基板可以为印刷电路板、增层基板、层压板、陶瓷基板、硅基板或玻璃基板,且形成多个挡块第一导流块 25 于该封装基板 20 的置晶区 A 的外围上,而形成多个预焊料 200 于该封装基板 20 的置晶区 A 内。

[0054] 于本实施例中,该封装基板 20 具有相对的第一表面 20a (如图所示的上表面) 与

第二表面 20b (如图所示的下表面),且该置晶区 A 定义位于该第一表面 20a 上,而该第二表面 20b 则具有多个电性接触垫 201,以结合如电路板的电子装置(图略)。

[0055] 此外,该第一导流块 25 不限于金属材质,可为焊料、电镀金属块、胶体或其它可达成相同功效的材质,例如:可利用网版印刷、植球、电镀等方式形成预焊锡材料 (pre-solder) 以作为该些第一导流块 25 与预焊料 200,但该些第一导流块 25 不作为导电路径。

[0056] 又,该些第一导流块 25 为球状;于其它实施例中,该些第一导流块 25' 也可为柱状,如图 2A' 所示。

[0057] 另外,该些第一导流块 25a, 25b, 25c, 25d 可以各种环状分布的形式环设于该置晶区 A 的外围,如图 3A 至图 3D 所示,并无特别限制。

[0058] 如图 2B 所示,接续图 2A 的工艺,将一第一半导体组件 21 以覆晶方式结合并电性连接于该些预焊料 200。

[0059] 于本实施例中,该第一导流块 25 的高度 h 大于或等于该第一半导体组件 21 的高度 t,且该第一半导体组件 21 未接触该些第一导流块 25。

[0060] 此外,该第一半导体组件 21 为中介片(Interposer),其具有多个直通硅晶穿孔(Through Silicon Via, TSV) 211 以电性连接该些预焊料 200。

[0061] 如图 2C 所示,将一第二半导体组件 22 借由多个导电凸块 220 以覆晶方式结合并电性连接于该第一半导体组件 21。

[0062] 于本实施例中,该第二半导体组件 22 也未接触该些第一导流块 25,且该第二半导体组件 22 的结合侧的面积 S 大于该第一半导体组件 21 的结合侧的面积 W,使该些第一导流块 25 位于该第二半导体组件 22 下方。

[0063] 此外,该第二半导体组件 22 可为芯片,其借由该些导电凸块 220 电性连接该些直通硅晶穿孔 211 以电性连接该封装基板 20。

[0064] 另外,于其它实施例中,该第一半导体组件 21 也可先堆栈于该第二半导体组件 22 上,再一并置放于该封装基板 20 上。

[0065] 如图 2D 及图 2E 所示,进行一次填胶工艺,形成胶体 26 于该封装基板 20 与该第二半导体组件 22 之间,以完全包覆该第一半导体组件 21、该些预焊料 200 及该些第一导流块 25,也就是该第一半导体组件 21、该些预焊料 200 及该些第一导流块 25 不外露,使该胶体 26 确实保护该第一半导体组件 21、该些预焊料 200 及该些第一导流块 25,即完成该半导体封装件 2 的制作。

[0066] 本发明的制法借由该些第一导流块 25 的设计,使该第一导流块 25 与第二半导体组件 22 之间的间距 e 小于或等于该第二半导体组件 22 与该第一半导体组件 21 之间的间距 z,以于填胶工艺中产生毛细现象,也就是该些第一导流块 25 会导引该胶体 26 的流向,而使部分胶材向上流至该第一半导体组件 21 与该第二半导体组件 22 之间,以同时包覆位于下方与上方的该些导电凸块 220 与预焊料 200,所以只需一次点胶工艺即可包覆该些导电凸块 220、该第一半导体组件 21 及该些第一导流块 25,因而有效简化工艺,以增加产品生产的产能(UPH)。

[0067] 此外,该第一导流块 25 与第一半导体组件 21 之间的距离 k 不宜过大,如图 2D 所示,以于适当的距离 k 时,该胶体 26 才能借由该些第一导流块 25 所产生的毛细现象而流入

该第一半导体组件 21 与该第二半导体组件 22 之间,以有效包覆上方的导电凸块 220。

[0068] 于本实施例中,还形成多个焊球 27 于该封装基板 20 的第二表面 20b 的电性接触垫 201 上,以结合一电路板(图略)。

[0069] 于另一实施例中,该半导体封装件 2' 可堆栈更多半导体组件。如图 2E' 所示,该第一半导体组件 21' 具有一结合区 B 及多个第二导流块 210,该些第二导流块 210 形成于该结合区 B 的外围,且将一第三半导体组件 23 借由多个导电凸块 230 以覆晶方式结合并电性连接于该结合区 B。又将一第四半导体组件 24 借由多个导电凸块 240 以覆晶方式结合并电性连接于该第三半导体组件 23,而该第二半导体组件 22 则以覆晶方式结合并电性连接于该第四半导体组件 24。其中,该些第一导流块 25' 的高度高于该第四半导体组件 24 的位置,且该第四半导体组件 24 的结合侧的面积 r 大于该第三半导体组件 23 的结合侧的面积 d,而该胶体 26 还包覆该些第二导流块 210、导电凸块 230,240、第三半导体组件 23 及第四半导体组件 24。

[0070] 本发明于堆栈更多半导体组件时,除了该些第一导流块 25' 作为毛细现象结构以外,可借由该些第二导流块 210 作为毛细现象结构,以辅助导引胶材的流动方向,因而也只需一次点胶工艺即可包覆所有的导电凸块 220,230,240,所以更能凸显增加产能的效果。

[0071] 本发明提供一种半导体封装件 2,2',包括:具有置晶区 A 的封装基板 20、形成于该置晶区 A 外围的多个第一导流块 25,25'、置放于该置晶区 A 上的第一半导体组件 21、置放于该第一半导体组件 21 上的第二半导体组件 22 以及胶体 26。

[0072] 所述的封装基板 20 还具有多个预焊料 200,其形成于该置晶区 A 内。

[0073] 所述的第一导流块 25,25' 的高度 h 大于或等于该第一半导体组件 21 的高度 t。

[0074] 所述的第一半导体组件 21 以覆晶方式结合于该置晶区 A 上,且该第一半导体组件 21 并未接触该些第一导流块 25,25'。

[0075] 所述的第二半导体组件 22 未接触该些第一导流块 25,25',且该第二半导体组件 22 的结合侧的面积 S 大于该第一半导体组件 21 的结合侧的面积 W。

[0076] 所述的胶体 26 形成于该封装基板 20 与该第二半导体组件 22 之间,以包覆该第一半导体组件 21 及该些第一导流块 25,25'。

[0077] 于另一实施例中,所述的半导体封装件 2' 还包括第三半导体组件 23 与第四半导体组件 24,置放于该第一与第二半导体组件 21,22 之间。

[0078] 所述的第一半导体组件 21' 还具有结合区 B 及多个第二导流块 210,且该些第二导流块 210 形成于该结合区 B 的外围。

[0079] 所述的第三半导体组件 23 结合于该结合区 B 上。

[0080] 所述的第四半导体组件 24 设于该第二与第三半导体组件 22,23 之间,且该第四半导体组件 24 的结合侧的面积 r 大于该第三半导体组件 23 的结合侧的面积 d,又该第一导流块 25' 的高度大于或等于该第四半导体组件 24 的高度。

[0081] 所述的胶体 26 还包覆该些第二导流块 210、第三半导体组件 23 及第四半导体组件 24。

[0082] 综上所述,本发明的半导体封装件及其制法,主要借由毛细现象结构(即第一导流块 25,25' 与第二导流块 210)的设计,以于填胶工艺中导引胶体的流向,而可同时包覆各层的导电凸块,所以只需一次点胶工艺即可包覆所有导电凸块,因而有效达到增加产能的目

的。

[0083] 上述实施例仅用以例示性说明本发明的原理及其功效，而非用于限制本发明。任何本领域技术人员均可在不违背本发明的精神及范畴下，对上述实施例进行修改。因此本发明的权利保护范围，应如权利要求书所列。

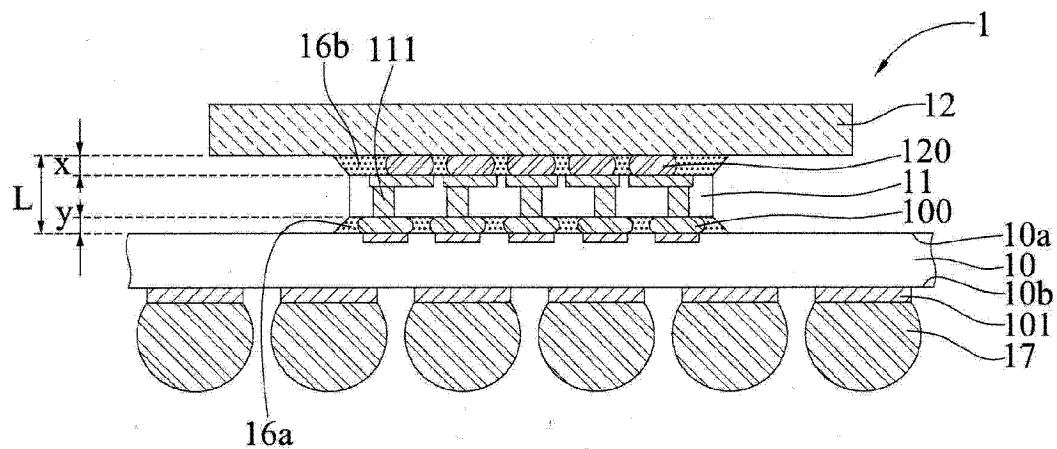


图 1

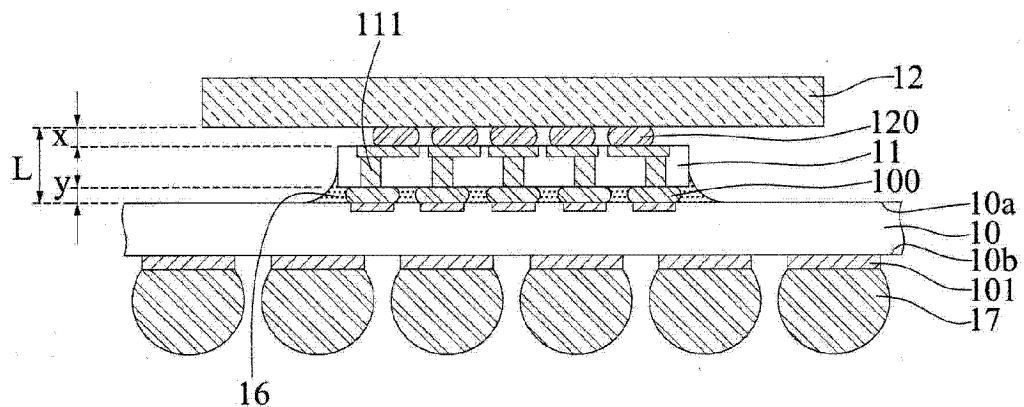


图 1'

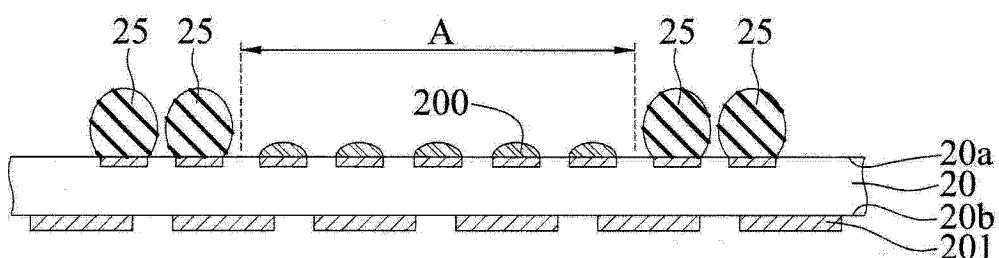


图 2A

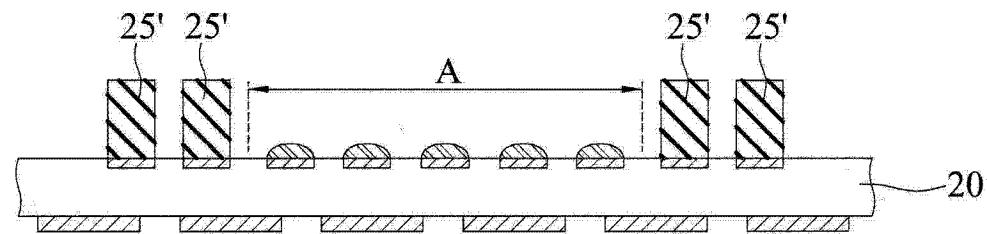


图 2A'

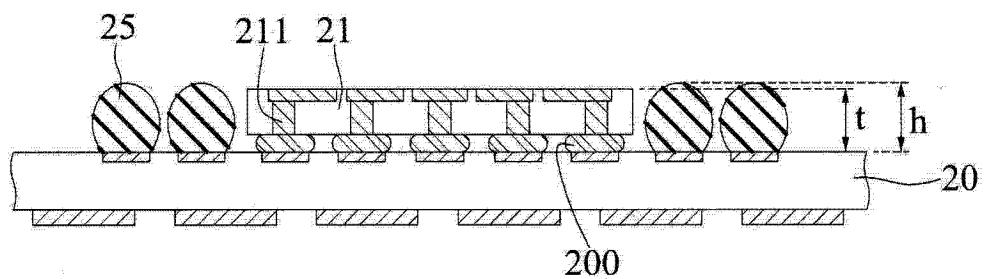


图 2B

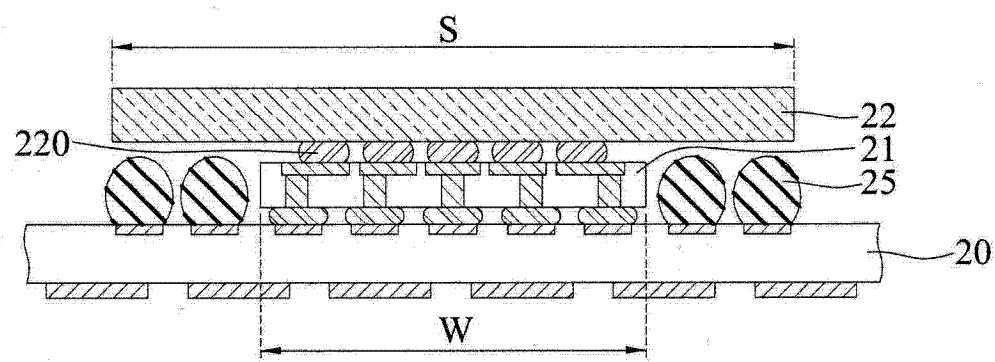


图 2C

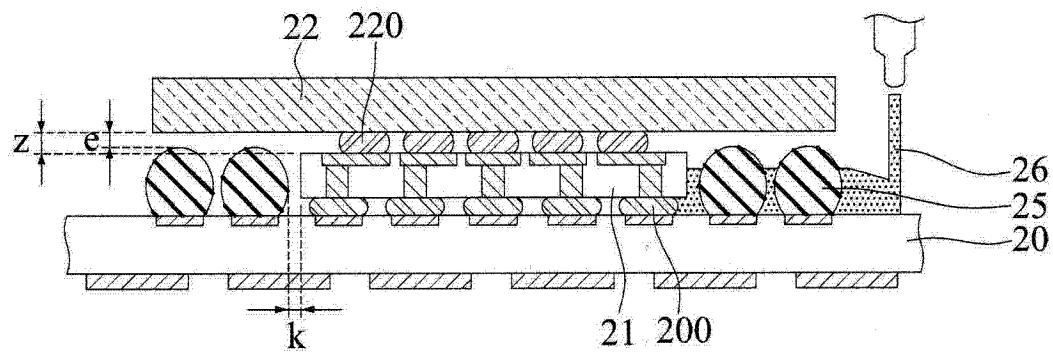


图 2D

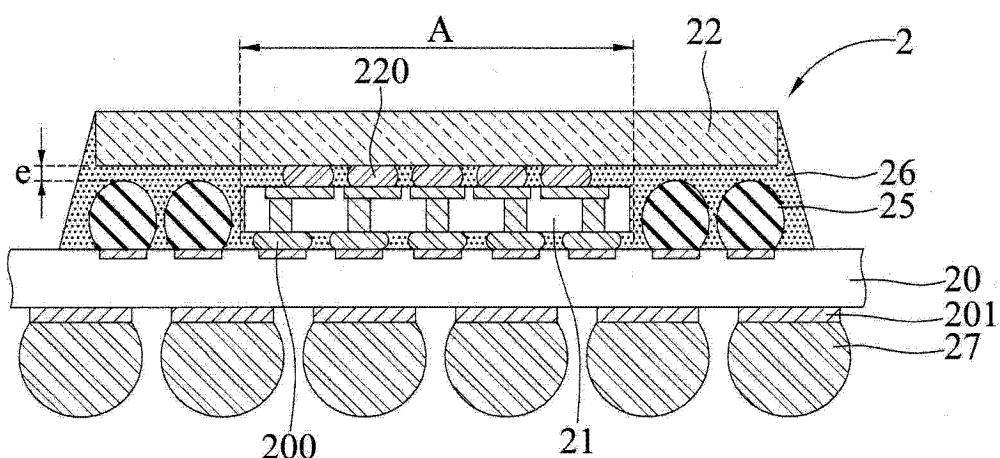


图 2E

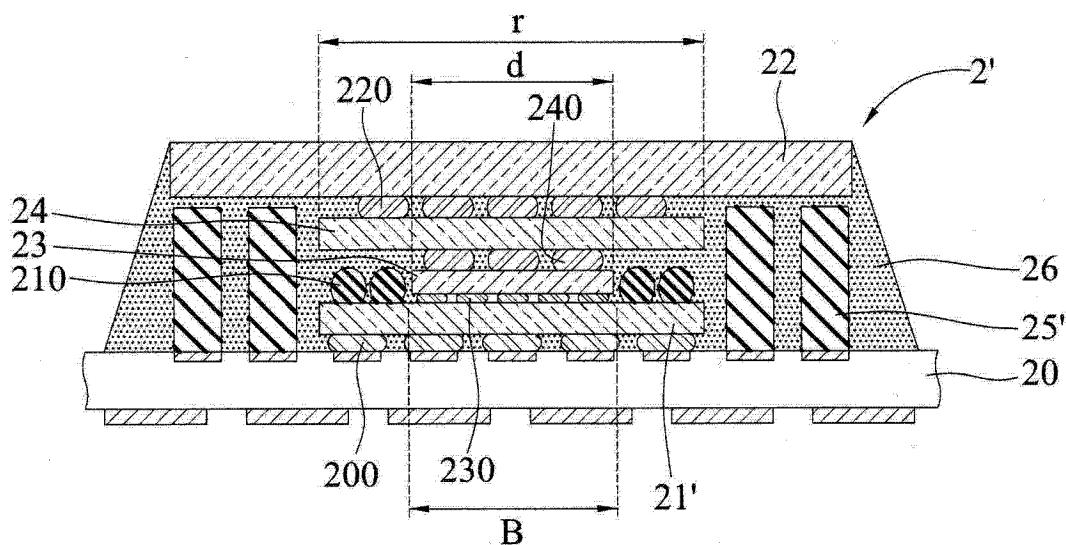


图 2E'

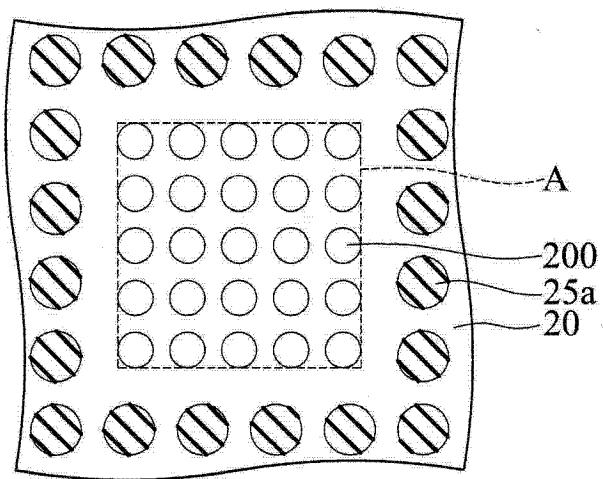


图 3A

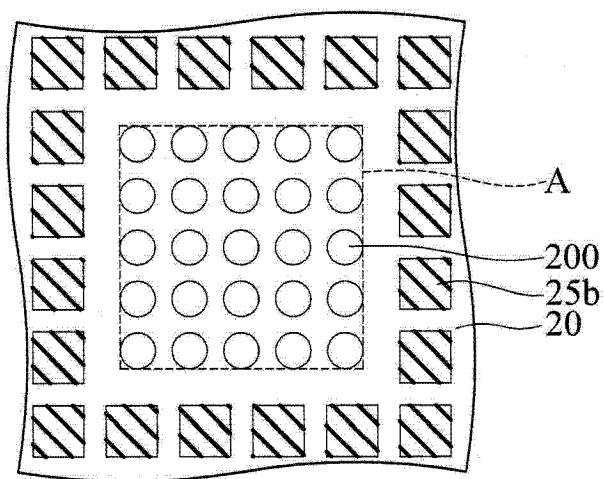


图 3B

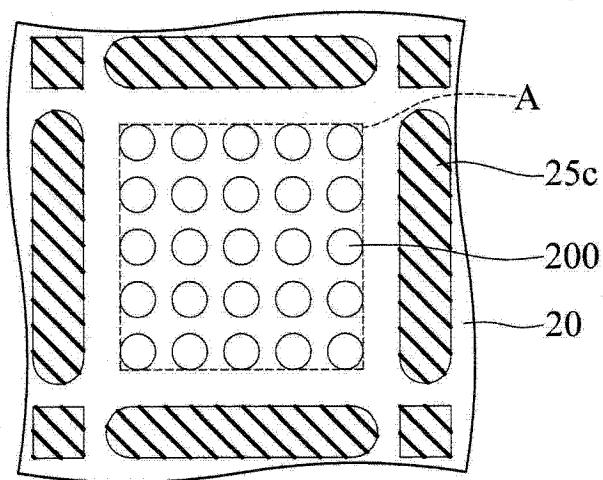


图 3C

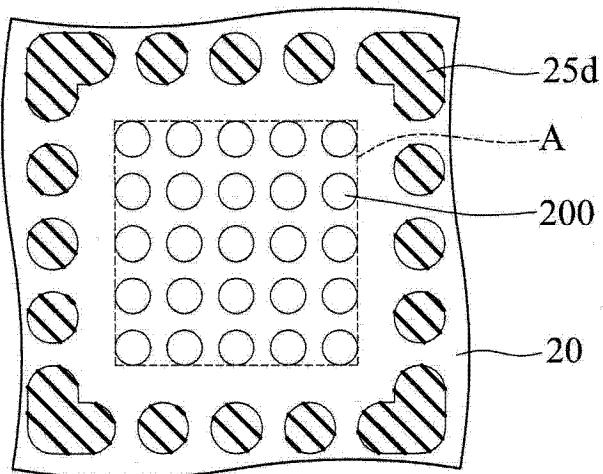


图 3D