

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11B 20/10 (2006.01)

G11B 20/18 (2006.01)

H03M 13/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510065107.5

[45] 授权公告日 2009年5月27日

[11] 授权公告号 CN 100492513C

[22] 申请日 2005.4.8

[21] 申请号 200510065107.5

[30] 优先权

[32] 2004.4.9 [33] JP [31] 2004-115769

[73] 专利权人 索尼株式会社

地址 日本东京

[72] 发明人 东野哲 梶原祥行

[56] 参考文献

CN1269639A 2000.10.11

CN1358310A 2002.7.10

US5822143A 1998.10.13

WO03090461A1 2003.10.30

审查员 赵承娟

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所
代理人 李德山

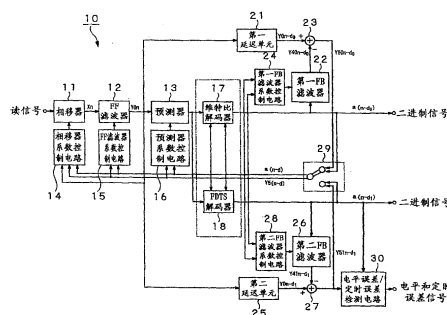
权利要求书 3 页 说明书 35 页 附图 25 页

[54] 发明名称

自适应均衡设备和方法

[57] 摘要

本发明的自适应均衡设备包括：用于滤波所述读信号的前馈滤波器；最大似然解码器，用于对所述前馈滤波器滤波的信号进行最大似然解码以产生所述二进制信号；滤波所述最大似然解码器提供的二进制信号的反馈滤波器；延迟单元，用于以所述最大似然解码器的一个处理时间延迟所述前馈滤波器所滤波的信号；和减法器，用于从上述延迟单元提供的信号中减去所述反馈滤波器所提供的信号。在反馈滤波器中，根据最大似然解码所产生的二进制信号控制所述抽头系数，以产生在二进制信号前沿之后的部分响应的失真以及在后沿之后的 ISI 响应。在前馈滤波器中，将从所述减法器提供信号的抽头系数控制成为部分响应。



1、一种自适应均衡设备，用于对来自记录或传输媒体的读信号进行部分响应均衡和最大似然解码以产生二进制信号，该设备包括：

滤波所述读信号的前馈滤波器；

前馈滤波器控制装置，用于控制所述前馈滤波器的抽头系数；

最大似然解码装置，用于对所述前馈滤波器所滤波的信号进行最大似然解码以产生所述二进制信号；

滤波所述最大似然解码装置提供的二进制信号的反馈滤波器；

反馈滤波器控制装置，用于控制所述反馈滤波器的抽头系数；

延迟装置，用于以所述最大似然解码装置的处理时间延迟所述前馈滤波器所滤波的信号；和

减法装置，用于从所述延迟装置提供的信号中减去所述反馈滤波器所提供的信号，

其中，反馈滤波器控制装置根据最大似然解码所产生的二进制信号控制所述抽头系数，以产生在该二进制信号的前沿之后的部分响应的失真以及在后沿之后的符号间干扰 ISI 响应；

前馈滤波器控制装置控制所述抽头系数，以使得从所述减法装置提供的信号成为部分响应；以及

所述前馈滤波器是一个非线性滤波器。

2、根据权利要求 1 所述的设备，其中所述前馈滤波器是一个 Volterra 滤波器，它在假定输入波形已经被展开为 Volterra 级数时，对输入波形进行非线性均衡。

3、根据权利要求 2 所述的设备，其中所述前馈滤波器控制装置根据最小均方 LMS 算法计算 Volterra 滤波器的抽头系数，以使得 Volterra 滤波器具有消除在前沿之前的 ISI 响应的特性。

4、根据权利要求 3 所述的设备，其中所述前馈滤波器控制装置通过从一个波形信号中减去参考波形，将相减结果一起相乘和偏微分该相乘结果，来计算 Volterra 滤波器的抽头系数，所述波形信号是通

过从最大似然解码所产生的二进制信号中消除表示前沿之后的部分响应的失真和后沿之后的 ISI 响应的信号而得到的。

5、一种通过对来自记录或传输媒体的读信号进行部分响应均衡和最大似然解码来产生二进制信号的自适应均衡方法，所述方法包括以下步骤：

通过前馈滤波器滤波所述读信号；

控制所述前馈滤波器的抽头系数；

对所述前馈滤波器所滤波的信号进行最大似然解码以产生所述二进制信号；

通过反馈滤波器滤波所产生的二进制信号；

控制所述反馈滤波器的抽头系数；

以所述最大似然解码的处理时间延迟所述前馈滤波器所滤波的信号；以及

从所延迟的信号中减去所述反馈滤波器所提供的信号，

其中，根据最大似然解码所产生的二进制信号控制所述反馈滤波器的抽头系数，以产生在该二进制信号的前沿之后的部分响应的失真以及在后沿之后的符号间干扰 ISI 响应；

控制所述前馈滤波器的抽头系数，以使得由所述减去步骤得到的信号成为部分响应；以及

所述前馈滤波器是一个非线性滤波器。

6、根据权利要求 5 所述的方法，其中该前馈滤波器是一个 Volterra 滤波器，它在假定输入波形已经被展开为 Volterra 级数时，对输入波形进行非线性均衡。

7、根据权利要求 6 所述的方法，其中根据最小均方 LMS 算法计算 Volterra 滤波器的抽头系数，以提供消除前沿之前的部分响应失真和前沿之前的 ISI 响应的滤波器特性。

8、根据权利要求 7 所述的方法，其中通过从一个波形信号中减去参考波形，将相减结果一起相乘和偏微分该相乘结果，来计算 Volterra 滤波器的抽头系数，所述波形信号是通过从最大似然解码所

产生的二进制信号中消除表示前沿之后的部分响应的失真和后沿之后的 ISI 响应的信号而得到的。

自适应均衡设备和方法

相关申请的交叉参考引用

本发明包含于 2004 年 4 月 9 日向日本专利局提交的日本专利申请 JP2004-115769 所相关的主题，其中公开的全部内容在此包含引作参考。

技术领域

本发明涉及一种在光或磁记录器中所使用的通过一种 PRML(部分响应最大似然)技术来均衡波形的自适应均衡设备和方法，PRML 技术是部分响应均衡和最大似然解码诸如维特比解码、FDTS(固定延迟树搜索)等等的结合。

背景技术

在使用一种超密记录类型光盘诸如最近开发的蓝光光盘(商标名)的记录器中，其播放系统被认为是一种横向滤波器，以通过 PRML 技术均衡波形，PRML 技术是利用在所述横向滤波器中将会发生的符号间干扰的部分响应均衡(下称为“PR 均衡”)和最大似然二值化诸如能够防止任何随机噪声引起的信噪比(S/N 比)的降低的维特比解码、FDTS(固定延迟树搜索)等等的结合。

而且，众所周知一种能够高性能解码甚至是包括非线性诸如不对称等的输入波形的自适应维特比解码(如在日本专利申请公开 1998 年第 261273 号，以下将称之为“专利文献 1”，以及 Naoki Ide 的“在光记录媒体中的自适应部分响应最大似然检测”(“Adaptive Partial - Response Maximum - Likelihood Detection in Optical Recording Media”)，ISOM2002。

另外，为了均衡和解码读信号，众所周知通过一个非线性模型来

使输入波形自身非线性均衡，然后在下游级中解码该读信号。

如果施加给通常线性自适应均衡器的信号包括一个非线性分量诸如在其幅度上垂直不对称，那么理论上讲是难以使输入信号有任何维纳最佳自适应均衡的，并且在线性自适应均衡器输出的波形中将会存在非线性均衡误差。公知能够假定所述非线性分量能够通过理想的线性信号展开为 Volterra 级数，通过自适应均衡 Volterra 滤波器能够由非线性均衡误差形成近似自适应均衡，该滤波器的非线性均衡误差的阶次对应于非线性均衡误差的非线性阶次的量级（如 Mathews, V.J 的“自适应多项式滤波器”（“Adaptive Polynomial Filters”），IEEE 信号处理杂志，第 8 卷，第 3 期，1991 年 7 月，第 10 - 26 页）。

已经指出尤其是在光记录中，将被记录的信号包括非线性分量，并且为了改进特性已经研究了各种信号处理技术。在日本专利申请公开第 2001 - 525101 号所公开的信号处理方法中，通过自适应均衡 Volterra 滤波器从来自光盘的读信号中消除非线性分量，然后，将消除非线性失真所产生的波形信号提供给维特比解码器，并且实现了改善的误码率，同时还通过发明检测器设计减少了计算规模。

但是，在 PR 均衡由输入波形构成的情况下，其中输入波形包括的需要用于该 PR 均衡的频率分量不足或没有，因此将会产生一个由任何方式都不能均衡的频域。这种误差将作为一种非常依赖于输入数据模式的均衡误差而存在，并使解码器性能恶化到相当的程度，以及导致比特误码率（BER）的劣化。

而且在通过所述 PRML 技术的波形均衡中，包括在将要被均衡的信号波形前沿之前的 ISI（符号间干扰）（下称为“前沿 ISI”），即包括在前沿之前的干扰波形，必须通过 PR 均衡滤波器予以消除。也就是说，由于不能够预测数字信号处理所基于的任何未来的数据，通过维特比解码和 FDTS 不能够消除由于前沿 ISI 引起的波形失真。

再者，在最近已被投入实际使用的蓝光光盘所代表的高密光记录器中，读信号的非线性信号分量的失真，诸如垂直不对称，已变成了对自适应均衡器的工作具有不可忽视的影响。

这里将会通过实例的方式说明通过针对任意目标的传统线性自适应均衡器 PR 均衡包括非对称的信号。例如，在使用为一种典型自适应均衡算法的 LMS 算法的情况下，输入信号将包括垂直不对称，尽管作为自适应均衡目标的临时判断是垂直对称的线性数据序列。在这种情况下，将有可能运行该 LMS 算法以仅仅根据其数学性质来最小化 MSE(均方差)，作为临时判断和自适应均衡器输出之间的差值，并相应地输出一个具有与 PR 均衡目标的巨大差值的信号，通常这是自适应均衡器的目的所在。

而且，旨在利用线性信号来提供用于数据的检测器，其中已经研究和实施过各种有效的数据处理技术，如果所提供信号仍包括非线性均衡误差，该检测器则难以最好地工作。另外，众所周知在其中将仍包括非线性均衡误差的信号提供给维特比解码器所代表的旨在用于各种类型 PR 均衡的最大似然解码器的情况下，各种被检测信号幅度的平均值将不同于通常在理想情况下的输入理想线性信号的幅度，这将产生似然计算的误差并且对判断的结果产生不利的影晌。

另一方面，在包括垂直不对称的信号将被提供给用于自适应均衡的最大似然解码器的情况下，后者应该是一个自适应维特比解码器，它能够像上述专利文献 1 中所建议的那样自适应地改变检测器的参考幅度电平以提高解码的性能，并且提高到一定程度。在这种情况下，但是，由于上和下信号幅度电平的绝对值相互不同，因此不能均匀地分配量化比特宽度以实现一个电路。众所周知不能忽视量化误差并且最大似然解码器不能正常工作，除非将该电路设计成比用于解码器的必要和充足的量化比特宽度具有较大的量化比特宽度，该解码器被优化用于通常为线性的输入信号。

发明内容

为了克服现有技术中存在的上述缺陷，期望提供一种自适应均衡设备和方法，其中组合采用 PR 均衡和最大似然解码，并且能够确实地消除前沿 ISI，以及使用最大似然解码和考虑到输入波形不对称的

解码结果能够最佳地均衡输入波形。

通过提供一种自适应均衡设备能够实现上述目的，该均衡设备对来自记录或传输媒体的读信号进行部分响应均衡和最大似然解码以产生二进制信号，根据本发明该设备包括：

滤波所述读信号的前馈滤波器；

前馈滤波器控制装置，用于控制前馈滤波器的抽头系数；

最大似然解码装置，用于对前馈滤波器所滤波的信号进行最大似然解码以产生所述二进制信号；

滤波最大似然解码装置所提供的二进制信号的反馈滤波器；

反馈滤波器控制装置，用于控制反馈滤波器的抽头系数；

延迟装置，用于通过最大似然解码装置的一个处理时间延迟前馈滤波器所滤波的信号；和

减法装置，用于从上述延迟装置提供的信号中减去反馈滤波器所提供的信号，

反馈滤波器控制装置根据最大似然解码所产生的二进制信号控制所述抽头系数，以在二进制信号前沿之后产生部分响应的失真，以及在后沿之后产生 ISI（符号间干扰）响应；

前馈滤波器控制装置控制用于从减法装置提供的将是部分响应的信号的抽头系数；以及

前馈滤波器是一个非线性滤波器。

而且通过提供一种自适应均衡方法能够实现上述目的，该方法对来自记录或传输媒体的读信号进行部分响应均衡和最大似然解码以产生二进制信号，根据本发明该方法包括以下步骤：通过前馈滤波器滤波所述读信号；控制所述前馈滤波器的抽头系数；对所述前馈滤波器所滤波的信号进行最大似然解码以产生所述二进制信号；通过反馈滤波器滤波所产生的二进制信号；控制所述反馈滤波器的抽头系数；以所述最大似然解码的处理时间延迟所述前馈滤波器所滤波的信号；以及从所延迟的信号中减去所述反馈滤波器所提供的信号，其中，根据最大似然解码所产生的二进制信号控制所述反馈滤波器的抽头系数，以产生在该二进制信号的前沿之后的部分响应的失真以及在后沿之后

的 ISI (符号间干扰) 响应; 控制所述前馈滤波器的抽头系数, 使得由所述减去步骤得到的信号成为部分响应; 以及所述前馈滤波器是一个非线性滤波器。

在根据本发明的上述自适应均衡设备和方法中, 在最大似然解码装置之前提供前馈滤波器, 根据通过最大似然解码所述读信号产生的二进制信号, 以在前沿之后产生部分响应的失真, 以及在后沿之后产生 ISI (符号间干扰) 响应, 从前馈滤波器的输出中减去该失真和后沿 ISI 响应, 控制前馈滤波器的抽头系数以用于将是部分响应的相减信号。进一步, 该前馈滤波器是一个非线性滤波器, 诸如例如, 高阶自适应均衡 Volterra 滤波器。

因此, 根据本发明的自适应均衡设备和方法通过利用作为部分响应及其失真的 ISI 第一部分而不考虑的接下来的后沿 ISI 进行自适应均衡, 并补偿输入波形所丢失的频率部分, 从而能够使解码误码率更低。

而且, 由于将所述高阶自适应均衡 Volterra 滤波器用作所述前馈滤波器, 因此使用它来消除非线性失真以借此近似地线性化输出, 根据本发明的自适应均衡设备和方法能够使一个下游信号处理器以和信号处理器处理线性信号一样高的性能来工作。

而且, 在根据本发明的自适应均衡设备和方法中, 由于使用反馈滤波器以根据最大似然解码所产生的二进制信号, 在前沿之后产生部分响应的失真, 以及在后沿之后产生 ISI 响应, 使用 PR 失真和 ISI 响应的结果来检测误差, 从而误差检测的结果将会较少受到所述失真和 ISI 的影响。而且, 在最大似然解码所产生的二进制信号用于误差检测的计算时, 该二进制信号误码率高, 所述自适应均衡器将提供包括许多误差检测错误结果的输出。但是, 使用根据本发明的自适应均衡器所提供的二进制信号用于误差检测的计算, 该自适应均衡器将能够提供较少受到失真和 ISI 影响的、并包括误差检测的正确结果的输出。

从以下结合附图对本发明的优选实施例的详细描述, 本发明的这些目的和其他目的、特征和优点将变得更加显而易见。

附图说明

图 1 是根据本发明的用于光或磁盘的记录器/播放器基本结构的方框图;

图 2 是根据本发明的自适应均衡器的方框图;

图 3 示出了图 2 中所示的 FF 滤波器的输入波形的一个实例;

图 4 示出了在图 2 所示的 FF 滤波器中所提供的线性均衡滤波器结构的一个实例;

图 5 示出了在图 2 所示的 FF 滤波器中所提供的二次 Volterra 滤波器结构的一个实例;

图 6 示出了图 2 所示的 FB 滤波器结构的一个实例;

图 7 是图 2 所示的 FF 滤波器系数控制电路的方框图;

图 8 示出了用于 FF 滤波器中线性均衡滤波器的系数更新单元;

图 9 示出了用于 FF 滤波器中 Volterra 滤波器的系数更新单元;

图 10 是图 2 中所示的 FB 滤波器系数控制电路的方框图;

图 11 示出了用于 FB 滤波器的系数更新单元;

图 12 示出了图 2 中所示预测器结构的一个实例;

图 13 是图 2 中所示预测器系数控制电路的一个方框图;

图 14 详细示出了图 13 中所示的系数更新单元的方框图;

图 15 示出了当图 2 中所示 FDTS 解码器的前一数据 $a(n-3)$ 是 -1 时的树形结构;

图 16 示出了当图 2 中所示 FDTS 解码器的前一数据 $a(n-3)$ 是 $+1$ 时的树形结构;

图 17 说明了图 2 中所示的维特比解码器的状态变换;

图 18 示出了图 17 所示的状态变换的格形图;

图 19 示出了如图 2 所示的遍数 (pass) 反馈维特比解码器和 FDTS 解码器的全部结构的方框图, 其中上述解码器使用其公共组件;

图 20 详细示出了图 19 中所示的维特比解码器的方框图;

图 21 示出了图 19 中所示的 FDTS 解码器的结构;

图 22 示出了图 2 中所示的 FF 滤波器的输入波形的另一个实例；
图 23 示出了对图 22 中所示的被均衡波形进行相位旋转的原理；
图 24 示出了当已经通过相移器时图 22 中所示的被均衡波形；
图 25 示出了图 2 中所示的用于确定相移器相位的相移器系数控制电路；

图 26 是图 2 中所示的电平误差/定时误差检测电路中电平误差检测器的方框图；

图 27 是图 2 中所示的电平误差/定时误差检测电路中定时误差检测器的方框图；

图 28 是图 2 中所示的 FF 滤波器的输入信号的眼图；

图 29 是来自图 2 中所示的 FF 滤波器的输出信号的眼图；

图 30 是当输入信号已经被通过用作图 2 所示 FF 滤波器的二次自适应均衡 Volterra 滤波器和与该二次自适应均衡 Volterra 滤波器并联的线性自适应均衡滤波器的组合而自适应均衡时，FF 滤波器输出信号的眼图；

图 31 示出了对于在播放通常记录密度的 BD（蓝光光盘）中 PR（111）目标，分别当波形只经受通常的线性均衡，以及通过通常线性均衡器和二次自适应均衡 Volterra 滤波器的组合均衡该波形时比特误码率和切向歪斜之间的关系；

图 32 示出了在 PR 均衡之后，在检测点的 SDNR（信号对失真及噪声比）的测量结果和切向歪斜之间的关系；以及

图 33 示出了 FDTS 和维特比解码中检测结果中的 BER（比特误码率）的测量结果和切向歪斜之间的关系。

具体实施方式

以下将参考将自适应均衡器作为本发明的一个实施例详细地描述本发明。

现在参考图 1，以方框图的形式示意性示例了一个记录器/播放器，其通常用附图标记 1 来表示，并包括根据本发明的自适应均衡器

10.

如图 1 所示, 记录器/播放器 1 是一个向盘状的记录媒体 2 诸如光盘、磁盘等等写入数据或从其读取数据的设备。盘状记录媒体 2 能够信号记录, 如果假定播放系统是横向滤波器, 则在播放期间允许符号间干扰。而且, 盘状记录媒体是一个记录编码数据行的盘, 该数据通过最大似然解码诸如维特比解码或 FDTS 解码从该盘读取。

记录器/播放器 1 包括一个头部单元 3, 它向盘状记录媒体 2 写入信号和/或其中读取信号。头部单元 3 包括例如, 一个磁头、光学拾取器等等。而且, 记录器/播放器 1 包括一个调制电路 4, 用于对从外部提供的将要记录的数据行进行调制, 以及包括一个记录控制电路 5, 用于根据调制的将要记录的数据行通过驱动头部单元 3 来控制数据写入到盘状记录媒体 2。记录器/播放器 1 还包括一个前置放大器 6, 用于根据头部单元 3 从盘状记录媒体 2 所读取的信号产生读信号, 一个自动增益控制 (AGC) 放大器 7, 用于控制前置放大器 6 所产生的读信号的增益, 一个锁相环 (PLL) 电路 8, 用于将其增益受 AGC 电路 7 控制的读信号模数转换成数字信号, 并为该读信号产生一个时钟, 一个自适应均衡器 10, 用于进行 PR 均衡和最大似然解码已经通过 PLL 电路 8 为其产生上述时钟的读信号, 借此来产生二进制信号, 还包括一个解调电路 9, 用于解调从自适应均衡器 10 提供的二进制信号并输出再现的数据。

自适应均衡器 10 对该读信号进行 PR 均衡和最大似然解码以输出在盘状记录媒体 2 中作为二进制信号记录的信号。自适应均衡器 10 还产生一个 AGC 电路 7 所需的电平误差以控制该增益和产生 PLL 电路 8 所需的相位误差以使时钟信号和读信号相互同步。

如上所述, 当播放一个盘状的记录媒体时, 根据本发明的自适应均衡器 10 用作波形均衡器。应当注意的是, 将自适应均衡器 10 应用于播放盘状记录媒体仅仅是作为一个实例, 如果该播放器是一个基于符号间干扰的存在而使用部分响应均衡的系统, 则自适应均衡器 10 还可以应用于一个再现即将到来信号的播放器。

自适应均衡器 10 的总体结构

以下将进一步描述有关自适应均衡器 10 的内部结构。

图 2 是自适应均衡器 10 的方框图。

自适应均衡器 10 被提供按 PLL 电路 8 产生的时钟定时所采样的读信号。

如图 2 所示，自适应均衡器 10 包括一个被提供来自 PLL 电路 8 的读信号的相移器 11，一个 FF（前馈）滤波器 12，其被提供自相移器 11 所提供的读信号，以及一个预测器 13，其被提供自 FF 滤波器 12 所提供的读信号。

相移器 11、FF 滤波器 12 和预测器 13 中的每一个都是一个用于滤波输入信号的滤波器电路。自适应均衡器 10 还包括一个调整相移器 11 的抽头系数的相移器系数控制电路 14，调整 FF 滤波器 12 的抽头系数的 FF 滤波器系数控制电路 15，以及调整预测器 13 的抽头系数的预测器系数控制电路 16。

自适应均衡器 10 还包括一个维特比解码器 17，其被提供来自预测器 13 的读信号，并对所提供的读信号进行遍数反馈维特比解码以产生二进制信号，以及包括一个 FDTS（固定延迟树搜索）解码器 18，它被提供自预测器 13 提供的所述读信号，并对所提供的二进制信号进行遍数反馈 FDTS 解码以产生二进制信号。

上述维特比解码器 17 和 FDTS 解码器 18 的每一个是一个电路，该电路用于对经受部分响应均衡的读信号进行最大似然解码以输出由 0 和 1（或 1 和 -1）所代表的各行（二进制信号）。应该注意到维特比解码器 17 和 FDTS 解码器 18 共享内部分支度量计算电路、ACS（相加 比较 选择）电路等等。下文将详细描述该共享电路。

自适应均衡器 10 还包括：第一延迟单元 21，它将自 FF 滤波器 12 提供的所述读信号延迟预定长度的时间；第一反馈滤波器（第一 FB 滤波器）22，其被提供来自维特比解码器 17 的二进制信号并且滤波该二进制信号；第一减法器 23，用于从第一延迟单元 21 的输出信号中减去第一 FB 滤波器 22 的输出信号；以及一个用于调整第一 FB

滤波器 22 的抽头系数的第一 FB 滤波器系数控制电路 24。

自适应均衡器 10 还包括：第二延迟单元 25，它将自 FF 滤波器 12 提供的所述读信号延迟预定长度的时间；第二反馈滤波器（第二 FB 滤波器）26，其被提供来自维特比解码器 17 的二进制信号并且滤波该二进制信号；第二减法器 27，用于从第二延迟单元 25 的输出信号中减去第二 FB 滤波器 26 的输出信号；以及一个用于调整第二 FB 滤波器 26 的抽头系数的第二 FB 滤波器系数控制电路 28。

自适应均衡器 10 还包括一个选择器 29，其被提供来自维特比解码器 17 的二进制信号和来自第一减法器 23 的相减信号以及来自 FDTS 解码器 18 的二进制信号和来自第二减法器 27 的相减信号。选择器 29 可以选择自维特比解码器 17 提供的二进制信号和自第一减法器 23 提供的相减信号的组合，也可以选择自 FDTS 解码器 18 提供的二进制信号和自第二减法器 27 提供的相减信号的组合，并输出所选的组合信号。向相移器系数控制电路 14、FF 滤波器系数控制电路 15、预测器系数控制电路 16、第一 FB 滤波器系数控制电路 24 和第二 FB 滤波器系数控制电路 28 提供选择器 29 所选择的两个信号，并且将该信号用于计算每个电路中的抽头系数。而且，还向维特比解码器 17 和 FDTS 解码器 18 提供选择器 29 所选择的两个信号，其中该信号将用于解码计算。

自适应均衡器 10 还包括一个电平误差/定时误差检测电路 30。该电平误差/定时误差检测电路 30 被提供来自 FDTS 解码器 18 的二进制信号和来自第二减法器 27 的相减信号，并且该电路产生 AGC 电路 7 和 PLL 电路 8 所参照的电平误差信号和定时误差信号。

通过自适应均衡器 10 进行 PRML 均衡的概述

下文将说明通过自适应均衡器 10 进行的 PRML 均衡。

FF 滤波器 12 用于基于部分响应进行波形均衡。FF 滤波器 12 被设置在遍数反馈最大似然解码器（维特比解码器 17 和 FDTS 解码器 18）的上游，因此，自适应均衡器 10 整个将基于 PRML（部分响应最大似然）均衡技术来实现均衡。

而且, FF 滤波器 12 只均衡在信号波形前沿处的部分响应的失真和在信号波形前沿之前的 ISI 响应, 其中该信号波形将要被包括在信号中的 ISI (符号间干扰) 均衡。也就是说, FF 滤波器 12 均衡没有考虑到信号波形前沿之后部分响应的失真以及后沿之后的 ISI 的该信号波形, 即, 允许信号波形前沿之后部分响应的任何失真和后沿之后 ISI 的存在。

“ISI”是来自与信号波形相邻并叠加在信号波形上的干扰分量。

而且, 在将要均衡的信号波形前沿之前的“ISI”是在当信号波形被处理成二进制信号时信号波形前沿的定时(从 0 到 1 的转换定时)之前临时存在的 ISI。在该信号波形前沿之前存在的 ISI 以下将被称为“前沿 ISI”。

而且, 在将要均衡的信号波形后沿之后的“ISI”是在当信号波形被处理成二进制信号时信号波形后沿的定时(从 1 到 0 的转换定时)之后临时存在的 ISI。在该信号波形后沿之后存在的 ISI 以下将被称为“后沿 ISI”。

在自适应均衡器 10 中, 从已经经受最大似然解码(维特比解码和 FDTS 解码)的二进制信号产生位于将要均衡的波形前沿之后的部分响应失真和后沿 ISI 响应, 并控制 FF 滤波器 12 的抽头系数用于这些响应与来自将要部分响应 FF 滤波器 12 的响应的组合, 以借此在 FF 滤波器 12 中进行上述的均衡。

更具体而言, 第一 FB 滤波器 22 或第二 FB 滤波器 26 从最大似然解码判断的结果产生部分响应的失真和后沿 ISI 响应。第一延迟单元 21 或第二延迟单元 25 将 FF 滤波器 12 的响应结果延迟最大似然解码所需的时间。第一减法器 23 和第二减法器 27 从经延迟的 FF 滤波器 12 的响应结果中减去, 在经受最大似然解码之后由该二进制信号产生的部分响应的失真和后沿 ISI 响应。然后, FF 滤波器系数控制电路 15 调整 FF 滤波器 12 的抽头系数, 以便自第一减法器 23 和第二减法器 27 提供的每个响应结果都是一个部分响应。

通过如上所述来调整 FF 滤波器 12 的抽头系数, FF 滤波器 12

能够确实地消除位于将要均衡波形前沿之前的 ISI 的部分响应，和位于前沿之前的部分响应失真，这些失真是不可能通过最大似然解码消除的。但是，根据 FF 滤波器 12，在将要均衡波形前沿之后存在的部分响应的失真，以及在后沿之后存在的 ISI 将继续存在于该响应结果中。然而，由于通过在下游级中进行最大似然解码（维特比解码和 FDTS 解码）能够消除继续存在的 PR 响应失真和 ISI，所以通常将会提高信噪比（S/N 比）。

而且，FF 滤波器 12 包括一个相互并联的线性自适应均衡滤波器和一个高阶自适应均衡 Volterra 滤波器，这里后者是一个非线性滤波器。因此，FF 滤波器 12 将线性和非线性滤波器的输出相加到一起。从而，当输入读信号具有通过不对称所代表的非线性时，FF 滤波器 12 能够自适应地补偿非线性均衡误差并输出均衡的一个近似的线性结果。

接下来，使用数学表达式详细描述是如何进行上述 PR 均衡的。

首先，为 FF 滤波器 12 提供利用图 3 所示的虚线表示经采样的读信号。例如，当为了将要部分响应 PR (111) 的抽头系数均衡首先的两个数据时，自适应均衡器 10 将输出一个由图 3 所示实线表示的被均衡波形，该波形不在通常的 PR 公式中。

取均衡波形为 y_{0n} ，并由以下公式 (1) 来表示：

$$y_{0n} = \sum_{i=0}^{pr_len-1} c_i \cdot a_{n-i} + \sum_{i=0}^{fb_len-1} b_i \cdot a_{n-i} + w_n \quad (1)$$

在上述公式中， c_i 通常表示部分响应的抽头系数，并取其干扰长度为 pr_len 。当部分响应的抽头系数是 PR (11)，例如， $c_0 = 1$ ， $c_1 = 1$ 和 $pr_len = 2$ 。当抽头系数是 PR (121) 时， $c_0 = 1$ ， $c_1 = 2$ ， $c_2 = 2$ 和 $pr_len = 3$ 。当抽头系数是 PR (111) 时， $c_0 = 1$ ， $c_1 = 2$ ， $c_2 = 2$ 和 $pr_len = 3$ 。

而且在上述公式中， b_i 是一个表示失真的项，它是与期望的部分响应的偏差。而且， a_n 是一个在时间 n 记录的 NRZ 数据的值并且取值为 ± 1 。而且， w_n 表示叠加的噪声。

自适应均衡器 10 操作以通过允许与部分响应的偏差作为上述公式 (1) 的第二项来进行均衡。

以下将详细描述实现上述操作的自适应均衡器 10 的每个组件。

FF 滤波器

FF 滤波器 12 是一个由相互并联的线性自适应均衡滤波器和高阶自适应均衡 Volterra 滤波器组成的数字滤波器，以进行以下公式 (2-1) 的计算。

$$y0_n = y01_n + y02_n \quad (2-1)$$

$$y01_n = \sum_{i=0}^{len-1} f_i \cdot x_{n-i} \quad (2-2)$$

$$y02_n = \sum_{i=0}^{len2-1} \sum_{j=0}^{len2-1} f_{ij} \cdot x_{n-i} \cdot x_{n-j} + \sum_{i=0}^{len3-1} \sum_{j=0}^{len3-1} \sum_{k=0}^{len3-1} f_{ijk} \cdot x_{n-i} \cdot x_{n-j} \cdot x_{n-k} \quad (2-3)$$

这里， x_n 表示在时间 n 提供给 FF 滤波器 12 的信号，作为公式 (2-1) 右侧第一项的 $y01_n$ 是来自线性自适应均衡滤波器的一个输出（在公式 (2-2) 中），以及作为公式 (2-1) 右侧第二项的 $y02_n$ 是来自高阶自适应均衡 Volterra 滤波器的一个输出（在公式 (2-3) 中）。

更具体而言，线性自适应均衡滤波器由包括在每个采样延迟输入信号的 $(fff_len - 1)$ 步进延迟单元的 FF 滤波器，利用抽头系数 f_i (i 是一个整数) 将到第一乘法器级的输入和来自每个延迟单元的输出相乘的 (fff_len) 步进乘法器，以及对乘法器输出和如图 4 所示公式 (2-1) 的右侧第一项 $y01_n$ 的输出求和的求和加法器而形成。应该注意到提供给每个乘法器的抽头系数 f_i (i 是一个整数) 由以下将详细描述的 FF 滤波器系数控制电路 15 产生。

高阶自适应均衡 Volterra 滤波器是一个假定已经在 Volterra 级数中展开输入波形时进行非线性均衡的 Volterra 滤波器。更具体而言，二次 Volterra 滤波器 31 例如包括，如图 5 所示的两个水平延迟单元级 32-1 和 32-2，以及两个垂直延迟单元级 33-1 和 33-2。水平延迟单元 32-1 和 32-2 和垂直延迟单元 33-1 和 33-2 产生输入信号 x_n ，被延迟一个采样的输入信号 x_{n-1} ，以及被延迟两个采样的输入信

号 x_{n-2} 。

二次 Volterra 滤波器 31 还包括一个用于将输入信号 $x(n)$ 相乘起来的第一乘法器 34-00, 用于将输入信号 $x(n)$ 和延迟一个采样的输入信号 $x(n-1)$ 相乘的第二乘法器 34-01, 用于将输入信号 $x(n)$ 和延迟两个采样的输入信号 $x(n-1)$ 相乘的第三乘法器 34-02, 用于将延迟一个采样的输入信号 $x(n-1)$ 和输入信号 $x(n)$ 相乘的第四乘法器 34-10, 用于将延迟一个采样的输入信号 $x(n-1)$ 相乘起来的第五乘法器 34-11, 用于将延迟一个采样的输入信号 $x(n-1)$ 和延迟两个采样的输入信号 $x(n-1)$ 相乘的第六乘法器 34-12, 用于将延迟两个采样的输入信号 $x(n-1)$ 和输入信号 $x(n)$ 相乘的第七乘法器 34-20, 用于将延迟两个采样的输入信号 $x(n-1)$ 和延迟一个采样的输入信号 $x(n-1)$ 相乘的第八乘法器 34-21, 以及用于将延迟一个采样的输入信号 $x(n-1)$ 和延迟两个采样的输入信号 $x(n-1)$ 相乘的第九乘法器 34-22。

二次 Volterra 滤波器 31 还包括一个用于将抽头系数 $f_v(0, 0)$ 与来自第一乘法器 31-00 的输出信号相乘的第一抽头系数乘法器 35-00, 用于将抽头系数 $f_v(0, 1)$ 与来自第二乘法器 31-01 的输出信号相乘的第二抽头系数乘法器 35-01, 用于将抽头系数 $f_v(0, 2)$ 与来自第三乘法器 31-02 的输出信号相乘的第三抽头系数乘法器 35-02, 用于将抽头系数 $f_v(1, 0)$ 与来自第四乘法器 31-10 的输出信号相乘的第四抽头系数乘法器 35-10, 用于将抽头系数 $f_v(1, 1)$ 与来自第五乘法器 31-11 的输出信号相乘的第五抽头系数乘法器 35-11, 用于将抽头系数 $f_v(1, 2)$ 与来自第六乘法器 31-12 的输出信号相乘的第六抽头系数乘法器 35-12; 用于将抽头系数 $f_v(2, 0)$ 与来自第七乘法器 31-20 的输出信号相乘的第七抽头系数乘法器 35-20, 用于将抽头系数 $f_v(2, 1)$ 与来自第八乘法器 31-21 的输出信号相乘的第八抽头系数乘法器 35-21, 用于将抽头系数 $f_v(2, 2)$ 与来自第九乘法器 31-22 的输出信号相乘的第九抽头系数乘法器 35-22。

二次 Volterra 滤波器 31 还包括一个求和加法器 36, 用于将第一

到第九抽头系数乘法器 35-00 到 35-22 的输出相加起来，并输出上述公式 (2-1) 的右侧第二项 y_{0-2n} 。

注意到已经将第一到第九抽头系数乘法器 35-00 到 35-22 的给定抽头系数 $f_v(ij)$ (i 和 j 都是整数) 通过 FF 滤波器系数控制电路 15 所产生的值来设置，以下将详细描述。还要注意到尽管已经通过实例的方式描述了二次 Volterra 滤波器，延迟的量可能不仅是一个二次延迟量，而且它还可能是三次、四次或更高阶次的量。

FF 滤波器 12 由上述相互并联的线性自适应均衡器滤波器和高阶自适应均衡 Volterra 滤波器组合而成。由 FF 滤波器系数控制电路 15 来控制线性自适应均衡滤波器和高阶自适应均衡 Volterra 滤波器的抽头系数 f_i 和 f_{vik} ，因此 FF 滤波器 12 对所提供的读信号进行自适应 PR 均衡。

FB 滤波器

每个第一和第二 FB 滤波器 22 和 26 都是被提供 -1 或 +1 的二进制信号 $a_{(n-d)} \{ a_{(n-d0)} \text{ 或 } a_{(n-d1)} \}$ 的数字滤波器，该二进制信号是最大似然解码 (维特比解码或 FDTS 解码) 的临时判断的结果，并且根据临时判断的输入结果，计算在两个采样之后上述公式 (1) 的第二项中将要均衡的波形的部分响应失真 (例如，图 3 的 b_0, b_1) 和后沿 ISI 响应 (例如，图 3 中的 b_2, b_3 和 b_4)。

注意到尽管自适应均衡器 10 包括分别滤波维特比解码器 17 和 FDTS 解码器 18 的临时判断结果的第一 FB 滤波器 22 和第二 FB 滤波器 26，但是其中只有一个滤波器用于该 PR 均衡。以下将详细描述通过选择器 29 选择第一和第二 FB 滤波器 22 和 26 的其中之一。

假定从滤波维特比解码器 17 的临时判断结果的第一 FB 滤波器 22 输出的计算是 y_{40n} ，以及从滤波 FDTS 解码器 18 临时判断结果的第二 FB 滤波器 26 输出的计算是 y_{41n} ，第一 FB 滤波器 22 将计算以下公式 (3-1)，而第二 FB 滤波器 26 将计算以下公式 (3-2)：

$$y_{40_{n-d0}} = \sum_{i=0}^{M-1} b_i \cdot \hat{a}_{n-(d0+i)-i} \quad (3-1)$$

$$y41_{n-d1} = \sum_{i=0}^{fbf_len-1} b_i \cdot \hat{a}_{n-(d1+1)-i} \quad (3-2)$$

这里 $d0$ 表示维特比解码器 17 的判断延迟， $d1$ 表示 FDTS 解码器 18 的判断延迟，它们都是大于 0 的整数。应该注意到当没有必要相互区别地表示 $d0$ 和 $d1$ 时，它们将由 d 来表示。

更具体而言，第一和第二 FB 滤波器 22 和 26 中的每一个由 FIR 滤波器形成，如同 6 所示，该 FIR 滤波器包括一个在每个采样延迟输入信号的 $(fbf_len - 1)$ 步进延迟单元，一个用于将到第一延迟单元级的输入和每个延迟单元级的输出与抽头系数 b_i (i 是一个整数) 相乘的 (fbf_len) 步进乘法器，以及一个求和加法器，该加法器用于对全部乘法器级的输出和上述公式 (3-1) 和 (3-2) 的输出 $y40_n$ 和 $y41_n$ 进行求和。

注意到每个乘法器级的给定抽头系数 b_i (i 是一个整数) 为此设置成由第一 FB 滤波器系数控制电路 24 或第二 FB 滤波器系数控制电路 28 所产生的值，下文将对此详细描述。

第一和第二 FB 滤波器 22 和 26 中的每一个都是一个如上所述的线性自适应均衡滤波器，其抽头系数 b_i 由 FF 滤波器系数控制电路 15 所控制，以在将要均衡波形的前沿之后输出部分响应的失真，以及在该波形的后沿之后输出 ISI 响应。

延迟单元和减法器

第一延迟单元 21 包括一个移位寄存器，其延迟量 ($d0$) 对应于维特比解码器 17 判断所需的延迟量。第一延迟单元 21 被提供 FF 滤波器 12 的响应结果 $y0_n$ 。因此，第一延迟单元 21 的输出将是 $Y0_{(n-d0)}$ 。

在该实施例中，由于维特比解码器 17 的解码延迟是 $pmem_len$ 时钟， $y0_n$ 由 $pmem_len$ ($= d0$) 延迟。即，第一延迟单元 21 的输出信号将是 $y0(n - pmem_len)$ 。

第二延迟单元 25 包括一个移位寄存器，其延迟量 ($d1$) 对应于 FDTS 解码器 18 判断所需的延迟量。第二延迟单元 25 被提供 FF 滤波器 12 的响应结果 $y0_n$ 。因此，第二延迟单元 25 的输出将是 $Y0_{(n-d1)}$ 。

在该实施例中，由于 FDTs 解码器 18 的解码延迟是三个时钟，第二延迟单元 25 将延迟 $Y0_{n-3}$ 个 ($=d1$) 时钟。即，第二延迟单元 25 的输出信号将是 $Y0_{(n-3)}$ 。

第一减法器 23 从 FF 滤波器 12 的响应结果中减去记录器/播放器 1 的 FB 滤波器 22 的输出结果，其中该响应结果被延迟维特比解码判断所需的时间。假定第一减法器 23 的输出信号是 $y50_n$ ，该信号 $y50_n$ 由以下公式 (4-1) 给出：

$$y50_{n-d0} = \sum_{i=0}^{ff} f_i \cdot x_{n-d0-i} - \sum_{i=0}^{fb} b_i \cdot \hat{a}_{n-(d0+i)-i} \quad (4-1)$$

第二延迟单元 25 是一个存储器，其延迟量对应于 FDTs 解码器 18 判断所需的延迟。第二延迟单元 25 延迟 FF 滤波器 12 的响应结果。而且，第二减法器 27 从 FF 滤波器 12 的响应结果中减去第二 FB 滤波器 26 的输出结果，其中响应结果被延迟 FDTs 解码判断所需的时间。假定第二减法器 27 的信号输出是 $y51_n$ ，该信号由以下公式 (4-2) 给出：

$$y51_{n-d1} = \sum_{i=0}^{ff} f_i \cdot x_{n-d1-i} - \sum_{i=0}^{fb} b_i \cdot \hat{a}_{n-(d1+i)-i} \quad (4-2)$$

选择器

选择器 29 向相移器 11、FF 滤波器 12、预测器 13 和第一和第二 FB 滤波器系数控制电路 24 和 28，提供从 FF 滤波器 12 的部分响应(这种波形信号还将被在下文中在合适的地方称之为“可消除波形或可消除波形信号”)中消除失真和后沿 ISI 所产生的临时判断结果 $a_{(n-d)}$ 和响应 $Y50_{n-d}$ 。同时，选择器 29 选择维特比解码器 17 的结果 $a_{(n-d0)}$ 和 $Y50_{n-d0}$ 或者 FDTs 解码器 18 的结果 $a_{(n-d1)}$ 和 $Y50_{n-d1}$ ，而不论使用其中的哪一个。来自选择器 29 的所选临时判断结果输出由 $a_{(n-d)}$ 表示，从部分响应中消除失真和后沿 ISI 所产生的波形由 $y5_{(n-d)}$ 表示，如下：

当选择维特比解码时：

$$a_{(n-d)} = a_{(n-d0)}, y5_{(n-d)} = y50_{(n-d0)}$$

当选择 FDTS 解码时:

$$a_{(n-d)} = a_{(n-d1)}, y5_{(n-d)} = y51_{(n-d1)}$$

FF 滤波器系数控制电路

FF 滤波器系数控制电路 15 计算 FF 滤波器 12 的线性自适应均衡滤波器的抽头系数 f_i ，以及高阶 Volterra 滤波器的抽头系数 fv_{ij} 。

图 7 是 FF 滤波器系数控制电路 15 的方框图。如图 7 所示，FF 滤波器系数控制电路 15 包括一个 FF 滤波器系数更新单元 41。FF 滤波器系数更新单元 41 被提供最大似然解码器（维特比解码器 17 或 FDTS 解码器 18）的临时判断结果 $a_{(n-d)}$ ，自减法器（第一减法器 23 或第二减法器 27）提供的已从部分响应中消除失真和后沿 ISI 所产生的波形信号 $y5_{(n-d)}$ ，以及在 FF 滤波器 12 的延迟单元中保存的信号 $x_{(n-d-i)}$ （这里 i 是位于 0 和 fff_len-1 之间的一个整数）。FF 滤波器系数控制电路 15 所计算的抽头系数 f_i 和 fv_{ij} 被提供给每个乘法器，该乘法器用于将 FF 滤波器 12 的抽头系数相乘起来。

FF 滤波器系数更新单元 41 控制 FF 滤波器 12 的抽头系数 f_i 和 fv_{ij} ，以便从部分响应中消除失真和后沿 ISI 所产生的波形信号 $y5_{(n-d)}$ 与最大似然解码结果的部分响应（ $PR()$ ）相一致。即，FF 滤波器系数更新单元 41 控制 FF 滤波器 12 的抽头系数 f_i 和 fv_{ij} ，以便 FF 滤波器 12 的响应与从部分响应中消除失真和后沿 ISI 所产生的响应相一致。换句话说，FF 滤波器系数更新单元 41 控制 FF 滤波器 12 的抽头系数 f_i 和 fv_{ij} ，以便 FF 滤波器 12 的响应与一个响应相一致，该响应将取消部分响应在前沿的失真并消除前沿 ISI。

注意到 FF 滤波器系数更新单元 41 根据 LMS 算法来计算抽头系数 f_i 和 fv_{ij} 。

为了评估 LMS 算法，首先将要讨论如以下公式 (5) 所给出的从部分响应中消除失真和后沿 ISI 所产生的波形信号 $y5_{(n-d)}$ 和最大似然解码的临时判断结果的部分响应之间的平方差 $F(n)$ ，以作为 FF 滤波器 12 的输出波形的评价函数，如下：

$$F(n) = \{y5_{n-d} - PR(a_{n-d})\}^2 \quad (5)$$

这里 \underline{n} 表示当前时间以及 $PR(\cdot)$ 是一个为期望的部分响应提供参考波形的函数。在假定 $PR(111)$ 的情况下，将计算 $a_{(n-d)} + a_{(n-d-1)} + a_{(n-d-2)}$ 。

假定对于输入信号 $x(n)$ 能够将具有非线性失真的输入波形 $y5_{(n-d)}$ 近似扩展到二次 Volterra 级中，则能够通过以下公式 (6) 给出输入波形 $y5_{(n-d)}$ ：

$$y5_{n-d} = \sum_{l=0}^{len-1} f_l \cdot x_{n-d-l} + \sum_{j=0}^{len2-1} \sum_{k=0}^{len2-1} f_{v_{jk}} \cdot x_{n-d-j} \cdot x_{n-d-k} \quad (6)$$

偏微分公式 (5) 中的 $F(n)$ ，以便 FF 滤波器 12 的线性自适应均衡滤波器的指数 \underline{l} 的抽头系数 f_l 由以下公式 (7) 表示：

$$\frac{\partial}{\partial f_l} F(n) = 2\{y5_{n-d} - PR(a_{n-d})\} \cdot x_{n-d-l} \quad (7)$$

LMS 算法是用于控制滤波器系数来最小化平方差的。所以，通过将平方差的偏微分值乘以适当的增益并从抽头系数 f_l 中减去相乘的结果，线性自适应均衡滤波器将进行自适应滤波，从而从部分响应中消除失真和后沿 ISI 所产生的的波形信号 $y5_{(n-d)}$ 将跟随部分响应。

同理，二次自适应均衡 Volterra 滤波器的指数 \underline{j} 和 \underline{k} 的抽头系数 $f_{v_{jk}}$ 的偏微分由以下公式 (8) 给出：

$$\frac{\partial}{\partial f_{v_{jk}}} F(n) = 2\{y5_{n-d} - PR(a_{n-d})\} \cdot (x_{n-d-j} \cdot x_{n-d-k}) \quad (8)$$

也就是说，用于非线性自适应均衡 Volterra 滤波器抽头系数的更新算法仅仅不同于线性自适应均衡滤波器的抽头系数的是，偏微分由两个信号的乘积表示，该信号除了具有与在当前时间 \underline{n} 的输入信号 $x(n)$ 的固定延迟 \underline{d} 以外，还具有延迟 \underline{j} 和 \underline{k} 。换句话说，非线性自适应均衡 Volterra 滤波器的抽头系数更新单元在结构上类似于线性自适应均衡滤波器的抽头系数更新单元。

所以，通过将平方差的偏微分值乘以适当的增益并从抽头系数 $f_{v_{jk}}$ 中减去相乘的结果，将通过是非线性均衡滤波器的高阶 Volterra

滤波器进行自适应滤波，从而从部分响应中消除失真和后沿 ISI 所产生的波形信号 $y5_{(n-d)}$ 将跟随部分响应。

图 8 示出了一个用于计算 FF 滤波器 12 中线性自适应均衡滤波器指数 i 的抽头系数 f_i 的系数计算电路 41-i。应该注意到对于每个指数 FF 滤波器系数更新单元 41 都包含一个系数计算电路，并且所有这些系数计算电路的结构相同。

系数计算电路 41-i 包括一个偏微分单元 42、移动平均单元 43、增益乘法器 44 和系数更新单元 45。

偏微分单元 42 包括一个滤波器电路 46，用于从临时判断 $a_{(n-d)}$ 的结果计算部分响应的参考波形 $PR(a_{(n-d)})$ ，一个减法器 47，用于从部分响应中消除失真和后沿 ISI 所产生的波形信号 $y5_{(n-d)}$ 减去 $PR(a_{(n-d)})$ ，以及一个乘法器 48，用将减法器 47 的相减结果和在 FF 滤波器 12 的延迟单元中保存的信号 $x_{(n-d-i)}$ 和“2”相乘起来。偏微分单元 42 能够让乘法器 48 输出如上述公式 (7) 所表示的偏微分结果。

移动平均单元 43 对偏微分结果进行移动平均，例如移动平均数 M_0 。乘法器 44 将移动平均单元 43 的移动平均结果乘以增益 α_0 。

系数更新单元 45 从一个时钟前的系数值 f_i 中减去和移动平均增益 α_0 相乘的偏微分结果。从而，系数更新单元 45 将更新偏微分结果到零。

图 9 详细示出了一个用于计算 FF 滤波器 12 中高阶非线性自适应均衡 Volterra 滤波器指数 ik 的抽头系数 f_{vik} 的系数计算电路 41-ik。应该注意到对于每个指数 FF 滤波器系数更新单元 41 都包含一个系数计算电路，并且所有这些系数计算电路的结构相同。

系数计算电路 41-ik 除了偏微分单元 42 中的乘法器 48 以外，其结构与线性均衡滤波器中系数计算电路 41-i 相同。系数计算电路 41-ik 的偏微分单元 42 中的乘法器 48 将减法器 47 的相减结果和在 FF 滤波器 12 的延迟单元中保存的信号 $x_{(n-d-i)}$ 、信号 $x_{(n-d-k)}$ 以及“2”相乘起来。

FB 滤波器系数控制电路

第一和第二 FB 滤波器系数控制电路 24 和 28 分别计算第一和第二 FB 滤波器 22 和 26 的抽头系数 b_i 。

图 10 是每个 FB 滤波器系数控制电路 24 和 28 的方框图。每个 FB 滤波器系数控制电路 24 和 28 包括一个 FB 滤波器系数更新单元 51 和 H(D) 计算单元 52。

FB 滤波器系数更新单元 51 被提供从第一或第二 FB 滤波器 22 和 26 提供的并且已从部分响应中消除失真和后沿 ISI 所产生的波形信号 $y5_{(n-d)}$ ，以及临时判断信号 $a_{(n-d-i)}$ （这里 i 是位于 0 和 fff_len-1 之间的一个整数）的结果。FB 滤波器系数控制电路 24 和 28 所计算的抽头系数 b_i 被提供给每个乘法器，该乘法器用于计算每个第一和第二 FB 滤波器 22 和 26 的抽头系数。

H(D) 计算单元 52 产生维特比解码器 17 和 FDTS 解码器 18 所使用的传递函数 H(D)。以下将对此进行详细描述。

FB 滤波器系数更新单元 51 控制 FB 滤波器 22 和 26 的抽头系数 b_i ，以便从部分响应中消除失真和后沿 ISI 所产生的波形信号 $y5_{(n-d)}$ 与作为最大似然解码结果的部分响应 (PR) 相一致。即，FB 滤波器系数更新单元 51 控制 FB 滤波器 22 和 26 的抽头系数 b_i ，以使 FB 滤波器 22 和 26 的响应与部分响应失真和后沿 ISI 响应相一致。

注意到 FB 滤波器系数更新单元 51 根据 LMS 算法计算该抽头系数 b_i 。

为了评估 FB 滤波器系数更新单元 51 中采用的 LMS 算法，以下将首先考虑正如先前有关 FF 滤波器 12 的说明，从部分响应中消除失真和后沿 ISI 所产生的波形信号 $y5_{(n-d)}$ 和最大似然解码的临时判断结果的部分响应之间平方差 $F(n)$ ，如下面公式 (5) 所给出：

偏微分该公式 (5) 所给出的平方差 $F(n)$ ，以便通过以下公式 (9) 给出第一和第二 FB 滤波器 22 和 26 的指数 i 的抽头系数 b_i ：

$$\frac{\partial}{\partial b_i} F(n) = 2\{y5_{n-d} - PR(a_{n-d})\} \cdot (-a_{n-d-i}) \quad (9)$$

LMS 算法用于控制滤波器系数以最小化平方差。所以，通过将

平方差的偏微分值乘以适当的增益并从抽头系数 b_i 中减去相乘的结果，将对 FB 滤波器 22 和 26 进行自适应滤波，以与部分响应失真和后沿 ISI 响应相一致。

图 11 示出了用于计算 FB 滤波器 22 和 26 指数 i 的抽头系数 b_i 的系数计算电路 51 - i 的细节。应该注意到对于每个指数 FB 滤波器系数更新单元 51 都包含一个系数计算电路，并且所有这些系数计算电路的结构相同。

系数计算电路 51 - i 包括一个偏微分单元 52、移动平均单元 53、增益乘法器 54 和系数更新单元 55。

偏微分单元 52 包括一个滤波器电路 56，用于从临时判断 $a_{(n-d)}$ 的结果计算部分响应的参考波形 $PR(a_{(n-d)})$ ，一个减法器 57，用于从部分响应中消除失真和后沿 ISI 所产生的波形信号 $y_{5(n-d)}$ 减去 $PR(a_{(n-d)})$ ，以及一个乘法器 58，用于将减法器 57 的相减结果和在 FF 滤波器 12 和 26 的延迟单元中保存的信号 $a_{(n-d-i)}$ 和“-2”相乘起来。偏微分单元 52 能够让乘法器 58 输出如上述公式 (9) 所给出的偏微分结果。

移动平均单元 53 对偏微分结果进行移动平均，例如移动平均数 M_0 。乘法器 54 将移动平均单元 53 的移动平均结果乘以增益 α_2 。

系数更新单元 55 从一个时钟前的系数值 b_i 中减去和移动平均增益 α_2 相乘的偏微分结果。从而，系数更新单元 55 将更新偏微分结果到零。

预测器和预测器系数控制电路

接下来，将描述预测器 13 和用于计算预测器 13 的抽头系数 p_i 的预测器系数控制电路 16。

读信号中的噪声通常是白噪声（即，噪声的电平是常量，独立于任何频率）。当通过 FF 滤波器 12 均衡该读信号时，该噪声将具有频率特性。如果所述读信号包括具有频率特性的噪声，在下游最大似然解码器中高度相关的噪声将损害检测性能，结果造成了比特误码率 BER 将会更高。

预测器 13 用于白化包括在提供给最大似然解码器（维特比解码器 17 和 FDTS 解码器 18）的信号中的噪声，并且提高自适应均衡器 10 的整个检测性能。

预测器 13 是数字滤波器，其被提供来自 FF 滤波器 12 的输入信号 $y0_n$ ，并因此设置一个预测系数 p_i ($i=1, 2, \dots, \text{prd_len}$) 以白化噪声和计算以下公式 (10)：

$$y2_n = y0_n - \sum_{i=1}^{\text{prd_len}} p_i \cdot y0_{n-i} \quad (10)$$

更具体而言，预测器 13 是 FIR 滤波器，如图 12 所示，其包括有一个 (prd_len) 步进延迟单元，用于在每个采样延迟从 FF 滤波器 12 提供的信号 $y0_n$ ，一个 (prd_len) 步进乘法器，用于将每个延迟单元的输出乘以一个抽头系数 p_i (i 是一个整数)，以及一个求和加法器，用于把到第一延迟单元级的输入和来自每个乘法器级的输出相加起来并输出一个输出信号 $y2_n$ 。

注意到提供给每个乘法器级的抽头系数 p_i (i 是一个整数) 因此设置了由预测器系数控制电路 16 所产生的值。

预测器系数控制电路 16 将被如下说明：

图 13 示出了预测器系数控制电路 16 的内部结构的方框图。

预测器系数控制电路 16 包括系数更新单元 61、G(D) 计算单元 62、噪声预测器 63 和误差计算单元 64。误差计算单元 64 被提供 $y5_{(n-d)}$ 和临时判断 $a_{(n-d)}$ 的结果，并在时间 ($n-d$) 计算误差信号 $w_{(n-d)}$ 。误差信号 $w_{(n-d)}$ 被提供给作为预测器 13 的 FIR 滤波器，所述结果和信号 $w_{(n-d-i)}$ 被提供给系数更新单元以更新每个抽头系数 p_i ($i=1, 2, \dots, \text{prd_len}$)。

通过以下公式 (11) 给出的用于预测器的评价函数 $e^2(n)$ 如下：

$$e^2(n) = \left\{ w_{n-d} - \sum_{i=1}^{\text{prd_len}} w_{n-d-i} \cdot p_i \right\}^2 \quad (11)$$

这里 n 表示当前时间。

然后，将考虑如何利用 LMS 算法最小化评价函数。

例如，预测器 13 的指数 i 抽头系数 p_i 的偏微分由以下公式 (12) 给出：

$$\frac{\partial}{\partial p_i} [e^2(n)] = 2 \left\{ w_{n-d} - \sum_{j=1}^{\text{prd_len}} w_{n-d-j} \cdot p_j \right\} \cdot w_{n-d-i} \quad (12)$$

在系数更新单元 61 中实现上述计算。

图 14 详细示出了用于抽头系数 p_i 的第 i 个系数更新单元的方框图。即，为 prd_len 数量抽头系数中的每一个提供如图 14 所示的系数更新单元，但是全部系数更新单元的结构相同。因此，将通过实例的方式来描述第 i 个系数更新单元。

如图所示，通过包括加法器、延迟单元等等的偏微分单元 65 实现所述偏微分。向移动平均计算单元 66 发送偏微分的结果，该单元对给定的移动平均数 M_4 进行移动平均。移动平均的结果被通过乘法器 67 乘以更新系数 α_4 ，并通过加法器 68 从一个时钟之前的抽头系数 p_i 中减去该结果。

以下将说明 $G(D)$ 计算单元 62。

维特比解码和 FDTS 解码

接下来，将描述维特比解码器 17 和 FDTS 解码器 18 的操作。

FDTS 和维特比解码器的分支度量操作包括如公式 (5) 或 (7) 所给出的噪声预测以及为本发明主题的消除失真和后沿 ISI 的操作，其中在 E.Eleftheriou 和 W.Hirt 的“用于磁性记录信道的噪声预测的最大似然 (NPML) 检测”中描述了该噪声预测。但是，在该实施例中，假定使用最小的度量，则将公式的符号取反。而且，尽管采用 PR4 作为一个实例来进行描述，但是在本实施例中可以采用通用的 PR 作为一个实例。

首先，通过以下公式 (21) 给出预测器 13 的传递函数 $P(D)$ ：

$$P(D) = p_1 \cdot D + p_2 \cdot D^2 + \Lambda + p_N \cdot D^N \quad (21)$$

如以下公式 (22) 所给出的来定义维特比解码器 17 的传递函数 $G(D)$ ：

$$\begin{aligned}
 G(D) &= (c_0 + c_1 \cdot D + c_2 \cdot D^2 \wedge c_{PR_len-1} \cdot D^{PR_len-1}) \cdot (1 - P(D)) \\
 &\equiv -g_0 - g_1 \cdot D \wedge -g_{prd_len+PR_len-1} \cdot D^{prd_len+PR_len-1} \quad (22)
 \end{aligned}$$

通过图 13 的预测器系数控制电路 16 中的 $G(D)$ 计算单元 62 来计算上述公式 (22) 中的系数 g_i ($g_0 = -c_0$)。

接下来, 用于消除失真和后沿 ISI 的传递函数 $H(D)$ 是本发明的特征, 并由以下公式 (23) 所给出的来定义:

$$\begin{aligned}
 H(D) &= (b_0 \cdot D + b_1 \cdot D^2 \wedge b_{fbf_len-1} \cdot D^{fbf_len-1}) \cdot (1 - P(D)) \\
 &\equiv -h_0 - h_1 \cdot D \wedge -h_{prd_len+fbf_len} \cdot D^{prd_len+fbf_len} \quad (23)
 \end{aligned}$$

通过图 10 中 FB 滤波器系数控制电路 24 和 28 的 (D) 计算单元 52 来计算上述公式 (23) 中的系数 h_i ($h_0 = 0$)。

而且由以下公式 (24) 给出在时间 n 的分支度量:

$$\lambda_n = (y_{2n} + \sum_{i=0}^{prd_len+PR_len} a_{n-i} \cdot g_i + \sum_{i=0}^{prd_len+fbf_len} a_{n-i} \cdot h_i)^2 \quad (24)$$

考虑到在终止深度 τ 的 FDTS 分支度量, 将计算以下公式 (25):

$$\lambda_n = (y_{2n} + \sum_{i=\tau+1}^{prd_len+PR_len} \hat{a}_{n-i} \cdot g_i + \sum_{i=\tau+1}^{prd_len+fbf_len} \hat{a}_{n-i} \cdot h_i + \sum_{i=0}^{\tau} a_{n-i} \cdot (g_i + h_i))^2 \quad (25)$$

而且, 当将扩展到维特比解码器状态的限制长度取为 K 时, 通过计算以下公式 (26) 来确定维特比解码器从状态 s_1 到 s_m 的分支度量:

$$\begin{aligned}
 \lambda_n(s_1, s_m) &= \\
 &(y_{2n} + \sum_{i=K+1}^{prd_len+PR_len} \hat{a}_{n-i}(s_i) \cdot g_i + \sum_{i=K+1}^{prd_len+fbf_len} \hat{a}_{n-i}(s_i) \cdot h_i + \sum_{i=0}^K a_{n-i} \cdot (g_i + h_i))^2 \quad (26)
 \end{aligned}$$

在这种情况下, 维特比解码器的状态数量是 2^K 。

这里, 将考虑一种系统, 在该系统中, 记录了最小运行长度 $d = 1$ 的记录码的符号。该“最小运行长度”指在 NRZ 记录码中连续的 -1 或 +1 的最小数量。即, 码“ $d = 1$ ”指 -1 或 +1 至少连续出现两次。图 15 示出了 FDTS 解码器的树结构, 其中 $d = 1$, $\tau = 2$ 以及 $a_{(n-3)}$ 上的前一数据是 -1。而且, 在图 16 中示出了 $a_{(n-3)}$ 上的前一数据是 +1 的 FDTS

树结构。

注意到通常在硬件中通过实例的方式实现 FDTS 解码,其中 $\tau = 1$, 例如正如在本发明申请的日本专利申请第 2003-371112 号中描述的有 关解码器方面的内容。为了显示为本实施例特征的维特比解码器和 FDTS 解码器公共使用的度量计算单元硬件,将描述在以下将详细描 述的维特比解码器中的解码电路。

以下首先将说明其中 $d = 1$ 和 $K = 2$ 的遍数反馈类型的维特比解 码器(即,四状态类型的解码器)。

图 17 说明了维特比解码器的状态转换。该状态对应于 $a_{(n-2)} a_{(n-1)}$ 。但是,符号 1 用“0”来表示。前一数据是 $a_{(n-2)} = -1$ 以及 $a_{(n-1)} = +1$, 例如表示状态 01。在状态转换的线上,示出了“输入 $a(n)$ ” 和“输出 ISI”之间的关系。

而且,在图 18 中示出了状态转换的格形图。例如,由于状态 00 的分支度量包括 s_{00} 到 s_{00} 以及 s_{10} 到 s_{00} 的转换,因此将计算这两个分支度量。

遍数反馈型维特比解码器的原型包括两状态,例如在非专利文献 “带有嵌入的判断反馈的两状态维特比解码器的实现” (“Implementation of Two State Viterbi Decoder with Embedded Decision Feedback”)中所描述的。本实施例中的该维特比解码器除了 考虑到最小运行长度而限制状态转换以外其具有相似的结构,使用为 本发明特征的正如以下所描述的那样所确定的 g_i 和 h_i 实现遍数反馈 结构的度量计算。

图 19 示出了为本发明特征的遍数反馈维特比解码器 17 和 FDTS 解码器 18 的全部结构的方框图。如图所示,每个解码器包括一个分支 度量计算单元 71、ACS(相加比较选择)单元 72、遍数存储器 73、 遍数度量计算单元 74 和 FDTS 解码器 75。

以和维特比解码状态所相同的数量来提供每个分支度量计算单 元 71、ACS 单元 72、遍数存储器 73。遍数度量计算单元 74 的功能是 归一化和状态一样多的遍数度量以及确定最小状态。而且,FDTS 解

码器 75 的功能是使用遍数度量和分支度量来进行 FDTS 计算,这是本实施例的特征。

图 20 详细示出了实现图 17 和 18 所示状态转换的维特比解码器。

如图所示,该维特比解码器包括如图 19 所示的分支度量计算单元 71、ACS 单元 72、遍数存储器 73、遍数度量计算单元 74。

每个遍数存储器 73 包括一个具有 pmem_len 存储器的移位寄存器。该移位寄存器以从最后工作到最早工作的顺序来安排。在以下描述中,利用附图标记加上一个整数 i 下标 (0 到 $\text{pmem_len} - 1$) 例如 73-00 来表示维特比解码器组件的安排。

首先,分支度量计算单元 71-00 分别使用遍数存储器 pmem00 和 pmem10 中的在先值确定 $\text{bm000} = \lambda_n(s_{00}, s_{00})$ 和 $\text{bm1000} = \lambda_n(s_{10}, s_{00})$ 。ACS 单元 72-00 比较值 $\text{pm00} + \text{bm0000}$ 以及 $\text{pm10} + \text{bm1000}$,以分别作为归一化遍数度量和分支度量彼此相加的结果,选择其中的较小者,并将它输出为 m_{00} 。而且,ACS 单元 72-00 输出 +1 和表示所选分支的信息到遍数存储器 $\text{pmem00}[0]$ 。

而且,分支度量计算单元 71-01 使用遍数存储器 pmem00 中的在先值来确定 $\text{bm0001} = \lambda_n(s_{00}, s_{01})$ 。ACS 单元 72-01 将归一化分支度量和分支度量的相加值 $\text{pm00} + \text{bm0001}$ 输出为 m_{01} 。由于在该状态中只给分支度量计算单元 71-01 提供一个信息,因此它将不会进行任何比较。而且,分支度量计算单元 71-01 输出 -1 给遍数存储器 $\text{pmem01}[0]$ 。

而且,分支度量计算单元 71-10 使用遍数存储器 pmem11 中的在先值来确定 $\text{bm0010} = \lambda_n(s_{11}, s_{10})$ 。ACS 单元 72-10 将归一化分支度量和分支度量的相加值 $\text{pm11} + \text{bm1110}$ 输出为 m_{10} 。由于在该状态中只给分支度量计算单元 71-10 提供一个信息,因此它将不会进行任何比较。而且,分支度量计算单元 71-10 输出 -1 给遍数存储器 $\text{pmem10}[0]$ 。

分支度量计算单元 71-11 使用遍数存储器 pmem01 中的在先值来确定 $\text{bm1111} = \lambda_n(s_{11}, s_{11})$ 。ACS 单元 72-11 比较 $\text{pm11} + \text{bm1111}$

和 $pm01+bm0111$ ，以作为归一化遍数度量和分支度量的相加结果，选择其中的较小者，并将它输出为 $m11$ 。而且，ACS 单元 72-11 输出 +1 和表示所选分支的信息到遍数存储器 $pmem11[0]$ 。

然后，遍数度量计算单元找到所提供值 $m00$ 、 $m01$ 、 $m10$ 和 $m11$ 中的最小值，并通过以下公式归一化该值：

$$pm00 = m00 - \min(m00, m01, m10, m11)$$

$$pm01 = m01 - \min(m00, m01, m10, m11)$$

$$pm10 = m10 - \min(m00, m01, m10, m11)$$

$$pm11 = m11 - \min(m00, m01, m10, m11)$$

而且，遍数度量计算单元将使用 $\min_stat()$ 作为找到最小状态的函数，并输出 $\min S$ 。

$$\min S = \min_stat(m00, m01, m10, m11)$$

这里当 $m00$ 是最小值时， $\min_stat()$ 是输出 00 的函数，当 $m01$ 是最小值时，它是输出 01 的函数，当 $m10$ 是最小值时，它是输出 10 的函数，以及当 $m11$ 是最小值时，它是输出 11 的函数。

接下来，遍数存储器 $pmem00$ 利用 ACS 单元 72-00 所选的信息进行以下存储器更新。

当选择 $bm0000$ 时：

$$\text{for}(i=0; i < pmem_len-1; i++) pmem00[i+1] = pmem00[i]$$

当选择 $bm1000$ 时：

$$\text{for}(i=0; i < pmem_len-1; i++) pmem00[i+1] = pmem10[i]$$

而且，遍数存储器 $pmem01$ 进行以下存储器更新：

$$\text{for}(i=0; i < pmem_len-1; i++) pmem01[i+1] = pmem00[i]$$

而且，遍数存储器 $pmem10$ 进行以下存储器更新：

$$\text{for}(i=0; i < pmem_len-1; i++) pmem10[i+1] = pmem11[i]$$

而且，遍数存储器 $pmem11$ 利用 ASCII 选择信息进行以下存储器更新：

当选择 $bm0111$ 时：

$$\text{for}(i=0; i < pmem_len-1; i++) pmem11[i+1] = pmem01[i]$$

当选择 **bm1111** 时:

```
for(i=0; i<pmem_len-1; i++) pmem11[i+1] = pmem11[i]
```

图 21 详细示出了 **FDTS 解码器 75**。如图所示，**FDTS 解码器 75** 包括一个解码逻辑电路 77 和延迟单元 78 和 79。**FDTS 解码器 75** 具有这样一种结构，它利用 $\tau = 2$ 进行 **FDTS** 解码。

如图所示，**FDTS 解码器 75** 还包括一个选择器 76，用于根据所述 **minS** 值进行以下选择:

$$\text{minS} = 00:\text{sd}(n-2) = \text{pmem00}[2]$$

$$\text{minS} = 01:\text{sd}(n-2) = \text{pmem01}[2]$$

$$\text{minS} = 10:\text{sd}(n-2) = \text{pmem10}[2]$$

$$\text{minS} = 11:\text{sd}(n-2) = \text{pmem11}[2]$$

而且，**FDTS 解码器 75** 利用先前的判断进行以下解码以便保持符号 **dmin = 1**:

$$a(n-4), a(n-3) = (-1, -1):a(n-2) = \text{sd}(n-2)$$

$$a(n-4)a(n-3) = (-1, +1):a(n-2) = +1$$

$$a(n-4)a(n-3) = (+1, -1):a(n-2) = -1$$

$$a(n-4)a(n-3) = (-1, -1):a(n-2) = \text{sd}(n-2)$$

即，对于强加于判断 **d** 延迟上的限制来说，它满足根据判断的先前结果进行判断。

移相器等

这里，将参考图 22 说明如何将输入信号均衡成为包括相对大前沿 **ISI** 的均衡波形。

首先，将考虑旋转包括前沿 **ISI** 的均衡波形的相位的操作。“旋转相位 θ ”指匹配幅度特性与沿如图 23 所示的频率轴的相位特性。应该注意到图 23 中的“**fs**”表示采样频率。

将具有如图 23 所示的经过逆 **DFT**（离散傅里叶变换）的频率特性的抽头系数的 **FIR** 定义为“移相器”。应该注意到移相器能够是例如在本发明申请人的日本专利申请第 2003-369312 号中公开的移相器，该移相器能够进行简单的计算，而不需要用于此的逆 **DFT**。

该移相器用于为逆离散傅里叶变换表示应用固定的相位特性以预公式化抽头系数和相位旋转角 θ 之间的关系，和当确定 FIR 滤波器的滤波器系数时计算该抽头系数。抽头系数计算是这样的，即对项相位旋转角 θ 和项 $2\pi kn/N$ 三角函数值 k 的和进行求和（这里 π 是圆周率， N 是抽头系数，它是大于 1 的整数， k 和 n 是分别规定为 $0 \leq k \leq N-1$ 和 $0 \leq n \leq N-1$ 的整数），为每个 n 预先计算项求和，并且将其取为常数，通过逻辑计算确定在该时间的 θ 的三角函数以确定该抽头系数。

图 24 示出了已经通过相移器的均衡波形。

从图 24 中将会看到，相位 θ 越大，则前沿 ISI 的尖脉冲信号相应地就越大，而相位 θ 越小，前沿 ISI 的负脉冲信号相应也就越大。通过自动控制反馈该相位 θ ，从而前沿 ISI 将会较小，因此有可能均衡用于前沿 ISI 的波形以具有适当的较小值。

图 24 中的尖脉冲信号将在波形检测点作为带有前沿 ISI 的干扰出现。当相位 θ 如图 22 所示那样大时，在该检测点的误差在正前进方向将会较大，而对于较小的相位 θ ，在该检测点的误差在反前进方向将会较大。通过根据该事实计算以下公式 (31)，有可能计算与相位 θ 误差成比例的相移量：

$$\left\{ y_{n-d-1} - PR(a_{n-d-1}) \right\} \cdot PR(a_{n-d}) \quad (31)$$

相移系数控制电路 14 根据相移量来更新相位 θ 。在图 25 中详细示出了相移系数控制电路 14。该相移系数控制电路 25 包括用以进行上述计算的包括加法器、延迟单元等等的相位 (θ) 计算单元 81。相移系数控制电路 25 还包括用于在 M5 (移动平均数) 范围内进行移动平均的包括加法器、延迟单元等等的移动平均相加单元 82，将移动平均的结果乘以更新系数 α_5 的乘法器 83，以及从一个时钟前的相位 θ 减去相乘结果的减法器 84。

电平误差/定时误差检测电路

接下来，将说明电平误差/定时误差检测电路 30。

电平误差/定时误差检测电路 30 包括一个用于检测电平误差的电

平误差检测器 90，和检测定时误差的定时误差检测器 100。

图 26 是电平误差检测器 90 的方框图。如图所示，为电平误差检测器 90 被提供来自 FDTs 解码器 18 的判断结果 $a(n-d_1)$ ，以及来自分段减法器 27 的信号 $y_{51(n-d_1)}$ （即，从来自 FF 滤波器 12 的部分响应中消除失真和后沿 ISI 所产生的波形信号 $y_{51(n-d_1)}$ ）。

如图所示，电平误差检测器 90 包括一个滤波器电路 91，用于根据从来自判断结果 $a(n-d_1)$ 的部分响应中消除失真和后沿 ISI 响应所产生的波形信号 $y_{51(n-d_1)}$ ，计算部分响应的参考波形 $PR(a(n-d_1))$ ，一个减法器 92，用于从根据部分响应中消除失真和后沿 ISI 响应所产生的波形信号 $y_{51(n-d_1)}$ 中减去部分响应的参考波形 $PR(a(n-d))$ ，以及一个乘法器 93，用于将来自减法器 92 的相减结果乘以部分响应的参考波形 $PR(a(n-d))$ 。

上述电平误差检测器 90 根据以下公式 (32) 计算电平误差。

$$\left\{ y_{51_{n-d_1}} - PR(a_{n-d_1}) \right\} \cdot PR(a_{n-d_1}) \quad (32)$$

图 27 是定时误差检测器 100 的方框图。

如图所示，为定时误差检测器 100 被提供来自 FDTs 解码器 18 的判断结果 $a(n-d_1)$ 和来自分段减法器 27 的信号 $y_{51(n-d_1)}$ （即，从来自 FF 滤波器 12 的部分响应中消除失真和后沿 ISI 所产生的波形信号 $y_{51(n-d_1)}$ ）。

如图所示，定时误差检测器 100 包括一个滤波器电路 101，用于根据判断结果 $a(n-d)$ 计算部分响应的参考波形 $PR(a(n-d))$ ，第一延迟单元 102，用于将从部分响应中消除失真和后沿 ISI 响应所产生的波形信号 $y_{51(n-d_1)}$ 延迟一个时钟，第二延迟单元 103，用于将部分响应的参考波形 $PR(a(n-d))$ 延迟一个时钟，第一乘法器 104，用于将被延迟一个时钟的部分响应的可消除波形 $y_{51(n-d_1)}$ 乘以部分响应的参考波形 $PR(a(n-d))$ ，第二乘法器 105，用于将被延迟一个时钟的部分响应的参考波形 $PR(a(n-d_1))$ 乘以部分响应的可消除波形 $y_{51(n-d_1)}$ ，以及包括一个加法器 106，用于将第一和第二乘法器 104 和 105

的输出相加起来。

上述定时误差检测器 100 根据以下公式 (33) 计算定时误差:

$$-y51_{n-d1} \cdot PR(a_{n-d1-1}) + y51_{n-d1-1} \cdot PR(a_{n-d1}) \quad (33)$$

尽管电平误差/定时误差检测电路 30 如上所述根据 FDTS 解码器 18 的输出来产生电平误差和定时误差,但是它还可以根据维特比解码器 17 的输出来产生这些误差。但是由于 FDTS 解码器 18 的响应速度高于维特比解码器 17 的响应速度,因此应该希望将维特比解码器 17 来获取用于同步检测的误差信号。

根据本实施例的自适应均衡器的效果和实验结果

利用上述自适应均衡器 10,通过使用数字信号处理尽可能地减少波形的不对称以及通过满足解码方法中的因果性而减少失真和后沿 ISI 的影响来最小化前沿 ISI 能够解码输入波形。从而,能够提高维特比解码的性能和 FDTS 解码的性能。

而且,当消除失真和后沿 ISI 时,自适应均衡器 10 能够与预测器 13 组合使用来进行噪声预测类型的维特比解码和噪声预测类型的 FDTS 解码。

而且,使用消除波形(即,从部分响应中消除失真和后沿 ISI 所产生的波形),自适应均衡器 10 则能够根据提高判断性能的 DFTS 解码器的判断值进行更精确的自适应解码和电平及定时误差检测。

当进行光记录时,由于光盘的偏移将会失真输出波形,这将恶化 PLL(锁相环)和解码性能。为了补偿这种失真,能够将自适应均衡器 10 用于均衡和误差检测。

将描述为补偿 BD(蓝光光盘)的切向歪斜而做的实验结果,其中 BD 是使用蓝光激光器的大容量光盘。

图 28、29 和 30 是在播放一定记录密度的 BD 盘时,FF 滤波器 12 输出的眼图,FF 滤波器 12 用于分别组合旨在用于 PR(111)的均衡和仅仅通常的线性均衡以及二次 Volterra 滤波器。

在实验中,切向歪斜是零(0)。图 28 示出了提供给 FF 滤波器 12 的输入数字信号的眼图,以及图 29 和 30 示出了从 FF 滤波器 12

输出的由正弦函数在采样点之间内插所产生的数字信号的眼图。应该注意到 FF 滤波器 12 的自适应均衡的目标是 PR (111)。

更具体而言，图 28 示出了在通过模拟滤波器适当地均衡，以及通过数字单元中提供的数字 PLL 相位同步之后，模数转换来自 BD 盘的读信号所产生的输出信号的眼图，即 FF 滤波器 12 的输入信号的眼图。所以，图 28 所示的该波形信号还没有被 FF 滤波器 12 自适应均衡。在 FF 滤波器 12 自适应均衡该信号之前，如在本实施例中所示，它包括一个明显的垂直不对称。

而且，图 29 示出了当作为 FF 滤波器 12 的线性自适应均衡滤波器已经自适应均衡输入信号时，FF 滤波器 12 的输出信号的眼图。从如图 29 所示的自适应均衡信号的眼图将会看出，在使用线性自适应均衡滤波器的 FF 滤波器 12 的输出信号中仍存在通过任何传统的线性自适应均衡滤波器不可校正的非线性均衡误差，并且模糊了较低的眼。即，从 FF 滤波器 12 将会知道，如果它是任何传统的类型，则不能够消除由包含在输入信号中的非线性而引起的垂直不对称。

图 30 是当已经通过组合用作 FF 滤波器 12 的二次自适应均衡 Volterra 滤波器和与 Volterra 滤波器并联的线性自适应均衡滤波器来自适应均衡输入信号时，FF 滤波器 12 输出信号的眼图。从图 29 所示的经自适应均衡之后的输出信号的眼图将会知道，在二次自适应均衡 Volterra 滤波器的影响下已经相当显著地改善了该垂直不对称。所以，由于包含二次自适应均衡 Volterra 滤波器的 FF 滤波器 12 能够向任何其他信号处理器提供近似线性化的信号，因此每一个信号处理器将能够相当程度近似地执行。

图 31 示出了为了在播放通常记录密度的 BD (蓝光) 中实现 PR (111)，分别当波形只经受通常的线性均衡以及通过通常的线性均衡器和二次自适应均衡 Volterra 滤波器的组合均衡该波形时比特误码率 (BER) 和切向歪斜之间的关系。在图 31 中，当线性 PR (111) 的均衡波形已经经受维特比解码时，虚线 (a) 表示的 BER，当通过通常的线性均衡器和二次 Volterra 滤波器的组合均衡波形并且该波形进一

步经受维特比解码时，实线 (b) 表示的 bER。图中的“标准”是定义的 BD 能够正常操作的 bER 上限。通过将 bER 视为该标准将会知道，当通过维特比解码器解码线性 PR (111) 的均衡波形时，切向歪斜余量仅仅大约是 -0.3 度到 +0.4 度。但是当使用 Volterra 滤波器实现维特比解码时，切向歪斜余量仅仅大约是 -0.9 度到 +0.9 度，这意味着能够保证两倍或更大的切向歪斜余量。

图 32 示出了在 PR 均衡之后，在检测点 SDNR (信号失真噪声比) 的测量结果和切向歪斜之间的关系。垂直轴表示 SDNR，水平轴则表示切向歪斜。SDNR 以 dB 表示将要均衡的 PR 检测点与检测点之间电平偏移的比率。即，较大的 SDNR 意味着自适应均衡器已经用较好的性能均衡了波形。应该注意到均衡的目标是 PR (111)。

图 32 中标注“传统”的曲线 (a) 是使用上述 Volterra 滤波器通过传统的 LMS 算法均衡结果的绘图，以及标注“混合”的曲线 (b) 是用作包含在本发明中的 FF 滤波器 12 的 Volterra 滤波器复合自适应均衡结果的绘图。图 32 中的曲线 (b) 示出了在所测量切向歪斜上大约 4dB 的改善。

如上所述，在显著减少失真和后沿 ISI 的影响下，能够实现根据均衡的结果检测诸如相位误差、电平误差等等的误差。

图 33 示出了 FDTS 和维特比解码中检测结果中的 bER (比特误码率) 的测量结果和切向歪斜之间的关系。垂直轴表示 bER，水平轴则表示切向歪斜。由于自适应均衡器用较少的误差更好地执行，因此从图 33 中将会看出，利用较低的 bER 能够获得较高性能的解码。

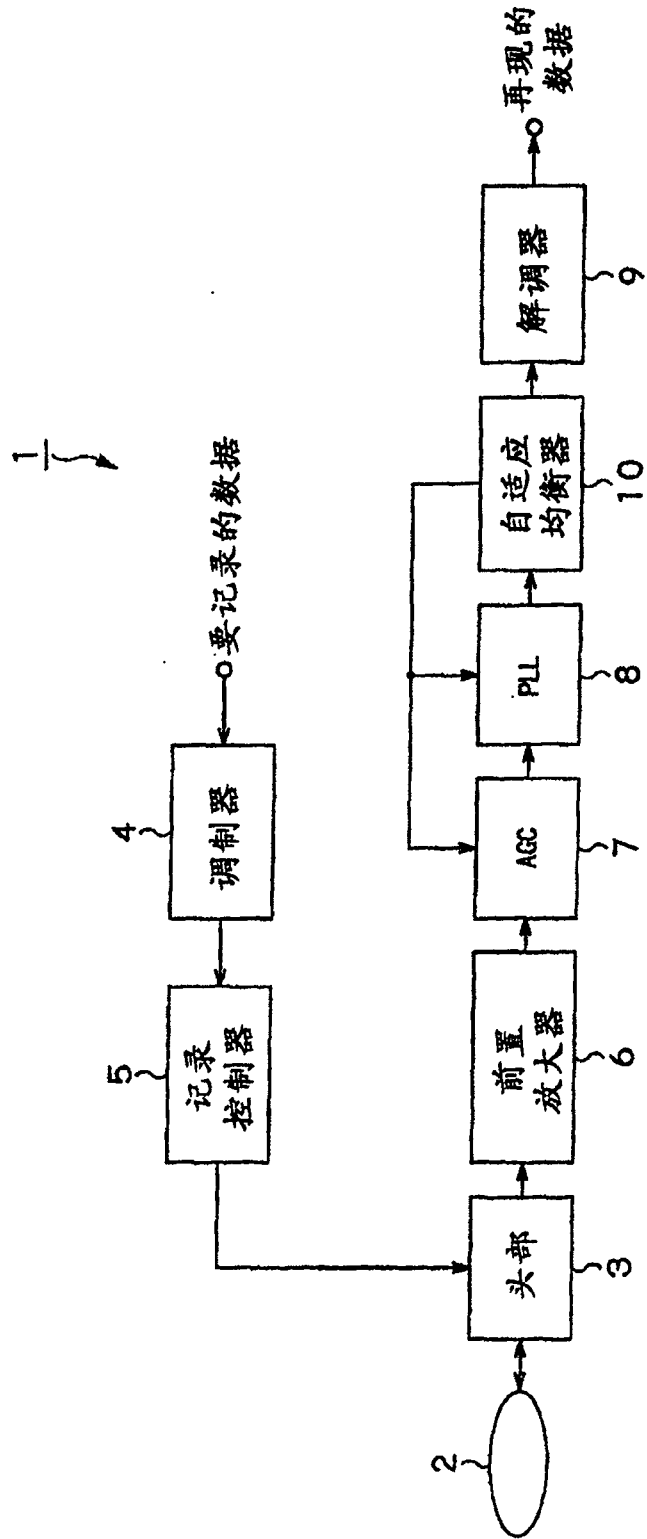
在图 33 中标注“PR (111) -vol”的图 (a) 是已经使用 Volterra 滤波器通过传统的 LMS 算法均衡然后通过传统的维特比解码器解码的输入波形结果的绘图。另一方面，标注“混合 PR (111) -vol”的曲线 (b) 是使用包含在本发明中的作为 FF 滤波器 12 的 Volterra 滤波器已经受复合自适应均衡和遍数反馈型维特比解码的输入波形结果的绘图。从曲线 (b) 将会知道，由于在通常全部切向歪斜上解码性能的提高，从而提高了 bER。正如通过 bER 轴上“标准”的线观看将会

明白，将切向歪斜余量从大约-0.4度到大约+0.4度的范围提高到大约-0.8度到大约+0.8度的范围。

如上所述，能够增加与光记录盘的歪斜有关的余量并且简化了在光盘驱动器的生产过程中要进行的调准。因此，能够利用减少的成本生产出该光盘驱动器。

本领域的普通技术人员应该明白，根据设计需要和其他因素可以对本发明进行各种修改、组合和改变，这些都位于附属权利要求及其等同物的范围之内。

图1



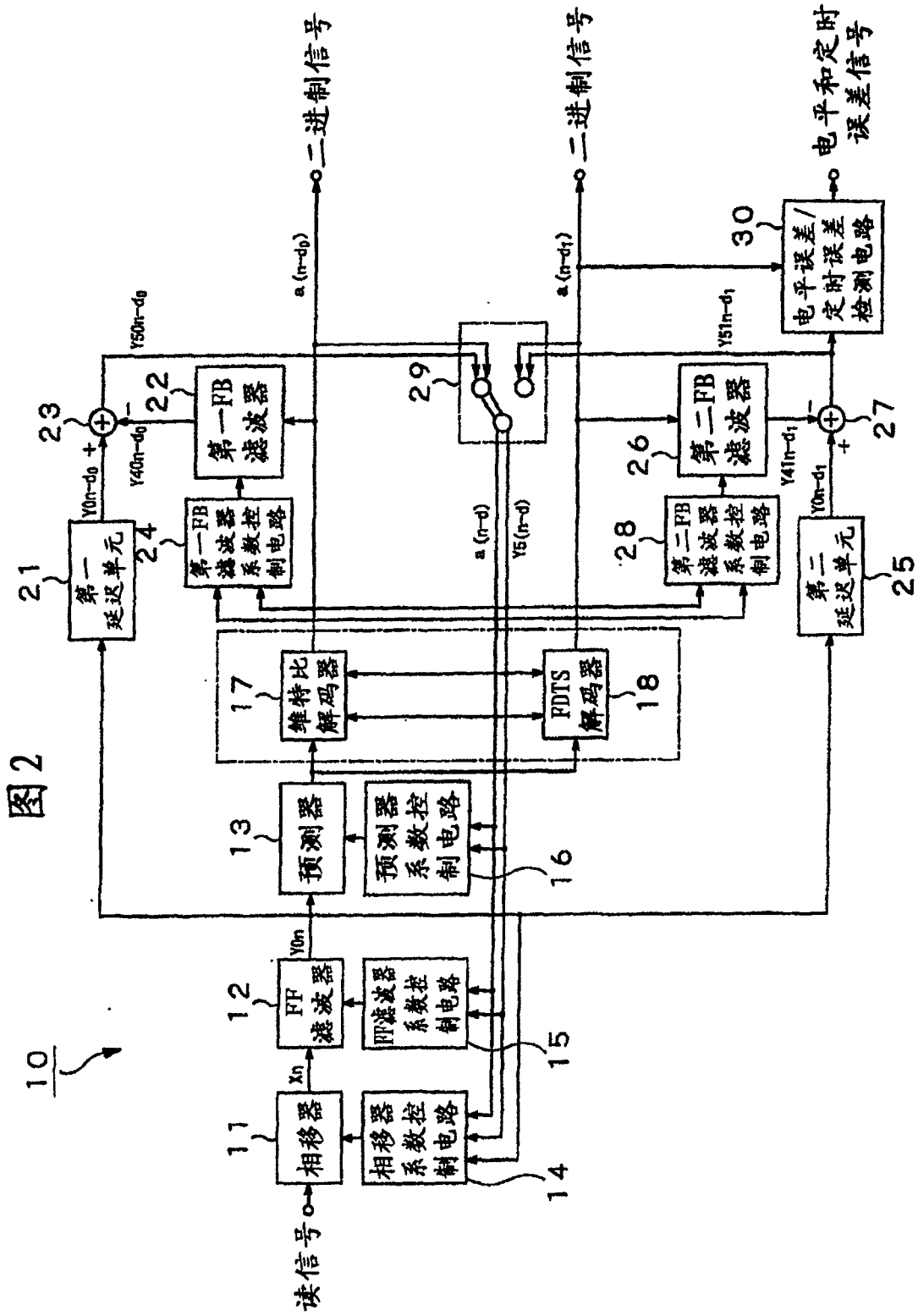


图2

图3

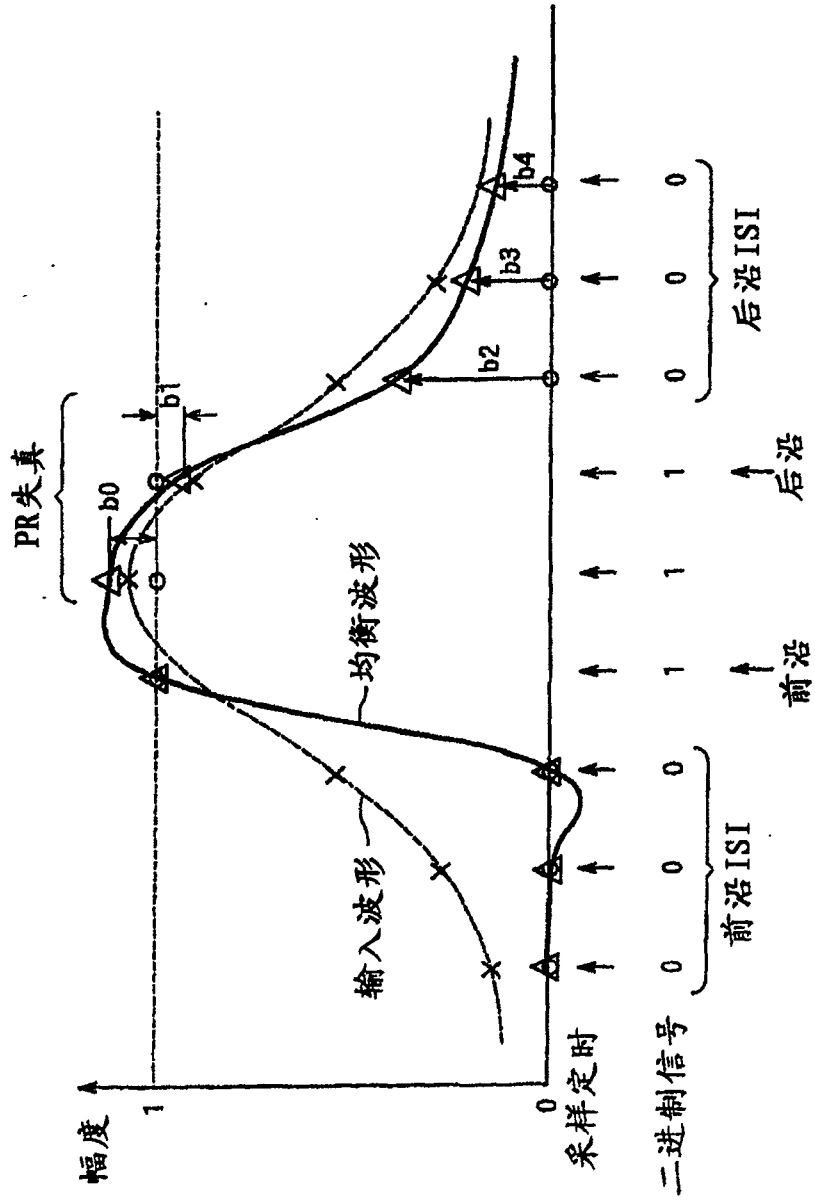


图 4

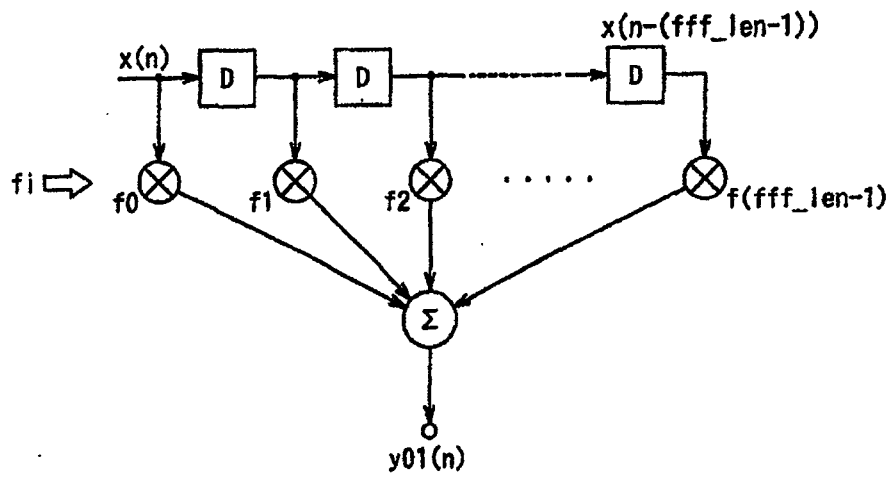


图5

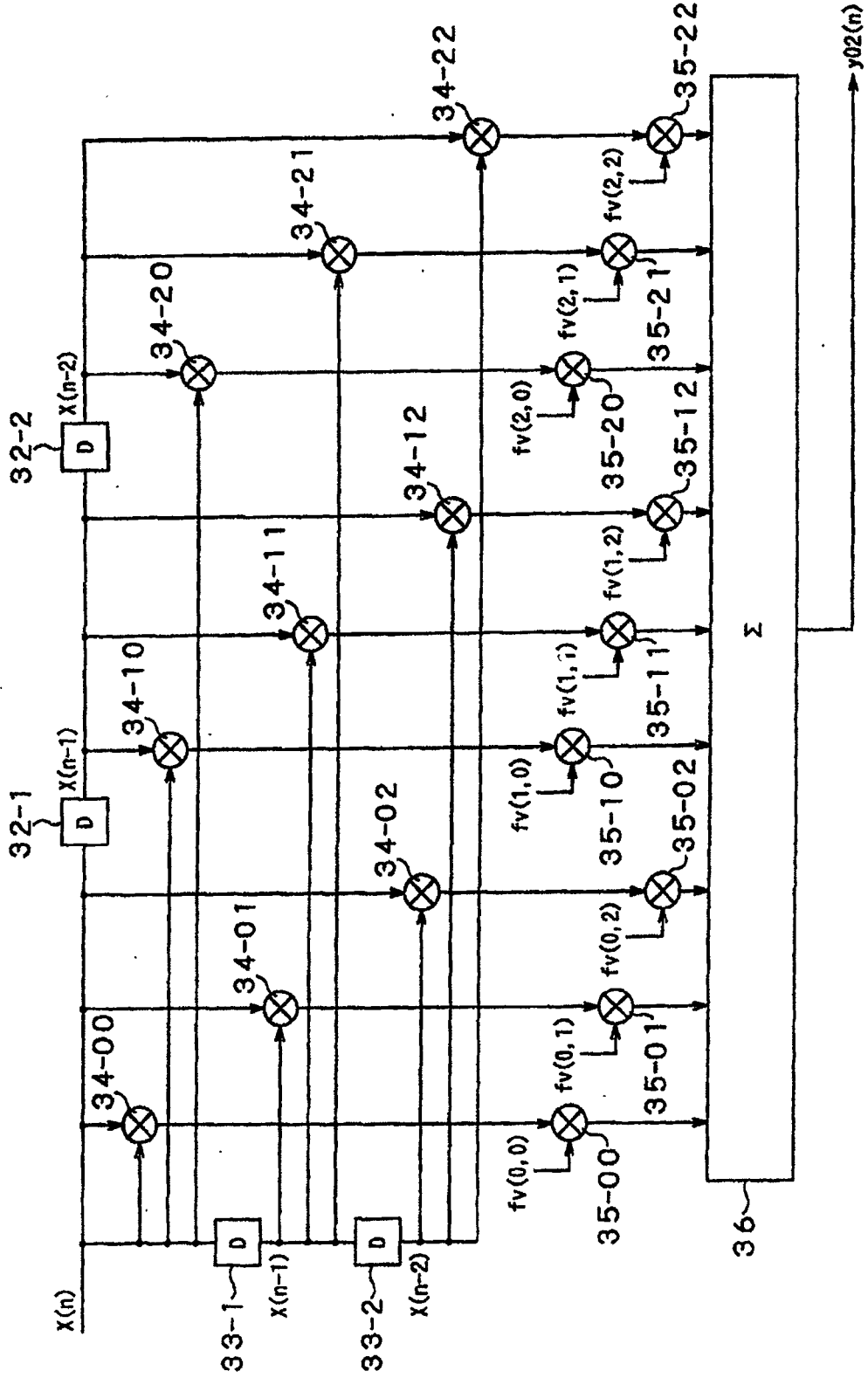


图 6

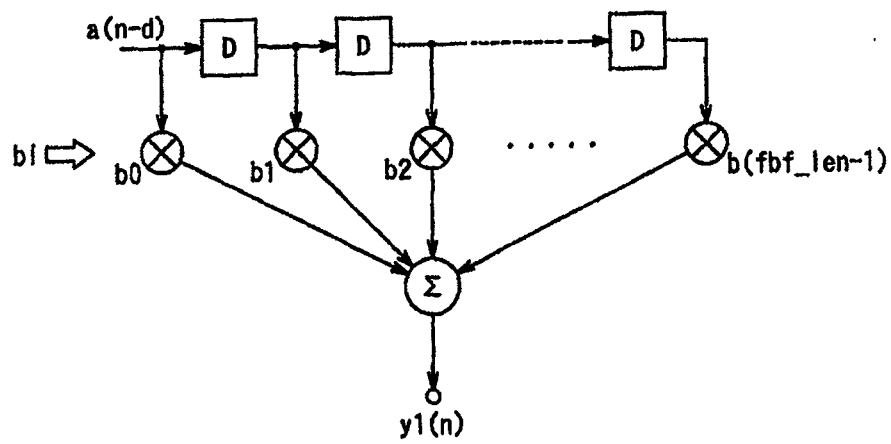


图 7

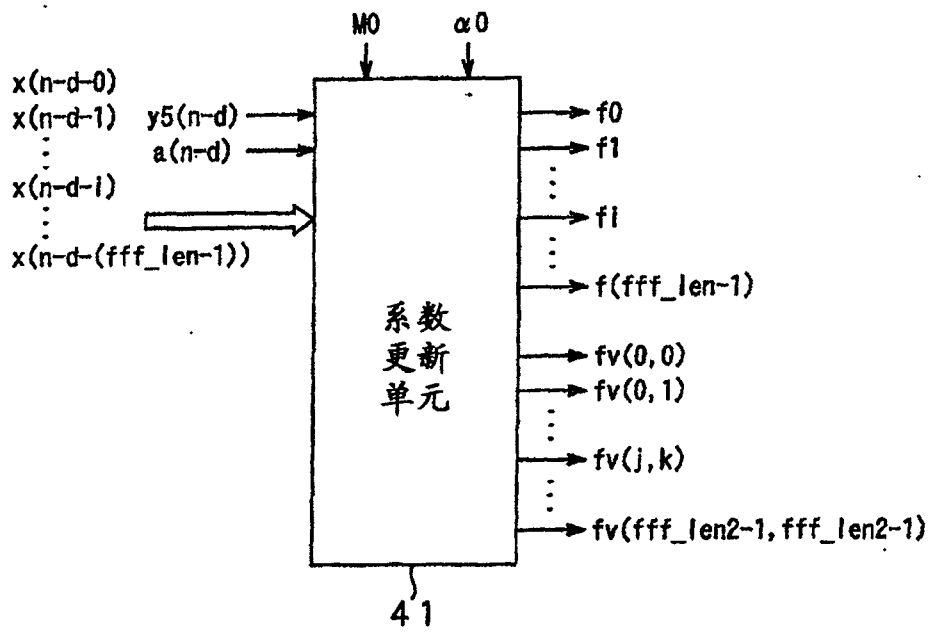


图 8

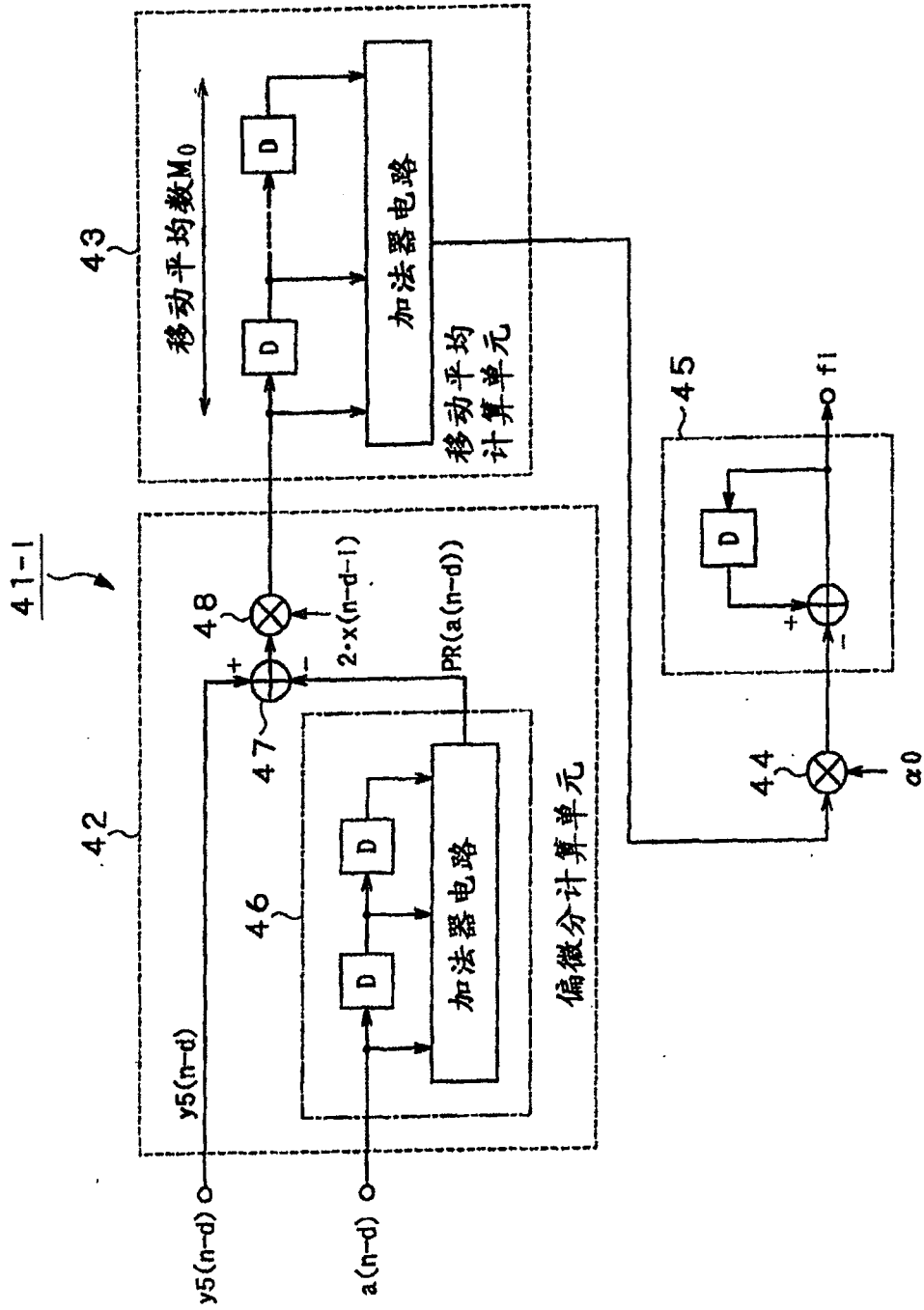


图10

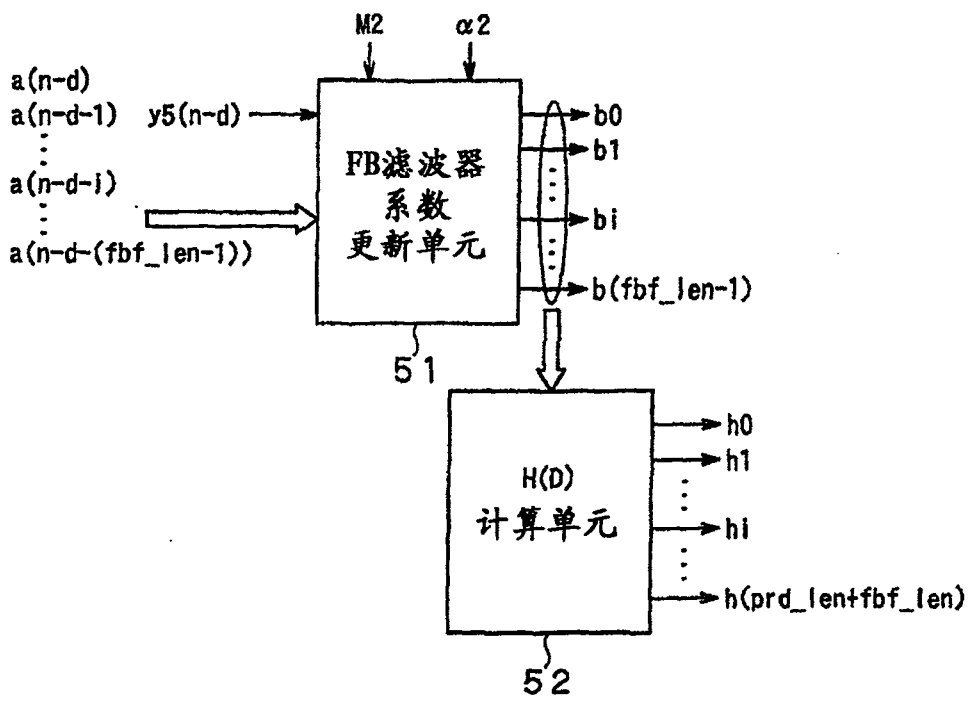


图 12

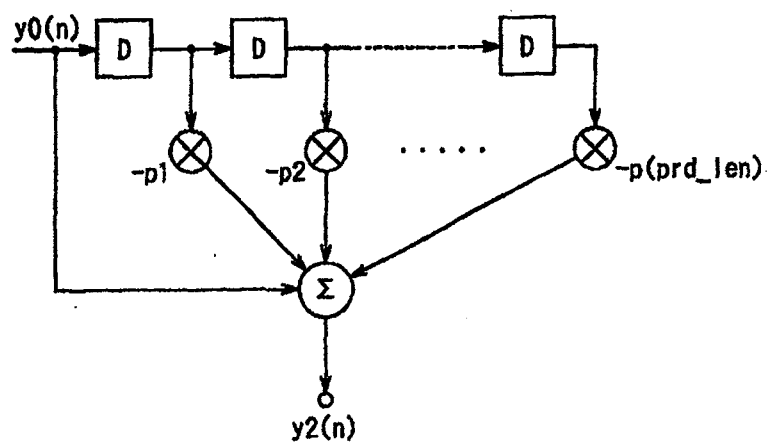


图13

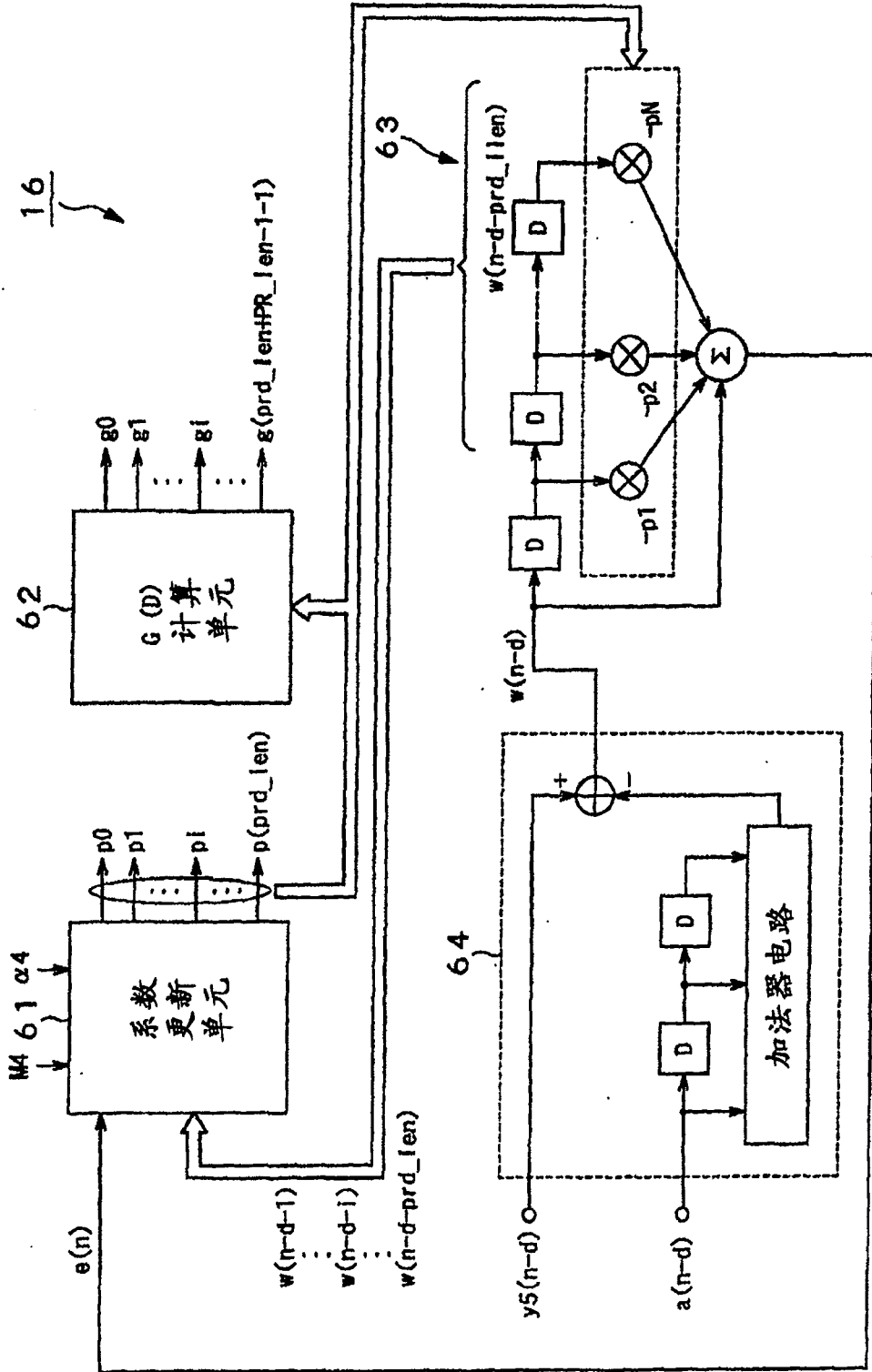


图14

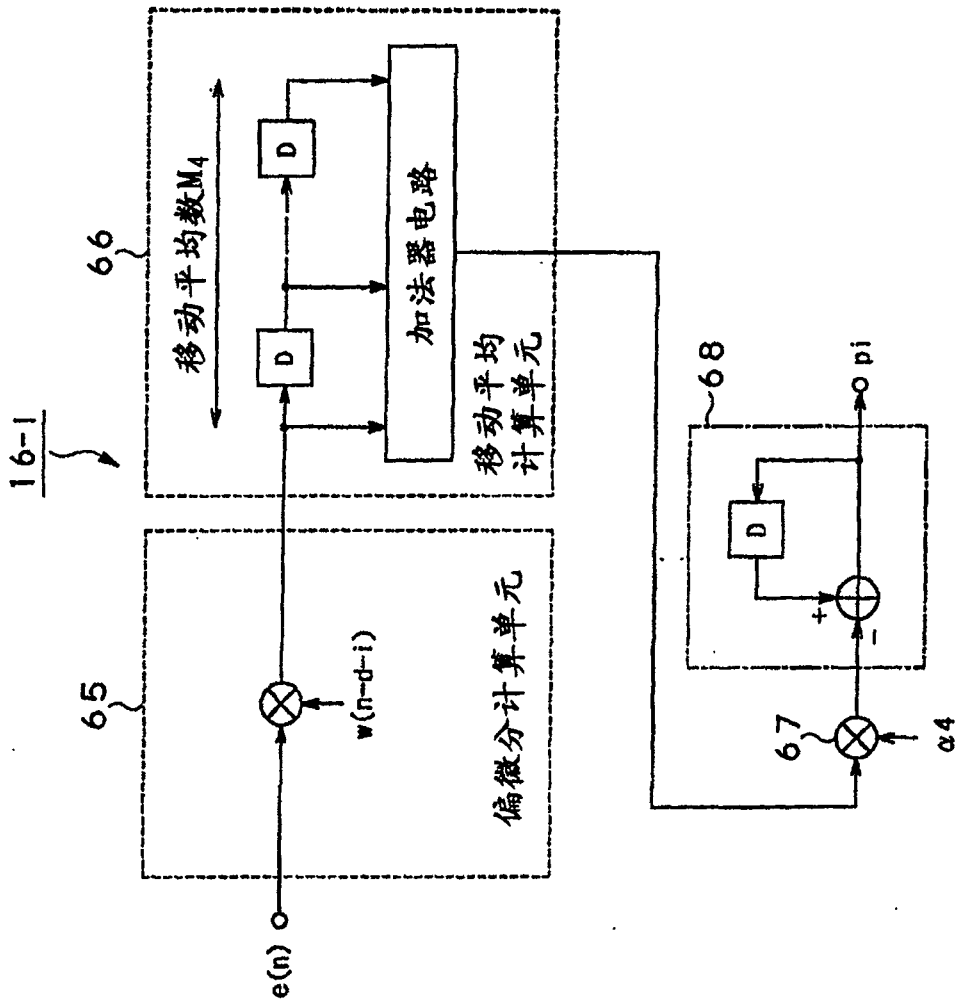


图 15

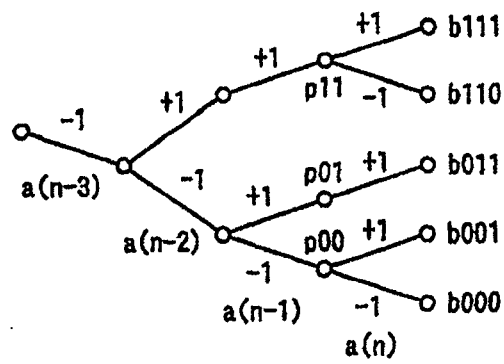


图 16

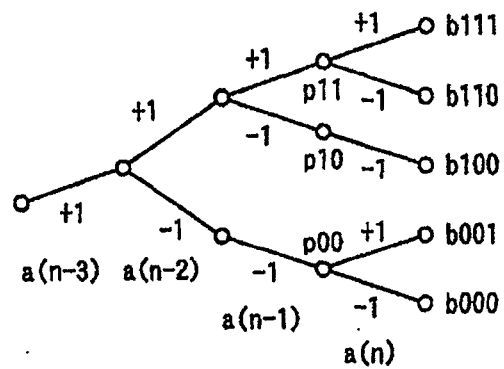


图 17

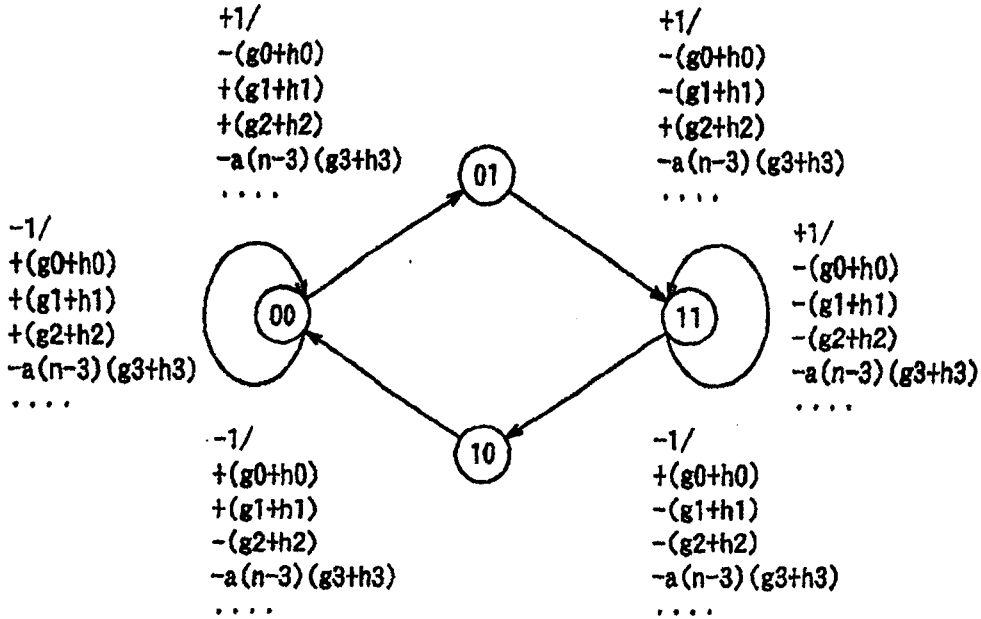


图 18

$K=2d=1$ 的格形图

$K=2$ 的干扰部分

从先前的遍数存储器产生干扰

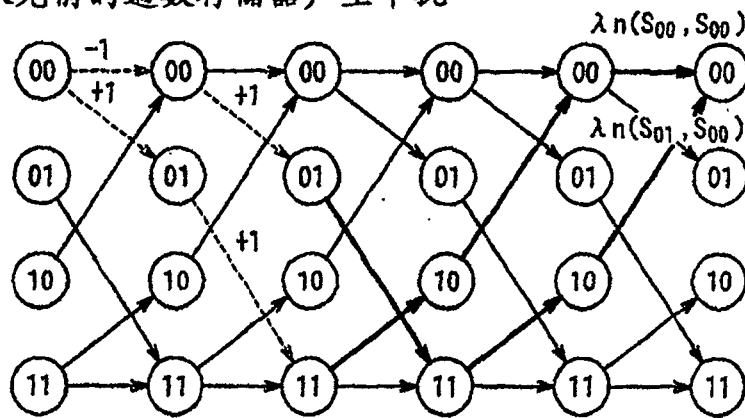


图19

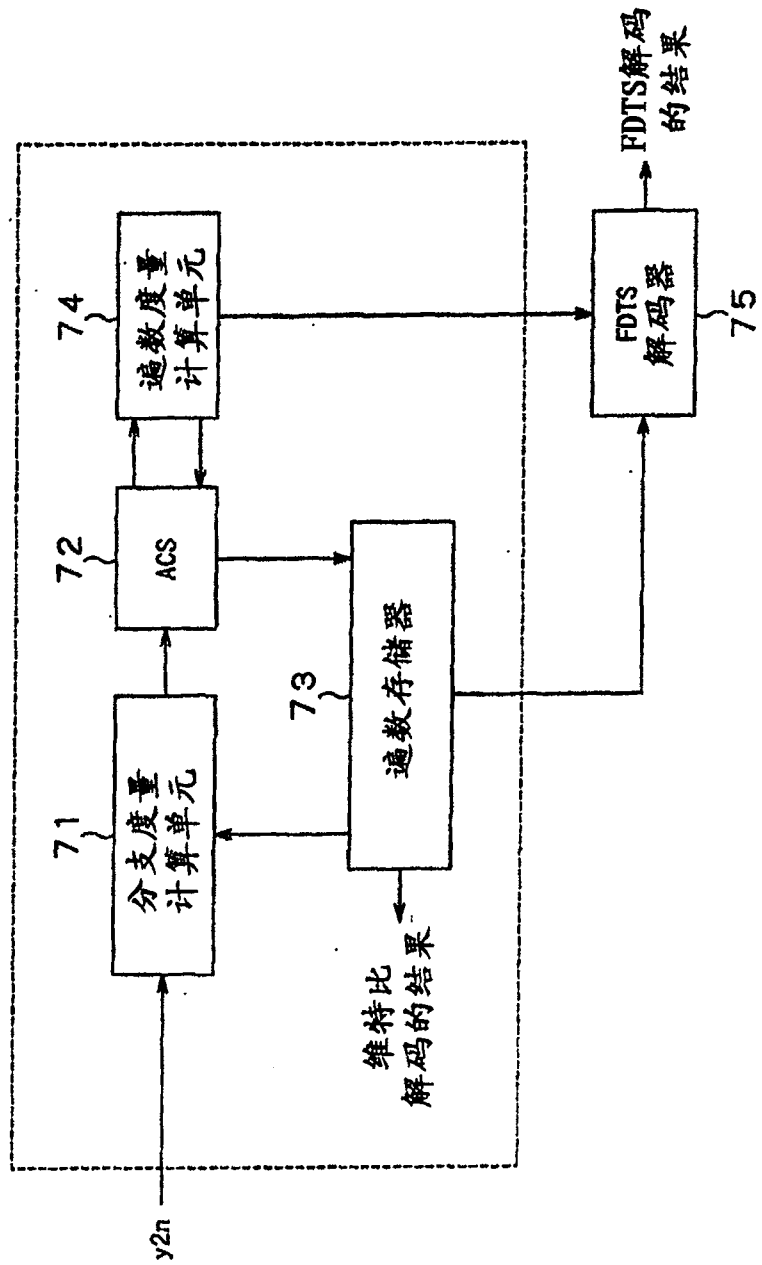


图 20

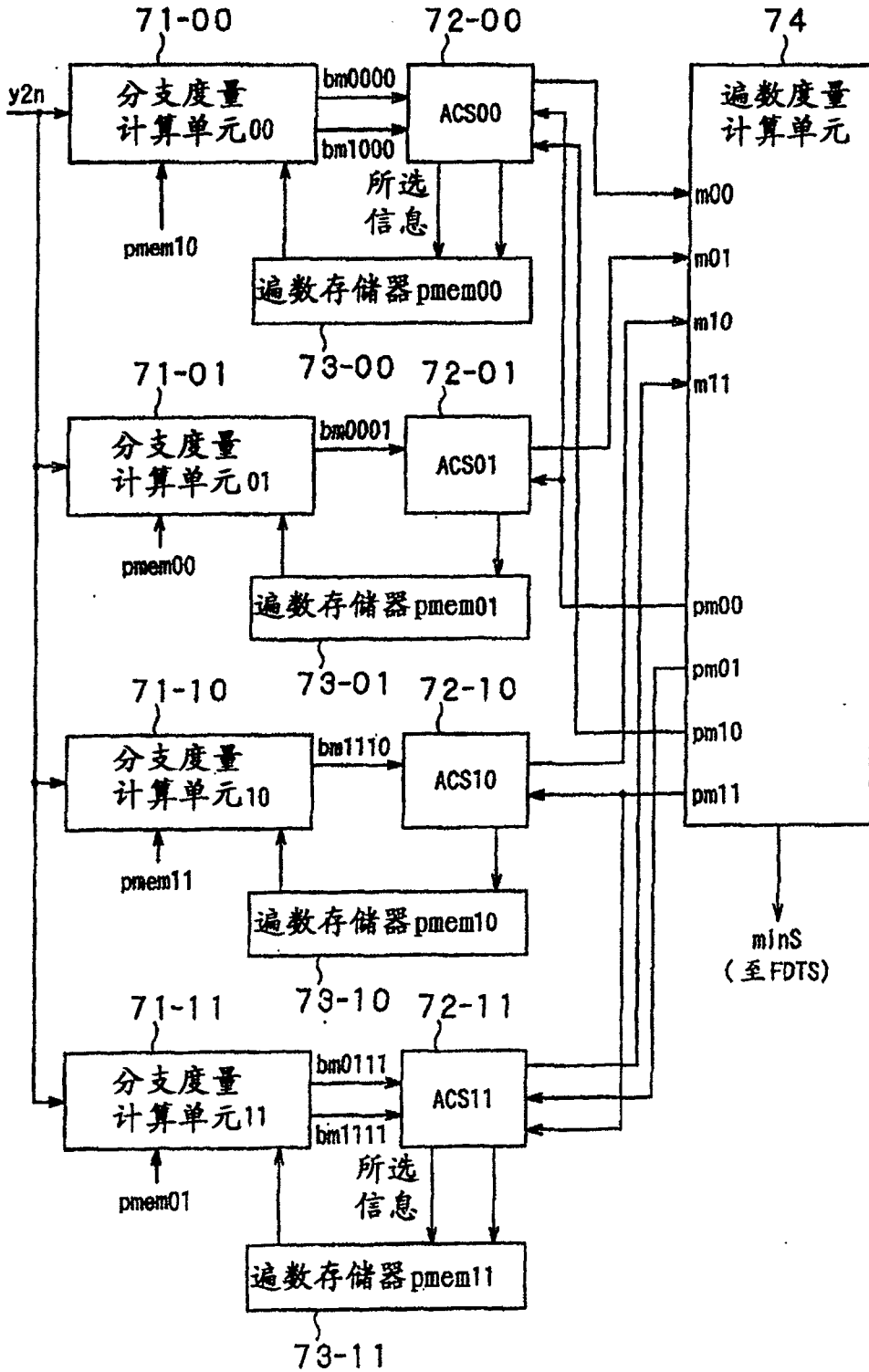


图 21

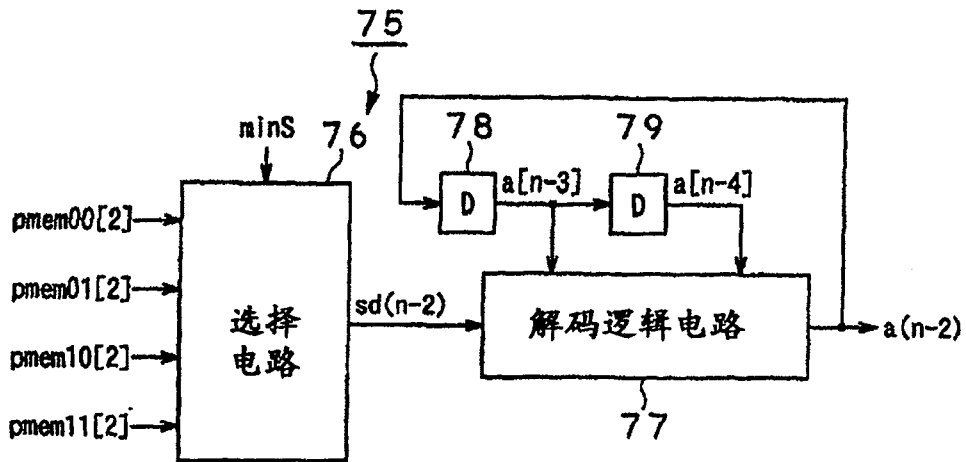


图 22

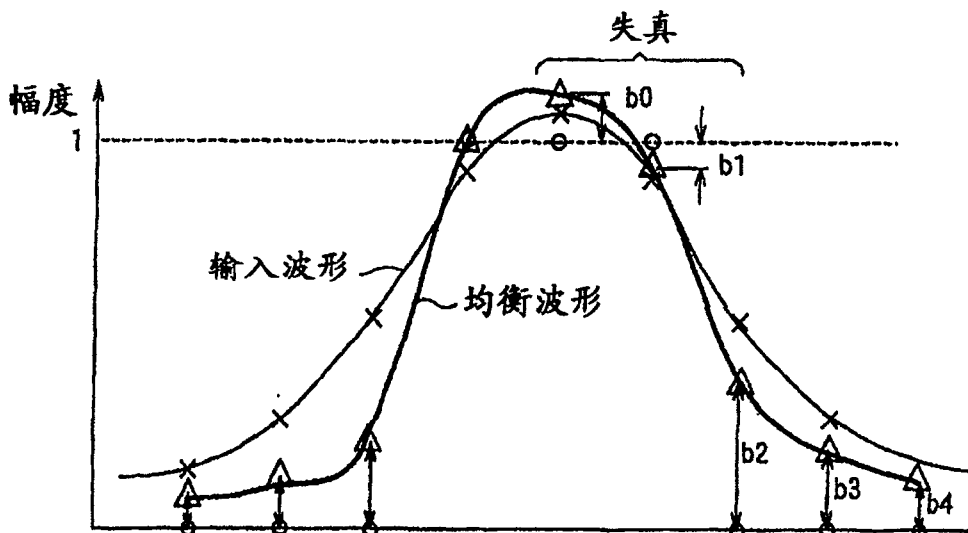


图 23

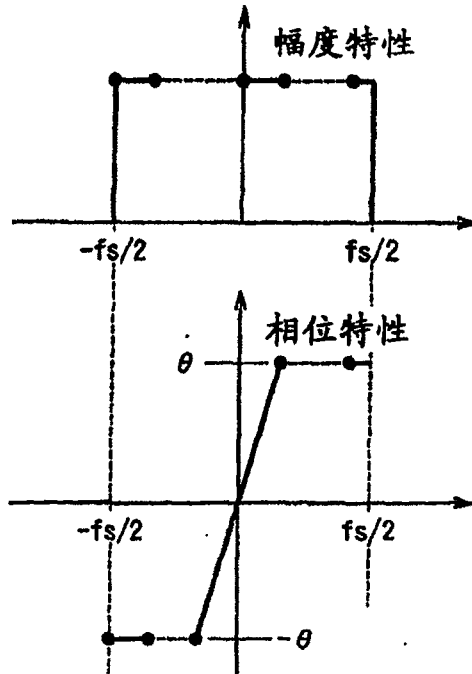


图 24

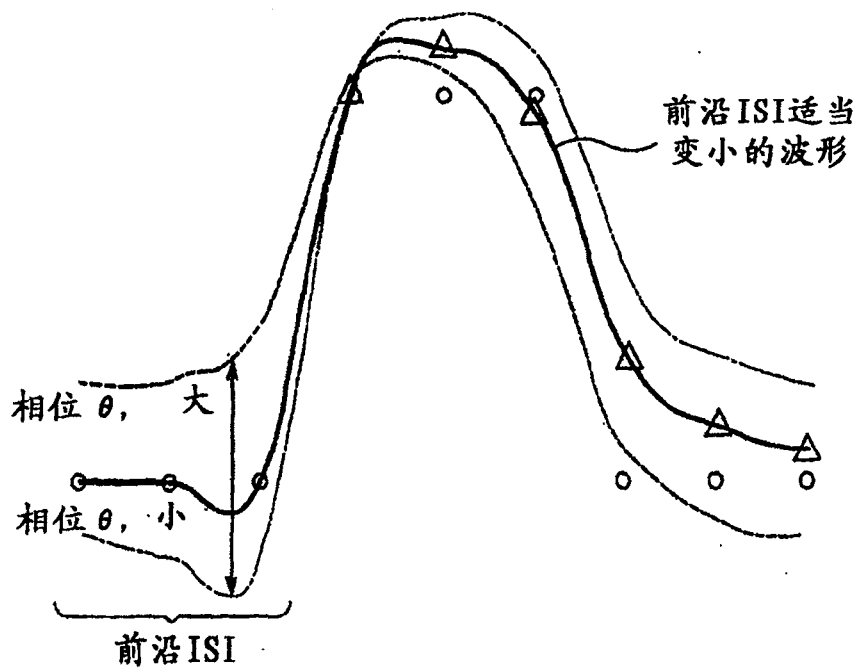


图 25

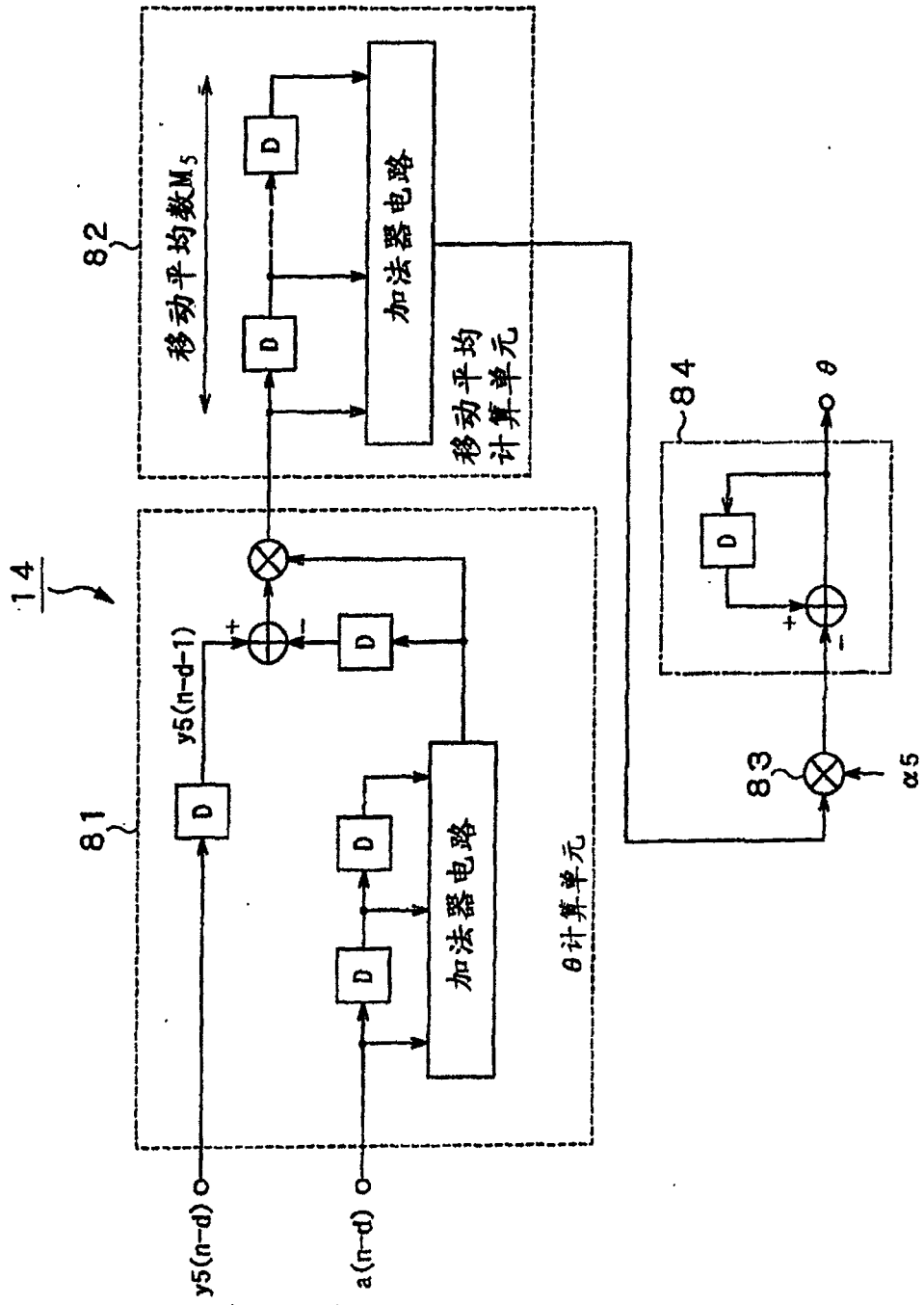


图 26

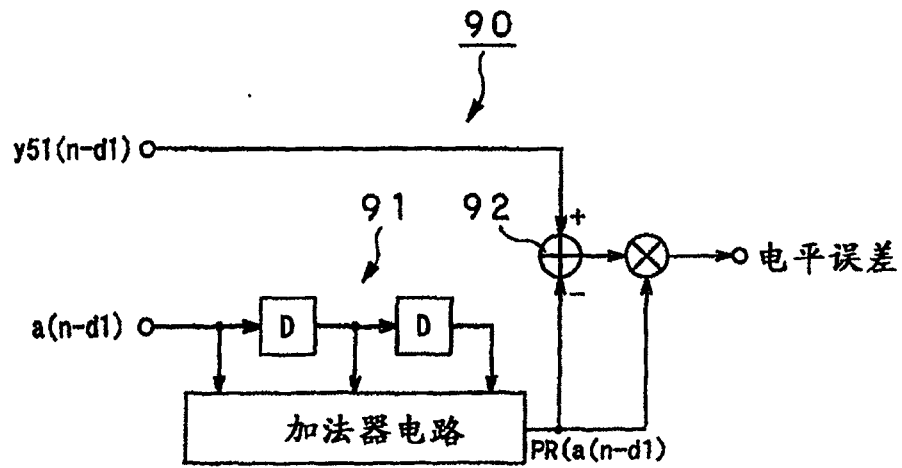


图 27

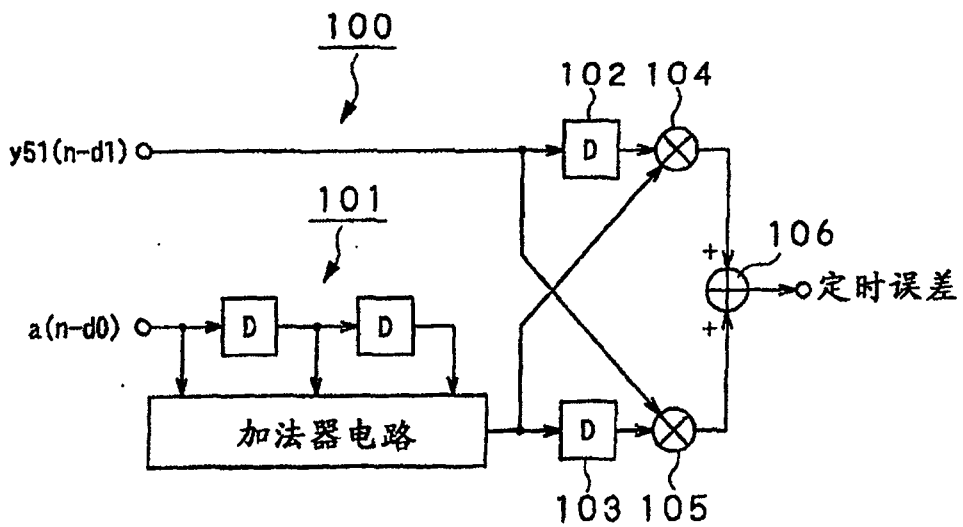


图 28



图 29

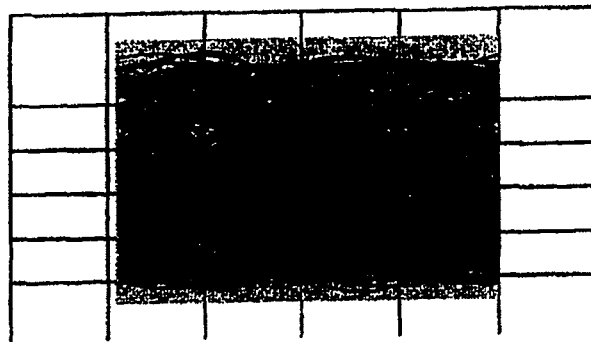


图 30

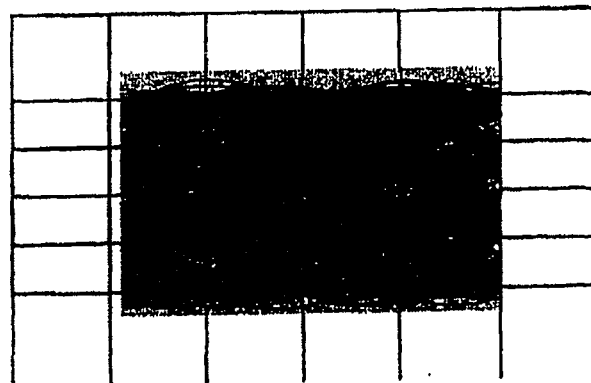


图 31

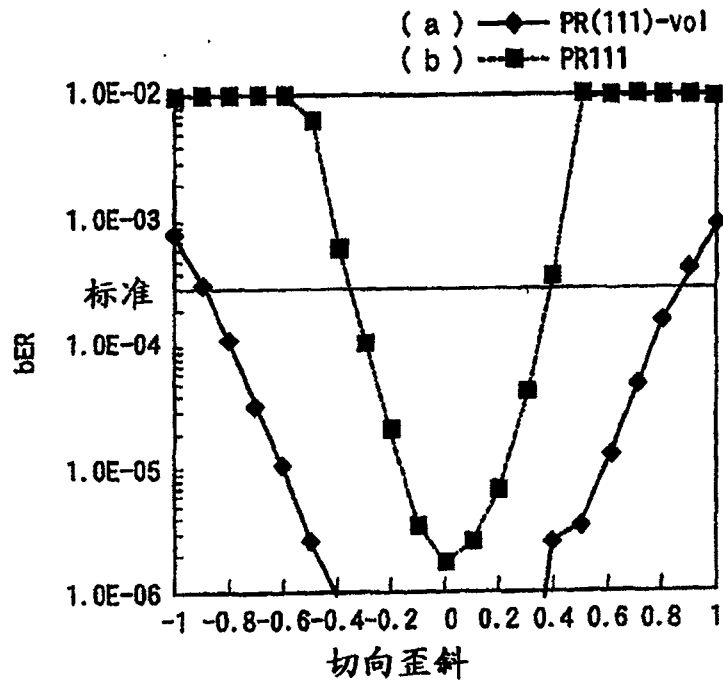


图 32

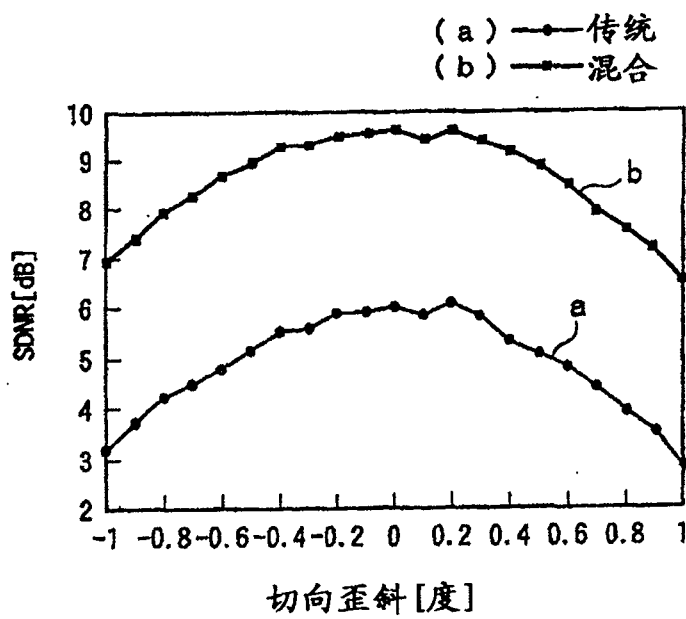


图 33

