

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/41 (2006.01)

G11C 11/413 (2006.01)



## [12] 发明专利申请公布说明书

[21] 申请号 200810170625.7

[43] 公开日 2009 年 6 月 24 日

[11] 公开号 CN 101465160A

[22] 申请日 2008.10.22

[74] 专利代理机构 北京市金杜律师事务所

[21] 申请号 200810170625.7

代理人 王茂华

[30] 优先权

[32] 2007.12.19 [33] JP [31] 2007 - 326882

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 山上由展

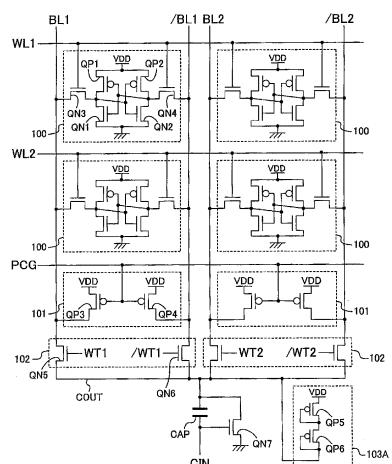
权利要求书 4 页 说明书 31 页 附图 7 页

[54] 发明名称

半导体存储装置

[57] 摘要

本发明提供一种半导体存储装置，其可以控制位线的电位，改善低电源电压下对于存储单元的数据写入特性，同时抑制各元件的可靠性的恶化，并且具有稳定的写入性能。该半导体存储装置由配置于字线与位线交点上的存储单元(100)、与位线相连接的预充电路(101)和写入电路构成，写入电路通过以下部分构成：由写控制信号来控制的列选择电路(102)；将所选择的位线的电位控制为第一电位(例如0V)的晶体管(QN7)；将该所选择的位线的电位控制为低于第一电位的第二电位(例如负电位)的电容元件(CAP)；以及当电源电压变高的情况下，对第二电位进行钳位的钳位电路(103A)。



1.一种半导体存储装置，其特征在于，具有：

多条字线；

多条位线；

配置于上述字线与上述位线的交点上的多个存储单元；

与上述位线相连接的预充电路；以及

与上述位线相连接的写入电路，其中，

上述写入电路由以下部分构成：

由写控制信号控制的列选择电路；

将所选择的位线的电位控制为第一电位的第一控制电路；

将上述所选择的位线的电位控制为低于上述第一电位的第二电位的第二控制电路；以及

对上述第二电位进行钳位的钳位电路。

2.根据权利要求1所述的半导体存储装置，其特征在于，通过上述钳位电路将施加给构成上述存储单元、上述预充电路以及上述写入电路的各元件的施加电压控制为高于上述第二电位的第三电位。

3.根据权利要求1所述的半导体存储装置，其特征在于，上述钳位电路与上述第二控制电路的输出相连接而构成，

电源电压越高，则上述第二控制电路的输出的低电平降低的比例越少。

4.根据权利要求3所述的半导体存储装置，其特征在于，上述钳位电路具有1个以上的二极管特性元件而构成。

5.根据权利要求3所述的半导体存储装置，其特征在于，上述钳位电路由连接于上述第二控制电路的输出与电源端子之间的晶体管构成，

通过控制上述晶体管的栅极电压来控制上述第二控制电路的输出电位。

6.根据权利要求3所述的半导体存储装置，其特征在于，具有1

个以上与构成上述钳位电路的元件并联的开关，通过上述开关的组合来调整上述第二控制电路的输出电位。

7.根据权利要求3所述的半导体存储装置，其特征在于，在对上述存储单元进行数据写入之外的情况下，上述钳位电路停止其功能。

8.根据权利要求1所述的半导体存储装置，其特征在于，上述钳位电路与上述第二控制电路的输入相连接而构成，

电源电压越高，则上述第二控制电路的输入的高电平降低的比例越大。

9.根据权利要求8所述的半导体存储装置，其特征在于，上述钳位电路具有1个以上的二极管特性元件而构成。

10.根据权利要求8所述的半导体存储装置，其特征在于，上述钳位电路由连接于上述第二控制电路的输入与电源端子之间的晶体管构成，

通过控制上述晶体管的栅极电压来控制上述第二控制电路的输入电位。

11.根据权利要求8所述的半导体存储装置，其特征在于，具有1个以上与构成上述钳位电路的元件并联的开关，通过上述开关的组合来调整上述第二控制电路的输入电位。

12.根据权利要求8所述的半导体存储装置，其特征在于，在对上述存储单元进行数据写入之外的情况下，上述钳位电路停止其功能。

13.一种半导体存储装置，其特征在于，具有：

多条字线；

多条位线；

配置于上述字线与上述位线的交点上的多个存储单元；

与上述位线相连接的预充电路；以及

与上述位线相连接的写入电路，其中，

上述写入电路由以下部分构成：

由写控制信号控制的列选择电路；

将所选择的位线的电位控制为第一电位的第一控制电路；以及  
将上述所选择的位线的电位控制为低于上述第一电位的第二电  
位的第二控制电路，

在向上述存储单元进行数据写入时，在上述所选择的位线的电位  
达到上述第一电位之前，驱动上述第二控制电路。

14.根据权利要求 13 所述的半导体存储装置，其特征在于，当电  
源电压越高则上述位线的电位越处于高于上述第一电位的电位时，  
驱动上述第二控制电路。

15.一种半导体存储装置，其特征在于，具有：

多条字线；

多条位线；

配置于上述字线与上述位线的交点上的多个存储单元；

与上述位线相连接的预充电路；以及

与上述位线相连接的写入电路，其中，

上述写入电路由以下部分构成：

由写控制信号控制的列选择电路；

将所选择的位线的电位控制为第一电位的第一控制电路；以及

将上述所选择的位线的电位控制为低于上述第一电位的第二电  
位的第二控制电路，

将施加给上述存储单元的电位、施加给上述列选择电路的电位和  
从上述预充电路输出的电位之中的至少 1 个控制为规定的电位。

16.根据权利要求 15 所述的半导体存储装置，其特征在于，在向  
上述存储单元进行数据写入时，施加给上述存储单元的字线的电位  
低于电源电压。

17.根据权利要求 15 所述的半导体存储装置，其特征在于，在向  
上述存储单元进行数据写入时，施加给上述存储单元的存储单元电  
源的电位低于电源电压。

18.根据权利要求 15 所述的半导体存储装置，其特征在于，在向  
上述存储单元进行数据写入时，施加给上述列选择电路的写控制信

---

号的电位低于电源电压。

19.根据权利要求 15 所述的半导体存储装置，其特征在于，在向上述存储单元进行数据写入前来自上述预充电路的输出电位低于电源电压。

20.根据权利要求 19 所述的半导体存储装置，其特征在于，构成上述预充电路的晶体管中的与上述位线相连接的晶体管的极性按 N 沟道型构成。

## 半导体存储装置

### 技术领域

本发明涉及静态型随机存取存储器等半导体存储装置，尤其涉及位线的电压控制技术。

### 背景技术

近些年来，半导体工艺的微细化得以推进，半导体元件的可靠性（对电应力或热应力等的耐性）减小。另外，伴随半导体存储装置的面积减小，尤其难以确保半导体存储装置中存储单元稳定的特性。

一般而言，静态型随机存取存储器等半导体存储装置中向存储单元进行的数据写入方法是如下执行的，将预充为高电平的位线对中某一方的位线的电位由高电平变为低电平。

例如在专利文献 1 中公开了如下的技术，通过使向存储单元进行数据写入时的位线的电位变为低于 0V 的负电位，从而改善低电源电压下向存储单元的写入特性。

专利文献 1：日本特开 2005-71491 号公报

### 发明内容

但是在专利文献 1 中，由于构成为将位线的电位控制为低于 0V 的负电位，因而对于以往仅被施加了从 0V 到电源 VDD 的电位差的晶体管，将会施加 VDD 电平以上的电位差。因此，晶体管负担的电应力比以往要大，存在元件的可靠性恶化显著的问题点。

另外，在向存储单元进行数据写入工作时，在与作为负电位的位线相连并且不进行数据写入的存储单元上会产生如下问题。即，不进行数据写入的存储单元的字线的电位为低电平（0V），然而一

一旦位线的电位降低到超过构成存储单元的存取晶体管的阈值电压的电位，则存取晶体管成为导通状态，会引起存储单元的保持数据的破坏（数据反转）。

因而本发明的目的在于，提供一种可改善低电源电压下的存储单元的数据写入特性，同时抑制各元件的可靠性恶化，并且具有稳定的写入性能的半导体存储装置。

鉴于上述情况，本发明的半导体存储装置具有：多条字线；多条位线；配置于字线与位线的交点上的多个存储单元；与位线相连接的预充电路；以及与位线相连接的写入电路，写入电路由以下部分构成：由写控制信号控制的列选择电路；将所选择的位线的电位控制为第一电位的第一控制电路；将所选择的位线的电位控制为低于第一电位的第二电位的第二控制电路；以及对第二电位进行钳位的钳位电路。

这种情况下，可以通过钳位电路将施加给构成存储单元、预充电路以及写入电路的各元件的施加电压控制为高于第二电位的第三电位。

进而，钳位电路还可以构成为与第二控制电路的输出相连，电源电压越高，则第二控制电路的输出低电平降低的比例越少。

另外，钳位电路可以构成为具有1个以上的二极管特性元件。

另外，钳位电路可以由连接于第二控制电路的输出与电源端子之间的晶体管构成，通过控制晶体管的栅极电压来控制第二控制电路的输出电位。

另外，该半导体存储装置可以构成为具有1个以上与构成钳位电路的元件并联的开关，通过该开关的组合来调整第二控制电路的输出电位。

另外，可以在对存储单元进行数据写入之外的情况下，停止钳位电路的功能。

进而，钳位电路可以构成为与第二控制电路的输入相连，电源电压越高，则第二控制电路的输入的高电平降低的比例越大。

另外，钳位电路可以由连接于第二控制电路的输入与电源端子之间的晶体管构成，通过控制晶体管的栅极电压来控制第二控制电路的输入电位。

另外，该半导体存储装置可以构成为具有1个以上与构成钳位电路的元件并联的开关，通过该开关的组合来调整第二控制电路的输入电位。

进而，本发明的半导体存储装置的特征在于，具有：多条字线；多条位线；配置于字线与位线的交点上的多个存储单元；与位线相连接的预充电路；以及与位线相连接的写入电路，写入电路由以下部分构成：由写控制信号控制的列选择电路；将所选择的位线的电位控制为第一电位的第一控制电路；以及将所选择的位线的电位控制为低于第一电位的第二电位的第二控制电路，在向存储单元进行数据写入时，在所选择的位线的电位达到第一电位之前，驱动第二控制电路。

这种情况下，可以当电源电压越高则位线的电位越处于高于第一电位的电位时，驱动第二控制电路。

进而，本发明的半导体存储装置的特征在于，具有：多条字线；多条位线；配置于字线与位线的交点上的多个存储单元；与位线相连接的预充电路；以及与位线相连接的写入电路，写入电路由以下部分构成：由写控制信号控制的列选择电路；将所选择的位线的电位控制为第一电位的第一控制电路；以及将所选择的位线的电位控制为低于第一电位的第二电位的第二控制电路，将施加给存储单元的电位、施加给列选择电路的电位和从预充电路输出的电位之中的至少1个控制为规定的电位。

这种情况下，可以在向存储单元进行数据写入时，施加给存储单元的字线的电位低于电源电压。

这种情况下，可以在向存储单元进行数据写入时，施加给存储单元的存储单元电源的电位低于电源电压。

这种情况下，可以在向存储单元进行数据写入时，施加给列选择

电路的写控制信号的电位低于电源电压。

这种情况下，可以使向存储单元进行数据写入前来自预充电路的输出电位低于电源电压。

这种情况下，构成预充电路的晶体管中的与位线相连接的晶体管的极性可以按N沟道型构成。

本发明涉及的半导体存储装置可以在低功耗的情况下实现可改善低电源电压下的存储单元的数据写入特性，同时抑制各元件的可靠性恶化，并且具有稳定的写入性能的半导体存储装置。

#### 附图说明

图1是表示第一实施方式的半导体存储装置的构成的电路图。

图2是表示第一实施方式的半导体存储装置中包含的钳位电路的具体构成的电路图的一个例子。

图3是表示第一实施方式的半导体存储装置中包含的钳位电路的具体构成的电路图的另一个例子。

图4是表示第一实施方式的半导体存储装置中包含的钳位电路的具体构成的电路图的又一个例子。

图5是表示第二实施方式的半导体存储装置的构成的电路图。

图6是表示第二实施方式的半导体存储装置中包含的钳位电路的具体构成的电路图的一个例子。

图7是表示第二实施方式的半导体存储装置中包含的钳位电路的具体构成的电路图的另一个例子。

图8是表示第二实施方式的半导体存储装置中包含的钳位电路的具体构成的电路图的又一个例子。

图9是表示现有的半导体存储装置的工作的时序图。

图10是表示第三实施方式的半导体存储装置的工作的时序图。

图11是表示第四实施方式的半导体存储装置的构成的电路图。

图12是表示第五实施方式的半导体存储装置的构成的电路图。

图13是表示第六实施方式的半导体存储装置的构成的电路图。

图 14 是表示第七实施方式的半导体存储装置的构成的电路图。

### 具体实施方式

下面根据附图来详细说明本发明的实施方式。并且在下面的各实施方式中，对于具有与其他实施方式相同功能的构成要素赋予相同符号省略其说明。

#### 《本发明第一实施方式》

图 1 是本发明的第一实施方式的半导体存储装置的构成图。图 1 所示的半导体存储装置具有：分别具有驱动晶体管 QN1、QN2、存取晶体管 QN3、QN4、加载晶体管 QP1、QP2 的存储单元 100；分别具有 P 型 MOS 晶体管 QP3、QP4 的预充电路 101；分别具有 N 型 MOS 晶体管 QN5、QN6 的列选择电路 102；分别具有 P 型 MOS 晶体管 QP5、QP6 的钳位电路 103A；电容元件 CAP；以及 N 型 MOS 晶体管 QN7。

进而，WL1~2 表示字线，BL1~2、/BL1~2 表示位线，PCG 表示预冲控制信号，WT1~2、/WT1~2 表示写控制信号，CIN 表示电容元件控制信号，COUT 表示电容元件输出节电，VDD 表示电源。

存储单元 100 通过加载晶体管 QP1 和驱动晶体管 QN1 或者通过加载晶体管 QP2 和驱动晶体管 QN2 来分别构成反相器，连接彼此的反相器的输入输出端子，构成触发电路。通过该触发电路来进行数据的存储保持。另外，存取晶体管 QN3、QN4 的栅极端子与字线 WL1（WL2）相连，漏极端子分别与位线 BL1、/BL1（BL2、/BL2）相连。另外，存取晶体管 QN3、QN4 的源极端子分别与上述反相器的输入输出端子相连。

如下实现向存储单元 100 进行的数据写入，在使所选择的位线 WL1（WL2）由低电平变化为高电平的状态（激活状态）下，使预充至高电平的位线 BL1、/BL1（BL2、/BL2）之中的一个位线的电位由高电平变化为低电平。

预充电路 101 构成为分别把 P 型 MOS 晶体管 QP3、QP4 连接在

电源 VDD 与位线 BL1、/BL1 (BL2、/BL2) 之间，把预充控制信号 PCG 连接在各自的栅极端子上。该预充电路 101 在位线 WL1 (WL2) 处于非激活状态的时候，使预充控制信号 PCG 为低电平，导通 P 型 MOS 晶体管 QP3、QP4，将位线 BL1、/BL1 (BL2、/BL2) 预充为高电平。字线 WL1 (WL2) 处于激活状态的时候，使预充控制信号 PCG 为高电平，使 P 型 MOS 晶体管 QP3、QP4 截止，成为不向位线 BL1、/BL1 (BL2、/BL2) 产生影响的状态。

列选择电路 102 构成为分别把 N 型 MOS 晶体管 QN5、QN6 连接在位线 BL1、/BL1 (BL2、/BL2) 与电容元件输出节点 COUT 之间，把写控制信号 WT1、/WT1 (WT2、/WT2) 分别连接在各自的栅极端子上。该列选择电路 102 选择位线 BL1、/BL1 (BL2、/BL2)，对连接在所选择的位线上的存储单元 100 控制在高电平或低电平的哪一个下进行数据写入。

说明例如向位线 BL1、/BL1 上由字线 WL1 选择的存储单元 100 写入低电平的数据的情况。这种情况下，使预充控制信号 PCG 为高电平之后，仅使写控制信号 WT1 变为高电平（此时其它的写控制信号 /WT1、WT2、/WT2 为低电平），然后使字线 WL1 为高电平，从而可以向存储单元 100 进行低电平的数据写入。

钳位电路 103A 构成为把二极管型连接了栅极端子的 P 型 MOS 晶体管 QP5、QP6 连接在电源 VDD 与电容元件输出节点 COUT 之间。电容元件 CAP 构成为连接在电容元件输出节点 COUT 与电容元件控制信号 CIN 之间。N 型 MOS 晶体管 QN7 连接在电容元件输出节点 COUT 与接地电源之间，在栅极端子上连接有电容元件控制信号 CIN。

下面说明如上构成的本实施方式的半导体存储装置的工作。

首先，说明字线 WL1、WL2 处于非激活状态的情况。这种情况下，所有的字线 WL1、WL2 都为低电平，由这些字线进行控制的所有存储单元 100 都处于非选择状态（即不进行写入也不进行读取的状态）。另外，预充控制信号 PCG 为低电平，通过该预充控制信号

PCG 进行控制的预充电路 101 处于激活状态，将所有位线 BL1、/BL1、BL2、/BL2 预充为高电平。另外，所有写控制信号 WT1、/WT1、WT2、/WT2 都为低电平，通过这些写控制信号进行控制的所有列选择电路 102 都处于非激活状态。另外，电容元件控制信号 CIN 为高电平，N 型 MOS 晶体管 QN7 导通，将电容元件输出节点 COUT 放电为低电平。

连接在电容元件输出节点 COUT 上的钳位电路 103A 构成为把二极管型连接了栅极端子的 P 型 MOS 晶体管 QP5、QP6 2 级串联于电源 VDD 与电容元件输出节点 COUT 之间。例如 P 型 MOS 晶体管 QP5、QP6 的阈值电压为 -0.6V，电容元件输出节点 COUT 的电位为 0V 的情况下，如果电源 VDD 低于 1.2V，则钳位电路 103A 处于非激活状态，不会向电容元件输出节点 COUT 产生影响。如果电源 VDD 高于 1.2V，则钳位电路 103A 激活，将电荷流入电容元件输出节点 COUT，电源电压越高则流入的电荷量越增加。钳位电路 103A 具有二极管元件那样的特性。

下面说明字线 WL1（或 WL2）处于激活状态，向存储单元 100 写入数据的情况下工作。预充控制信号 PCG 从低电平变化到高电平，通过该预充控制信号 PCG 控制的所有预充电路 101 成为非激活状态。例如选择字线 WL1，字线 WL1 成为高电平。另外例如选择写控制信号 WT1，写控制信号 WT1 成为高电平，与位线 BL1 连接的列选择电路 102 的 N 型 MOS 晶体管 QN5 导通，位线 BL1 与电容元件输出节点 COUT 通过 N 型 MOS 晶体管 QN5 连接起来。

此时，电容元件控制信号 CIN 为高电平，N 型 MOS 晶体管 QN7 导通，因而通过该 N 型 MOS 晶体管 QN7 去除位线 BL1 的电荷，经过了规定时间（相当于图 9 的时间 T1）之后，位线 BL1 的电位为低电平（0V）。

当位线 BL1 的电位成为 0V 之后，电容元件控制信号 CIN 从高电平变化为低电平。电容元件控制信号 CIN 处于低电平，因而 N 型 MOS 晶体管 QN7 截止。与此同时，如果电容元件 CAP 的电容为  $C_c$ ，

则电容元件控制信号 CIN 从高电平 (VDD) 向低电平 (0V) 转变，就会从存在于位线 BL1、电容元件输出节点 COUT、所选择的存储单元 100 的存储节点（这种情况下为存储晶体管 QN3 的源极端子的节点）中的所有电容（为电容 C1）的电荷中去除相当于  $Cc \times VDD$  的电荷。

也就是说，通过电容  $Cc$  与电容  $C1$  的电荷分配，位线 BL1 等的电位由 0V 变为  $- (Cc \times VDD) / (Cc + C1)$  的负电位。

所选择的位线的电位成为低于 0V 的负电位，因而所选择的存储单元 100 中的存取晶体管的电导变大。也就是说，相比所选择的位线的电位只能降低到 0V 的半导体存储装置，可以通过更低的电源电压向存储单元 100 进行数据的写入。如上所述，所选择的位线 BL1 的电位成为低电平，从而向存储单元 100 进行数据的写入。

说明此时与电容元件输出节点 COUT 连接的钳位电路 103A 的工作。

不存在钳位电路 103A 的情况下，伴随着电源 VDD 的上升，通过电容元件 CAP 的工作而生成的负电位的绝对值也变大。如果设负电位为  $VBB$ ，则负电位  $VBB$  的电源电压依赖性为  $VBB = -0.2 \times VDD$ ，例如当电源电压为 1.0V 时，具有负电位  $VBB = -0.2V$  的特性。

在向存储单元 100 进行数据写入时，当选择位线（此时为 BL1）、电容元件输出节点 COUT、所选择的存储单元 100 的存储节点（此时为存取晶体管 QN3 的源极端子）为负电位的情况下，各自节点连接的各元件上的电应力，比位线电位仅能降低至 0V 的半导体存储装置的要大，这一点是显而易见的。

另外，在与成为负电位的选择位线相连、并且不进行数据写入的非选择性的存储单元（例如与位线 BL1 和字线 WL2 相连接的存储单元 100）中会产生如下问题。即，虽然不进行数据的写入的非选择性的存储单元 100 的字线 WL2 的电位为低电平 (0V)，然而电源电压越高，选择位线 BL1 的负电位的绝对值也越大，因此选择位线 BL1 的负电位一旦降低到超过构成存储单元 100 的存取晶体管 QN3 的阈

值电压的电位，则存取晶体管 QN3 会成为导通状态，会引起存储单元的保持数据的破坏（数据的反转）。

于是，可以在向存储单元 100 进行数据写入时，仅在电源电压较低的情况下，使选择位线的电位为负电位，增大选择存储单元 100 的存取晶体管的电导，来易于写入数据。当电源电压较高的情况下，即使不使选择位线的电位处于负电位，也能对存储单元 100 进行数据写入。如果各节点为负电位，则尤其在电源电压较高的情况下，成为负电位的节点上连接的各元件上的电应力会变得过大，因而会招致元件的可靠性恶化、与选择位线连接的非选择存储单元的保持数据的破坏。

图 9 是表示图 1 的结构中不存在钳位电路 103A 的情况（现有的半导体存储装置）的工作的时序图。

下面说明存在钳位电路 103A 的情况。P 型 MOS 晶体管 QP5、QP6 的阈值电压为 -0.6V、电容元件 CAP 的工作中生成的负电位 VBB 的电源电压依赖性为  $V_{BB} = -0.2 \times V_{DD}$ 。

如果电源  $V_{DD}$  是低于 1.0V 的电源电压，则钳位电路 103A 为非激活状态而不会对电容元件输出节点 COUT 产生影响。如果电源  $V_{DD}$  大于 1.0V，则钳位电路 103A 被激活，向电容元件输出节点 COUT 流入电荷。因而，电源电压超过 1.0V 且电源电压越高，负电位 VBB 就越被控制为高于不存在钳位电路 103A 的情况下的电位。

向存储单元 100 进行的数据写入结束后，字线 WL1 由高电平变为低电平，所有的存储单元 100 成为非选择状态。另外，写控制信号 WT1 由高电平变为低电平，所有的列选择电路 102 成为非激活状态。进而，电容元件控制信号 CIN 由低电平变为高电平，N 型 MOS 晶体管 QN7 导通，将电容元件输出节点 COUT 放电至低电平。此后，预充控制信号 PCG 由高电平变为低电平，所有的预充电路 101 成为激活状态，将所有的位线预充为高电平。

如上所述，据本发明图 1 所示的结构，当电源电压较低的情况下，可如以往那样改善向存储单元 100 进行数据写入的特性，进而

当电源电压变高的情况下，可以将向存储单元 100 进行数据写入时的选择位线等中产生的电位控制为高于以往的电位，因而与选择位线等连接的各元件上的电应力得以降低，可抑制可靠性恶化，另外，还可以防止与选择位线连接的非选择存储单元的保持数据的破坏。

并且，半导体存储装置的工作电源电压或半导体存储装置中的晶体管的阈值电压等根据半导体存储装置的工作电源电压规格和工艺条件等不同而不同。本实施方式中，在说明中，设构成钳位电路 103A 的 P 型 MOS 晶体管 QP5、QP6 的阈值电压为-0.6V，将电源电压为 1.0V 时作为切换工作的临界电压。

晶体管的阈值电压和切换工作的临界电压在上述之外的情况下，例如可以仅形成 1 级构成钳位电路 103A 的 P 型 MOS 晶体管，或是按照串联 3 级那样通过多级串联来构成。另外，还可以取代 P 型 MOS 晶体管，而通过在二极管型连接了栅极端子的 N 型 MOS 晶体管来构成，还可以通过进行了 PN 接合的二极管元件来构成，这都是不言自明的。另外，还可以把上述 P 型 MOS 晶体管、N 型 MOS 晶体管、进行了 PN 接合的二极管或电阻元件等组合起来构成。也就是说，按照半导体存储装置所需要的工作条件，改变钳位电路 103A 的各构成即可。

图 2 是表示图 1 的钳位电路 103A 的另一个例子的图。图 2 的钳位电路 103B 为在构成图 1 的钳位电路 103A 的 P 型 MOS 晶体管 QP5、QP6 上还并联了保险丝元件 F1、F2。

如图 2 的构成那样，如果在晶体管 QP5、QP6 上并联了保险丝元件 F1、F2，则通过切断某个保险丝元件，可以按照半导体存储装置所需要的工作条件，将切换工作的临界电压变更为任意的电压。

图 2 是在设定电压的切换单元中使用了保险丝元件 F1、F2 的情况的一个例子，然而通过并联晶体管的源极端子和漏极端子以代替这些保险丝元件，对上述晶体管的栅极端子进行导通/截止控制，也可以实现与保险丝元件的情况下相同的工作和效果，这也是不言自明的。

图 3 是表示图 1 的钳位电路 103A 的又一个例子的图。图 3 的钳位电路 103C 为在构成图 1 的钳位电路 103A 的 P 型 MOS 晶体管 QP6 与电容元件输出节点 COUT 之间串联其他的 P 型 MOS 晶体管 QP7，将其栅极端子连接在电容元件控制信号 CIN 上。

钳位电路可以仅在写入工作时进行激活。在图 1 的钳位电路 103A 的情况下，除了写入工作之外的时候、亦即处于字线的非激活状态的时候，电容元件控制信号 CIN 处于高电平，N 型 MOS 晶体管 QN7 导通，将电容元件输出节点 COUT 放电为低电平。此时，钳位电路 103A 在电源电压较低的情况下（低于 1.2V 的情况下）为非激活状态，然而由于电源电压变高（超过 1.2V）则钳位电路 103A 会被激活，因而由钳位电路 103A 通过 N 型 MOS 晶体管 QN7 流过稳定的电流。

于是，如图 3 的钳位电路 103C 那样，如果在 P 型 MOS 晶体管 QP6 与电容元件输出节点 COUT 之间串联其他的 P 型 MOS 晶体管 QP7，则在位线为非激活状态时，电容元件控制信号 CIN 处于高电平，因而 P 型 MOS 晶体管 QP7 可处于截止。因而仅在写入工作时钳位电路 103C 被激活，写入工作之外的时候，钳位电路 103C 处于非激活状态，因而写入工作之外时所流过的稳定电流不会流过，能实现功耗的降低。图 3 所示的构成也可以应用在图 2 说明的构成中，这也是不言自明的。

图 4 是表示图 1 的钳位电路 103A 的再一个例子的图。图 4 的钳位电路 103D 中，在电源 VDD 与接地电源之间串联有二极管型连接了栅极端子的 P 型 MOS 晶体管 QP8、把栅极端子连接在电容元件控制信号 CIN 上的 P 型 MOS 晶体管 QP9 和把栅极端子连接在电源 VDD 上的 N 型 MOS 晶体管 QN9。P 型 MOS 晶体管 QP9 的漏极端子与 N 型 MOS 晶体管 QN9 的漏极端子的交点为栅极控制节点 VGN1，该栅极控制节点 VGN1 与连接于电容元件输出节点 COUT 和接地电源之间的 N 型 MOS 晶体管 QN8 的栅极端子连接。

钳位电路 103D 在写入工作之外的时候（字线为非激活状态的时

候），电容元件控制信号 CIN 为高电平，所以 P 型 MOS 晶体管 QP9 截止，通过栅极端子为电源 VDD 的 N 型 MOS 晶体管 QN9，栅极控制节点 VGN1 始终输出低电平。由此，将栅极控制节点 VGN1 输入栅极端子的 N 型 MOS 晶体管 QN8 始终截止，因而不会对电容元件输出节点 COUT 产生影响。

说明字线为激活状态时的钳位电路 103D 的工作。字线为激活状态时，电容元件控制信号 CIN 由高电平变为低电平，则将电容元件控制信号 CIN 输入栅极端子的 P 型 MOS 晶体管 QP9 被导通。

此处，P 型 MOS 晶体管的阈值电压为  $VTP=-0.6V$ ，N 型 MOS 晶体管的阈值电压为  $VTN=0.6V$ 。栅极控制节点 VGN1 的电源电压依赖性则通过二极管型连接了栅极端子的 P 型 MOS 晶体管 QP8 和栅极端子与电源 VDD 连接的 N 型 MOS 晶体管 QN9，大致具有  $VGN1=VDD-|VTP|$  的特性。如图 1 的构成中所说明的那样，伴随电源 VDD 的上升，电容元件 CAP 的工作中生成的负电位 VBB 的绝对值变大，负电位 VBB 的电源电压依赖性具有  $VBB=-0.2 \times VDD$  的特性。

如果电源电压变为 1.0V，则栅极控制节点  $VGN1=0.4V$ 、负电位  $VBB=-0.2V$ 。因此，N 型 MOS 晶体管 QN8 的阈值电压  $VTN$  为 0.6V，因而该 N 型 MOS 晶体管 QN8 导通，从接地电源向负电位 VBB 提供电荷。

也就是说，当电源电压小于 1.0V 的情况下，钳位电路 103D 为非激活状态而不会向电容元件输出节点 COUT 产生影响。如果电源 VDD 大于 1.0V，则钳位电路 103D 被激活，而向电容元件输出节点 COUT 流入电荷。因此，电源电压超过 1.0V 且电源电压越高，负电位就越被控制为高于不存在钳位电路 103D 的情况下的电位。

如图 4 的钳位电路 103D 的构成那样，通过控制连接于电容元件输出节点 COUT 和接地电源之间的晶体管 QN8 的栅极端子的电压，也可以实现与图 1 的情况下同等的工作和效果，这也是不言自明的。

在工作上可以不具备图 4 的钳位电路 103D 中的 P 型 MOS 晶体

管 QP9，在写入工作之外的时候，通过电容元件控制信号 CIN 为高电平，从而 P 型 MOS 晶体管 QP9 截止，能够使从电源 VDD 经过 N 型 MOS 晶体管 QN9 流到接地电源的稳定电流不会流过，因而能减少消耗的功率。

并且，在图 4 的钳位电路 103D 中，构成为在电容元件输出节点 COUT 和接地电源之间连接 N 型 MOS 晶体管 QN8，然而也可以代替这种构成，在电源 VDD 与电容元件输出节点 COUT 之间连接 P 型 MOS 晶体管，控制该 P 型 MOS 晶体管的栅极端子的电压，可获得同样的效果。

半导体存储装置的工作电源电压或半导体存储装置中的晶体管的阈值电压等根据半导体存储装置的工作电源电压规格和工艺条件等不同而不同。例如可以通过把在钳位电路 103D 的二极管型连接了栅极端子的 P 型 MOS 晶体管 QP8 串联 2 级以上来构成，或取代 P 型 MOS 晶体管，通过二极管型连接了栅极端子的 N 型 MOS 晶体管来构成，还可以通过进行了 PN 接合的二极管元件来构成，这都是不言自明的。另外还可以组合 P 型 MOS 晶体管、N 型 MOS 晶体管、进行了 PN 接合的二极管或电阻元件等来构成。

进而，还可以构成为在晶体管上并联图 2 所示那样的保险丝元件 F1、F2，或取代这些保险丝元件而并联晶体管，对该晶体管的栅极端子进行导通/截止控制。也就是说，按照半导体存储装置所需要的工作条件，改变钳位电路 103D 的各构成即可。

### 《发明第二实施方式》

图 5 是本发明的第二实施方式的半导体存储装置的构成图。图 5 所示的半导体存储装置具有：分别具有驱动晶体管 QN1、QN2、存取晶体管 QN3、QN4、加载晶体管 QP1、QP2 的存储单元 100；分别具有 P 型 MOS 晶体管 QP3、QP4 的预充电路 101；分别具有 N 型 MOS 晶体管 QN5、QN6 的列选择电路 102；分别具有电容元件 CAP、N 型 MOS 晶体管 QN7、P 型 MOS 晶体管 QP10 和 N 型 MOS 晶体管 QN10 的反相器 104；以及分别具有 N 型 MOS 晶体管 QN11、QN12

的钳位电路 105A。

进而，WL1~2 表示字线，BL1~2、/BL1~2 表示位线，PCG 表示预冲控制信号，WT1~2、/WT1~2 表示写控制信号，/CIN 表示电容元件控制信号（这是发明第一实施方式中的电容元件控制信号 CIN 的反转信号），COUT 表示电容元件输出节点，CIN2 表示电容元件输入节点，VDD 表示电源。

存储单元 100、预充电路 101、列选择电路 102、电容元件 CAP、N 型 MOS 晶体管 QN7 分别与发明第一实施方式中所说明的内容相同，省略其说明。

反相器 104 构成为在电源 VDD 与接地电源之间串联了 P 型 MOS 晶体管 QP10 与 N 型 MOS 晶体管 QN10，将电容元件控制信号/CIN 的反转信号输出到电容元件输入节点 CIN2。

钳位电路 105A 构成为在电容元件输入节点 CIN2 和接地电源之间连接把栅极端子连接成二极管型的 N 型 MOS 晶体管 QN11、QN12。

下面说明如上构成的本实施方式的半导体存储装置的工作。

首先说明字线 WL1、WL2 处于非激活状态的情况。这种情况下，所有的字线 WL1、WL2 都为低电平，由这些字线进行控制的所有存储单元 100 都处于非选择状态(即不进行写入也不进行读取的状态)。另外，预充控制信号 PCG 为低电平，通过该预充控制信号 PCG 进行控制的预充电路 101 处于激活状态，将所有位线 BL1、/BL1、BL2、/BL2 预充为高电平。另外，所有写控制信号 WT1、/WT1、WT2、/WT2 都为低电平，通过这些写控制信号进行控制的所有列选择电路 102 都处于非激活状态。另外，电容元件控制信号/CIN 为低电平，电容元件输入节点 CIN2 通过反相器 104 而为高电平，因而 N 型 MOS 晶体管 QN7 导通，将电容元件输出节点 COUT 放电为低电平。

连接在电容元件输入节点 CIN2 上的钳位电路 105A 构成为把二极管型连接了栅极端子的 N 型 MOS 晶体管 QN11、QN12 2 级串联于电容元件输入节点 CIN2 与接地电源之间。例如 N 型 MOS 晶体管 QN11、QN12 的阈值电压为 0.6V，则如果电容元件输入节点 CIN2

的电位低于 1.2V，则钳位电路 105A 处于非激活状态，不会向电容元件输入节点 CIN2 产生影响。如果电容元件输入节点 CIN2 的电位高于 1.2V，则钳位电路 105A 被激活，电容元件输入节点 CIN2 的电荷流入接地电源，电源电压越高则流入的电荷量越增加。钳位电路 105A 具有二极管元件那样的特性。

下面说明字线 WL1（或 WL2）处于激活状态，向存储单元 100 写入数据的情况下工作。预充控制信号 PCG 从低电平变化到高电平，通过该预充控制信号 PCG 控制的所有预充电路 101 成为非激活状态。例如选择字线 WL1，字线 WL1 成为高电平。另外例如选择写控制信号 WT1，写控制信号 WT1 成为高电平，与位线 BL1 连接的列选择电路 102 的 N 型 MOS 晶体管 QN5 导通，位线 BL1 与电容元件输出节点 COUT 通过 N 型 MOS 晶体管 QN5 连接起来。

此时，电容元件控制信号/CIN 为低电平，电容元件输入节点 CIN2 为高电平，N 型 MOS 晶体管 QN7 导通，因而通过该 N 型 MOS 晶体管 QN7 去除位线 BL1 的电荷，经过了规定时间（相当于图 9 的时间 T1）之后，位线 BL1 的电位为低电平（0V）。

当位线 BL1 的电位成为 0V 之后，电容元件控制信号/CIN 从低电平变化为高电平。电容元件控制信号/CIN 处于高电平，因而电容元件输入节点 CIN2 为低电平，N 型 MOS 晶体管 QN7 截止。与此同时，如果电容元件 CAP 的电容为  $C_c$ ，则电容元件输入节点 CIN2 在高电平时的电位为  $V_{CH}$ ，则电容元件输入节点 CIN2 从高电平( $V_{CH}$ )向低电平(0V)转变，就会从存在于位线 BL1、电容元件输出节点 COUT、所选择的存储单元 100 的存储节点（这种情况下为存取晶体管 QN3 的源极端子的节点）中的所有电容（为电容  $C_1$ ）的电荷中去除相当于  $C_c \times V_{CH}$  的电荷。

也就是说，通过电容  $C_c$  与电容  $C_1$  的电荷分配，位线 BL1 等的电位由 0V 变为  $-(C_c \times V_{CH}) / (C_c + C_1)$  的负电位。

所选择的位线的电位成为低于 0V 的负电位，因而所选择的存储单元 100 中的存取晶体管的电导变大。也就是说，相比所选择的位

线的电位只能降低到 0V 的半导体存储装置，可以通过更低的电源电压向存储单元 100 进行数据的写入。如上所述，所选择的位线 BL1 的电位成为低电平，从而向存储单元 100 进行数据的写入。

说明此时与电容元件输入节点 CIN2 连接的钳位电路 105A 的工作。

不存在钳位电路 105A 的情况下，伴随着电源 VDD 的上升，通过电容元件 CAP 的工作而生成的负电位的绝对值也变大。这种情况下电容元件输入节点 CIN2 在高电平时的电位 VCH 为与电源 VDD 相等的值。如果设负电位为 VBB，则负电位 VBB 的电源电压依赖性例如为  $VBB = -0.2 \times VDD$ 。

在向存储单元 100 进行数据写入时，当选择位线（此时为 BL1）、电容元件输出节点 COUT、所选择的存储单元 100 的存储节点（此时为存取晶体管 QN3 的源极端子）为负电位的情况下，成为负电位的节点连接的各元件上的电应力，比位线电位仅能降低至 0V 的半导体存储装置的要大，这一点是显而易见的。

另外，在与成为负电位的选择位线相连、并且不进行数据写入的非选择性的存储单元（例如与位线 BL1 和字线 WL2 相连接的存储单元 100）中会产生如下问题。即，虽然不进行数据的写入的非选择性的存储单元 100 的字线 WL2 的电位为低电平（0V），然而电源电压越高，选择位线 BL1 的负电位的绝对值也越大，因此选择位线 BL1 的负电位一旦降低到超过构成存储单元 100 的存取晶体管 QN3 的阈值电压的电位，则存取晶体管 QN3 会成为导通状态，会引起存储单元的保持数据的破坏（数据的反转）。

于是，可以在向存储单元 100 进行数据写入时，仅在电源电压较低的情况下，使选择位线的电位为负电位，增大选择存储单元 100 的存取晶体管的电导，来易于写入数据。当电源电压较高的情况下，即使不使选择位线的电位处于负电位，也能向存储单元 100 进行数据写入。如果各节点为负电位，则尤其在电源电压较高的情况下，成为负电位的节点上连接的各元件上的电应力会变得过大，因而会

招致元件的可靠性恶化、与选择位线连接的非选择存储单元的保持数据的破坏。

下面说明存在钳位电路 105A 的情况。N 型 MOS 晶体管 QN11、QN12 的阈值电压为 0.6V、电容元件 CAP 的工作中生成的负电位 VBB 的电源电压依赖性为  $V_{BB} = -0.2 \times V_{CH}$ 。

如果电源 VDD 是低于 1.2V 的电源电压，则钳位电路 105A 为非激活状态。因而电容元件输入节点 CIN2 在高电平的电位 VCH 与电源 VDD 等同，电容元件输出节点 COUT 上产生的负电位 VBB 产生与不存在钳位电路 105A 的情况下同等的电位 ( $V_{BB} = -0.2 \times V_{DD}$ )。

如果电源 VDD 大于 1.2V，则钳位电路 105A 被激活，电容元件输入节点 CIN2 的高电平的电位 VCH 是根据 P 型 MOS 晶体管 QP10 和钳位电路 105A 的驱动能力之比来确定的电位。电源 VDD 大于 1.2V 的情况下，电容元件输入节点 CIN2 在高电平的电位 VCH 例如为大致具有  $V_{CH} = 2V_{TN}$  那样的特性的电位，则电源 VDD 越大于 1.2V，则电容元件输入节点 CIN2 在高电平时的 VCH 电位越低于电源 VDD。

因此，在电容元件 CAP 的工作中生成的负电位 VBB 为  $V_{BB} = -0.2 \times 2V_{TN}$ ，即使电源电压增高，负电位 VBB 的绝对值也不会增大。

向存储单元 100 进行的数据写入结束后，字线 WL1 由高电平变为低电平，所有的存储单元 100 成为非选择状态。另外，写控制信号 WT1 由高电平变为低电平，所有的列选择电路 102 成为非激活状态。进而，电容元件控制信号/CIN 由高电平变为低电平，电容元件输入节点 CIN2 变为高电平，N 型 MOS 晶体管 QN7 导通，将电容元件输出节点 COUT 放出至低电平。此后，预充控制信号 PCG 由高电平变为低电平，所有的预充电路 101 成为激活状态，将所有的位线预充为高电平。

如上所述，根据本发明图 5 所示的结构，当电源电压较低的情况下，可如以往那样改善向存储单元 100 进行数据写入的特性，进而当电源电压变高的情况下，可以将向存储单元 100 进行数据写入

工作时的选择位线等中产生的电位控制为高于以往的电位，因而与选择位线等连接的各元件上的电应力得以降低，可抑制可靠性恶化，另外，还可以防止与选择位线连接的非选择存储单元的保持数据的破坏。

并且，半导体存储装置的工作电源电压或半导体存储装置中的晶体管的阈值电压等根据半导体存储装置的工作电源电压规格和工艺条件等不同而不同。本实施方式中，在说明中设构成钳位电路 105A 的 N 型 MOS 晶体管 QN11、QN12 的阈值电压为 0.6V，将电源电压为 1.2V 时作为切换工作的临界电压。

晶体管的阈值电压和切换工作的临界电压为上述之外的情况下，例如可以仅形成 1 级构成钳位电路 105A 的 N 型 MOS 晶体管，或是按照串联 3 级那样通过多级串联来构成。另外，还可以取代 N 型 MOS 晶体管，而通过二极管型连接了栅极端子的 P 型 MOS 晶体管来构成，还可以通过进行了 PN 接合的二极管元件来构成，这都是不言自明的。另外，还可以把上述 P 型 MOS 晶体管、N 型 MOS 晶体管、进行了 PN 接合的二极管或电阻元件等组合起来构成。也就是说，按照半导体存储装置所需要的工作条件，改变钳位电路 105A 的各构成即可。

图 6 是表示图 5 的钳位电路 105A 的另一个例子的图。图 6 的钳位电路 105B 为在构成图 5 的钳位电路 105A 的 N 型 MOS 晶体管 QN11、QN12 上还并联了保险丝元件 F3、F4。

如图 6 的构成那样，如果在晶体管 QN11、QN12 上并联了保险丝元件 F3、F4，则通过切断某个保险丝元件，可以根据半导体存储装置所需要的工作条件，将切换工作的临界电压变更为任意的电压。

图 6 是在设定电压的切换单元中使用了保险丝元件 F3、F4 的情况的一个例子，然而通过并联晶体管的源极端子和漏极端子以代替这些保险丝元件，对上述晶体管的栅极端子进行导通/截止控制，也可以实现与保险丝元件的情况下相同的工作和效果，这也是不言自明的。

图 7 是表示图 5 的钳位电路 105A 的又一个例子的图。图 7 的钳位电路 105C 为在构成图 5 的钳位电路 105A 的 N 型 MOS 晶体管 QN11 与电容元件输入节点 CIN2 之间串联其他的 N 型 MOS 晶体管 QN13，将该栅极端子连接在电容元件控制信号/CIN 上。

钳位电路仅在写入工作时进行激活即可。在图 5 的钳位电路 105A 的情况下，除了写入工作之外的时候、亦即处于字线的非激活状态的时候，电容元件控制信号/CIN 处于低电平，由此，电容元件输入节点 CIN2 处于高电平，N 型 MOS 晶体管 QN7 导通，将电容元件输出节点 COUT 放电为低电平。此时，钳位电路 105A 在电源电压较低的情况下（低于 1.2V 的情况下）为非激活状态，然而由于电源电压变高（超过 1.2V）则钳位电路 105A 会激活，因而由 P 型 MOS 晶体管 QP10 通过钳位电路 105A 流过稳定的电流。

于是，如图 7 的钳位电路 105C 那样，如果在 N 型 MOS 晶体管 QN11 与电容元件输入节点 CIN2 之间串联其他的 N 型 MOS 晶体管 QN13，则在位线为非激活状态时，电容元件控制信号/CIN 处于低电平，因而 N 型 MOS 晶体管 QN13 可处于截止。因而仅在写入工作时钳位电路 105C 会激活，写入工作之外的时候，钳位电路 105C 处于非激活状态，因而写入工作之外时所流过的稳定电流不会流过，能实现功耗的降低。图 7 所示的构成也可以应用在图 6 说明的构成中，这也是不言自明的。

图 8 是表示图 5 的钳位电路 105A 的再一个例子的图。图 8 的钳位电路 105D 中，在电源 VDD 与接地电源之间串联有二极管型连接了栅极端子的 P 型 MOS 晶体管 QP11、把栅极端子连接在电容元件输入节点 CIN2 上的 P 型 MOS 晶体管 QP12 和把栅极端子连接在电源 VDD 上的 N 型 MOS 晶体管 QN15。P 型 MOS 晶体管 QP12 的漏极端子与 N 型 MOS 晶体管 QN15 的漏极端子的交点为栅极控制节点 VGN2，该栅极控制节点 VGN2 与连接于电容元件输入节点 CIN2 和接地电源之间的 N 型 MOS 晶体管 QN14 的栅极端子连接。

钳位电路 105D 在写入工作之外的时候（字线为非激活状态的时

候), 电容元件控制信号/CIN 为低电平, 因而电容元件输入节点 CIN2 为高电平, 所以 P 型 MOS 晶体管 QP12 截止, 通过栅极端子与电源 VDD 连接的 N 型 MOS 晶体管 QN15, 由栅极控制节点 VGN2 始终输出低电平。由此, 将栅极控制节点 VGN2 输入栅极端子的 N 型 MOS 晶体管 QN14 始终截止, 因而不会对电容元件输入节点 CIN2 产生影响。

说明字线为激活状态时的钳位电路 105D 的工作。字线为激活状态时, 电容元件控制信号/CIN 由低电平变为高电平, 电容元件输入节点 CIN2 由高电平变为低电平, 则将电容元件输入节点 CIN2 的电压输入栅极端子的 P 型 MOS 晶体管 QP12 被导通。

此处, P 型 MOS 晶体管的阈值电压为  $VTP=-0.6V$ , N 型 MOS 晶体管的阈值电压为  $VTN=0.6V$ 。栅极控制节点 VGN2 的电源电压依赖性则通过二极管型连接了栅极端子的 P 型 MOS 晶体管 QP11 和栅极端子与电源 VDD 连接的 N 型 MOS 晶体管 QN15, 大致具有  $VGN2=VDD-|VTP|$  的特性。如图 5 的构成中所说明的那样, 当电容元件输入节点 CIN2 在高电平的电位为  $VCH$  时, 电容元件 CAP 的工作中生成的负电位  $VBB$  的电源电压依赖性具有  $VBB=-0.2 \times VCH$  的特性。

如果电源电压小于 1.2V, 由于栅极控制节点 VGN2 小于 0.6V, 因而将栅极控制节点 VGN2 的电压输入栅极端子的 N 型 MOS 晶体管 QN14 为非激活状态而不会向电容元件输入节点 CIN2 产生影响。因而电容元件输入节点 CIN2 在高电平的电位  $VCH$  与电源 VDD 相等, 产生于电容元件输出节点 COUT 的负电位  $VBB$  成为与不存在钳位电路 105D 的情况下相等的电位 ( $VBB=-0.2 \times VDD$ )。

当电源电压大于 1.2V 时, 栅极控制节点 VGN2 大于 0.6V, 因而将栅极控制节点 VGN2 的电压输入栅极端子的 N 型 MOS 晶体管 QN14 成为激活状态。因而电容元件输入节点 CIN2 在高电平的电位  $VCH$  是根据 P 型 MOS 晶体管 QP10 和 N 型 MOS 晶体管 QN14 的驱动能力之比来确定的电位, 因此电容元件输入节点 CIN2 在高电平的

电位 VCH 的电源电压依赖性成为具有低于电源 VDD 的值的特性。因此当电源电压大于 1.2V 时，在电容元件 CAP 的工作中生成的负电位 VBB ( $VBB = -0.2 \times VCH$ ) 被控制为高于不存在钳位电路情况下的电位。

如图 8 的钳位电路 105D 的构成那样，通过控制连接于电容元件输入节点 CIN2 和接地电源之间的晶体管 QN14 的栅极端子的电压，也可以实现与图 5 的情况下同等的工作和同等的效果，这也是不言自明的。

图 8 的钳位电路 105D 中的 P 型 MOS 晶体管 QP12 在工作上可以不具备，在写入工作之外的时候，电容元件控制信号/CIN 为低电平，电容元件输入节点 CIN2 为高电平，从而 P 型 MOS 晶体管 QP12 截止，能够使从电源 VDD 经过 N 型 MOS 晶体管 QN15 流到接地电源的稳定电流不会流过，因而能减少消耗的功率。

并且，半导体存储装置的工作电源电压或半导体存储装置中的晶体管的阈值电压等根据半导体存储装置的工作电源电压规格和工艺条件等不同而不同。例如可以通过把构成钳位电路 105D 的二极管型连接了栅极端子的 P 型 MOS 晶体管 QP11 串联 2 级以上来构成，或取代 P 型 MOS 晶体管，通过二极管型连接了栅极端子的 N 型 MOS 晶体管来构成，还可以通过进行了 PN 接合的二极管元件来构成，这都是不言自明的。另外还可以组合 P 型 MOS 晶体管、N 型 MOS 晶体管、进行了 PN 接合的二极管或电阻元件等来构成。

进而，还可以构成为在晶体管上并联图 6 所示那样的保险丝元件 F3、F4，或取代这些保险丝元件而并联晶体管，对该晶体管的栅极端子进行导通/截止控制。也就是说，按照半导体存储装置所需要的工作条件，改变钳位电路 105D 的各构成即可。

### 《发明第三实施方式》

图 10 是表示本发明第三实施方式的半导体存储装置的工作的时序图。另外图 9 是表示现有的半导体存储装置的工作的时序图。图 9 所示的时序图与从本发明第一实施方式中说明的图 1 的结构中删除

了钳位电路 103A 后的结构下的工作相同。

如本发明第一实施方式（图 1）中说明的那样，说明写入工作时使所选择的位线等为负电位的工作。例如选择字线 WL1，字线 WL1 成为高电平。另外选择写控制信号 WT1，写控制信号 WT1 成为高电平，与位线 BL1 连接的列选择电路 102 的 N 型 MOS 晶体管 QN5 导通，位线 BL1 与电容元件输出节点 COUT 通过 N 型 MOS 晶体管 QN5 连接起来。此时，电容元件控制信号 CIN 为高电平，N 型 MOS 晶体管 QN7 导通，因而位线 BL1 的电荷经由该 N 型 MOS 晶体管 QN7 而被掠取，经过规定时间（相当于图 9 的时间 T1）之后，位线 BL1 的电位变为低电平（0V）。

当位线 BL1 的电位成为 0V 之后，电容元件控制信号 CIN 从高电平变化为低电平。电容元件控制信号 CIN 处于低电平，因而 N 型 MOS 晶体管 QN7 截止。与此同时，如果电容元件 CAP 的电容为  $C_c$ ，则电容元件控制信号 CIN 从高电平（VDD）向低电平（0V）转变就会从存在于位线 BL1、电容元件输出节点 COUT、所选择的存储单元 100 的存储节点（这种情况下为存储晶体管 QN3 的源极端子的节点）中的所有电容（为电容 C1）的电荷中减少相当于  $C_c \times VDD$  的电荷。

也就是说，通过电容  $C_c$  与电容 C1 的电荷分配，位线 BL1 等的电位由 0V 变为  $-(C_c \times VDD) / (C_c + C1)$  的负电位。

此处如图 10 的时序图所示那样，说明从字线 WL1 的启动开始直到电容元件控制信号 CIN 由高电平变为低电平为止的时间相比图 9 的时间 T1 要短，按照以时间 T2 进行驱动的方式来改变定时的情况。

这种情况下，在位线 BL1 的电位变为 0V 之前，电容元件控制信号 CIN 从高电平变化为低电平。如果电容元件控制信号 CIN 从高电平变化为低电平时的位线 BL1 的电位为  $V_{BL}$ ，则使电容元件控制信号 CIN 从高电平变化为低电平时的位线 BL1 等的电位成为  $(C1 \times V_{BL} - C_c \times VDD) / (C_c + C1)$ 。如图 9 中现有的半导体存储装置的工

作那样，相比当位线 BL1 成为 0V 之后，使电容元件控制信号 CIN 从高电平变化为低电平的情况而言，可以将位线 BL1 等的电位控制为较高的值。

如本发明第三实施方式那样，在写入工作时位线的电位变为 0V 之前改变电容元件控制信号 CIN，控制驱动电容元件 CAP 的定时，则在电源电压较低的情况下，可以像以往那样改善向存储单元 100 的数据写入特性，进而当电源电压变高的情况下，可以将向存储单元 100 进行的数据写入工作时的选择位线等所产生的电位控制为相比以往较高的电位，因而可减少与选择位线等连接的各元件上的电应力，抑制可靠性的恶化，还可以防止与选择位线连接的非选择存储单元的保持数据的破坏。

关于把图 9 的时间 T1 改为图 10 的时间 T2 的方法，例如只要是使用延迟电路等，根据字线的驱动或写控制信号的启动定时来确定电容元件控制信号 CIN 的工作定时的电路构成，就可以改变电路以减少构成上述延迟电路的延迟元件（反相器等）的连接级数。另外，还可以是能够进行时间微调的在延迟电路中具备切换单元的切换电路等。另外，还可以构成为通过来自外部的控制信号，而可以改变电容元件控制信号 CIN 的切换定时。

#### 《发明第四实施方式》

图 11 是本发明第四实施方式的半导体存储装置的构成图。图 11 所示的半导体存储装置通过以下部分构成：分别具有驱动晶体管 QN1、QN2、存取晶体管 QN3、QN4、加载晶体管 QP1、QP2 的存储单元 100；分别具有 P 型 MOS 晶体管 QP13 和 N 型 MOS 晶体管 QN16、QN17 的字驱动器电路 106。进而，WL 表示字线，BL、/BL 表示位线，/RAD 表示行地址信号，VDD 表示电源。

字驱动器电路 106 之外的部分为了简化而在图中没有表示出来，它们与发明第一实施方式的图 1 所示结构中去除了钳位电路 103A 后的结构（现有的半导体存储装置）相同。因此，其构成为在向存储单元 100 进行写入工作时，位线 BL 等的电位为低于 0V 的负电位

VBB。存储单元 100 与发明第一实施方式中说明的相同，省略其说明。

字驱动电路 106 在电源 VDD 与接地电源之间串联了 P 型 MOS 晶体管 QP13 和 N 型 MOS 晶体管 QN16，把行地址信号/RAD 的反转信号输出到字线 WL。另外，其具有将栅极端子与电源 VDD 连接、且连接于字线 WL 与接地电源之间的 N 型 MOS 晶体管 QN17，从而当行地址信号/RAD 成为低电平，字线 WL 成为高电平时（字线处于激活状态时），可以把字线 WL 的高电平控制为低于电源 VDD 电平的电位。当行地址信号/RAD 成为高电平，字线 WL 成为低电平时（字线处于非激活状态时），N 型 MOS 晶体管 QN17 不会对字线 WL 产生影响。

一般的半导体存储装置（现有的半导体存储装置）的字驱动电路输出与电源电压相等的 VDD 电平作为字线 WL 的高电平。也就是说构成为不存在 N 型 MOS 晶体管 QN17。因而现有的半导体存储装置中，在向存储单元 100 进行数据写入时，激活后的字线为 VDD 电平，位线 BL 的电位为低于 0V 的负电位 VBB，因而存储单元 100 的存取晶体管 QN3 的栅极端子与漏极端子之间的电位差大于 VDD，会被施加  $VDD+|VBB|$  的电位差。

于是像本实施方式那样，如果把字线 WL 的高电平控制为低于电源 VDD 电平的电位，则存储单元 100 的存取晶体管 QN3 的栅极端子与漏极端子之间的电位差可相比以往得以减少，能够降低存储单元 100 的存取晶体管上的电应力，抑制可靠性的恶化。

本实施方式的字驱动电路 106 为一个例子，只要是可以把激活状态下字线 WL 的高电平的电位控制为低于电源 VDD 电平的电位的结构，采取何种构成都能获得相同的效果，这是不言自明的。

另外，本实施方式的构成可以应用于本发明第一~第三实施方式中，这也是不言自明的。

### 《发明第五实施方式》

图 12 是本发明第五实施方式的半导体存储装置的构成图。图 12

所示的半导体存储装置通过以下部分构成：分别具有驱动晶体管 QN1、QN2、存取晶体管 QN3、QN4、加载晶体管 QP1、QP2 的存储单元 100B；分别具有 P 型 MOS 晶体管 QP14 和 N 型 MOS 晶体管 QN18 的存储单元电源控制电路 107。进而，WL 表示字线，BL、/BL 表示位线，WEN 表示写使能信号，VDDM 表示存储单元电源，VDD 表示电源。

存储单元电源控制电路 107 之外的部分为了简化而在图中没有表示出来，它们与发明第一实施方式的图 1 所示结构中去除了钳位电路 103A 后的结构（现有的半导体存储装置）相同。因此，其构成为在向存储单元 100B 进行写入工作时，位线 BL 等的电位为低于 0V 的负电位 VBB。

另外，存储单元 100B 与图 1 中的存储单元 100 为相同结构，不同之处仅在于连接有存储器电源 VDDM 来取代与加载存储器 QP1、QP2 连接的电源 VDD。

存储单元电源控制电路 107 构成为把在电源 VDD 与接地电源之间将栅极端子与接地电源连接起来的 P 型 MOS 晶体管 QP14 和把栅极端子与写使能信号 WEN 连接起来的 N 型 MOS 晶体管 QN18 串联起来，将连接起来的 P 型 MOS 晶体管 QP14 和 N 型 MOS 晶体管 QN18 各自的漏极端子作为存储器电源 VDDM 进行输出。

该存储单元电源控制电路 107 在向存储单元 100B 进行数据的写入工作以外的时候，写使能信号 WEN 为低电平，N 型 MOS 晶体管 QN18 截止。由于 P 型 MOS 晶体管 QP14 始终导通，因而存储器电源 VDDM 输出与电源电压相等的 VDD 电平。

向存储单元 100B 进行数据的写入工作时，写使能信号 WEN 为高电平，N 型 MOS 晶体管 QN18 导通，因而存储器电源 VDDM 成为通过 P 型 MOS 晶体管 QP14 和 N 型 MOS 晶体管 QN18 的驱动能力之比来确定的电位。也就是说，可将其控制为低于电源 VDD 电平的电位。

一般的半导体存储装置（现有的半导体存储装置）的存储单元

电源被施加与电源电压相等的 VDD 电平。也就是说构成为不存在存储单元电源控制电路 107。

现有的半导体存储装置中，当向存储单元 100 进行数据写入时，存取晶体管 QN3 的源极端子的电位成为低于 0V 的负电位 VBB，因而与存取晶体管 QN3 的源极端子连接的加载晶体管 QP1 的漏极端子与驱动晶体管 QN1 的漏极端子、加载晶体管 QP2 的栅极端子与驱动晶体管 QN2 的栅极端子都分别成为低于 0V 的负电位 VBB。另外，现有的半导体存储装置中，向加载晶体管 QP1、QP2 的源极端子施加 VDD 电平。

因此，在加载晶体管 QP1 的漏极端子与源极端子之间、加载晶体管 QP1 的栅极端子与漏极端子之间、驱动晶体管 QN1 的栅极端子与漏极端子之间、加载晶体管 QP2 的栅极端子与源极端子之间、加载晶体管 QP2 的栅极端子与漏极端子之间、驱动晶体管 QN2 的栅极端子与漏极端子之间将分别被施加大于电源 VDD 电平的  $VDD+|VBB|$  的电位差。

于是像本实施方式那样，当向存储单元 100B 进行数据写入工作时，如果把存储单元电源 VDDM 控制为低于电源 VDD 电平的电位，则存储单元 100B 中的加载晶体管 QP1、QP2、驱动晶体管 QN1、QN2 中施加在上述各端子间的电位差可以小于现有情况，因而可减少存储单元 100B 中的加载晶体管 QP1、QP2 和驱动晶体管 QN1、QN2 上的电应力，抑制可靠性的恶化。

本实施方式的存储单元电源控制电路 107 为一个例子，只要是可以当向存储单元 100B 进行数据写入工作时把存储单元电源控制为低于电源 VDD 电平的电位的结构，采取何种构成都能获得相同的效果，这是不言自明的。

另外，本实施方式的构成可以应用于本发明第一~第四实施方式中，这也是不言自明的。

### 《发明第六实施方式》

图 13 是本发明第六实施方式的半导体存储装置的构成图。图 13

所示的半导体存储装置由以下部分构成：具有 N 型 MOS 晶体管 QN5 的列选择电路 102；分别具有 P 型 MOS 晶体管 QP15 和 N 型 MOS 晶体管 QN19 的反相器 108；分别具有 N 型 MOS 晶体管 QN20、QN21 的钳位电路 109。进而，BL 表示位线，COUT 表示电容元件输出节点，WT 表示写控制信号，/WT 表示反转写控制信号，VDD 表示电源。

虽然为了简便起见而没有在图中表示出来，然而本实施方式的构成是从发明第一实施方式的图 1 中表示出来的结构中，除去钳位电路 103A（现有的半导体存储装置），再附加上反相器 108 和钳位电路 109 的构成。因而，在向存储单元 100 进行写入工作时，位线 BL 与电容元件输出节点 COUT 的电位为低于 0V 的负电位 VBB。

反相器 108 在电源 VDD 与接地电源之间连接有 P 型 MOS 晶体管 QP15 和 N 型 MOS 晶体管 QN19，向各自的栅极端子输入反转写控制信号/WT。

钳位电路 109 构成为在写控制信号 WT 与接地电源之间串联有二极管型连接了栅极端子的 N 型 MOS 晶体管 QN20、QN21。因此该钳位电路 109 在向存储单元 100 进行数据的写入工作之外的时候，反转写控制信号/WT 为高电平，写控制信号 WT 为低电平，因而不会对写控制信号 WT 产生影响。

在向存储单元 100 进行数据的写入工作时，反转写控制信号/WT 为低电平，写控制信号 WT 为高电平。此时，如果 N 型 MOS 晶体管的阈值电压为 0.6V、电源电压低于 1.2V，则钳位电路 109 为非激活状态，不会对写控制信号 WT 的高电平（VDD 电平）产生影响。一旦电源电压高于 1.2V，则钳位电路 109 变为激活，写控制信号 WT 的高电平成为通过 P 型 MOS 晶体管 QP15 和钳位电路 109 的驱动能力之比来确定的电位。也就是说，写控制信号 WT 的高电平可被控制为低于电源 VDD 电平的电位。

一般的半导体存储装置（现有的半导体存储装置）的写控制信号 WT 的高电平的电位始终被施加与电源电压相等的 VDD 电平。

现有的半导体存储装置中，在向存储单元 100 进行数据写入时，位线 BL 和电容元件输出节点 COUT 的电位成为低于 0V 的负电位 VBB，因而在列选择电路 102 的 N 型 MOS 晶体管 QN5 的栅极端子与漏极端子、栅极端子与源极端子之间会被分别施加大于电源 VDD 电平的  $VDD+|VBB|$  的电位差。

于是像本实施方式那样，在向存储单元 100 进行数据写入工作时，如果把写控制信号 WT 的高电平控制为低于电源 VDD 电平的电位，则相比以往可以减小在列选择电路 102 的 N 型 MOS 晶体管 QN5 的栅极端子与漏极端子、栅极端子与源极端子之间被施加的电位差，因此可减少列选择电路 102 的 N 型 MOS 晶体管 QN5 上的电应力，抑制可靠性的恶化。

本实施方式所示的将写控制信号 WT 的高电平控制为低于电源 VDD 电平的电位的电路构成为一个例子，只要是当向存储单元 100 进行数据写入工作时可以把写控制信号 WT 的高电平控制为低于电源 VDD 电平的电位的结构，采取何种构成都能获得相同的效果，这是不言自明的。

另外，本实施方式的构成可以应用于本发明第一~第五实施方式中，这也是不言自明的。

### 《发明第七实施方式》

图 14 是本发明第七实施方式的半导体存储装置的构成图。图 14 所示的半导体存储装置由分别具有 N 型 MOS 晶体管 QN22、QN23、QN24、QN25 的预充电路 101B 构成。进而，BL、/BL 表示位线，/PCG 表示预充信号，VDD 表示电源。

虽然为了简便起见而没有在图中表示出来，然而本实施方式的构成是在发明第一实施方式的图 1 所示的结构中除去了钳位电路 103A 的结构（现有的半导体存储装置）里，将预充电路 101 置换为图 14 的预充电路 101B 的结构。因而其构成为在向存储单元 100 进行写入工作时，位线 BL 等的电位为低于 0V 的负电位 VBB。

预充电路 101B 构成为，在电源 VDD 与位线 BL 之间串联有二

极管型连接了栅极端子的 N 型 MOS 晶体管 QN24 和 N 型 MOS 晶体管 QN22， 并且在电源 VDD 与位线/BL 之间串联有二极管型连接了栅极端子的 N 型 MOS 晶体管 QN25 和 N 型 MOS 晶体管 QN23，在 N 型 MOS 晶体管 QN22、QN23 各自的栅极端子上连接了预充控制信号/PCG。

该预充电路 101B 在字线为非激活状态的时候，使预充控制信号/PCG 为高电平，导通 N 型 MOS 晶体管 QN22、QN23，将位线 BL、/BL 预充为高电平。如果 N 型 MOS 晶体管的阈值电压为  $V_{TN}$ ，位线的高电平的预充电位为  $V_{BP}$ ，则  $V_{BP}=VDD-V_{TN}$ ，被控制为低于电源 VDD 电平的电位。当字线为激活状态的时候，使预充控制信号/PCG 为低电平，使 N 型 MOS 晶体管 QN22、QN23 截止，成为不会对位线 BL、/BL 产生影响的状态。

一般的半导体存储装置（现有的半导体存储装置）的预充电路如图 1 的预充电路 101 那样，通过 P 型 MOS 晶体管构成，位线的高电平的预充电位成为与电源电压相等的 VDD 电平。

现有的半导体存储装置中，在向存储单元 100 进行数据的写入时，位线和电容元件输出节点 COUT 的电位成为低于 0V 的负电位  $V_{BB}$ 。此时，在与列选择电路 102 中的非选择位线连接的 N 型 MOS 晶体管（如果选择位线为 BL1，则与非选择位线连接的 N 型 MOS 晶体管是分别向栅极端子输入写控制信号/WT1、WT2、/WT2 的 N 型 MOS 晶体管）的漏极端子与源极端子之间施加有大于电源 VDD 电平的  $VDD+|V_{BB}|$  的电位差。另外，在与选择位线 BL1 连接的预充电路中的 P 型 MOS 晶体管（例如与图 1 中的位线 BL1 连接的 P 型 MOS 晶体管 QP3）的栅极端子和漏极端子之间、源极端子和漏极端子之间分别施加有大于电源 VDD 电平的  $VDD+|V_{BB}|$  的电位差。

于是像本实施方式那样，如果把位线的高电平的预充电位控制为低于电源 VDD 电平的电位，则可以相比以往减小施加在与列选择电路中的非选择位线连接的 N 型 MOS 晶体管的漏极端子和源极端子之间的电位差以及分别施加在与选择位线连接的预充电路晶体管

QN22 或 QN23 的栅极端子和漏极端子之间、源极端子和漏极端子之间的电位差，因而可减少与列选择电路中的非选择位线连接的 N 型 MOS 晶体管、与选择位线连接的预充电路晶体管 QN22 或 QN23 上的电应力，抑制可靠性的恶化。

本实施方式中，将预充电路 101B 中的二极管型连接了栅极的 N 型 MOS 晶体管 QN24、QN25 置换为二极管型连接了栅极的 P 型 MOS 晶体管时，也能获得相同的效果，这一点是不言自明的。

另外，将 N 型 MOS 晶体管 QN22、QN23 置换为 P 型 MOS 晶体管，在反转了预充信号/PCG 的极性的情况下也进行相同的工作，然而在 P 型 MOS 晶体管的情况下，由于基板电位为电源 VDD 电平，因而会向漏极端子与基板之间施加大于电源 VDD 电平的  $VDD+|VBB|$  的电位差。如果是 N 型 MOS 晶体管的话，则基板电位通过接地电源来构成。

因而，与位线 BL、/BL 连接的晶体管的极性为 N 型的情况下，要比为 P 型的情况下，更能相比以往减小施加到漏极端子与基板之间的电位差，因而可减少预充电路 101B 上的电应力，抑制可靠性的恶化。

另外，本实施方式的构成可以应用于本发明第一~第六实施方式中，这也是不言自明的。

在如上说明的半导体存储装置中，为了便于理解发明，使其具有少量存储单元、预充电路、列选择电路、钳位电路、电容元件、字线、位线等。但也可以具备多个（或多数）上述各构成要素。具有这种构成的半导体存储装置会取得与上述各实施方式的半导体存储装置相同的效果，这也是不言自明的。

### 工业可用性

本发明涉及的半导体存储装置具有如下效果：通过控制位线的电位可以改善低电源电压下向存储单元进行数据写入的特性，尤其可以抑制各元件上的可靠性的恶化，并且可通过较低的功耗来实现

具有稳定的写入性能的半导体存储装置，其作为静态型随机存取存储器等半导体存储装置是很有作用的。

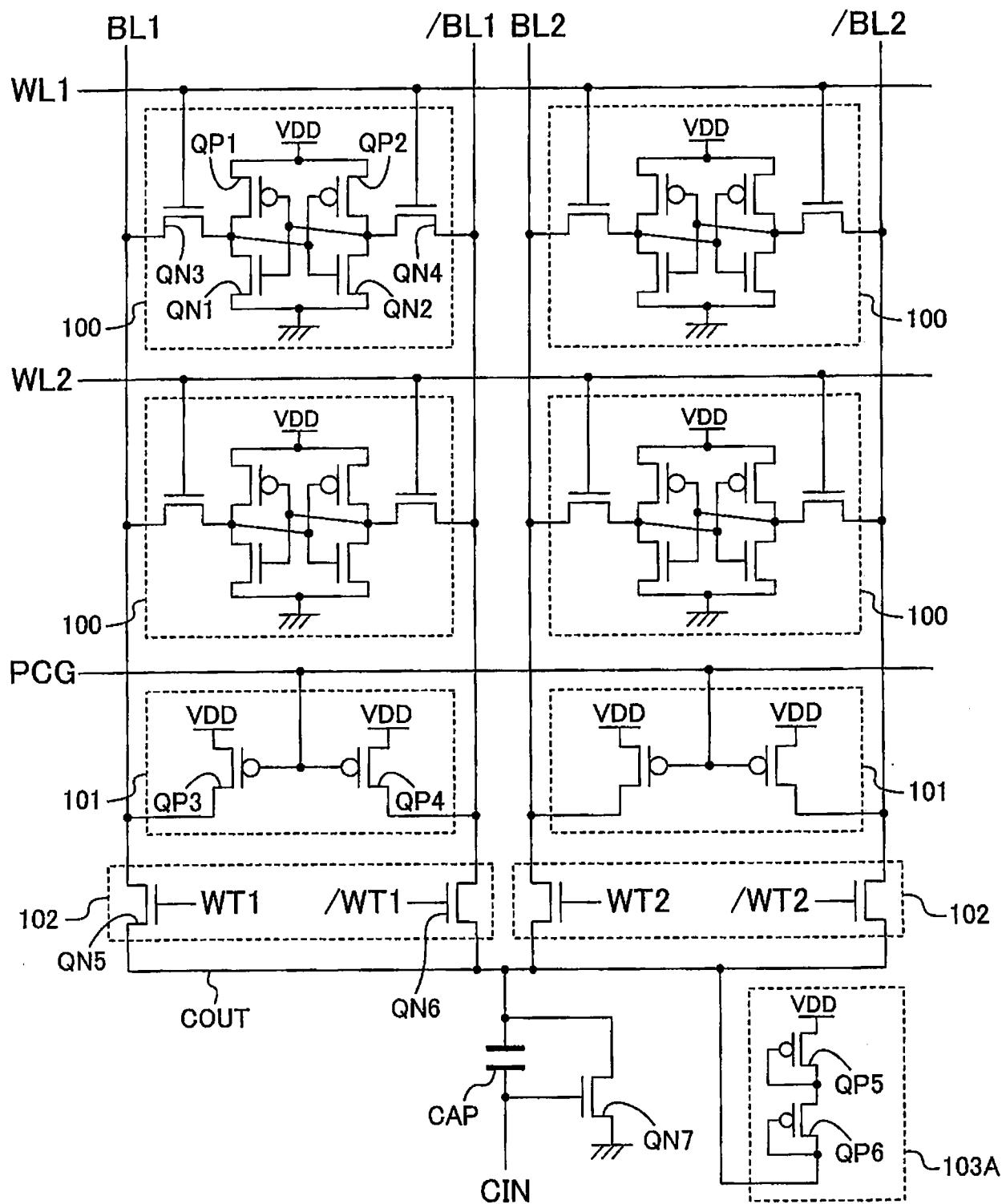


图 1

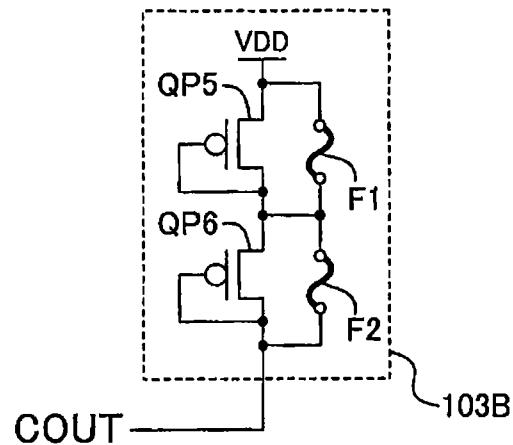


图 2

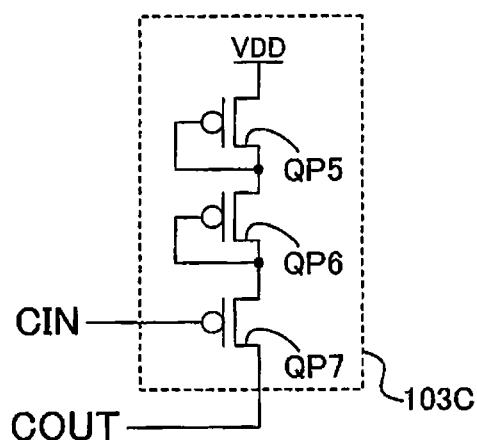


图 3

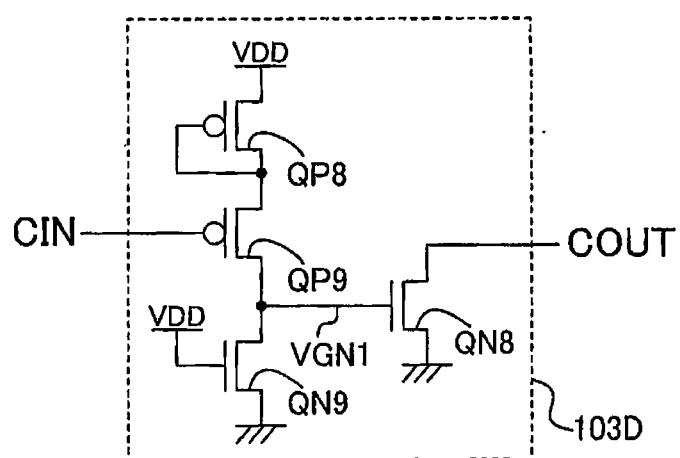


图 4

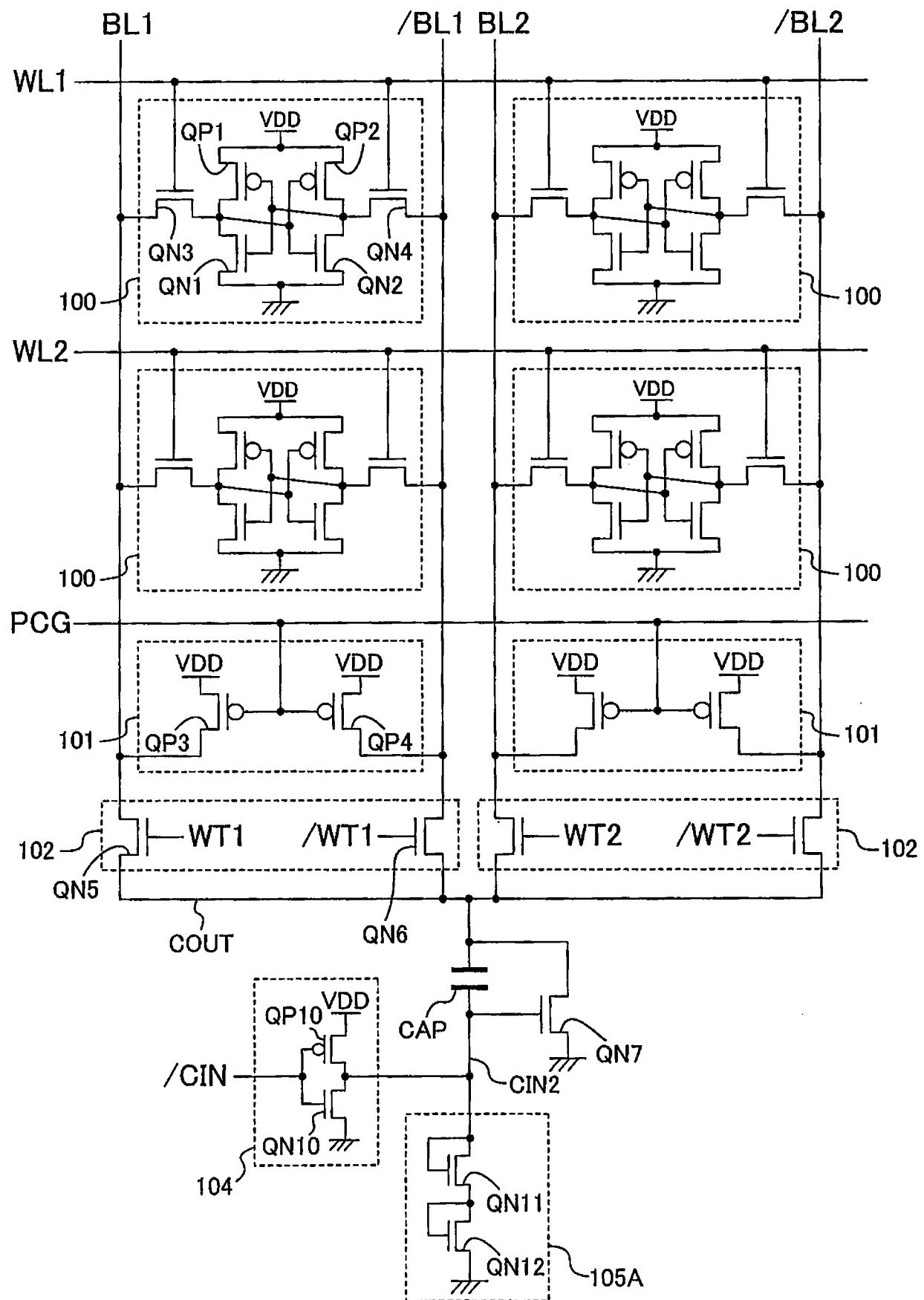


图 5

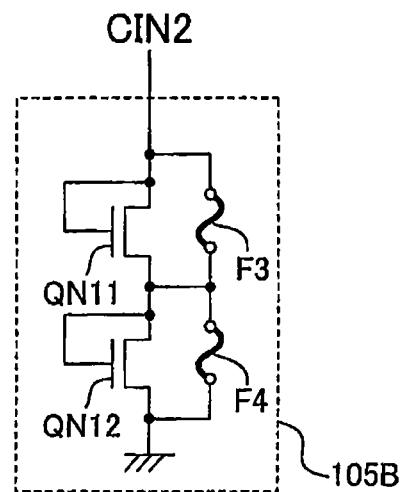


图 6

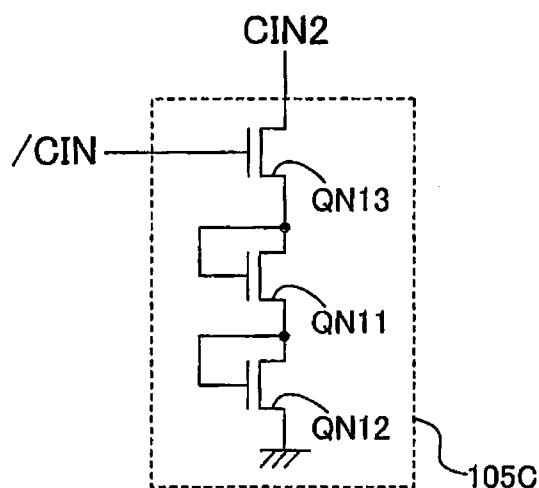


图 7

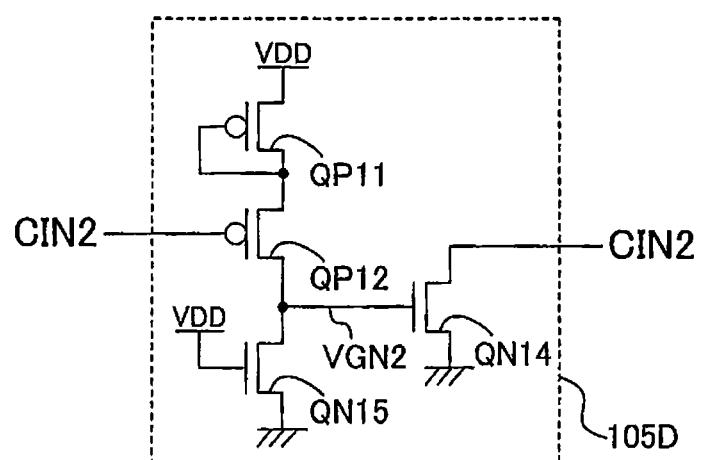


图 8

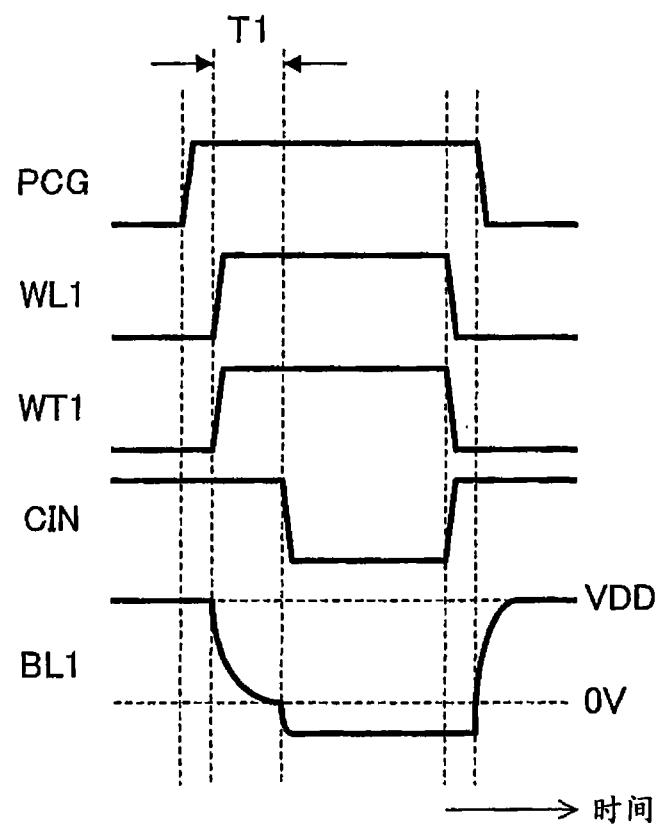


图 9

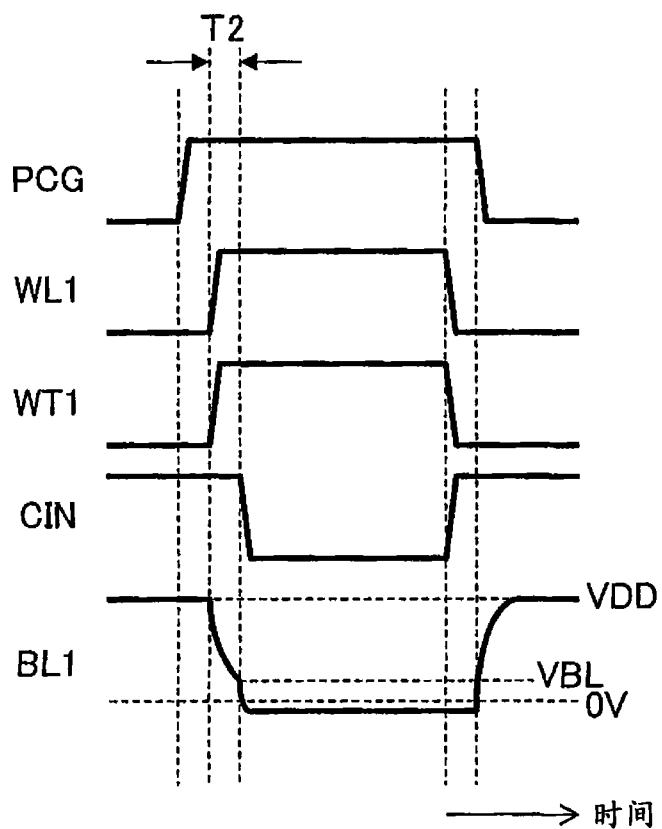


图 10

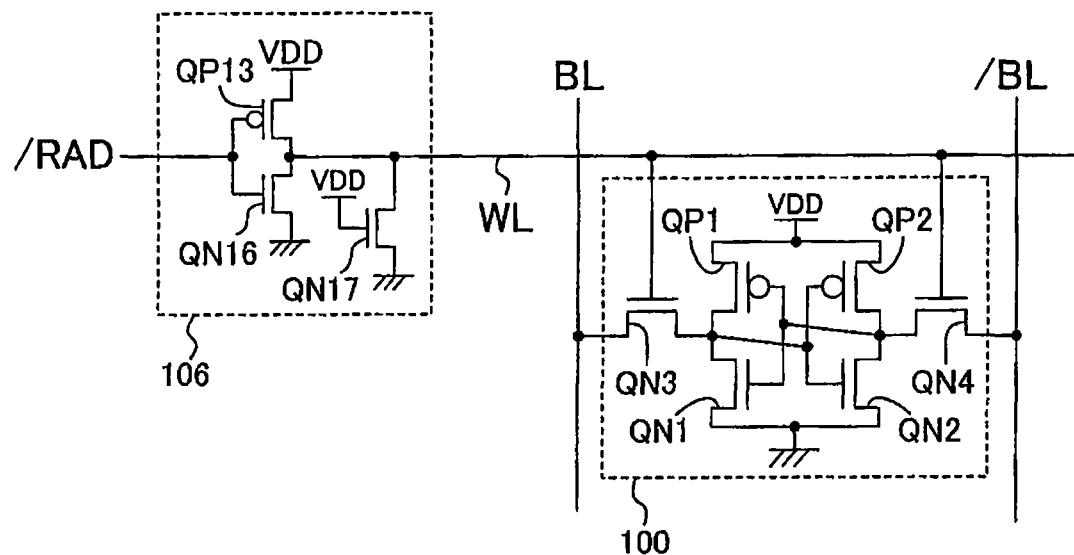


图 11

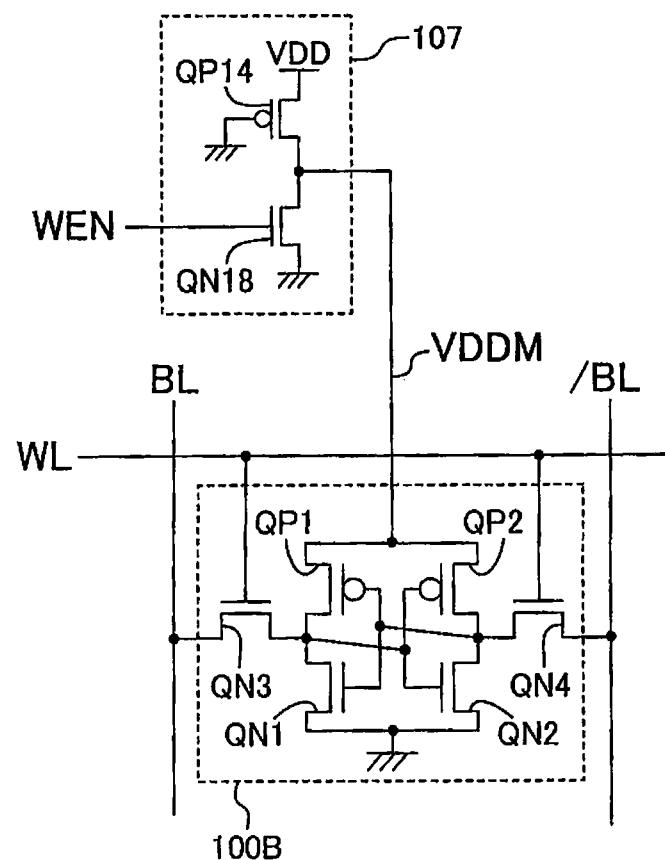


图 12

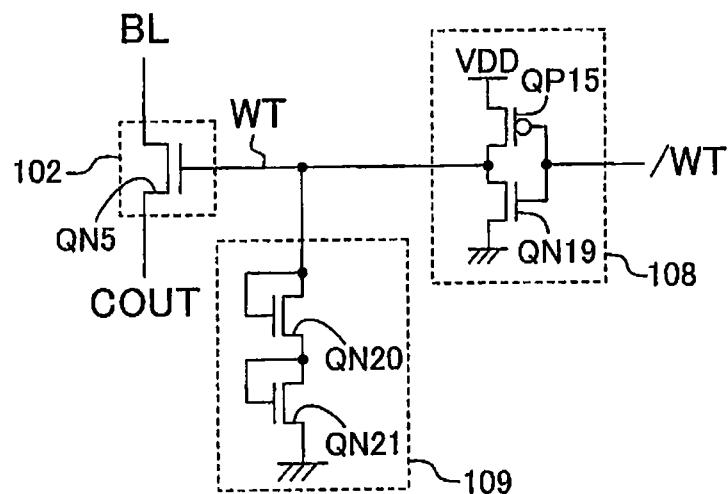


图 13

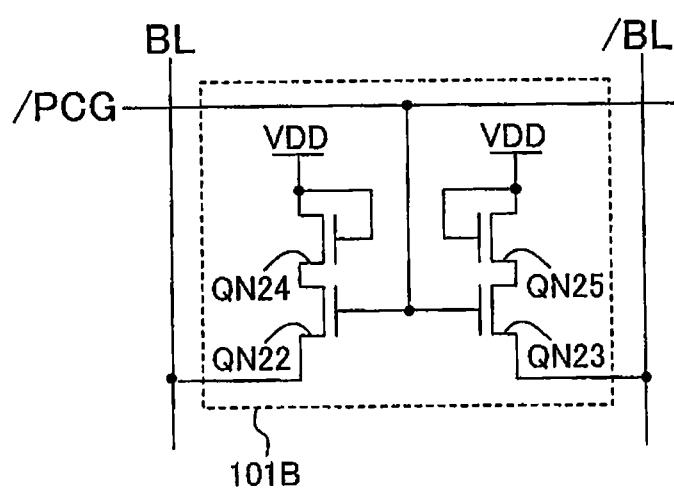


图 14