



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0010283
(43) 공개일자 2017년01월26일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/32 (2016.01)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3266 (2013.01)
(21) 출원번호 10-2015-0101934
(22) 출원일자 2015년07월17일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
박준현
경기도 수원시 권선구 권선로694번길 25 202동
501호 (권선동, 수원권선SKVIEW)
신경주
경기도 화성시 영통로27번길 53 205동 602호 (반
월동, 신영통현대2차아파트)
(74) 대리인
특허법인 고려

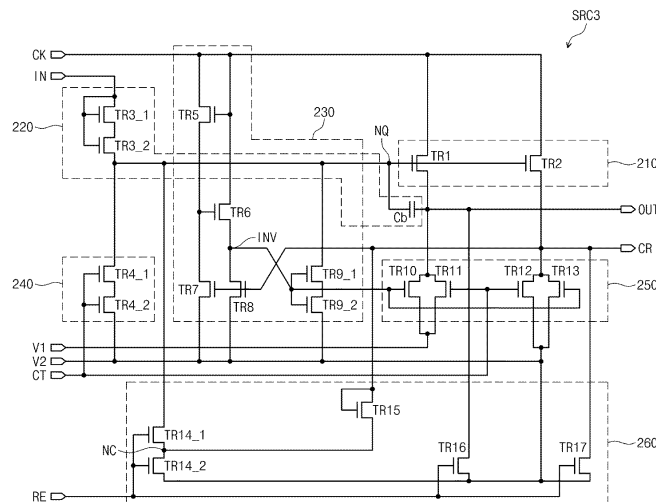
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 게이트 구동 회로 및 이를 갖는 표시 장치

(57) 요약

표시 장치의 게이트 구동 회로는, 표시패널의 게이트 라인들에 게이트 신호들을 제공하는 구동 스테이지들을 포함한다. 상기 구동 스테이지들 중 k번째(여기서 k는 2 이상의 자연수) 구동 스테이지는, 제1 노드의 전압에 응답하여 k번째 게이트 신호 및 k번째 캐리 신호를 출력하는 출력부, 상기 제1 노드의 전위를 제어하는 제어부, k+1 번째 캐리 신호에 응답하여 상기 k번째 게이트 신호 및 상기 k번째 캐리 신호를 접지 전압으로 풀다운하는 풀다운부, 및 리셋 신호에 응답하여 상기 제1 노드의 전압을 상기 접지 전압으로 리셋하는 리셋부를 포함하며, 상기 리셋부는, 상기 k번째 게이트 신호 및 상기 k번째 캐리 신호 중 어느 하나를 피드백 신호로 수신한다.

대표도



(52) CPC특허분류

G09G 3/3677 (2013.01)

G09G 2320/0214 (2013.01)

명세서

청구범위

청구항 1

표시패널의 게이트 라인들에 게이트 신호들을 제공하는 구동 스테이지들을 포함하는 게이트 구동회로에 있어서, 상기 구동 스테이지들 중 k번째(여기서 k는 2 이상의 자연수) 구동 스테이지는,

제1 노드의 전압에 응답하여 k번째 게이트 신호 및 k번째 캐리 신호를 출력하는 출력부;

상기 제1 노드의 전위를 제어하는 제어부;

k+1번째 캐리 신호에 응답하여 상기 k번째 게이트 신호 및 상기 k번째 캐리 신호를 접지 전압으로 풀다운하는 풀다운부; 및

리셋 신호에 응답하여 상기 제1 노드의 전압을 상기 접지 전압으로 리셋하는 리셋부를 포함하되,

상기 리셋부는, 상기 k번째 게이트 신호 및 상기 k번째 캐리 신호 중 어느 하나를 피드백 신호로 수신하는 특징으로 하는 게이트 구동 회로.

청구항 2

제 1 항에 있어서,

상기 리셋부는,

상기 제1 노드와 연결된 제1 전극, 연결 노드와 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제1 리셋 트랜지스터; 및

상기 연결 노드와 연결된 제1 전극, 상기 접지 전압과 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제2 리셋 트랜지스터를 포함하되;

상기 피드백 신호는 상기 연결 노드로 제공되는 것을 특징으로 하는 게이트 구동 회로.

청구항 3

제 2 항에 있어서,

상기 리셋부는,

상기 k번째 게이트 신호와 연결된 제1 전극, 상기 연결 노드와 연결된 제2 전극 및 상기 k번째 게이트 신호와 연결된 제어 전극을 포함하는 피드백 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동 회로.

청구항 4

제 2 항에 있어서,

상기 리셋부는,

상기 k번째 캐리 신호와 연결된 제1 전극, 상기 연결 노드와 연결된 제2 전극 및 상기 k번째 캐리 신호와 연결된 제어 전극을 포함하는 피드백 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동 회로.

청구항 5

제 1 항에 있어서,

상기 리셋부는,

상기 k번째 게이트 신호와 연결된 제1 전극, 상기 접지 전압과 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제3 리셋 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동 회로.

청구항 6

제 1 항에 있어서,

상기 리셋부는,

상기 k번째 캐리 신호와 연결된 제1 전극, 상기 접지 전압과 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제4 리셋 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동 회로.

청구항 7

제 1 항에 있어서,

상기 출력부는,

클럭 신호를 수신하는 제1 전극, 상기 클럭 신호에 근거하여 생성된 상기 k번째 게이트 신호를 출력하는 제2 전극 및 상기 제1 노드와 연결된 제어 전극을 포함하는 제1 출력 트랜지스터; 및

상기 클럭 신호를 수신하는 제1 전극, 상기 클럭 신호에 근거하여 생성된 상기 k번째 캐리 신호를 출력하는 제2 전극 및 상기 제1 노드와 연결된 제어 전극을 포함하는 제2 출력 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동 회로.

청구항 8

제 1 항에 있어서,

상기 제어부는,

상기 k번째 게이트 신호가 출력되기 이전에, 상기 k-1번째 캐리 신호에 응답하여 제1 제어 신호를 상기 제1 노드에 출력하는 것을 특징으로 하는 게이트 구동 회로.

청구항 9

제 8 항에 있어서,

상기 제어부는,

상기 k-1번째 캐리 신호와 상기 제1 노드 사이에 직렬로 순차적으로 연결되고, 각각의 제어 전극이 상기 k-1번째 캐리 신호와 연결된 제1 및 제2 제어 트랜지스터들을 포함하는 게이트 구동회로.

청구항 10

제 9 항에 있어서,

상기 k번째 캐리 신호와 상기 제1 출력 트랜지스터 및 상기 제2 출력 트랜지스터 사이의 연결 노드 사이에 다이오드 접속된 제3 제어 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동 회로.

청구항 11

제 1 항에 있어서,

상기 방전부는,

상기 제1 노드와 상기 접지 전압 사이에 직렬로 순차적으로 연결되고, 각각의 제어 전극이 k+1번째 캐리 신호와 연결된 제1 및 제2 방전 트랜지스터들을 포함하는 게이트 구동 회로.

청구항 12

제 1 항에 있어서,

상기 리셋부는,

상기 제1 노드와 연결 노드 사이에 다이오드 연결된 제1 리셋 트랜지스터; 및

상기 연결 노드와 연결된 제1 전극, 상기 접지 전압과 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극

을 포함하는 제2 리셋 트랜지스터를 포함하되;

상기 피드백 신호는 상기 연결 노드로 제공되는 것을 특징으로 하는 게이트 구동 회로.

청구항 13

영상을 표시하는 복수의 픽셀들, 상기 복수의 픽셀들을 구동하기 위한 게이트 신호들을 수신하는 복수의 게이트 라인들, 데이터 신호들을 수신하는 복수의 데이터 라인들을 포함하는 표시패널;

상기 표시패널 상에 구비되고, 상기 게이트 신호들을 상기 복수의 게이트 라인들에 공급하는 게이트 구동회로; 및

상기 데이터 신호들을 상기 복수의 데이터 라인들에 공급하는 데이터 구동회로를 포함하고,

상기 게이트 구동회로는 상기 게이트 라인들에 상기 게이트 신호들을 제공하는 구동 스테이지들을 포함하며, 상기 구동 스테이지들 중 k번째(여기서 k는 2 이상의 자연수) 구동 스테이지는,

제1 노드의 전압에 응답하여 k번째 게이트 신호 및 k번째 캐리 신호를 출력하는 출력부;

상기 제1 노드의 전위를 제어하는 제어부;

k+1번째 캐리 신호에 응답하여 상기 k번째 게이트 신호 및 상기 k번째 캐리 신호를 접지 전압으로 풀다운하는 풀다운부; 및

리셋 신호에 응답하여 상기 제1 노드의 전압을 상기 접지 전압으로 리셋하는 리셋부를 포함하되,

상기 리셋부는, 상기 k번째 게이트 신호 및 상기 k번째 캐리 신호 중 어느 하나를 피드백 신호로 수신하는 특징으로 하는 표시 장치.

청구항 14

제 13 항에 있어서,

상기 리셋부는,

상기 제1 노드와 연결된 제1 전극, 연결 노드와 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제1 리셋 트랜지스터; 및

상기 연결 노드와 연결된 제1 전극, 상기 접지 전압과 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제2 리셋 트랜지스터를 포함하되;

상기 피드백 신호는 상기 연결 노드로 제공되는 것을 특징으로 하는 표시 장치.

청구항 15

제 14 항에 있어서,

상기 리셋부는,

상기 k번째 게이트 신호와 연결된 제1 전극, 상기 연결 노드와 연결된 제2 전극 및 상기 k번째 게이트 신호와 연결된 제어 전극을 포함하는 피드백 트랜지스터를 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 16

제 14 항에 있어서,

상기 리셋부는,

상기 k번째 캐리 신호와 연결된 제1 전극, 상기 연결 노드와 연결된 제2 전극 및 상기 k번째 캐리 신호와 연결된 제어 전극을 포함하는 피드백 트랜지스터를 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 17

제 13 항에 있어서,

상기 리셋부는,

상기 k번째 게이트 신호와 연결된 제1 전극, 상기 접지 전압과 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제3 리셋 트랜지스터를 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 18

제 13 항에 있어서,

상기 리셋부는,

상기 k번째 캐리 신호와 연결된 제1 전극, 상기 접지 전압과 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제4 리셋 트랜지스터를 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 19

제 13 항에 있어서,

상기 게이트 구동 회로는 복수의 산화물 반도체 트랜지스터들을 포함하는 것을 특징으로 하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명의 게이트 구동 회로 및 이를 갖는 표시 장치에 관한 것으로, 특히, 표시 품질을 개선할 수 있는 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 복수 개의 게이트 라인들, 복수 개의 데이터 라인들, 복수 개의 게이트 라인들과 복수 개의 데이터 라인들에 연결된 복수 개의 화소들을 포함한다. 표시 장치는 복수 개의 게이트 라인들에 게이트 신호들을 제공하는 게이트 구동 회로 및 복수 개의 데이터 라인들에 데이터 신호들을 출력하는 데이터 구동 회로를 포함한다.

[0003] 게이트 구동 회로는 복수 개의 구동 스테이지 회로들(이하, 구동 스테이지들)을 포함하는 쉬프트 레지스터를 포함한다. 복수 개의 구동 스테이지들은 복수 개의 게이트 라인들에 대응하는 게이트 신호를 각각 출력한다. 복수 개의 구동 스테이지들 각각은 유기적으로 연결된 복수 개의 트랜지스터들을 포함한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 산화물 반도체 트랜지스터를 채용하는 경우 제1 노드에서의 누설 전류를 방지하기 위한 게이트 구동 회로를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 리셋부를 포함하는 게이트 구동 회로의 구동 품질을 향상시킬 수 있는 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 게이트 구동 회로는 표시패널의 게이트 라인들에 게이트 신호들을 제공하는 구동 스테이지들을 포함한다. 상기 구동 스테이지들 중 k번째(여기서 k는 2 이상의 자연수) 구동 스테이지는, 제1 노드의 전압에 응답하여 k번째 게이트 신호 및 k번째 캐리 신호를 출력하는 출력부, 상기 제1 노드의 전위를 제어하는 제어부, k+1번째 캐리 신호에 응답하여 상기 k번째 게이트 신호 및 상기 k번째 캐리 신호를 접지 전압으로 풀다운하는 풀다운부 및 리셋 신호에 응답하여 상기 제1 노드의 전압을 상기 접지 전압으로 리셋하는 리셋부를 포함한다. 상기 리셋부는, 상기 k번째 게이트 신호 및 상기 k번째 캐리 신호 중 어느 하나를 피드백 신호로 수신한다.

[0007] 이 실시예에 있어서, 상기 리셋부는, 상기 제1 노드와 연결된 제1 전극, 연결 노드와 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제1 리셋 트랜지스터 및 상기 연결 노드와 연결된 제1 전극, 상기 접

지 전압과 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제2 리셋 트랜지스터를 포함한다. 상기 피드백 신호는 상기 연결 노드로 제공된다.

- [0008] 이 실시예에 있어서, 상기 리셋부는, 상기 k번째 게이트 신호와 연결된 제1 전극, 상기 연결 노드와 연결된 제2 전극 및 상기 k번째 게이트 신호와 연결된 제어 전극을 포함하는 피드백 트랜지스터를 더 포함한다.
- [0009] 이 실시예에 있어서, 상기 리셋부는, 상기 k번째 캐리 신호와 연결된 제1 전극, 상기 연결 노드와 연결된 제2 전극 및 상기 k번째 캐리 신호와 연결된 제어 전극을 포함하는 피드백 트랜지스터를 더 포함한다.
- [0010] 이 실시예에 있어서, 상기 리셋부는, 상기 k번째 게이트 신호와 연결된 제1 전극, 상기 접지 전압과 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제3 리셋 트랜지스터를 더 포함한다.
- [0011] 이 실시예에 있어서, 상기 리셋부는, 상기 k번째 캐리 신호와 연결된 제1 전극, 상기 접지 전압과 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제4 리셋 트랜지스터를 더 포함한다.
- [0012] 이 실시예에 있어서, 상기 출력부는, 클럭 신호를 수신하는 제1 전극, 상기 클럭 신호에 근거하여 생성된 상기 k번째 게이트 신호를 출력하는 제2전극 및 상기 제1 노드와 연결된 제어 전극을 포함하는 제1 출력 트랜지스터 및 상기 클럭 신호를 수신하는 제1 전극, 상기 클럭 신호에 근거하여 생성된 상기 k번째 캐리 신호를 출력하는 제2 전극 및 상기 제1 노드와 연결된 제어 전극을 포함하는 제2 출력 트랜지스터를 포함한다.
- [0013] 이 실시예에 있어서, 상기 제어부는, 상기 k번째 게이트 신호가 출력되기 이전에, 상기 k-1번째 캐리 신호에 응답하여 제1 제어 신호를 상기 제1 노드에 출력한다.
- [0014] 이 실시예에 있어서, 상기 제어부는, 상기 k-1번째 캐리 신호와 상기 제1 노드 사이에 직렬로 순차적으로 연결되고, 각각의 제어 전극이 상기 k-1번째 캐리 신호와 연결된 제1 및 제2 제어 트랜지스터들을 포함한다.
- [0015] 이 실시예에 있어서, 상기 k번째 캐리 신호와 상기 제1 출력 트랜지스터 및 상기 제2 출력 트랜지스터 사이의 연결 노드 사이에 다이오드 접속된 제3 제어 트랜지스터를 더 포함한다.
- [0016] 이 실시예에 있어서, 상기 방전부는, 상기 제1 노드와 상기 접지 전압 사이에 직렬로 순차적으로 연결되고, 각각의 제어 전극이 k+1번째 캐리 신호와 연결된 제1 및 제2 방전 트랜지스터들을 포함한다.
- [0017] 이 실시예에 있어서, 상기 리셋부는, 상기 제1 노드와 연결 노드 사이에 다이오드 연결된 제1 리셋 트랜지스터 및 상기 연결 노드와 연결된 제1 전극, 상기 접지 전압과 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제2 리셋 트랜지스터를 포함한다. 상기 피드백 신호는 상기 연결 노드로 제공된다.
- [0018] 본 발명의 다른 실시예에 따른 표시 장치는, 영상을 표시하는 복수의 픽셀들, 상기 복수의 픽셀들을 구동하기 위한 게이트 신호들을 수신하는 복수의 게이트 라인들, 데이터 신호들을 수신하는 복수의 데이터 라인들을 포함하는 표시패널, 상기 표시패널 상에 구비되고, 상기 게이트 신호들을 상기 복수의 게이트 라인들에 공급하는 게이트 구동회로 및 상기 데이터 신호들을 상기 복수의 데이터 라인들에 공급하는 데이터 구동회로를 포함한다. 상기 게이트 구동회로는 상기 게이트 라인들에 상기 게이트 신호들을 제공하는 구동 스테이지들을 포함하며, 상기 구동 스테이지들 중 k번째(여기서 k는 2 이상의 자연수) 구동 스테이지는, 제1 노드의 전압에 응답하여 k번째 게이트 신호 및 k번째 캐리 신호를 출력하는 출력부, 상기 제1 노드의 전위를 제어하는 제어부, k+1번째 캐리 신호에 응답하여 상기 k번째 게이트 신호 및 상기 k번째 캐리 신호를 접지 전압으로 풀다운하는 풀다운부 및 리셋 신호에 응답하여 상기 제1 노드의 전압을 상기 접지 전압으로 리셋하는 리셋부를 포함한다. 상기 리셋부는, 상기 k번째 게이트 신호 및 상기 k번째 캐리 신호 중 어느 하나를 피드백 신호로 수신한다.
- [0019] 이 실시예에 있어서, 상기 리셋부는, 상기 제1 노드와 연결된 제1 전극, 연결 노드와 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제1 리셋 트랜지스터 및 상기 연결 노드와 연결된 제1 전극, 상기 접지 전압과 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제2 리셋 트랜지스터를 포함한다. 상기 피드백 신호는 상기 연결 노드로 제공된다.
- [0020] 이 실시예에 있어서, 상기 리셋부는, 상기 k번째 게이트 신호와 연결된 제1 전극, 상기 연결 노드와 연결된 제2 전극 및 상기 k번째 게이트 신호와 연결된 제어 전극을 포함하는 피드백 트랜지스터를 더 포함한다.
- [0021] 이 실시예에 있어서, 상기 리셋부는, 상기 k번째 캐리 신호와 연결된 제1 전극, 상기 연결 노드와 연결된 제2 전극 및 상기 k번째 캐리 신호와 연결된 제어 전극을 포함하는 피드백 트랜지스터를 더 포함한다.
- [0022] 이 실시예에 있어서, 상기 리셋부는, 상기 k번째 게이트 신호와 연결된 제1 전극, 상기 접지 전압과 연결된 제2

전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제3 리셋 트랜지스터를 더 포함한다.

[0023] 이 실시예에 있어서, 상기 리셋부는, 상기 k번째 캐리 신호와 연결된 제1 전극, 상기 접지 전압과 연결된 제2 전극 및 상기 리셋 신호와 연결된 제어 전극을 포함하는 제4 리셋 트랜지스터를 더 포함한다.

[0024] 이 실시예에 있어서, 상기 게이트 구동 회로는 복수의 산화물 반도체 트랜지스터들을 포함한다.

발명의 효과

[0025] 본 발명에 따르면, 리셋부 내 트랜지스터들의 고전압 스트레스를 경감시킴으로써 제1 노드의 누설 전류가 감소될 수 있다. 따라서 리셋부를 포함하는 게이트 구동 회로의 구동 품질을 향상시킬 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 표시장치의 평면도이다.

도 2는 도 1에 도시된 화소의 등가 회로도이다.

도 3은 도 1에 도시된 화소의 단면도이다.

도 4는 도 1에 도시된 게이트 구동 회로의 블록도이다.

도 5는 도 4에 도시된 구동 스테이지의 회로도이다.

도 6은 도 5에 도시된 구동 스테이지의 입/출력 신호의 파형도이다.

도 7은 도 5에 도시된 리셋부 내 제3 리셋 트랜지스터를 연결 노드에 연결하지 않았을 때 제1 노드 및 연결 노드의 전압 변화를 보여주는 도면이다.

도 8은 도 5에 도시된 리셋부 내 제3 리셋 트랜지스터를 연결 노드에 연결했을 때 제1 노드 및 연결 노드의 전압 변화를 보여주는 도면이다.

도 9는 본 발명의 다른 실시예에 따른 구동 스테이지의 회로도이다.

도 10은 본 발명의 또다른 실시예에 따른 구동 스테이지의 회로도이다.

도 11은 본 발명의 또다른 실시예에 따른 구동 스테이지의 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.

[0028] 상술한 본 발명이 해결하고자 하는 과제, 과제 해결 수단, 및 효과는 첨부된 도면과 관련된 실시 예들을 통해서 용이하게 이해될 것이다. 각 도면은 명확한 설명을 위해 일부가 간략하거나 과장되게 표현되었다. 각 도면의 구성 요소들에 참조 번호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 동일한 부호를 가지도록 도시되었음에 유의해야 한다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.

[0029] 도 1은 본 발명의 일 실시예에 따른 표시장치의 평면도이다.

[0030] 도 1을 참조하면, 본 발명의 일 실시예에 따른 표시장치(100)는 표시 패널(DP), 게이트 구동 회로(110) 및 데이터 구동 회로(120)를 포함한다.

[0031] 표시 패널(DP)은 특별히 한정되는 것은 아니며, 예를 들어, 액정 표시 패널(liquid crystal display panel), 유기발광 표시 패널(organic light emitting display panel), 전기영동 표시 패널(electrophoretic display panel), 및 일렉트로웨팅 표시 패널(electrowetting display panel)등의 다양한 표시 패널을 포함할 수 있다. 본 실시예에서는 표시 패널(DP)을 액정 표시 패널로 한정하여 설명하기로 한다. 한편, 표시 패널(DP)이 액정 표시 패널로 이루어진 경우, 표시장치(100)는 미 도시된 편광자, 백라이트 유닛 등을 더 포함할 수 있다.

[0032] 표시 패널(DP)은 제1 기판(DS1), 제1 기판(DS1)과 이격된 제2 기판(DS2) 및 제1 기판(DS1)과 제2 기판(DS2) 사이에 배치된 액정층을 포함한다. 평면 상에서, 표시 패널(DP)은 복수 개의 화소들(PX11~PXnm)이 배치된 표시 영역(DA) 및 표시영역(DA)을 둘러싸는 비표시영역(NDA)을 포함한다.

- [0033] 표시 패널(DP)은 제1 기판(DS1) 상에 배치된 복수 개의 게이트 라인들(GL1~GLn) 및 게이트 라인들(GL1~GLn)과 교차하는 복수 개의 데이터 라인들(DL1~DLm)을 포함한다. 게이트 라인들(GL1~GLn)은 게이트 구동 회로(110)에 연결된다. 데이터 라인들(DL1~DLm)은 데이터 구동 회로(120)에 연결된다.
- [0034] 도 1에는 화소들(PX11~PXnm) 중 일부만이 도시되었다. 화소들(PX11~PXnm)은 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인 및 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인에 각각 연결된다.
- [0035] 화소들(PX11~PXnm)은 표시하는 컬러에 따라 복수 개의 그룹들로 구분될 수 있다. 화소들(PX11~PXnm)은 주요색(primary color) 중 하나를 표시할 수 있다. 주요색은 레드, 그린, 블루, 및 화이트를 포함할 수 있다. 한편, 이에 제한되는 것은 아니고, 주요색은 옐로우, 시안, 마젠타 등 다양한 색상을 더 포함할 수 있다.
- [0036] 게이트 구동 회로(110) 및 데이터 구동 회로(120)는 신호 제어부(SC, 예컨대 타이밍 컨트롤러)로부터 제어 신호를 수신한다. 신호 제어부(SC)는 회로기판(MCB)에 실장될 수 있다. 신호 제어부(SC)는 외부의 그래픽 제어부(미 도시)로부터 영상 데이터 및 제어 신호를 수신한다. 제어 신호는 프레임 구별 신호인 수직 동기 신호, 행 구별 신호인 수평 동기 신호, 데이터가 들어오는 구역을 표시하기 위해 데이터가 출력되는 구간 동안만 하이(HIGH) 레벨을 갖는 데이터 인에이블 신호 및 메인 클록 신호 등을 포함할 수 있다.
- [0037] 신호 제어부(SC)는 영상 데이터를 데이터 구동 회로(120)의 사양에 맞도록 변환하고, 변환된 영상 데이터를 데이터 구동 회로(120)에 출력한다. 신호 제어부(SC)는 제어신호를 근거로 게이트 제어 신호 및 데이터 제어 신호를 생성한다. 신호 제어부(SC)는 게이트 제어 신호를 게이트 구동 회로(110)에 출력하고, 데이터 제어 신호를 데이터 구동 회로(120)에 출력한다.
- [0038] 게이트 구동 회로(110)는 게이트 제어 신호에 기초하여 게이트 신호들(GS1~GSn)을 생성하고, 게이트 신호들(GS1~GSn)을 게이트 라인들(GL1~GLn)에 출력한다. 게이트 구동 회로(110)는 박막공정을 통해 화소들(PX11~PXnm)과 동시에 형성될 수 있다. 본 발명의 일 예로, 게이트 구동 회로(110)는 비표시영역(NDA)에 ASG(Amorphous Silicon TFT Gate driver circuit) 형태 또는 OSG(Oxide Semiconductor TFT Gate driver circuit) 형태로 직접적으로 형성될 수 있다.
- [0039] 도 1에서는 게이트 라인들(GL1~GLn)의 일단들에 연결된 하나의 게이트 구동 회로(110)를 예시적으로 도시하였다. 그러나, 본 발명의 다른 실시예에서, 표시장치(100)는 2개의 게이트 구동 회로들을 포함할 수 있다. 2개의 게이트 구동 회로들 중 하나는 게이트 라인들(GL1~GLn)의 일단(예를 들어, 좌측단)들에 연결되고, 다른 하나는 게이트 라인들(GL1~GLn)의 다른 일단들(예를 들어, 우측단)에 연결될 수 있다. 또한, 2개의 게이트 구동 회로들 중 하나는 홀수번째 게이트 라인들에 연결되고, 다른 하나는 짝수번째 게이트 라인들에 연결될 수 있다.
- [0040] 데이터 구동 회로(120)는 신호 제어부(SC)로부터 수신한 데이터 제어 신호에 기초하여 신호 제어부(SC)로부터 제공된 영상 데이터에 따른 계조 전압들을 생성한다. 데이터 구동 회로(120)는 계조 전압들을 데이터 전압들로서 데이터 라인들(DL1~DLm)에 출력한다.
- [0041] 데이터 전압들은 기준 전압에 대하여 양의 값을 갖는 정극성 데이터 전압들 및/또는 음의 값을 갖는 부극성 데이터 전압들을 포함할 수 있다. 데이터 전압들의 극성은 한 프레임 단위로 반전될 수 있고, 한 프레임 내에서 일부 데이터 전압들은 정극성을 갖고, 나머지 일부 데이터 전압들은 부극성을 가질 수 있다.
- [0042] 데이터 구동 회로(120)는 구동 칩(122) 및 구동 칩(122)을 실장하는 연성회로기판(121)을 포함할 수 있다. 데이터 구동 회로(120)는 복수 개의 구동 칩들(122)과 복수 개의 연성 회로 기판들(121)을 포함할 수 있다. 연성 회로 기판들(121)은 메인 회로 기판(MCB)과 제1 기판(DS1)을 전기적으로 연결한다. 구동 칩들(122) 각각은 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들에 대응하는 데이터 신호들을 제공한다.
- [0043] 도 1은 데이터 구동 회로(120)가 칩 온 필름(Chip on Film) 형태로 표시장치(100)에 구비되는 구조를 예시적으로 도시하였다. 그러나 데이터 구동 회로(120)는 칩 온 글래스(COG: Chip on Glass) 방식으로 제1 기판(DS1)의 비표시 영역(NDA) 상에 배치될 수 있다.
- [0045] 도 2는 도 1에 도시된 화소의 등가 회로도이고, 도 3은 도 1에 도시된 화소의 단면도이다. 도 1에 도시된 화소들(PX11~PXnm) 각각은 도 2에 도시된 등가회로를 가질 수 있다.
- [0046] 도 2를 참조하면, 화소들(PX11~PXnm) 중 $i \times j$ 번째 화소(PXij)는 화소 트랜지스터(TR), 액정 커패시터(C1c), 및

스토리지 커패시터(Cst)를 포함한다. 이하, 본 명세서에서 트랜지스터는 박막 트랜지스터를 의미한다. 스토리지 커패시터(Cst)는 생략될 수 있다.

- [0047] 화소 트랜지스터(TR)는 i번째 게이트 라인(GLi)과 j번째 데이터 라인(DLj)에 전기적으로 연결된다. 화소 트랜지스터(TR)는 i번째 게이트 라인(GLi)으로부터 수신한 게이트 신호에 응답하여 j번째 데이터 라인(DLj)으로부터 수신한 데이터 신호에 대응하는 화소 전압을 출력한다.
- [0048] 액정 커패시터(Clc)는 화소 트랜지스터(TR)로부터 출력된 화소 전압을 충전한다. 액정 커패시터(Clc)에 충전된 전하량에 따라 액정층(LCL, 도 3 참조)에 포함된 액정 분자들의 배열이 변화된다. 액정 분자들의 배열에 따라 액정층으로 입사된 광의 투과율이 조절된다. 스토리지 커패시터(Cst)는 액정 커패시터(Clc)에 병렬로 연결된다. 스토리지 커패시터(Cst)는 액정 분자들의 배열을 일정한 구간 동안 유지시킨다.
- [0049] 도 2 및 도 3에 도시된 것과 같이, 화소 트랜지스터(TR)는 i번째 게이트 라인(GLi)에 연결된 제어 전극(GE), 제어 전극(GE)에 중첩하는 활성화부(AL), j번째 데이터 라인(DLj)에 연결된 제2 전극(SE) 및 제2 전극(SE)과 이격되어 배치된 제1 전극(DE)을 포함한다.
- [0050] 액정 커패시터(Clc)는 화소 전극(PE)과 공통 전극(CE)을 포함한다. 스토리지 커패시터(Cst)는 화소 전극(PE)과 화소 전극(PE)에 중첩하는 스토리지 라인(STL)의 일부분을 포함한다.
- [0051] 제1 기판(DS1)의 일면 상에 i번째 게이트 라인(GLi) 및 스토리지 라인(STL)이 배치된다. 제어 전극(GE)은 i번째 게이트 라인(GLi)으로부터 분기된다. i번째 게이트 라인(GLi) 및 스토리지 라인(STL)은 알루미늄(Al), 은(Ag), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등의 금속 또는 이들의 합금 등을 포함할 수 있다. i번째 게이트 라인(GLi) 및 스토리지 라인(STL)은 다층 구조, 예컨대 티타늄층과 구리층을 포함할 수 있다.
- [0052] 제1 기판(DS1)의 일면 상에 i번째 게이트 라인(GLi), 제어 전극(GE) 및 스토리지 라인(STL)을 커버하는 제1 절연층(10)이 배치된다. 제1 절연층(10)은 유기막이거나, 무기막일 수 있다. 제1 절연층(10)은 다층 구조, 예컨대 실리콘 나이트라이드층과 실리콘 옥사이드층을 포함할 수 있다.
- [0053] 제1 절연층(10) 상에 제어 전극(GE)과 중첩하도록 활성화부(AL)가 배치된다. 활성화부(AL)는 제1 절연층(10) 상에 순차적으로 배치되는 반도체층과 오믹 컨택층을 포함할 수 있다.
- [0054] 반도체층은 아몰포스 실리콘 또는 폴리 실리콘을 포함하거나, 금속 산화물 반도체를 포함할 수 있다. 오믹 컨택층은 반도체층보다 고밀도로 도핑된 도펀트를 포함할 수 있고, 서로 이격된 2개의 부분으로 구분될 수 있다.
- [0055] 활성화부(AL) 상에 제1 전극(DE)과 제2 전극(SE)이 배치된다. 제1 전극(DE)과 제2 전극(SE)은 서로 이격되어 배치되고, 제1 전극(DE)과 제2 전극(SE) 각각은 제어 전극(GE)에 부분적으로 중첩한다.
- [0056] 제1 절연층(10) 상에 활성화부(AL), 제1 전극(DE), 및 제2 전극(SE)을 커버하는 제2 절연층(20)이 배치된다. 제2 절연층(20)은 유기막이거나, 무기막일 수 있다. 제2 절연층(20)은 다층 구조, 예컨대 실리콘 나이트라이드층과 실리콘 옥사이드층을 포함할 수 있다.
- [0057] 제2 절연층(20) 상에 제3 절연층(30)이 배치된다. 제3 절연층(30)은 평탄면을 제공한다. 제3 절연층(30)은 유기물을 포함할 수 있다.
- [0058] 제3 절연층(30) 상에 화소 전극(PE)이 배치된다. 화소 전극(PE)은 제2 절연층(20) 및 제3 절연층(30)을 관통하는 컨택홀(CH)을 통해 제1 전극(DE)에 연결된다. 제3 절연층(30) 상에 화소 전극(PE)을 커버하는 하부 배향막(미 도시)이 배치될 수 있다.
- [0059] 제2 기판(DS2)의 일면 상에는 컬러필터층(CF)이 배치된다. 컬러필터층(CF) 상에 공통 전극(CE)이 배치된다. 공통 전극(CE)에는 기준 전압이 인가된다. 기준 전압과 화소 전압과 다른 값을 갖는다. 공통 전극(CE) 상에 공통 전극(CE)을 커버하는 상부 배향막(미 도시)이 배치될 수 있다. 컬러 필터층(CF)과 공통 전극(CE) 사이에 평탄화를 위한 절연 물질의 오버 코팅층(미 도시)이 배치될 수 있다.
- [0060] 액정층(LCL)을 사이에 두고 배치된 화소 전극(PE)과 공통 전극(CE)은 액정 커패시터(Clc)를 형성한다. 또한, 제1 절연층(10), 제2 절연층(20), 및 제3 절연층(30)을 사이에 두고 배치된 화소 전극(PE)과 스토리지 라인(STL)의 일부분은 스토리지 커패시터(Cst)를 형성한다. 스토리지 라인(STL)은 화소 전압과 다른 전위를 갖는 스토리지 전압을 수신한다. 스토리지 전압은 기준 전압과 동일한 전위를 가질 수 있다.

- [0061] 한편, 도 3에 도시된 화소(PX_{ij})의 단면은 하나의 예시에 불과하다. 도 3에 도시된 것과 달리, 컬러 필터층(CF) 및 공통 전극(CE) 중 적어도 어느 하나는 제1 기관(DS1) 상에 배치될 수 있다. 다시 말해, 본 실시예에 따른 액정 표시 패널은 VA(Vertical Alignment)모드, PVA(Patterned Vertical Alignment) 모드, IPS(in-plane switching) 모드 또는 FFS(fringe-field switching) 모드, PLS(Plane to Line Switching) 모드 등의 화소를 포함할 수 있다.
- [0063] 도 4는 도 1에 도시된 게이트 구동 회로의 블록도이다.
- [0064] 도 4를 참조하면, 게이트 구동 회로(110)는 복수 개의 구동 스테이지들(SRC1~SRCn)을 포함한다. 구동 스테이지들(SRC1~SRCn)은 서로 종속적으로 연결되어 순차적으로 구동된다. 게이트 구동 회로(110)는 더미 스테이지(SRCn+1)를 더 포함할 수 있다.
- [0065] 본 실시예에서, 구동 스테이지들(SRC1~SRCn)은 게이트 라인들(GL1~GLn)에 각각 연결되어, 게이트 라인들(GL1~GLn)에 게이트 신호들을 각각 제공한다.
- [0066] 구동 스테이지들(SRC1~SRCn) 각각은 출력 단자(OUT), 캐리 단자(CR), 입력 단자(IN), 제어 단자(CT), 클럭 단자(CK), 제1 전압 입력 단자(V1), 제2 전압 입력 단자(V2) 및 리셋 단자(RE)를 포함한다. 더미 스테이지(SRC_D)는 구동 스테이지들(SRC1~SRCn)과 동일한 회로 구성을 가질 수 있고, 구동 스테이지들과 동일한 입/출력 단자를 구비할 수 있다. 따라서, 이하 구동 스테이지들(SRC1~SRCn)에 대해서 설명하고, 더미 스테이지(SRC_D)의 구체적인 구성에 대한 설명은 생략한다.
- [0067] 구동 스테이지들(SRC1~SRCn) 각각의 출력 단자(OUT)는 복수 개의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인에 연결된다. 구동 스테이지들(SRC1~SRCn)로부터 생성된 게이트 신호들은 출력 단자들(OUT)을 통해 게이트 라인들(GL1~GLn)에 제공한다.
- [0068] 구동 스테이지들(SRC1~SRCn) 각각의 캐리 단자(CR)는 해당 구동 스테이지 다음에 구동되는 다음 구동 스테이지의 입력 단자(IN)에 전기적으로 연결된다. 구동 스테이지들(SRC1~SRCn) 각각의 캐리 단자(CR)는 캐리 신호를 출력한다.
- [0069] 구동 스테이지들(SRC1~SRCn) 각각의 입력 단자(IN)는 해당 구동 스테이지 이전 스테이지의 캐리 단자(CR)에 전기적으로 연결된다. 예컨대, 3번째 구동 스테이지(SRC3)의 입력 단자(IN)는 2번째 구동 스테이지들(SRC2)의 캐리 단자(CR)로부터 출력된 2번째 캐리 신호를 수신한다. 첫번째 스테이지(SRC1)의 입력 단자(IN)는 수직 개시 신호(STV)를 수신할 수 있다. 수직 개시 신호(STV)는 도 1에 도시된 신호 제어부(SC)로부터 게이트 구동 회로(110)로 공급되는 게이트 제어 신호에 포함된 신호이다.
- [0070] 구동 스테이지들(SRC1~SRCn) 각각의 제어 단자(CT)는 다음 구동 스테이지의 캐리 단자(CR)에 전기적으로 연결된다. 예컨대, 3번째 구동 스테이지(SRC3)의 제어 단자(CT)는 4번째 구동 스테이지(SRC4)의 캐리 단자(CR)로부터 출력된 4번째 캐리 신호를 수신한다. 더미 구동 스테이지(SRCn+1)의 제어 단자(CT)에는 수직 개시 신호(STV)를 수신할 수 있다.
- [0071] 구동 스테이지들(SRC1~SRCn) 각각의 클럭 단자(CK)는 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB) 중 어느 하나를 수신한다. 구동 스테이지들(SRC1~SRCn) 중 홀수 번째 구동 스테이지들(SRC1, SRC3)의 클럭 단자들(CK)은 제1 클럭 신호(CKV)를 수신할 수 있고, 짝수 번째 구동 스테이지들(SRC2, SRCn)의 클럭 단자들(CK)은 제2 클럭 신호(CKVB)를 수신할 수 있다. 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB)는 위상이 다른 신호일 수 있다.
- [0072] 구동 스테이지들(SRC1~SRCn) 각각의 제1 전압 입력 단자(V1)는 제1 접지 전압(VSS1)을 수신하고, 제2 전압 입력 단자(V2)는 제2 접지 전압(VSS2)을 수신한다. 제2 접지 전압(VSS2)은 제1 접지 전압(VSS1)보다 낮은 전압 레벨을 가질 수 있다.
- [0073] 본 발명의 일 실시예에서, 구동 스테이지들(SRC1~SRCn) 각각은 그 회로 구성에 따라 출력 단자(OUT), 입력 단자(IN), 캐리 단자(CR), 제어 단자(CT), 클럭 단자(CK), 제1 전압 입력 단자(V1), 및 제2 전압 입력 단자(V2) 중 어느 하나가 생략되거나, 다른 단자들이 더 포함될 수 있다. 예컨대, 제1 전압 입력 단자(V1), 및 제2 전압 입력 단자(V2) 중 어느 하나는 생략될 수 있다. 또한, 구동 스테이지들(SRC1~SRCn)의 연결관계도 다양하게 변경될 수 있다.
- [0074] 구동 스테이지들(SRC1~SRCn) 각각의 리셋 단자(RE)는 외부(예를 들어, 신호 제어부(SC, 도 1에 도시됨))로부터

공급되는 리셋 신호(RST)를 수신할 수 있다. 리셋 신호(RST)는 게이트 구동 회로(110)가 동작하는 구동 구간 이외의 수직 블랭크 구간동안 게이트 구동 회로(110)로부터 출력되는 게이트 신호들을 로우 레벨로 홀딩시키는 역할을 수행할 수 있다.

- [0075] 도 5는 도 4에 도시된 구동 스테이지의 회로도이고, 도 6은 도 5에 도시된 구동 스테이지의 입/출력 신호의 파형도이다.
- [0076] 도 5는 도 4에 도시된 구동 스테이지들(SRC1~SRCn) 중 3번째 구동 스테이지(SRC3)를 예시적으로 도시하였다. 도 5에 도시된 구동 스테이지들(SRC1~SRCn) 각각은 3번째 구동 스테이지(SRC3)와 동일한 회로 구성을 가질 수 있다.
- [0077] 도 5를 참조하면, 3번째 구동 스테이지(SRC3)는 출력부(210), 제어부(220), 인버터부(230), 풀다운부(250), 방전부(240) 및 리셋부(260)를 포함한다.
- [0078] 출력부(210)는 3번째 게이트 신호(GS3)를 출력하는 제1 출력 트랜지스터(TR1) 및 3번째 캐리 신호(CRS3)를 출력하는 제2 출력 트랜지스터(TR2)를 포함한다.
- [0079] 제1 출력 트랜지스터(TR1)는 클럭 단자(CK)를 통해 제1 클럭 신호(CKV)를 수신하는 제1 전극, 제1 노드(NQ)에 접속된 제어 전극, 및 3번째 게이트 신호(GS3)를 출력하는 출력단자(OUT)에 접속된 제2 전극을 포함한다. 제2 출력 트랜지스터(TR2)는 클럭 단자(CK)를 통해 제1 클럭 신호(CKV)를 수신하는 제1 전극, 제1 노드(NQ)에 연결된 제어 전극, 및 3번째 캐리 신호(CRS3)를 출력하는 캐리 단자(CR)에 접속된 제2 전극을 포함한다.
- [0080] 도 6에 도시된 것과 같이, 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB) 각각은 전압 레벨이 낮은 로우 구간들과 전압 레벨이 상대적으로 높은 하이 구간들을 포함한다. 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB)는 서로 위상이 반전된 신호들일 수 있다. 일 예로, 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB)는 180°의 위상차를 가질 수 있다. 따라서, 제1 클럭 신호(CKV)의 로우 구간은 제2 클럭 신호(CKVB)의 하이 구간에 대응하여 위치하고, 제1 클럭 신호(CKV)의 하이 구간은 제2 클럭 신호(CKVB)의 로우 구간에 대응하여 위치할 수 있다.
- [0081] 다시 도 5를 참조하면, 제어부(220)는 이전 구동 스테이지(이하, 2번째 구동 스테이지(SRC2))의 캐리 단자(CR)에 연결되어 이전 캐리 신호(이하, 2번째 캐리 신호(CRS2))에 응답하여 출력부(210)를 턴-온시킨다. 본 발명의 일 예로, 제어부(220)는 제1 제어 트랜지스터(TR3_1) 및 제2 제어 트랜지스터(TR3_2) 및 커패시터(Cb)를 포함할 수 있다.
- [0082] 제1 제어 트랜지스터(TR3_1) 및 제2 제어 트랜지스터(TR3_2)는 입력 단자(IN)와 제1 노드(NQ) 사이에 직렬로 순차적으로 연결된다. 제1 제어 트랜지스터(TR3_1)는 입력 단자(IN)에 연결되어 2번째 구동 스테이지(SRC2)의 2번째 캐리 신호(CRS2)를 공통으로 수신하는 제어 전극과 제1 전극을 포함한다. 제1 제어 트랜지스터(TR3_1)의 제2 전극은 제2 제어 트랜지스터(TR3_2)의 제1 전극과 연결된다. 제2 제어 트랜지스터(TR3_2)는 제1 제어 트랜지스터(TR3_1)의 제2 전극과 연결된 제1 전극, 제1 노드(NQ)와 연결된 제2 전극 및 입력 단자(IN)와 연결된 제어 전극을 포함한다. 커패시터(Cb)는 제1 출력 트랜지스터(TR1)의 제2 전극과 제1 출력 트랜지스터(TR1)의 제어 전극(즉, 제1 노드(NQ)) 사이에 접속된다.
- [0083] 도 5 및 도 6을 참조하면, 2번째 캐리 신호(CRS2)에 응답하여 제1 및 제2 제어 트랜지스터(TR3_1, TR3_2)가 턴-온되어, 제1 노드(NQ)의 전위가 상승한다. 이후, 커패시터(Cb)에 의해서 제1 및 제2 출력 트랜지스터(TR1, TR2)의 제어 전극(즉, 제1 노드(NQ))의 전위가 부스트-업(Boost-up)되면, 제1 및 제2 출력 트랜지스터(TR1, TR2)가 턴-온된다. 따라서, 하이 레벨의 3번째 캐리 신호(CRS3) 및 하이 레벨의 3번째 게이트 신호(GS3)가 캐리 단자(CR) 및 출력 단자(OUT)를 통해 각각 출력된다.
- [0084] 도 6에 도시된 바와 같이, 3번째 캐리 신호(CRS3)는 하이 구간(즉, 3번째 주사구간)(H3)에서 제1 하이레벨(Vh1)을 갖고, 3번째 스테이지(SRC3)의 제1 노드(NQ)는 3번째 주사구간(H3)에서 제2 하이레벨(Vh2)을 갖는다. 예를 들어, 제1 하이레벨(Vh1)은 대략 12V의 전위를 갖고, 제2 하이레벨(Vh2)은 제1 하이레벨(Vh1)보다 높은 대략 30V의 전위를 가질 수 있다.
- [0085] 풀다운부(250)는 다음 구동 스테이지(즉, 4번째 구동 스테이지(SRC4))의 캐리 신호(즉, 4번째 캐리 신호(CRS4))에 응답하여 3번째 캐리 신호(CRS3) 및 3번째 게이트 신호(GS3)의 전위를 다운시킨다. 본 발명의 일 예로, 풀다운부(250)는 2번째 캐리 신호(CRS4)에 응답하여 출력단자(OUT) 및 캐리 단자(CR)의 전위를 각각 다운시키기 위한 풀다운 트랜지스터들(TR10, TR11, TR12, TR13)을 포함한다.
- [0086] 제1 풀다운 트랜지스터(TR10)는 제1 출력 트랜지스터(TR1)의 제2 전극과 연결된 제1 전극, 제1 전압 입력 단자

(V1)에 접속된 제2 전극 및 인버터부(230) 내 인버터 노드(INV)에 접속된 제어 전극을 포함한다. 제2 풀다운 트랜지스터(TR11)는 제1 출력 트랜지스터(TR1)의 제2 전극과 연결된 제1 전극, 제1 전압 입력 단자(V1)에 접속된 제2 전극 및 제어 단자(CT)에 접속된 제어 전극을 포함한다.

[0087] 제3 풀다운 트랜지스터(TR12)는 제2 출력 트랜지스터(TR2)의 제2 전극과 연결된 제1 전극, 제2 전압 입력 단자(V2)에 접속된 제2 전극 및 제어 단자(CT)에 접속된 제어 전극을 포함한다. 제4 풀다운 트랜지스터(TR13)는 제2 출력 트랜지스터(TR2)의 제2 전극과 연결된 제1 전극, 제2 전압 입력 단자(V2)에 접속된 제2 전극 및 인버터부(230) 내 인버터 노드(INV)에 접속된 제어 전극을 포함한다. 제어단자(CT)는 4번째 구동 스테이지(SRC4)의 캐리 단자(CR)에 연결되어 4번째 캐리 신호(CRS4)를 수신한다.

[0088] 3번째 구동 스테이지(SRC3)의 인버터부(230)는 제1 내지 제6 인버터 트랜지스터들(TR5, TR6, TR7, TR8, TR9_1, TR9_2)을 포함한다. 제1 인버터 트랜지스터(TR5)는 클럭 단자(CK)에 공통적으로 연결된 제1 전극과 제어 전극, 및 제2 인버터 트랜지스터(TR7)의 제어 전극에 접속된 제2 전극을 포함한다. 제2 인버터 트랜지스터(TR6)는 클럭 단자(CK)에 접속된 제1 전극, 인버터 노드(INV)에 접속된 제2 전극 및 제1 인버터 트랜지스터(TR5)의 제2 전극과 연결된 제어 전극을 포함한다.

[0089] 제3 인버터 트랜지스터(TR7)는 제1 인버터 트랜지스터(TR6)의 제2 전극에 연결된 제1 전극, 캐리 단자(CR)에 연결된 제어 전극 및 제2 전압 입력 단자(V2)에 연결된 제2 전극을 포함한다. 제4 인버터 트랜지스터(TR8)는 인버터 노드(INV)에 연결된 제1 전극, 캐리 단자(CR)에 연결된 제어 전극, 및 제2 전압 입력 단자(V2)에 연결된 제2 전극을 포함한다. 본 발명의 다른 실시예로, 제3 및 제4 인버터 트랜지스터(TR7, TR8)의 제2 전극은 제1 전압 입력 단자(V1)에 연결될 수도 있다.

[0090] 제5 인버터 트랜지스터(TR9_1) 및 제6 인버터 트랜지스터(TR9_2)는 제1 노드(NQ)와 제2 전압 입력 단자(V2) 사이에 직렬로 순차적으로 연결된다. 제5 인버터 트랜지스터(TR9_1) 및 제6 인버터 트랜지스터(TR9_2) 각각의 제어 전극은 인버터 노드(INV)에 공통으로 연결된다.

[0091] 제1 및 제2 인버터 트랜지스터들(TR5, TR6)은 제1 클럭 신호(CKV)의 하이 구간에서 턴-온되어 제1 클럭 신호(CKV)의 하이 전압을 출력한다. 제3 및 제4 인버터 트랜지스터들(TR7, TR8)은 캐리 단자(CR)의 전위에 따라 동작할 수 있다. 즉, 도 6에 도시된 바와 같이, 캐리 단자(CR)로 출력되는 제3 캐리 신호(CRS3)가 하이 레벨인 3번째 주사 구간(H3) 동안 제3 및 제4 인버터 트랜지스터(TR7, TR8)가 턴-온되어 제1 및 제2 인버터 트랜지스터들(TR5, TR6)로부터 출력되는 제1 클럭 신호(CKV)의 하이 전압을 제2 접지 전압(VSS2)으로 다운시킨다. 3번째 주사 구간(H3) 이외의 구간에서 제3 및 제4 인버터 트랜지스터(TR7, TR8)는 턴-오프되어, 제1 및 제2 인버터 트랜지스터(TR5, TR6)로부터 출력되는 출력전압을 인버터 노드(INV)로 출력한다.

[0092] 따라서, 3번째 주사 구간(H3)에서 인버터 노드(INV)는 제2 접지 전압(VSS2)에 대응하는 로우 레벨을 갖고, 나머지 구간에서는 제1 클럭 신호(CKV)에 대응하는 신호레벨로 설정된다.

[0093] 다시 도 5 및 도 6을 참조하면, 방전부(240)는 다음 구동 스테이지(즉, 4번째 구동 스테이지(SRC4))의 4번째 캐리 신호(CRS4)에 응답하여 제1 노드(NQ)의 전위를 다운시키기 위한 제1 및 제2 방전 트랜지스터들(TR4_1, TR4_2)을 포함한다.

[0094] 제1 및 제2 방전 트랜지스터들(TR4_1, TR4_2)은 제1 노드(NQ)와 제2 전압 입력 단자(V2) 사이에 직렬로 연결된다. 제1 및 제2 방전 트랜지스터들(TR4_1, TR4_2)의 제어 전극들은 공통적으로 제어 단자(CT)에 접속된다. 구체적으로, 제1 방전 트랜지스터(TR4_1)는 제어단자(CT)에 접속되어 4번째 캐리 신호(CRS4)를 수신하는 제어 전극, 제1 노드(NQ)와 연결된 제1 전극 및 제2 전극을 포함한다. 제2 방전 트랜지스터(TR4_2)는 제어단자(CT)에 접속되어 4번째 캐리 신호(CRS4)를 수신하는 제어 전극, 제1 방전 트랜지스터(TR4_1)의 제2 전극에 연결된 제2 전극 및 제2 전압 입력 단자(V2)에 접속된 제2 전극을 포함한다. 따라서, 제1 및 제2 방전 트랜지스터들(TR4_1, TR4_2)은 4번째 구동 스테이지(SRC4)로부터 출력된 4번째 캐리 신호(CRS4)에 응답하여 제1 노드(NQ)를 제2 접지 전압(VSS2)으로 방전한다.

[0095] 본 발명의 일 실시예에서, 방전부(240)에서 제1 및 제2 방전 트랜지스터들(TR4_1, TR4_2) 중 어느 하나는 생략될 수 있다. 또한, 제1 및 제2 방전 트랜지스터들(TR4_1, TR4_2)은 제2 전압 입력단자(V2)가 아닌 제1 전압 입력단자(V1)에 접속될 수 있다.

[0096] 리셋부(260)는 제1 내지 제5 리셋 트랜지스터들(TR14_1, TR14_2, TR15, TR16, TR17)을 포함한다. 제1 리셋 트랜지스터(TR14_1)는 제1 노드(NQ)와 연결된 제1 전극, 연결 노드(NC)와 연결된 제2 전극, 리셋 단자(RE)를 통해 리셋 신호(RST)를 수신하는 제어 전극을 포함한다. 제2 리셋 트랜지스터(TR14_2)는 연결 노드(NC)와 연결된 제1

전극, 제2 전압 입력 단자(V2)와 연결된 제2 전극, 리셋 단자(RE)를 통해 리셋 신호(RST)를 수신하는 제어 전극을 포함한다.

- [0097] 제3 리셋 트랜지스터(TR15)는 캐리 단자(CR)와 공통으로 연결된 제1 전극과 제어 전극 및 연결 노드(NC)와 연결된 제2 전극을 포함한다. 제3 리셋 트랜지스터(TR15)는 캐리 단자(CR)로 출력되는 캐리 신호(CRS3)에 응답해서 제1 및 제2 리셋 트랜지스터들(TR14_1, TR14_2) 사이의 연결 노드(NC)를 캐리 신호(CRS3)에 연결한다. 즉, 제3 리셋 트랜지스터(TR15)를 통해 캐리 신호(CRS3)가 제1 및 제2 리셋 트랜지스터들(TR14_1, TR14_2) 사이의 연결 노드(NC)로 피드백된다.
- [0098] 제4 리셋 트랜지스터(TR16)는 출력 단자(OUT)와 연결된 제1 전극, 제2 전압 입력 단자(V2)와 연결된 제2 전극, 및 리셋 단자(RE)를 통해 리셋 신호(RST)를 수신하는 제어 전극을 포함한다.
- [0099] 제5 리셋 트랜지스터(TR17)는 캐리 단자(CR)와 연결된 제1 전극, 제2 전압 입력 단자(V2)와 연결된 제2 전극, 및 리셋 단자(RE)를 통해 리셋 신호(RST)를 수신하는 제어 전극을 포함한다.
- [0100] 수직 블랭크 구간(V_B)동안 게이트 라인들(GL1~GLn)은 로우 레벨로 유지되어야 하는데 정전기 등 여러가지 원인으로 인하여 캐리 단자(CR)로 출력되는 캐리 신호 및 출력 단자(OUT)로 출력되는 게이트 신호가 하이 레벨로 출력될 수 있다. 이러한 노이즈를 방지하기 위하여 수직 블랭크 구간(V_B) 동안 제1 노드(NQ), 출력 단자(OUT) 및 캐리 단자(CR)를 접지 전압 레벨로 디스차지하는 것이 바람직하다.
- [0101] 도 6에 도시된 바와 같이, 리셋 신호(RST)는 수직 블랭크 구간(V_B)에 하이 레벨로 활성화된다. 리셋 신호(RST)가 하이 레벨로 활성화되면, 제1 및 제2 리셋 트랜지스터들(TR14_1, TR14_2)은 제1 노드(NQ)를 제2 접지 전압(VSS2)으로 디스차지한다. 제4 리셋 트랜지스터(TR16)는 리셋 신호(RST)에 응답해서 출력 단자(OUT)를 제2 전압(VSS2)으로 디스차지한다. 제5 리셋 트랜지스터(TR17)는 리셋 신호(RST)에 응답해서 출력 단자(OUT)를 제2 전압(VSS2)으로 디스차지한다.
- [0102] 앞서 설명한 바와 같이, 이전 구동 스테이지(SRC2)의 캐리 신호(CRS2)가 하이 레벨로 천이한 후 클럭 신호(CLK)가 하이 레벨로 천이하면, 제1 및 제2 출력 트랜지스터들(TR1, TR2)의 제어 전극(즉, 제1 노드(NQ))의 전위가 제2 하이 레벨(Vh2)로 부스트-업된다. 제2 접지 전압(VSS2)이 -10V인 경우, 제1 리셋 트랜지스터(TR14_1)의 제1 전극 및 제2 리셋 트랜지스터(TR14_2)의 제2 전극 사이의 전압 차는 대략 40V로 된다. 이와 같이, 드레인 전극과 소스 전극의 전압 차가 큰 경우, 트랜지스터는 고전압 스트레스로 인한 드레슬드 전압 쉬프트 현상이 발생한다. 제1 리셋 트랜지스터(TR14_1) 및 제2 리셋 트랜지스터(TR14_2)에 드레슬드 전압 쉬프트 현상이 발생하는 경우 제1 리셋 트랜지스터(TR14_1) 및 제2 리셋 트랜지스터(TR14_2)를 통해 누설 전류가 흐르게 되고 이는 제1 노드(NQ)의 전압 레벨을 낮추는 결과를 초래할 수 있다.
- [0103] 도 5에 도시된 바와 같이, 제3 리셋 트랜지스터(TR15)는 캐리 단자(CR)의 캐리 신호(CRS3)를 제1 리셋 트랜지스터(TR14_1) 및 제2 리셋 트랜지스터(TR14_2) 사이의 연결 노드(NC)로 전달한다. 제1 노드(NQ)가 제2 하이 레벨(Vh2)로 부스트 업될 때 캐리 신호(CRS3)는 제1 하이 레벨(Vh1)이므로 제1 리셋 트랜지스터(TR14_1) 및 제2 리셋 트랜지스터(TR14_2) 사이의 연결 노드(NC)는 제1 하이 레벨(Vh1)인 12V로 설정된다. 그러므로 제1 리셋 트랜지스터(TR14_1)의 드레인-소스 전극 사이의 전압 차는 18V로 감소하고, 리셋 트랜지스터(TR14_2)의 드레인-소스 전극 사이의 전압 차는 22V로 감소한다. 이와 같이, 제1 리셋 트랜지스터(TR14_1) 및 제2 리셋 트랜지스터(TR14_2)의 고전압 스트레스 감소로 인해 제1 노드(NQ)의 누설 전류 문제는 감소될 수 있다.
- [0104] 한편, 캐리 단자(CR)의 3번째 캐리 신호(SRC3)는 3번째 주사구간(H3)에서 제1 하이 레벨(Vh1)로 구동된 후 로우 레벨로 천이한다. 3번째 캐리 신호(SRC3)가 로우 레벨일 때 제3 리셋 트랜지스터(TR15)는 턴 오프되므로 연결 노드(NC)는 플로팅 상태이다. 수직 블랭크 구간(V_B)에서 리셋 신호(RST)가 하이 레벨로 천이하면 제1 리셋 트랜지스터(TR14_1) 및 제2 리셋 트랜지스터(TR14_2)은 턴 온어서 제1 노드(NQ)의 전압을 제2 접지 전압(VSS2)으로 디스차지할 수 있다. 즉, 제3 리셋 트랜지스터(TR15)는 제1 리셋 트랜지스터(TR14_1) 및 제2 리셋 트랜지스터(TR14_2)의 리셋 동작에 영향을 주지 않는다.
- [0105] 도 5에 도시된 예에서, 제1 리셋 트랜지스터(TR14_1) 및 제2 리셋 트랜지스터(TR14_2)는 단일 트랜지스터로 구성되고, 단일 트랜지스터는 제1 전극 및 제2 전극 사이에 플로팅 금속을 포함하는 필드 릴랙세이션 트랜지스터(Field Relaxation Transistor; FRT)일 수 있다. 단일 트랜지스터의 제1 전극은 제1 노드(NQ)와 연결되고, 제2 전극은 제2 전압 입력 단자(V2)와 연결되며, 제어 단자는 리셋 단자(RE)와 연결된다. 또한 단일 트랜지스터의 플로팅 금속은 제3 리셋 트랜지스터(TR15)의 제2 전극과 연결될 수 있다.
- [0106] 다른 실시예에서, 제4 리셋 트랜지스터(TR16) 및 제5 리셋 트랜지스터(TR17) 각각은 필드 릴랙세이션 트랜지스

터(Field Relaxation Transistor; FRT)일 수 있다. 제4 리셋 트랜지스터(TR16) 및 제5 리셋 트랜지스터(TR17)가 필드 릴랙세이션 트랜지스터로 구성되는 경우, 제3 리셋 트랜지스터(TR15)의 제2 전극은 제4 리셋 트랜지스터(TR16)의 플로팅 금속 및 제5 리셋 트랜지스터(TR17)의 플로팅 금속에 공통으로 연결될 수 있다.

[0107] 또다른 실시예에서, 제4 리셋 트랜지스터(TR16)는 직렬로 연결된 2개의 트랜지스터들로 구성될 수 있다. 이 경우 직렬로 연결된 2개의 트랜지스터들의 연결 노드는 제3 리셋 트랜지스터(TR15)의 제2 전극과 연결될 수 있다. 마찬가지로 제5 리셋 트랜지스터(TR17)는 직렬로 연결된 2개의 트랜지스터들로 구성될 수 있다. 이 경우 직렬로 연결된 2개의 트랜지스터들의 연결 노드는 제3 리셋 트랜지스터(TR15)의 제2 전극과 연결될 수 있다.

[0109] 도 7은 도 5에 도시된 리셋부 내 제3 리셋 트랜지스터를 연결 노드에 연결하지 않았을 때 제1 노드 및 연결 노드의 전압 변화를 보여주는 도면이다.

[0110] 도 5 및 도 7을 참조하면, 제3 리셋 트랜지스터(TR15)를 제1 리셋 트랜지스터(TR14_1) 및 제2 리셋 트랜지스터(TR14_2) 사이의 연결 노드(NC)에 연결하지 않고 장시간 동작 후 제1 리셋 트랜지스터(TR14_1) 및 제2 리셋 트랜지스터(TR14_2)의 드레슬드 전압 쉬프트 현상이 발생한다. 따라서 제1 리셋 트랜지스터(TR14_1) 및 제2 리셋 트랜지스터(TR14_2)를 통한 누설 전류 증가로 인해 제1 노드(NQ)의 전압 레벨은 초기(t_1)에 비해 장시간 경과 후(t_2) 감소함을 알 수 있다. 특히, 장시간 경과 후(t_2), 제1 노드(NQ)의 전압 레벨이 낮아져서 제1 출력 트랜지스터(TR1) 및 제2 출력 트랜지스터(TR2)가 턴 온되지 못하는 경우 게이트 구동 회로(110)는 오동작하게 된다.

[0111] 도 8은 도 5에 도시된 리셋부 내 제3 리셋 트랜지스터를 연결 노드에 연결했을 때 제1 노드 및 연결 노드의 전압 변화를 보여주는 도면이다.

[0112] 도 5 및 도 8을 참조하면, 캐리 단자(CR)로 출력되는 3번째 캐리 신호(CRS3)가 제1 리셋 트랜지스터(TR14_1) 및 제2 리셋 트랜지스터(TR14_2)의 연결 노드(NC)에 반복적으로 제공됨에 따라서 연결 노드(NC)의 전압 레벨은 초기(t_1)보다 장시간 경과했을 때(t_2) 상승함을 알 수 있다.

[0113] 또한 제1 리셋 트랜지스터(TR14_1) 및 제2 리셋 트랜지스터(TR14_2)의 고전압 스트레스 현상을 제거함으로써 제1 노드(NQ)의 누설 전류가 감소한다. 그러므로 제1 노드(NQ)는 전압 레벨은 초기(t_1)와 장시간 경과 후(t_2) 크게 변함이 없다. 따라서 게이트 구동 회로(110)의 안정적 동작이 가능하다.

[0115] 도 9는 본 발명의 다른 실시예에 따른 구동 스테이지의 회로도이다. 이하, 도 5를 참조하여 설명한 구성과 중복되는 구성에 대한 상세한 설명은 생략한다.

[0116] 도 9를 참조하면, 구동 스테이지(SRC3a)는 도 5에 도시된 구동 스테이지(SRC3)와 리셋부(160a)의 구성이 다른 것을 제외하고, 동일한 구성을 갖는다. 리셋부(260a)에서, 제1 리셋 트랜지스터(TR14_1)는 제1 노드(NQ)에 연결된 제1 전극, 연결 노드(NC) 공통으로 연결된 제2 전극 및 제어 전극을 포함한다. 제2 리셋 트랜지스터(TR14_2)는 공통 노드와 연결된 제1 전극, 제2 전압 입력 단자(V2)와 연결된 제2 전극 및 리셋 단자(RE)와 연결된 제어 전극을 포함한다. 리셋 단자(RE)를 통해 수신되는 리셋 신호(RST)가 로우 레벨이고, 3번째 주사구간(H3) 동안에 연결 노드(NC)에 3번째 캐리신호(CRS3)가 제공된다. 그에 따라 3번째 주사구간(H3) 동안에 제1 및 제2 리셋 트랜지스터들(TR14_1, TR14_2)의 누설전류가 감소된다.

[0118] 도 10은 본 발명의 또다른 실시예에 따른 구동 스테이지의 회로도이다. 이하, 도 5를 참조하여 설명한 구성과 중복되는 구성에 대한 상세한 설명은 생략한다.

[0119] 도 10을 참조하면, 구동 스테이지(SRC3b)는 도 5에 도시된 구동 스테이지(SRC3)와 리셋부(160b)의 구성이 다른 것을 제외하고, 동일한 구성을 갖는다. 리셋부(260b)에서, 제3 리셋 트랜지스터(TR15)는 출력 단자(OUT)와 공통으로 연결된 제1 전극과 제어 전극 그리고 연결 노드(NC)와 연결된 제2 전극을 포함한다. 리셋 단자(RE)를 통해 수신되는 리셋 신호(RST)가 로우 레벨이고, 3번째 주사구간(H3) 동안에 연결 노드(NC)에 3번째 게이트 신호(GS3)가 제공된다. 그에 따라 3번째 주사구간(H3) 동안에 제1 및 제2 리셋 트랜지스터들(TR14_1, TR14_2)의 누설전류가 감소된다.

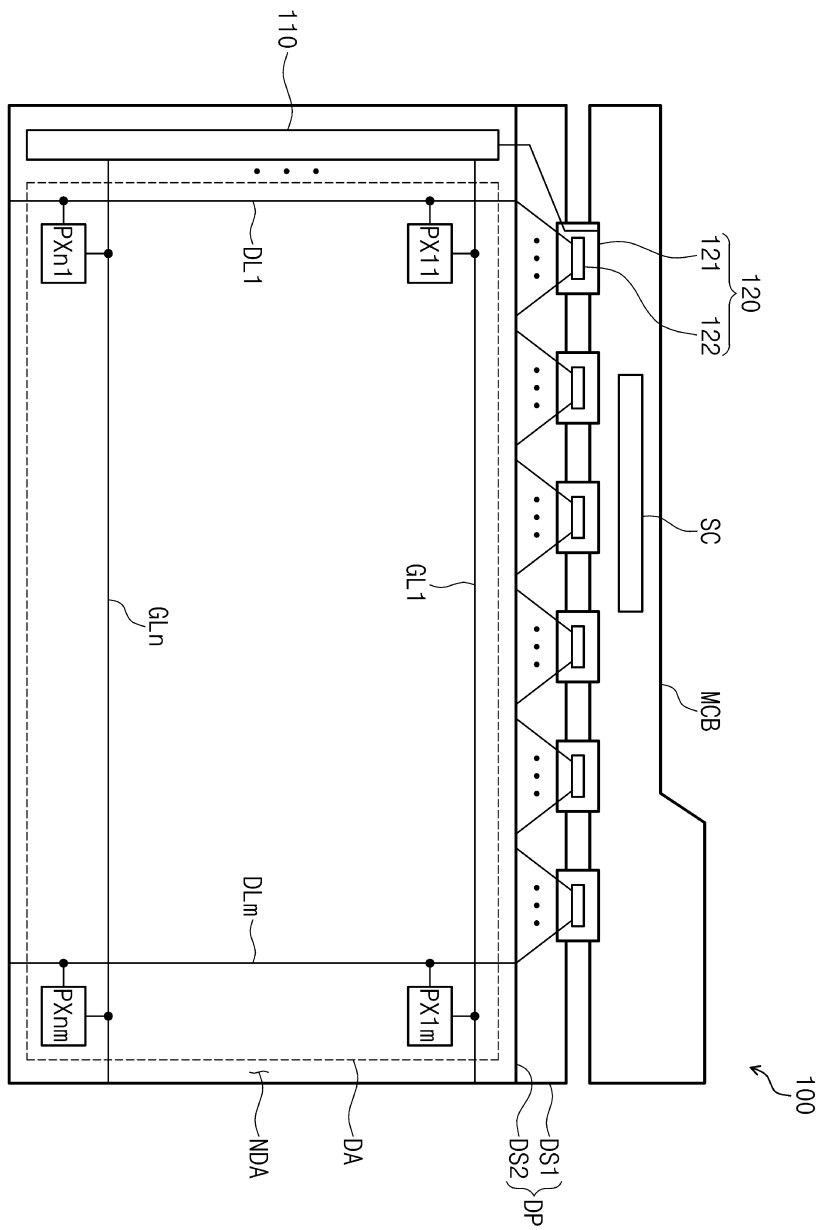
- [0121] 도 11은 본 발명의 또다른 실시예에 따른 구동 스테이지의 회로도이다. 이하, 도 5를 참조하여 설명한 구성과 중복되는 구성에 대한 상세한 설명은 생략한다.
- [0122] 도 11을 참조하면, 구동 스테이지(SRC3c)는 도 5에 도시된 구동 스테이지(SRC3)와 제어부(220c), 인버터부(230c) 및 방전부(240c)의 구성이 다른 것을 제외하고, 동일한 구성을 갖는다. 제어부(220c)는 제1 제어 트랜지스터(TR3_1), 제2 제어 트랜지스터(TR3_2) 및 제3 제어 트랜지스터(TR18)를 더 포함한다. 제3 제어 트랜지스터(TR18)는 캐리 단자(CR)에 공통으로 연결된 제1 전극과 제어 전극 그리고 제1 제어 트랜지스터(TR3_1)와 제2 제어 트랜지스터(TR3_2) 사이의 연결 노드에 연결된 제2 전극을 포함한다. 제3 제어 트랜지스터(TR18)의 제2 전극은 방전부(240c) 내 제1 방전 트랜지스터(TR4_1) 및 제2 방전 트랜지스터들(TR4_1, TR4_2) 사이의 연결 노드에 연결된다.
- [0123] 3번째 주사구간(H3) 동안에 제1 제어 트랜지스터(TR3_1)와 제2 제어 트랜지스터(TR3_2) 사이의 연결 노드에 3번째 캐리 신호(CRS3)가 제공된다. 그에 따라 3번째 주사구간(H3) 동안에 제1 제어 트랜지스터(TR3_1)와 제2 제어 트랜지스터(TR3_2) 사이의 연결 노드의 누설전류가 감소된다. 마찬가지로 3번째 주사구간(H3) 동안에 제1 방전 트랜지스터(TR4_1) 및 제2 방전 트랜지스터들(TR4_1, TR4_2) 사이의 연결 노드에 3번째 캐리 신호(CRS3)가 제공된다. 그에 따라 3번째 주사구간(H3) 동안에 제1 방전 트랜지스터(TR4_1) 및 제2 방전 트랜지스터들(TR4_1, TR4_2) 사이의 연결 노드의 누설전류가 감소된다.
- [0124] 인버터부(230c)는 도 5에 도시된 구동 스테이지(SRC3)의 인버터부(230)의 구성에 트랜지스터(TR19)를 더 포함한다. 트랜지스터(TR19)는 캐리 단자(CR)에 공통으로 연결된 제1 전극과 제어 전극 그리고 제5 인버터 트랜지스터(TR9_1) 및 제6 인버터 트랜지스터(TR9_2) 사이의 연결 노드에 연결된 제2 전극을 포함한다.
- [0125] 3번째 주사구간(H3) 동안에 제5 인버터 트랜지스터(TR9_1) 및 제6 인버터 트랜지스터(TR9_2) 사이의 연결 노드에 3번째 캐리 신호(CRS3)가 제공된다. 그에 따라 3번째 주사구간(H3) 동안에 제5 인버터 트랜지스터(TR9_1) 및 제6 인버터 트랜지스터(TR9_2) 사이의 연결 노드의 누설전류가 감소된다.
- [0126] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

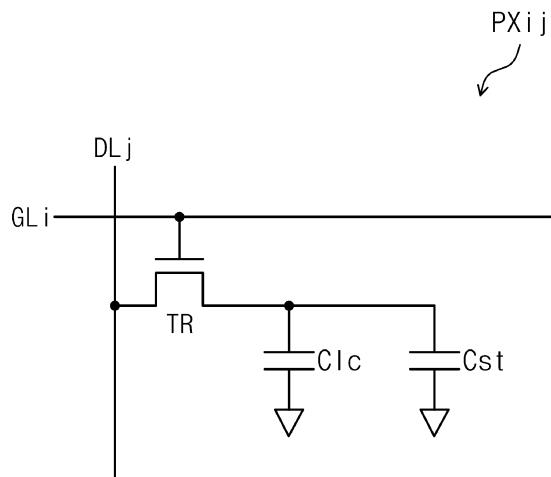
- [0127] 100: 표시 장치
- 110 : 게이트 구동회로
- 120 : 데이터 구동회로
- DP : 표시패널
- SC : 신호 제어부

도면

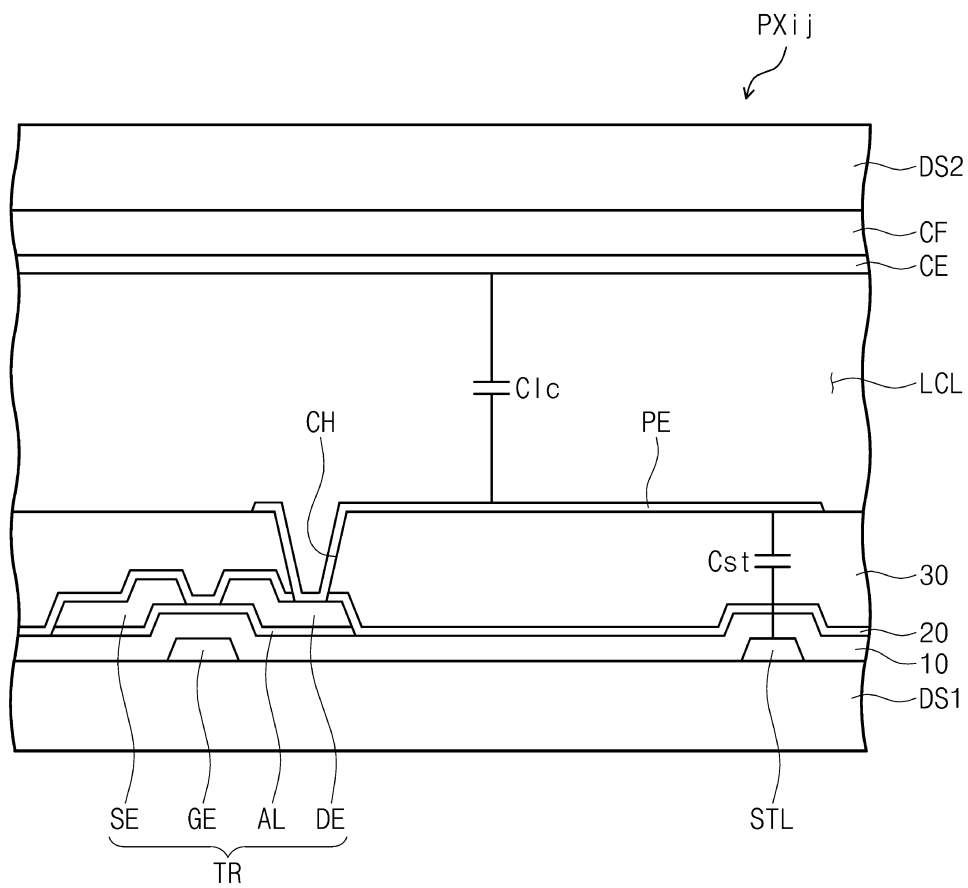
도면1



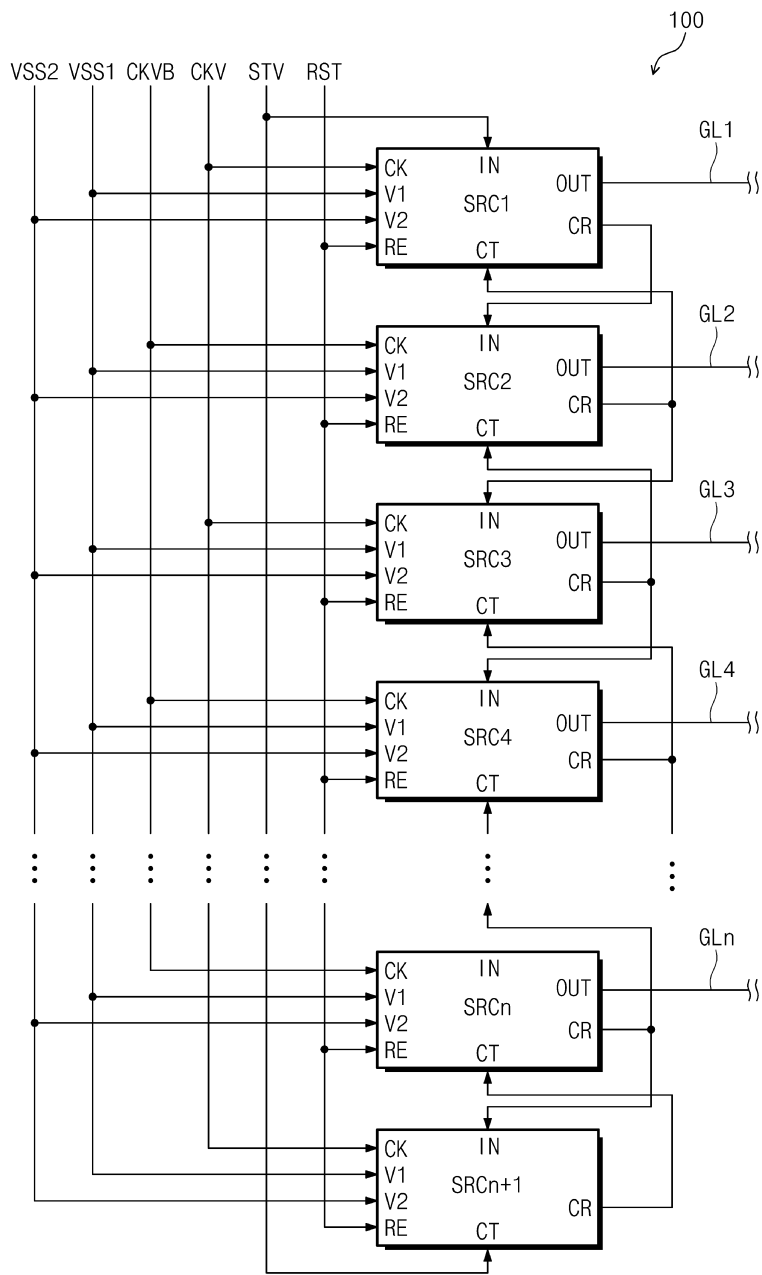
도면2



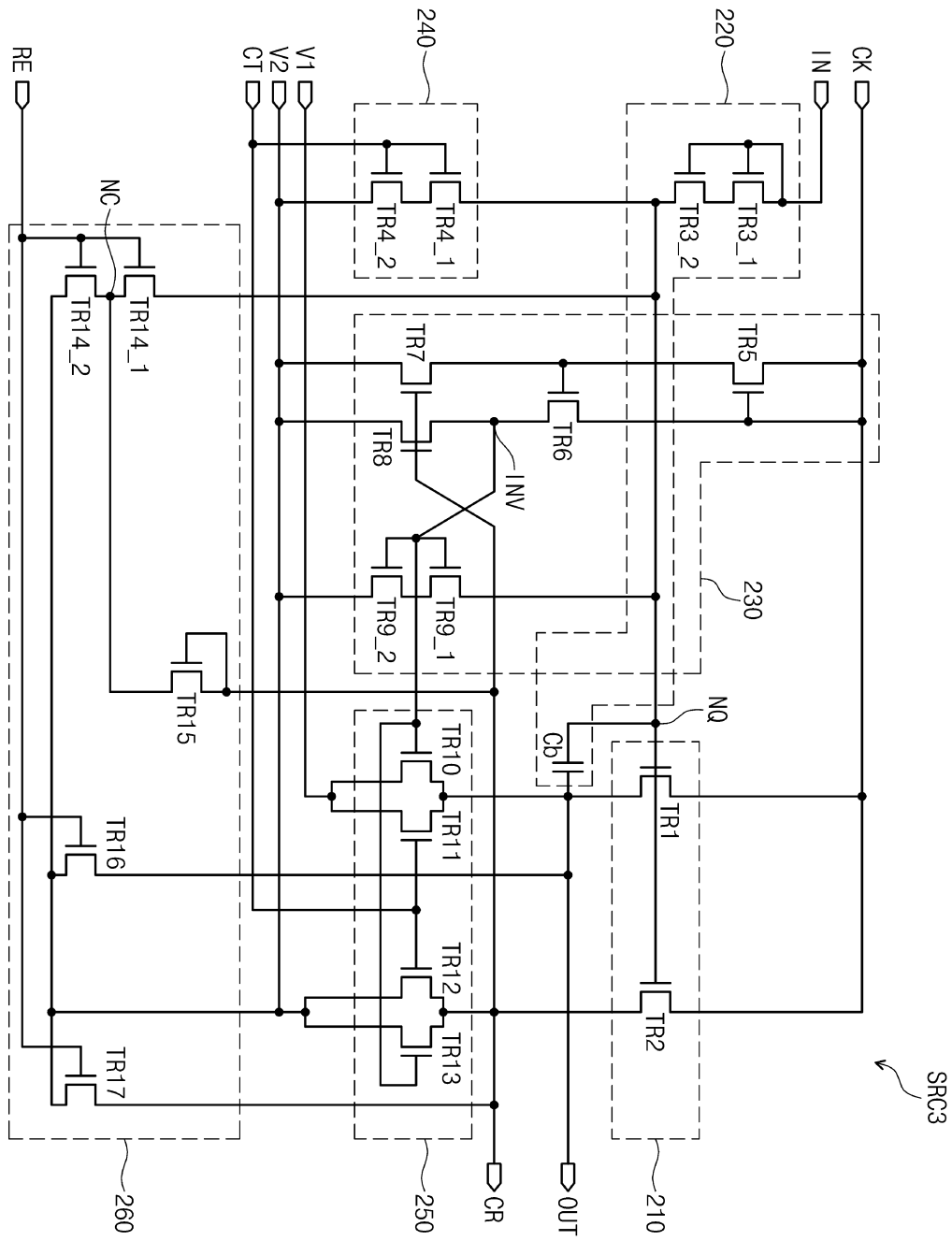
도면3



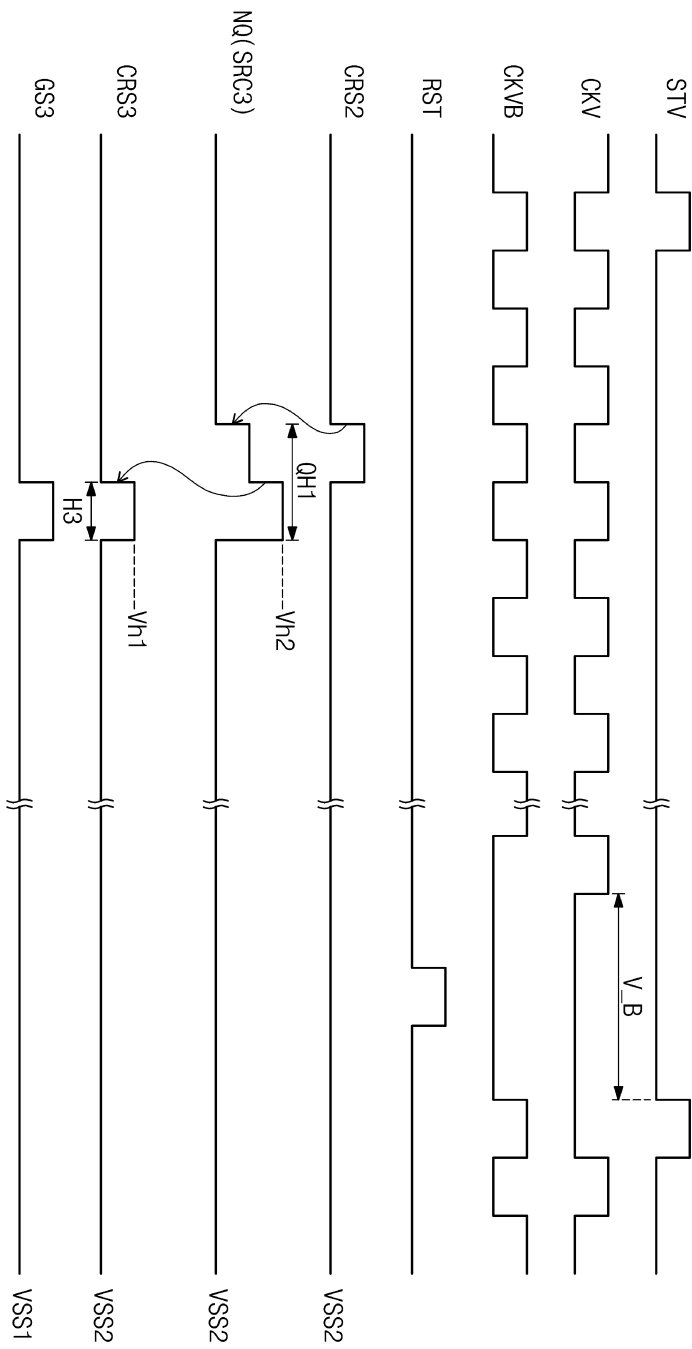
도면4



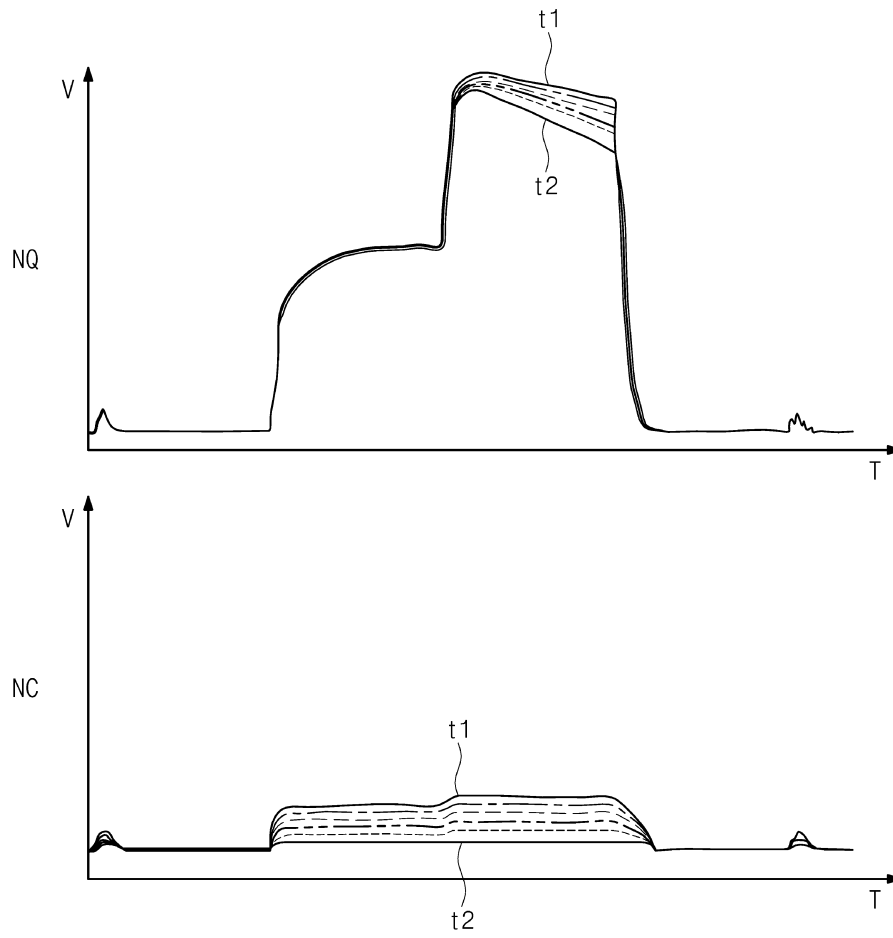
도면5



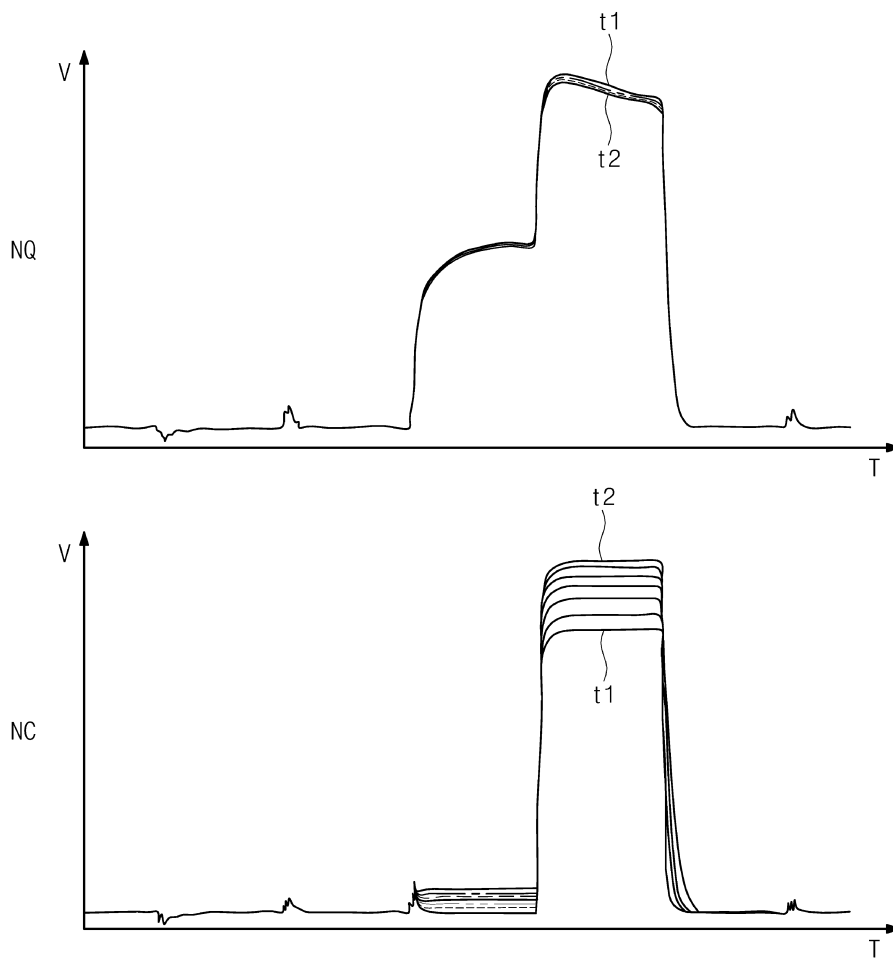
도면6



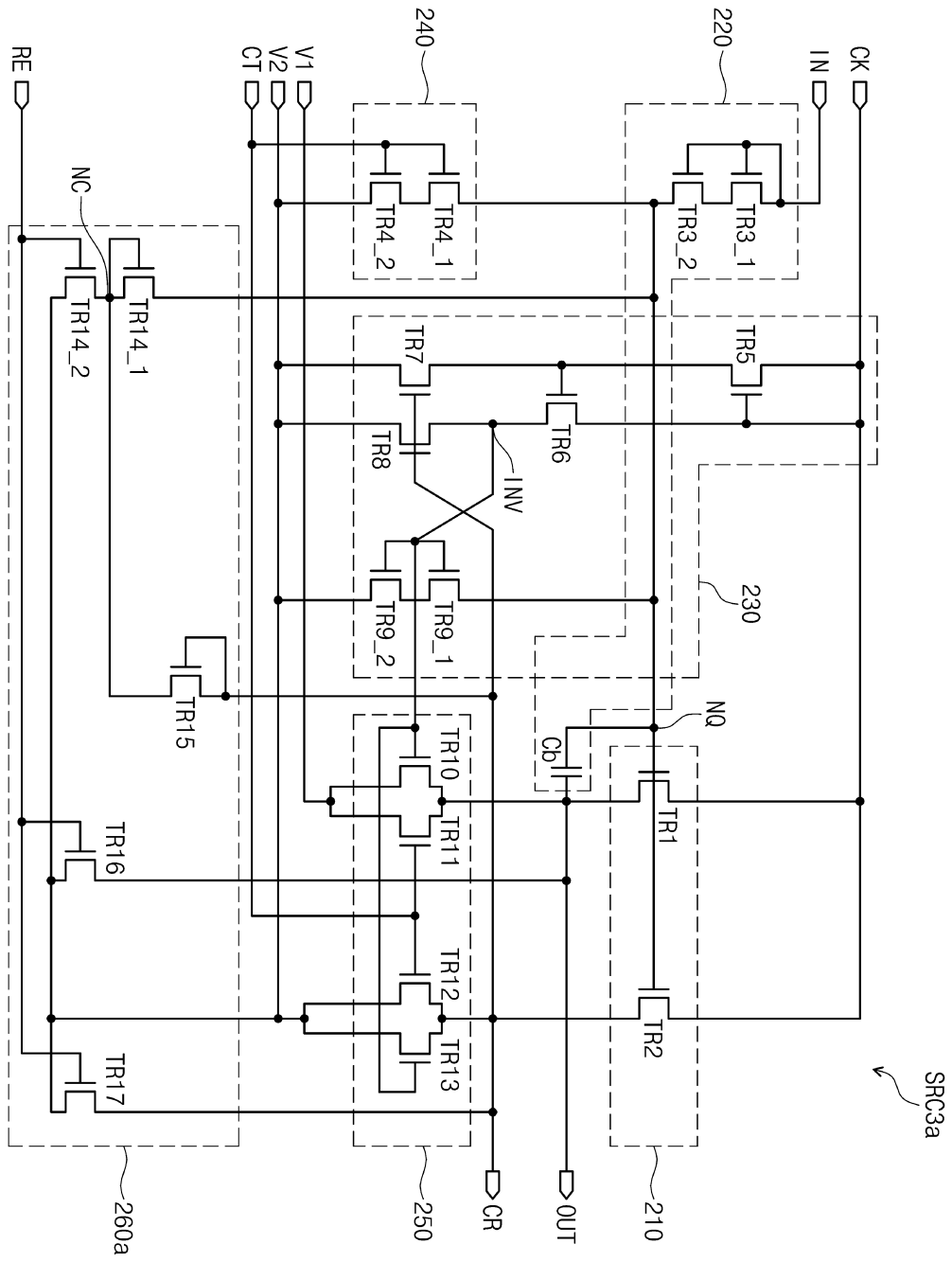
도면7



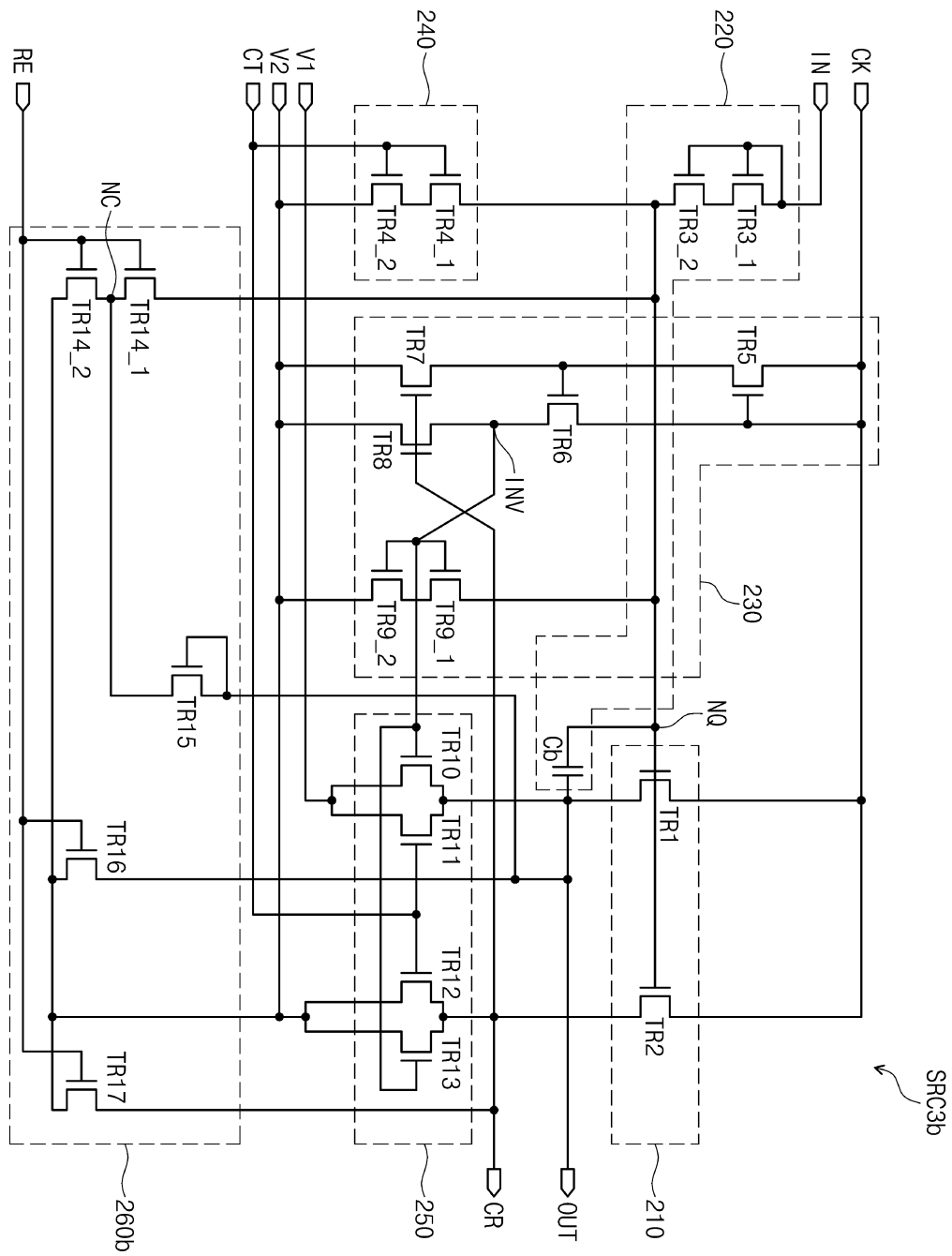
도면8



도면9



도면10



도면11

