

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) . Int. Cl.⁷
G02F 1/1335

(11) 공개번호 10-2005-0115744
(43) 공개일자 2005년12월08일

(21) 출원번호 10-2004-0041139
(22) 출원일자 2004년06월05일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 안병철
경기도 안양시 동안구 평촌동 899-2(9동6반) 향촌아파트 203동 903호
박종우
대구광역시 서구 비산5동 1208-18번지

(74) 대리인 김영호

심사청구 : 없음

(54) 반투과형 박막 트랜지스터 기판 및 그 제조 방법

요약

본 발명은 공정을 단순화하면서 투과 영역의 개구율을 증대시킬 수 있는 반투과형 박막 트랜지스터 기판 및 그 제조 방법을 제공하는 것이다.

이를 위하여, 본 발명의 반투과형 박막 트랜지스터 기판의 제조 방법은 제1 마스크를 이용하여 투명한 제1 도전층과 불투명한 제2 도전층의 이중 구조를 갖는 게이트 라인 및 게이트 전극, 화소 전극을 형성하는 단계와; 제2 마스크를 이용하여 상기 전극들을 덮는 게이트 절연막과, 그 위에 반도체 패턴과, 그 반도체 패턴 위에 중첩된 데이터 라인, 소스 전극, 드레인 전극, 스토리지 상부 전극을 포함하는 소스/드레인 패턴을 형성하는 단계와; 제3 마스크를 이용하여 상기 소스/드레인 패턴을 덮는 유기막을 형성하고, 상기 화소 전극과 중첩된 투과 영역에서 상기 유기막으로부터 상기 화소 전극의 제2 도전층 까지 관통하는 투과홀을 형성하는 단계와; 제4 마스크를 이용하여 상기 투과 영역과 인접한 반사 영역에, 상기 투과홀을 통해 노출된 상기 드레인 전극 및 스토리지 전극을 상기 화소 전극과 접속시키는 반사 전극을 형성하는 단계를 포함한다.

내표도

도 4

명세서

도면의 간단한 설명

도 1은 종래의 반투과형 액정 패널의 일부분을 도시한 단면도.

도 2a 내지 도 2f는 도 1에 도시된 반투과형 박막 트랜지스터 기판의 제조 방법을 단계적으로 설명하기 위한 단면도들.

도 3은 본 발명의 실시 예에 따른 반투과형 박막 트랜지스터 기판을 부분적으로 도시한 평면도.

도 4는 도 3에 도시된 반투과형 박막 트랜지스터 기판을 II-II', III-III', IV-IV'선을 따라 절단하여 도시한 단면도.

도 5a 및 도 5b는 본 발명의 실시 예에 따른 반투과형 박막 트랜지스터 기판의 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 6a 및 도 6b는 본 발명의 실시 예에 따른 반투과형 박막 트랜지스터 기판의 제2 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 7a 내지 도 7e는 본 발명의 제2 마스크 공정을 구체적으로 설명하기 위한 단면도들.

도 8a 및 도 8b는 본 발명의 실시 예에 따른 반투과형 박막 트랜지스터 기판의 제3 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 9a 내지 도 9d는 본 발명의 제3 마스크 공정을 구체적으로 설명하기 위한 단면도들.

도 10a 및 도 10b는 본 발명의 실시 예에 따른 반투과형 박막 트랜지스터 기판의 제4 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 11은 본 발명의 실시 예에 따른 반투과형 박막 트랜지스터 기판을 주변부 위주로 개략적으로 도시한 평면도.

도 12는 도 11에 도시된 데이터 라인 및 데이터 링크의 컨택 영역과 정전기 방지 소자 영역을 구체적으로 도시한 평면도.

도 13은 도 12에 도시된 반투과형 박막 트랜지스터 기판을 V-V', VI-VI'선을 따라 절단하여 도시한 단면도.

도 14a 및 도 14b는 도 13에 도시된 반투과형 박막 트랜지스터 기판의 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 15a 및 도 15b는 도 13에 도시된 반투과형 박막 트랜지스터 기판의 제2 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 16a 및 도 16b는 도 13에 도시된 반투과형 박막 트랜지스터 기판의 제3 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 17a 및 도 17b는 도 13에 도시된 반투과형 박막 트랜지스터 기판의 제4 마스크 공정을 설명하기 위한 평면도 및 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

2, 142 : 하부 기판 4, 102 : 케이트 라인

6, 108, 302, 312, 322 : 케이트 전극 8, 144 : 케이트 절연막

10, 114 : 활성층 12, 116 : 오믹 접촉층

16, 110, 304, 314, 324 : 소스 전극

18, 112, 306, 316, 326 : 드레인 전극

20, 122 : 스토리지 상부 전극

22, 26, 30, 146 : 보호막 24, 148 : 유기막

28, 152 : 반사 전극 32, 118 : 화소 전극

34, 38, 162, 340, 344, 348 : 컨택홀

35, 37 : 개구부

36, 154 : 투과홀 52 : 상부 기판

54 : 칼라 필터 56 : 공통 전극

100 : 박막 트랜지스터 기판 101 : 제1 도전층

103 : 제2 도전층 113 : 제3 도전층

106, 300, 310, 320 : 박막 트랜지스터 115 : 반도체 패턴

128 : 케이트 패드 136 : 데이터 링크

138 : 데이터 패드

160, 262, 332, 334, 336 : 컨택 전극 180 : 실링재

182 : 액티브 영역 190 : 정전기 방지 소자

210 : 회절 노광 마스크 212, 266 : 석영 기판

214, 262 : 차단층 216 : 슬릿

219, 167 : 포토레지스트 105 : 비정질 실리콘층

107 : 불순물 도핑된 비정질 실리콘층 109 : 소스/드레인 금속층

168 : 포토레지스트 패턴

168A : 제1 포토레지스트 패턴 260 : 하프 톤 마스크

168B: 제2 포토레지스트 패턴 264 : 부분 투과층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반투과형 액정 표시 장치의 박막 트랜지스터 기판에 관한 것으로, 특히 공정을 단순화할 수 있는 반투과형 박막 트랜지스터 기판 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 백라이트 유닛(Back light unit)으로부터 입사된 광을 이용하여 화상을 표시하는 투과형과, 자연광과 같은 외부광을 반사시켜 화상을 표시하는 반사형으로 대별된다. 투과형은 백라이트 유닛의 전력 소모가 크고, 반사형은 외부광에 의존함에 따라 어두운 환경에서는 화상을 표시할 수 없는 문제점이 있다.

이러한 문제점을 해결하기 위하여, 백라이트 유닛을 이용하는 투과 모드와 외부광을 이용하는 반사 모드가 선택 가능한 반투과형 액정 표시 장치가 대두되고 있다. 반투과형 액정 표시 장치는 외부광이 충분하면 반사 모드로, 불충분하면 백라이트 유닛을 이용한 투과 모드로 동작하게 되므로 투과형 보다 소비 전력을 줄일 수 있으면서 반사형과 달리 외부광 제약을 받지 않게 된다.

일반적으로, 반투과형 액정 패널은 도 1에 도시된 바와 같이 액정층(미도시)을 사이에 두고 접합된 칼라 필터 기판 및 박막 트랜지스터 기판과, 박막 트랜지스터 기판의 뒤에 배치된 백라이트 유닛(60)을 구비한다. 이러한 반투과형 액정 패널의 각 화소는 반사 전극(28)이 형성된 반사 영역과, 반사 전극(28)이 형성되지 않은 투과 영역으로 구분된다.

칼라 필터 기판은 상부 기판(52) 위에 형성된 블랙 매트릭스(미도시) 및 칼라 필터(54), 그들 위에 적층된 공통 전극(56) 및 배향막(미도시)으로 구성된다.

박막 트랜지스터 기판은 하부 기판(2) 위에 형성되어 각 화소 영역을 정의하는 게이트 라인(4) 및 데이터 라인(미도시), 게이트 라인(4) 및 데이터 라인과 접속된 박막 트랜지스터, 화소 영역에 형성되어 박막 트랜지스터와 접속된 화소 전극(32), 각 화소의 반사 영역에 형성되고 화소 전극과 중첩된 반사 전극(28)을 구비한다.

박막 트랜지스터는 게이트 라인(4)과 접속된 게이트 전극(6), 데이터 라인과 접속된 소스 전극(16), 소스 전극(16)과 마주하는 드레인 전극(18), 게이트 전극(6)과 게이트 절연막(8)을 사이에 두고 중첩되어 소스 및 드레인 전극(16, 18) 사이의 채널을 형성하는 활성층(10), 활성층(10)과 소스 및 드레인 전극(16, 18)과의 오믹 접촉을 위한 오믹 접촉층(12)을 구비한다. 이러한 박막 트랜지스터는 게이트 라인(4)의 스캔 신호에 응답하여 데이터 라인 상의 비디오 신호가 화소 전극(32)에 충전되어 유지되게 한다.

반사 전극(28)은 칼라 필터 기판을 통해 입사된 외부광을 칼라 필터 기판 쪽으로 반사시킨다. 이 때, 반사 전극(28) 아래에 형성된 유기막(24)의 표면이 엠보싱(Embossing) 형상을 갖게 되고, 그 위의 반사 전극(28)도 엠보싱(Embossing) 형상을 갖게 됨으로써 산란 효과로 반사 효율이 증대된다.

화소 전극(32)은 박막 트랜지스터를 통해 공급된 화소 신호에 의해 공통 전극(56)과 전위차를 발생시킨다. 이 전위차에 의해 유전 이방성을 갖는 액정이 회전하여 반사 영역과 투과 영역 각각의 액정층을 경유하는 광의 투과율을 조절함으로써 상기 비디오 신호에 따라 휘도가 달라지게 된다.

이 경우, 반사 영역과 투과 영역에서 액정층을 경유하는 광 경로의 길이가 동일하도록 투과 영역에서 상대적으로 두꺼운 유기막(24)에 투과홀(36)을 형성하게 된다. 이 결과, 반사 영역으로 입사된 주변광, 즉 반사광(RL)이 액정층 내에서 액정 층->반사 전극(28)->액정층을 경유하는 경로와, 투과 영역으로 입사된 백라이트 유닛(60)의 투과광(TL)이 액정층을 경유하는 경로의 길이가 동일함으로써 반사 모드와 투과 모드의 투과 효율이 같아지게 된다.

그리고, 박막 트랜지스터 기판은 화소 전극(32)에 공급된 비디오 신호가 안정적으로 유지되게 하기 위하여 화소 전극(32)과 접속된 스토리지 캐패시터를 더 구비한다. 스토리지 캐패시터는 화소 전극(32)과 접속된 스토리지 상부 전극(20)이 게이트 라인(4)과 게이트 절연막(8)을 사이에 두고 중첩됨으로써 형성된다. 스토리지 상부 전극(20) 아래에는 공정상 오믹 접촉층(12) 및 활성층(10)이 더 중첩된다.

또한, 박막 트랜지스터 기판은 박막 트랜지스터와 유기막(24) 사이의 제1 보호막(22), 유기막(24)과 반사 전극(28) 사이의 제2 보호막(26), 반사 전극(28)과 화소 전극(32) 사이의 제3 보호막(30)을 더 구비한다. 이에 따라, 화소 전극(32)은 제1 내지 제3 보호막(22, 26, 30)과 유기막(24) 및 반사 전극(28)을 관통하는 제1 및 제2 컨택홀(34, 38) 각각을 통해 드레인 전극(18) 및 스토리지 상부 전극(20)과 접속된다.

이러한 반투과형 액정 패널에서 박막 트랜지스터 기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정 패널 제조 단가 상승의 중요 원인이 되고 있다. 이하, 반투과형 박막 트랜지스터 기판의 제조 방법을 도 2a 내지 도 2f를 참조하여 살펴보기로 한다.

도 2a를 참조하면, 제1 마스크 공정을 이용하여 하부 기판(2) 상에 게이트 라인(2), 게이트 전극(6)을 포함하는 게이트 패턴이 형성된다.

하부 기판(2) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(4), 게이트 전극(8)을 포함하는 게이트 패턴이 형성된다. 게이트 금속층으로는 Al, Mo, Cr계 등 금속의 단일층 또는 이중층 구조가 이용된다.

도 2b를 참조하면, 게이트 패턴이 형성된 기판(2) 상에 게이트 절연막(8)이 형성되고, 그 위에 제2 마스크 공정으로 활성층(10) 및 오믹 접촉층(12)을 포함하는 반도체 패턴과; 데이터 라인, 소스 전극(16), 드레인 전극(18), 스토리지 상부 전극(20)을 포함하는 소스/드레인 패턴이 적층된다.

게이트 패턴이 형성된 하부 기판(2) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(8), 비정질 실리콘층, 불순물이 도핑된 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다. 게이트 절연막(8)으로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiNx) 등과 같은 무기 절연 물질이, 소스/드레인 금속층으로는 Al, Mo, Cr계 등 금속의 단일층 또는 이중층 구조가 이용된다.

그리고, 소스/드레인 금속층 위에 제2 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 소스/드레인 패턴부 보다 낮은 높이를 갖게 한다.

이어서, 포토레지스트 패턴을 이용한 습식 식각 공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인, 소스 전극(16), 그 소스 전극(16)과 일체화된 드레인 전극(18), 스토리지 전극(20)을 포함하는 소스/드레인 패턴이 형성된다.

그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 불순물이 도핑된 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹 접촉층(12)과 활성층(10)이 형성된다.

그리고, 애싱(Ashing) 공정으로 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 제거된 후 건식 식각 공정으로 채널부의 소스/드레인 패턴 및 오믹 접촉층(12)이 식각된다. 이에 따라, 채널부의 활성층(10)이 노출되고 소스 전극(16)과 드레인 전극(18)은 분리된다.

이어서, 스트립 공정으로 소스/드레인 패턴 위에 남아 있는 포토레지스트 패턴이 제거된다.

도 2c를 참조하면, 소스/드레인 패턴이 형성된 게이트 절연막(8) 상에 제1 보호막(22)이 형성되고, 그 위에 제3 마스크 공정으로 제1 및 제2 오픈홀(35, 37)과 투과홀(36)을 갖으며 엠보싱 형상의 표면을 갖는 유기막(24)이 형성된다.

소스/드레인 패턴이 형성된 게이트 절연막(8) 상에 제1 보호막(22)과 유기막(24)이 순차적으로 형성된다. 제1 보호막(22)으로는 게이트 절연막(8)과 같은 무기 절연 물질이, 유기막(24)으로는 아크릴 등과 같은 감광성 유기 물질이 이용된다.

그 다음, 제3 마스크를 이용한 포토리소그래피 공정으로 유기막(24)을 패터닝함으로써 제3 마스크의 투과부에 대응하여 유기막(24)을 관통하는 제1 및 제2 오픈홀(35, 37)과 투과홀(36)이 형성된다. 이때, 제3 마스크는 투과부를 제외한 나머지 부분은 차단부와 회절 노광부가 반복되는 구조를 갖고, 이에 대응하여 남아 있는 유기막(24)은 단차를 갖는 차단 영역(돌출부) 및 회절 노광 영역(홈부)이 반복되는 구조로 패터닝된다. 이어서, 돌출부 및 홈부가 반복된 유기막(24)을 소성함으로써 유기막(24)의 표면이 엠보싱 형상을 갖게 된다.

도 2d를 참조하면, 엠보싱 형상을 갖는 유기막(24) 위에 제2 보호막(26)이 형성되고, 그 위에 제4 마스크 공정으로 반사 전극(28)이 형성된다.

엠보싱 표면을 갖는 유기막(24) 위에 제2 보호막(26) 및 반사 금속층이 엠보싱 형상을 유지하며 적층된다. 제2 보호막(26)으로는 제1 보호막(22)과 같은 무기 절연 물질이, 반사 금속층으로는 AlNd 등과 같이 반사율이 높은 금속이 이용된다.

이어서, 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 반사 금속층이 패터닝됨으로써 각 화소마다 독립되고 유기막(24)의 제1 및 제2 오픈홀(35, 37)과 투과홀(36)에서 오픈된 반사 전극(28)이 형성된다.

도 2e를 참조하면, 제5 마스크 공정으로 반사 전극(28)을 덮는 제3 보호막(30)이 형성되고, 제1 내지 제3 보호막(22, 26, 30)을 관통하는 제1 및 제2 컨택홀(34, 38)이 형성된다.

반사 전극(28)을 덮는 제3 보호막(30)이 형성되고 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 유기막(24)의 제1 및 제2 오픈홀(35, 37) 내에서 제1 내지 제3 보호막(22, 26, 30)을 관통하는 제1 및 제2 컨택홀(34, 38)이 형성된다. 제1 및 제2 컨택홀(34, 38)은 각각 드레인 전극(18)과 스토리지 상부 전극(20)을 노출시킨다. 제3 보호막(30)으로는 제2 보호막(26)과 같이 무기 절연 물질이 이용된다.

도 2f를 참조하면, 제5 마스크 공정을 이용하여 제3 보호막(30) 상에 화소 전극(32)이 형성된다.

제3 보호막(30) 상에 스팍터링 등의 증착 방법을 통해 투명 도전층이 형성되고, 제6 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 투명 도전층이 패터닝됨으로써 각 화소 영역에 화소 전극(32)이 형성된다. 화소 전극(32)은 제1 및 제2 컨택홀(34, 38)을 통해 드레인 전극(18) 및 스토리지 상부 전극(20)과 접속된다. 투명 도전층으로는 인듐 주석 산화물(Indium Tin Oxide : ITO) 등이 이용된다.

이와 같이, 종래의 반투과형 박막 트랜지스터 기판은 6마스크 공정으로 형성되므로 제조 공정이 복잡하다는 단점이 있다. 또한, 종래의 반투과형 박막 트랜지스터 기판에서는 화소 전극(32)과, 드레인 전극(18) 및 스토리지 상부 전극(20) 각각과의 접속을 위하여 제1 및 제2 컨택홀(34, 38)의 마진을 충분히 확보해야만 한다. 이로 인하여, 투과 영역의 개구율이 감소하는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 공정을 단순화하면서 투과 영역의 개구율을 증대시킬 수 있는 반투과형 박막 트랜지스터 기판 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 반투과형 박막 트랜지스터 기판은 투명한 제1 도전층과 불투명한 제2 도전층이 적층된 이중 구조의 게이트 라인과; 게이트 절연막을 사이에 두고 상기 게이트 라인과 교차 구조로 형성되어 투과 영역과 반사 영역을 갖는 화소 영역을 정의하는 데이터 라인과; 상기 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터와; 상기 화소 영역에 형성된 상기 제1 도전층과, 그 제1 도전층의 테두리를 따라 적층된 상기 제2 도전층을 갖는 화소 전극과; 상기 게이트 라인과 상기 게이트 절연막을 사이에 두고 중첩되어 스토리지 캐패시터를 형성하는 스토리지 상부 전극과; 상기 박막 트랜지스터를 덮는 유기막으로부터 상기 화소 전극의 제2 도전층까지 관통하여 그의 제1 도전층을 노출시키는 투파홀과; 상기 반사 영역에 형성되며 상기 투파홀의 에지부를 통해 노출된 상기 드레인 전극 및 스토리지 상부 전극을 상기 화소 전극과 접속시키는 반사 전극과; 상기 게이트 라인으로부터 연장되고 상기 유기막으로부터 상기 제2 도전층까지 관통하는 제1 컨택홀을 통해 상기 제1 도전층이 노출된 게이트 패드와; 상기 이중 구조로 형성되어 데이터 링크를 통해 상기 데이터 라인과 접속되고, 상기 유기막으로부터 상기 제2 도전층까지 관통하는 제2 컨택홀을 통해 상기 제1 도전층이 노출된 데이터 패드를 구비한다.

그리고, 본 발명의 실시 예에 따른 반투과형 박막 트랜지스터 기판의 제조 방법은 제1 마스크를 이용하여 투명한 제1 도전층과 불투명한 제2 도전층의 이중 구조를 갖는 게이트 라인 및 게이트 전극, 화소 전극을 형성하는 단계와; 제2 마스크를 이용하여 상기 전극들을 덮는 게이트 절연막과, 그 위에 반도체 패턴과, 그 반도체 패턴 위에 중첩된 데이터 라인, 소스 전극, 드레인 전극, 스토리지 상부 전극을 포함하는 소스/드레인 패턴을 형성하는 단계와; 제3 마스크를 이용하여 상기 소스/드레인 패턴을 덮는 유기막을 형성하고, 상기 화소 전극과 중첩된 투과 영역에서 상기 유기막으로부터 상기 화소 전극의 제2 도전층까지 관통하는 투파홀을 형성하는 단계와; 제4 마스크를 이용하여 상기 투과 영역과 인접한 반사 영역에, 상기 투파홀을 통해 노출된 상기 드레인 전극 및 스토리지 전극을 상기 화소 전극과 접속시키는 반사 전극을 형성하는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

도 3은 본 발명의 실시 예에 따른 반투과형 박막 트랜지스터 기판을 도시한 평면도이고, 도 4는 도 3에 도시된 반투과형 박막 트랜지스터 기판을 II-II', III-III', IV-IV'선을 따라 절단하여 도시한 단면도이다.

도 3 및 도 4에 도시된 반투과형 박막 트랜지스터 기판은 하부 기판(142) 위에 게이트 절연막(144)을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(102) 및 데이터 라인(104), 그 게이트 라인(102) 및 데이터 라인(104)과 접속된 박막 트랜지스터(106), 각 화소의 반사 영역에 형성된 반사 전극(152), 각 화소 영역에 형성되고 반사 전극(152)을 통해 박막 트랜지스터(106)와 접속된 화소 전극(118)을 구비한다. 그리고, 반투과형 박막 트랜지스터 기판은 반사 전극(152)을 통해 화소 전극(118)에 접속된 스토리지 상부 전극(122)과 전단 게이트 라인(102)의 중첩으로 형성된 스토리지 캐패시터

(120), 게이트 라인(102)과 접속된 게이트 패드(128), 데이터 라인(104)과 접속된 데이터 패드(138)를 구비한다. 이러한 반투과형 박막 트랜지스터 기판에서 각 화소 영역은 반사 전극(152)이 형성된 반사 영역과 반사 전극(152)이 형성되지 않은 투과 영역으로 구분된다.

박막 트랜지스터(106)는 게이트 라인(102)과 접속된 게이트 전극(108), 데이터 라인(104)과 접속된 소스 전극(110), 소스 전극(110)과 마주하며 화소 전극(118)과 접속된 드레인 전극(112), 게이트 절연막(144)을 사이에 두고 게이트 전극(108)과 중첩되어 소스 전극(110)과 드레인 전극(112) 사이에 채널을 형성하는 활성층(114), 소스 전극(110) 및 드레인 전극(112)과의 오믹 접촉을 위하여 채널부를 제외한 활성층(114) 위에 형성된 오믹 접촉층(116)을 구비한다. 이러한 박막 트랜지스터(106)는 게이트 라인(102)의 스캔 신호에 응답하여 데이터 라인(104) 상의 비디오 신호가 화소 전극(118)에 충전되어 유지되게 한다.

여기서, 게이트 라인(102) 및 게이트 전극(108)은 투명 도전층으로 이루어진 제1 도전층(101)과, 그 위에 금속층으로 이루어진 제2 도전층(103)이 적층된 이중 구조를 갖는다.

그리고, 활성층(114) 및 오믹 접촉층(116)을 포함하는 반도체 패턴(115)은 데이터 라인(104)과도 중첩되게 형성된다.

반사 전극(152)은 각 화소의 반사 영역에 형성되어 외부광을 반사시킨다. 이러한 반사 전극(152)은 그 아래의 유기막(148)의 형상을 따라 엠보싱 형상을 갖게 됨으로써 산란 효과로 반사 효율을 증대시킨다.

화소 전극(118)은 각 화소 영역에 형성되고 투과홀(154)의 에지부를 경유하는 반사 전극(152)을 통해 드레인 전극(112)과 접속된다. 화소 전극(118)은 게이트 라인(102)과 같이 제1 및 제2 도전층(101, 103)이 적층된 이중 구조를 갖고, 제2 도전층(103)은 투과홀(154)을 통해 오픈되어 투명 도전층인 제1 도전층(101)이 투과 영역에 노출되게 한다. 화소 전극(118)은 박막 트랜지스터를 통해 공급된 화소 신호에 의해 칼라 필터 기판(미도시)의 공통 전극과 전위차를 발생시킨다. 이 전위차에 의해 유전 이방성을 갖는 액정이 회전하여 반사 영역과 투과 영역 각각의 액정층을 경유하는 광의 투과율을 조절하므로 상기 비디오 신호에 따라 휘도가 달라지게 된다.

투과홀(154)은 투과 영역에서 화소 전극(118) 위의 게이트 절연막(144)과, 박막 트랜지스터(106) 위의 보호막(146), 유기막(148)을 관통하여 형성된다. 이에 따라, 반사 영역과 투과 영역에서 액정층을 경유하는 광 경로의 길이가 동일해지게 되므로 반사 모드와 투과 모드의 투과 효율이 같아지게 된다.

스토리지 캐패시터(120)는 화소 전극(118)과 접속된 스토리지 상부 전극(122)이 게이트 절연막(144)을 사이에 두고 전단 게이트 라인(102)과 중첩됨으로써 형성된다. 스토리지 상부 전극(122)은 투과홀(154)의 에지부를 경유하는 반사 전극(152)을 통해 화소 전극(118)과 접속되고, 스토리지 상부 전극(122)의 아래에는 반도체 패턴(115)이 더 중첩된다.

게이트 라인(102)은 게이트 패드(128)를 통해 게이트 드라이버(도시하지 않음)와 접속된다. 게이트 패드(128)는 게이트 라인(102)의 제1 및 제2 도전층(101, 103)이 연장되어 형성되고, 제1 도전층(101)은 유기막(148)으로부터 제2 도전층(103)까지 관통하는 제1 컨택홀(130)을 통해 노출된다.

데이터 라인(104)은 데이터 패드(138)를 통해 데이터 드라이버(도시하지 않음)와 접속된다. 데이터 패드(138)는 게이트 패드(128)와 같이 제1 및 제2 도전층(101, 103)이 적층된 이중 구조를 갖고, 제1 도전층(101)은 유기막(148)으로부터 제2 도전층(103)까지 관통하는 제2 컨택홀(140)을 통해 노출된다. 이러한 데이터 패드(138)는 별도의 컨택 전극(미도시)를 통해 데이터 라인(104)과 접속된다.

이와 같이, 본 발명의 실시 예에 따른 반투과형 박막 트랜지스터 기판에서는 투과홀(154)의 에지부를 경유하는 반사 전극(152)을 통해 화소 전극(118)이 드레인 전극(112) 및 스토리지 상부 전극(122)과 접속된다. 이에 따라, 화소 전극(118)과 드레인 전극(112) 및 스토리지 상부 전극(122)과의 접속을 위한 별도의 컨택홀이 필요없게 되므로 그 만큼 투과 영역의 개구율을 증대시킬 수 있게 된다.

그리고, 반사 전극(152)은 화소 전극(118)의 제1 및 제2 도전층(101, 103) 모두와 접속된다. 이에 따라, 반사 전극(152)으로 AlNd를, 화소 전극(118)의 제1 도전층(101)으로 ITO를, 제2 도전층(103)으로 Mo을 이용하는 경우 AlNd와 ITO가 Mo을 통해 접속됨으로써 Al_2O_3 생성으로 인한 AlNd와 ITO과의 컨택 저항을 감소시킬 수 있게 된다.

이러한 구성을 갖는 본 발명의 실시 예에 따른 박막 트랜지스터 기판은 다음과 같이 4마스크 공정으로 형성된다.

도 5a 및 도 5b는 본 발명의 실시 예에 따른 반투과형 박막 트랜지스터 기판 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.

제1 마스크 공정으로 하부 기판(142) 상에 게이트 라인(102), 게이트 라인(102)과 접속된 게이트 전극(108) 및 게이트 패드(128), 데이터 패드(138), 화소 전극(118)을 포함하는 게이트 패턴이 형성된다. 이러한 게이트 패턴은 제1 및 제2 도전층(101, 103)이 적층된 이중 구조로 형성된다.

구체적으로, 하부 기판(142) 상에 스퍼터링 방법 등의 증착 방법을 통해 제1 및 제2 도전층(101, 103)이 적층된다. 적층된 제1 및 제2 도전층(101, 103)은 제1 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 게이트 라인(102), 게이트 전극(108) 및 게이트 패드(128), 데이터 패드(138), 화소 전극(118)을 포함하는 게이트 패턴이 형성된다. 제1 도전층(101)으로는 ITO, TO, IZO 등과 같은 투명 도전 물질이, 제2 도전층(103)으로는 Mo, Cu, Al(Nd), Cr, Ti 등과 같은 금속 물질이 이용된다.

도 6a 및 도 6b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이고, 도 7a 내지 도 7e는 제2 마스크 공정을 구체적으로 설명하기 위해 단면도들을 도시한 것이다.

게이트 패턴이 형성된 하부 기판(142) 상에 게이트 절연막(144)이 형성되고, 그 위에 제2 마스크 공정으로 데이터 라인(104), 소스 전극(110), 드레인 전극(112), 스토리지 상부 전극(122)을 포함하는 소스/드레인 패턴과, 소스/드레인 패턴의 배면을 따라 중첩된 활성층(114) 및 오믹 접촉층(116)을 포함하는 반도체 패턴(115)이 형성된다. 이러한 반도체 패턴(115)과 소스/드레인 패턴은 회절 노광 마스크를 이용한 하나의 마스크 공정으로 형성된다.

구체적으로, 도 7a와 같이 게이트 패턴이 형성된 하부 기판(142) 상에 게이트 절연막(144), 비정질 실리콘층(105), 불순물($n+$ 또는 $p+$)이 도핑된 비정질 실리콘층(107), 소스/드레인 금속층(109)이 순차적으로 형성된다. 예를 들면, 게이트 절연막(144), 비정질 실리콘층(105), 불순물이 도핑된 비정질 실리콘층(107)은 PECVD 방법으로, 소스/드레인 금속층(109)은 스퍼터링 방법으로 형성된다. 게이트 절연막(144)으로는 산화 실리콘(SiO_x), 질화 실리콘(SiNx) 등과 같은 무기 절연 물질이, 소스/드레인 금속층(109)으로는 Cr, Mo, MoW, Al/Cr, Cu, Al(Nd), Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti 등이 이용되며, 이중층인 예를 들면 Al/Cr인 경우 Cr을 먼저 형성한 후에 Al을 형성하는 것을 말한다.

그리고, 소스/드레인 금속층(109) 위에 포토레지스트(219)가 도포된 다음, 회절 노광 마스크(210)을 이용한 포토리소그래피 공정으로 포토레지스트(219)를 노광 및 현상함으로써 도 7b에 도시된 바와 같이 단차를 갖는 포토레지스트 패턴(220)이 형성된다.

회절 노광 마스크(210)는 투명한 석영 기판(212)과, 그 위에 Cr, CrO_x 등과 같은 금속층으로 형성된 차단층(214) 및 회절 노광용 슬릿(216)을 구비한다. 차단층(214)은 반도체 패턴 및 소스/드레인 패턴이 형성되어질 영역에 위치하여 자외선을 차단함으로써 현상 후 제1 포토레지스트 패턴(220A)이 남게 한다. 회절 노광용 슬릿(216)은 박막 트랜지스터의 채널이 형성될 영역에 위치하여 자외선을 회절시킴으로써 현상 후 제1 포토레지스트 패턴(220A) 보다 얇은 제2 포토레지스트 패턴(220B)이 남게 한다.

이어서, 단차를 갖는 포토레지스트 패턴(220)을 이용한 식각 공정으로 소스/드레인 금속층(109)이 패터닝됨으로써 도 7c에 도시된 바와 같이 소스/드레인 패턴과, 그 아래의 반도체 패턴(115)이 형성된다. 이 경우, 소스/드레인 패턴 중 소스 전극(110)과 드레인 전극(112)은 일체화된 구조를 갖는다.

그 다음, 산소(O₂) 플라즈마를 이용한 애싱 공정으로 포토레지스트 패턴(220)을 애싱함으로써 도 7d에 도시된 바와 같이 제1 포토레지스트 패턴(220A)은 얇아지게 되고, 제2 포토레지스트 패턴(220B)은 제거된다. 그리고, 애싱된 제1 포토레지스트 패턴(220A)을 이용한 식각 공정으로 제2 포토레지스트 패턴(220B)의 제거로 노출된 소스/드레인 패턴과, 그 아래의 오믹 접촉층(116)이 제거됨으로써 소스 전극(110)과 드레인 전극(112)은 분리되고 활성층(114)이 노출된다. 이에 따라, 소스 전극(110)과 드레인 전극(112) 사이에는 활성층(114)으로 이루어진 채널이 형성된다. 이때, 애싱된 제1 포토레지스트 패턴(220A)을 따라 소스/드레인 패턴의 양측부가 한번 더 식각됨으로써 소스/드레인 패턴과 반도체 패턴(115)은 계단 형태로 일정한 단차를 갖게 된다.

그리고, 스트립 공정으로 소스/드레인 패턴 위에 잔존하던 제1 포토레지스트 패턴(220A)이 도 7e와 같이 제거된다.

도 8a 및 도 8b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도이고, 도 9a 내지 도 9c는 제3 마스크 공정을 단계적으로 설명하기 위한 단면도들이다.

제3 마스크 공정으로 소스/드레인 패턴이 형성된 게이트 절연막(144) 상에 투과 영역에서 투과홀(154)을 갖고, 패드 영역에서 제1 및 제2 컨택홀(130, 140)을 갖는 보호막(146) 및 유기막(148)이 형성된다. 여기서, 보호막(146)은 박막 트랜지스터(106)를 보호하기 위한 것이나, 생략도 가능하다.

도 9a를 참조하면, 소스/드레인 패턴이 형성된 게이트 절연막(144) 상에 PECVD 등의 증착 방법으로 보호막(146)이, 스펀 코팅 방법 등으로 유기막(148)이 형성된다. 보호막(146)으로는 게이트 절연막(144)과 같은 무기 절연 물질이, 유기막(148)은 아크릴 등과 같은 감광성 유기 물질이 이용된다. 그 다음, 제3 마스크인 하프 톤 마스크(260) 또는 회절 노광 마스크를 이용하여 유기막(148)을 노광 및 현상하게 된다.

예를 들면, 하프 톤 마스크(260)는 투명한 석영(SiO_2 ; Quartz) 기판(266)과, 그 위에 MoSix 등으로 형성된 부분 투과층(254)과, 부분 투과층(254) 위에 Cr, CrO_x 등과 같은 금속으로 형성된 차단층(262)을 구비한다. 이러한 하프 톤 마스크(260)에서 부분 투과층(264) 및 차단층(262)이 중첩된 차단부는 자외선 차단으로 도 9b에 도시된 제1 영역(A)과 같이 유기막(148)이 상대적으로 두꺼운 두께를 유지하게 한다. 차단층(262) 없이 부분 투과층(264)이 존재하는 하프 톤 마스크(260)의 부분 투과부는 자외선의 부분 투과로 도 9b에 도시된 제2 영역(B)과 같이 유기막(148)이 상대적으로 얇은 두께를 갖게 한다. 그리고, 차단층(262) 및 부분 투과층(264)이 존재하지 않는 하프 톤 마스크(260)의 투과부는 자외선을 전면 투과시켜 도 9b와 같이 유기막(148)을 관통하는 투과홀(154)과 제1 및 제2 컨택홀(130, 140)이 형성되게 한다. 여기서, 유기막(148)의 투과홀(154)은 화소 전극(118)과 중첩된 투과 영역에, 제1 및 제2 컨택홀(130, 140)은 패드 영역에서 게이트 패드(128) 및 데이터 패드(138) 각각과 중첩되어 형성된다. 유기막(148)의 제1 및 제2 영역(A, B)은 반사 영역에서 반복되고, 제1 및 제2 컨택홀(130, 140)이 형성된 패드 영역에는 제2 영역(B)이 존재하게 된다.

이러한 구조를 갖는 유기막(148)을 소성함으로써 도 9c와 같이 반사 영역에서 유기막(148)의 표면은 엠보싱 형상을 갖고, 패드 영역에서 유기막(148)은 잔류하게 된다.

이어서, 유기막(148)를 마스크로 이용한 건식 식각으로 투과홀(154)과 제1 및 제2 컨택홀(130, 140)이 보호막(146) 및 게이트 절연막(144)을 경유하여 화소 전극(118)과 게이트 패드 및 데이터 패드(128, 138)의 제2 도전층(103)까지 관통하게 한다. 이때, 투과홀(154)을 통해 노출된 드레인 전극(112) 및 스토리지 상부 전극(122)과 그 아래의 반도체 패턴(115)도 식각되고, 식각 속도 차이로 인하여 드레인 전극(112) 및 스토리지 상부 전극(122)과 그 아래의 반도체 패턴(115) 보다 게이트 절연막(144)의 에지부가 약간 돌출된 구조를 갖게 된다. 이러한 투과홀(154)을 통해 화소 전극(118)의 제1 도전층(101)이 노출되고, 제2 도전층(103)의 측면이 노출된다. 또한, 제1 및 제2 컨택홀(130, 140)을 통해 게이트 패드(128) 및 데이터 패드(138)의 제1 도전층(101)이 노출되고, 제2 도전층(103)의 측면이 노출된다.

도 10a 및 도 10b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제4 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.

제4 마스크 공정으로 각 화소 반사 영역에 반사 전극(152)이 형성된다.

구체적으로, 반사 영역에서 엠보싱 표면을 갖는 유기막(148) 위에 반사 금속층이 엠보싱 형상을 유지하며 형성된다. 반사 금속층으로는 AlNd 등과 같이 반사율이 높은 금속이 이용된다. 이어서, 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 반사 금속층이 패터닝됨으로써 각 화소의 반사 영역마다 반사 전극(152)이 형성된다. 이러한 반사 전극(152)은 투과홀(154)의 에지부를 경유하여 드레인 전극(112)과 화소 전극(118)을 접속시키고, 스토리지 상부 전극(122)과 화소 전극(118)을 접속시키게 된다. 이에 따라, 화소 전극(118)과 드레인 전극(112) 및 스토리지 상부 전극(122)과의 접속을 위한 별도의 컨택홀이 필요없게 되므로 투과 영역의 개구율을 증대시킬 수 있게 된다. 또한, 반사 전극(152)은 화소 전극(118)의 제1 도전층(101)과 접속되면서, 투과홀(154)의 에지부를 통해 노출된 제2 도전층(103)(Mo)의 에지부와도 접속되므로 반사 전극(152)(AlNd)과 제1 도전층(101)(ITO)과의 컨택 저항을 감소시킬 수 있게 된다.

도 11은 본 발명의 실시 예에 따른 반투과형 박막 트랜지스터 기판의 주변부를 개략적으로 도시한 것이다.

도 11에 도시된 반투과형 박막 트랜지스터 기판(100)은 게이트 패드(128)와 동일층에 형성된 데이터 패드(138)를 데이터 라인(104)과 접속시키기 위한 컨택 전극(160)을 구비한다. 다시 말하여, 컨택 전극(160)은 데이터 패드(138)로부터 신장

된 데이터 링크(136)와 데이터 라인(104)을 접속시킨다. 여기서, 컨택 전극(160)은 액티브 영역(182)에 형성되는 반사 전극(152)과 동일한 금속층(AlNd, AlNd/Mo)으로 형성하기로 한다. 이러한 컨택 전극(160)은 외부로 노출되는 경우 산화 작용으로 부식되는 문제가 있으므로 실링재(180)에 의해 밀봉되는 영역, 즉 실링재(180)와 액티브 영역(182) 사이에 위치하여 부식을 방지할 수 있다.

또한, 박막 트랜지스터 기판(100)은 액티브 영역(182)으로 유입되는 정전기를 차단하기 위한 정전기 방지 소자(190)를 구비한다. 정전기 방지 소자(190)는 데이터 라인(104) 또는 게이트 라인(102)과 접속되며 상호 접속 관계를 갖는 다수개의 박막 트랜지스터들(300, 310, 320)로 구성된다. 정전기 방지 소자(190)는 정전기 등에 의한 고전압 영역에서는 낮은 임피던스를 가져 과전류가 방전되게 함으로써 정전기 유입을 차단하고, 정상적인 구동환경에서는 높은 임피던스를 가져 데이터 라인(104) 또는 게이트 라인(102)을 통해 공급되는 구동 신호에는 영향을 주지 않게 한다. 이러한 정전기 방지 소자(190)는 박막 트랜지스터들(300, 310, 320)을 상호 접속시키기 위하여 다수의 컨택 전극들을 필요로 한다. 이러한 다수의 컨택 전극들도 반사 전극(152)과 동일한 금속층(AlNd, AlNd/Mo)으로 형성하기로 한다. 이에 따라, 정전기 방지 소자(190)도 실링재(180)에 의해 밀봉되는 영역, 즉 실링재(180)와 액티브 영역(182) 사이에 형성된다.

도 12는 도 11에 도시된 데이터 라인(104)과 접속된 컨택 전극(160) 및 정전기 방지 소자(190)를 구체적으로 도시한 평면도이고, 도 13은 도 12에 도시된 박막 트랜지스터 기판을 V-V', VI-VI'선을 따라 절단하여 도시한 단면도이다.

도 12 및 도 13에 도시된 데이터 링크(136)는 데이터 패드(138)로부터 연장되어 실링재(180)로 밀봉되어질 영역에 위치하는 데이터 라인(104)의 끝부분과 중첩된다. 데이터 링크(136)는 데이터 패드(138)와 동일하게 제1 및 제2 도전층(101, 103)이 적층된 이중 구조를 갖는다.

제1 컨택 전극(160)은 데이터 링크(136)와 데이터 라인(104)의 중첩부에 형성된 제1 컨택홀(162)에 걸쳐 형성되어 데이터 라인(104) 및 데이터 링크(136)를 접속시킨다. 제1 컨택홀(162)은 유기막(148)으로부터 보호막(146), 데이터 라인(104), 반도체 패턴(115), 게이트 절연막(144), 제2 도전층(103)까지 관통하여 데이터 링크(136)의 제1 도전층(101)을 노출시킨다. 이에 따라, 제1 컨택 전극(160)은 제1 컨택홀(162)을 통해 노출된 데이터 라인(104) 및 제2 도전층(103)과 측면 접속되고, 데이터 링크(136)의 제1 도전층(101)과는 면 접속하게 된다.

데이터 라인(104)과 접속된 정전기 방지 소자는 제2 내지 제4 박막 트랜지스터(300, 310, 320)를 구비한다.

제2 박막 트랜지스터(300)는 데이터 라인(104)과 접속된 제2 소스 전극(304)과, 그 제2 소스 전극(304)과 대향된 제2 드레인 전극(306)과, 제2 소스 및 드레인 전극(304, 306)과 반도체 패턴(115) 및 게이트 절연막(144)을 사이에 두고 중첩된 제2 게이트 전극(302)을 구비한다. 여기서, 제2 게이트 전극(302)은 제1 및 제2 도전층(101, 103)의 이중 구조를 갖는다.

제3 박막 트랜지스터(310)는 제2 박막 트랜지스터의 제2 소스 전극(304)과 제2 게이트 전극(302) 사이에 다이오드형으로 접속된다. 이를 위하여, 제3 박막 트랜지스터(310)는 상기 제2 소스 전극(304)과 접속된 제3 소스 전극(314)과, 그 제3 소스 전극(314)과 대향된 제3 드레인 전극(316)과, 그 제3 소스 및 드레인 전극(314, 316)과 반도체 패턴(115) 및 게이트 절연막(144)을 사이에 두고 중첩된 제3 게이트 전극(312)을 구비한다. 여기서, 제3 게이트 전극(312)은 제1 및 제2 도전층(101, 103)의 이중 구조를 갖는다. 그리고, 제3 게이트 전극(312)은 제2 컨택홀(340)에 걸쳐 형성된 제2 컨택 전극(332)을 통해 제3 소스 전극(314)과 접속된다. 제2 컨택홀(340)은 유기막(148), 보호막(146), 제3 소스 전극(314), 반도체 패턴(115), 게이트 절연막(144), 제3 게이트 전극(312)의 제2 도전층(103)을 관통하여 제3 게이트 전극(312)의 제1 도전층(101)을 노출시킨다.

제4 박막 트랜지스터(320)는 상기 제2 박막 트랜지스터의 제2 드레인 전극(306)과 제2 게이트 전극(302) 사이에 다이오드형으로 접속된다. 이를 위하여, 제4 박막 트랜지스터(320)는 상기 제2 드레인 전극(306)과 접속된 제4 소스 전극(324)과, 그 제4 소스 전극(324)과 대향된 제4 드레인 전극(326)과, 그 제4 소스 및 드레인 전극(324, 326)과 반도체 패턴(115) 및 게이트 절연막(144)을 사이에 두고 중첩된 제4 게이트 전극(322)을 구비한다. 여기서, 제4 게이트 전극(322)은 제1 및 제2 도전층(101, 103)의 이중 구조를 갖는다. 제4 드레인 전극(326)은 제3 드레인 전극(316)과 접속되며, 제3 컨택홀(344)에 걸쳐 형성된 제3 컨택 전극(334)을 통해 제2 게이트 전극(302)과 접속된다. 또한, 제4 게이트 전극(322)은 제4 컨택홀(348)에 걸쳐 형성된 제4 컨택 전극(336)을 통해 제4 소스 전극(324)과 접속된다. 제3 컨택홀(344)은 유기막(148), 보호막(146), 제4 드레인 전극(326), 반도체 패턴(115), 게이트 절연막(144), 제2 게이트 전극(302)의 제1 도전층(103)을 관통하여 형성되고, 제4 컨택홀(348)은 유기막(148), 보호막(146), 제4 소스 전극(324), 반도체 패턴(115), 게이트 절연막(144), 제3 게이트 전극(312)의 제1 도전층(101)을 관통하여 형성된다.

여기서, 제1 내지 제4 컨택 전극(160, 332, 334, 336)은 전술한 바와 같이 반사 전극(152)과 동일하게 제1 및 제2 반사 금속층(151, 153)이 적층된 이중 구조를 갖는다. 이에 따라, 제1 내지 제4 컨택 전극(160, 332, 334, 336)의 제1 반사 금속층(151)이 투명 도전층인 제1 도전층(103)과 접속하므로 컨택 저항을 감소시킬 수 있게 된다.

이러한 구조를 갖는 반투과형 박막 트랜지스터 기판은 전술한 바와 같이 5마스크 공정으로 형성한다. 이를 도 14a 내지 도 18b를 참조하여 설명하기로 한다.

도 14a 및 도 14b를 참조하면, 제1 마스크 공정으로 하부 기판(142) 상에 데이터 패드(138)와 함께 데이터 링크(136), 제2 내지 제4 게이트 전극(302, 312, 322)을 포함하는 게이트 패턴이 형성된다. 게이트 패턴은 제1 및 제2 도전층(101, 103)이 적층된 이중 구조를 갖는다. 이러한 제1 마스크 공정은 도 5a 및 도 5b에서 전술한 바와 같다.

도 15a 및 도 15b를 참조하면, 제2 마스크 공정으로 게이트 절연막(144)과, 활성층(114) 및 오믹 접촉층(116)을 포함하는 반도체 패턴(115)과, 데이터 라인(104), 제2 내지 제4 소스 전극(304, 314, 324), 제2 내지 제4 드레인 전극(306, 316, 326)을 포함하는 소스/드레인 패턴이 형성된다. 이러한 제2 마스크 공정은 도 6a 내지 도 7e에서 전술한 바와 같다.

도 16a 및 도 16b를 참조하면, 제3 마스크 공정으로 보호막(146) 및 유기막(148)이 형성되고, 유기막(148)에서 데이터 링크(136)와 제2 내지 제3 게이트 전극 각각의 제2 도전층(103)까지 관통하는 제1 내지 제4 컨택홀(162, 340, 344, 348)이 형성된다. 이러한 제3 마스크 공정은 도 8a 내지 도 9d에서 전술한 바와 같다.

도 17a 및 도 17b를 참조하면, 제4 마스크 공정으로 반사 전극(152)과 동일한 금속으로 제1 내지 제4 컨택 전극(160, 332, 334, 336)이 형성된다. 이러한 제4 마스크 공정은 도 10a 및 도 10b에서 전술한 바와 같다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 반투과형 박막 트랜지스터 기판 및 그 제조 방법은 화소 전극 및 패드를 게이트 패턴과 같이 투명 도전층을 포함하는 이중 구조로 형성하고, 유기막 패터닝시 하프 톤 마스크를 이용하여 그 투명 도전층을 노출시킨다. 그리고, 반사 전극으로 드레인 전극 및 스토리지 상부 전극을 화소 전극과 접속시키게 된다. 이에 따라, 공정을 4마스크 공정으로 단순화할 수 있을 뿐만 아니라, 드레인 전극 및 스토리지 상부 전극을 화소 전극과 접속시키기 위한 별도의 컨택홀들이 필요없게 되므로 그 만큼 투과 영역의 개구율을 증대시킬 수 있게 된다.

또한, 본 발명에 따른 반투과형 박막 트랜지스터 기판 및 그 제조 방법은 반사 전극과 동일한 금속의 컨택 전극으로 서로 다른 층에 형성된 데이터 링크 및 데이터 라인을 접속시키고, 정전기 방지 소자의 박막 트랜지스터들을 상호 접속시키게 된다. 이에 따라, 4마스크 공정으로 공정을 단순화할 수 있게 된다.

더불어, 본 발명에 따른 반투과형 박막 트랜지스터 기판 및 그 제조 방법은 반사 전극(AINd)이 화소 전극의 제2 도전층(Mo)을 경유하여 제1 도전층(ITO)과 접속하게 되므로 반사 전극과 화소 전극과의 컨택 저항을 줄일 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

투명한 제1 도전층과 불투명한 제2 도전층이 적층된 이중 구조의 게이트 라인과;

게이트 절연막을 사이에 두고 상기 게이트 라인과 교차 구조로 형성되어 투과 영역과 반사 영역을 갖는 화소 영역을 정의하는 데이터 라인과;

상기 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터와;

상기 화소 영역에 형성된 상기 제1 도전층과, 그 제1 도전층의 테두리를 따라 적층된 상기 제2 도전층을 갖는 화소 전극과;

상기 게이트 라인과 상기 게이트 절연막을 사이에 두고 중첩되어 스토리지 캐패시터를 형성하는 스토리지 상부 전극과;

상기 박막 트랜지스터를 덮는 유기막으로부터 상기 화소 전극의 제2 도전층까지 관통하여 그의 제1 도전층을 노출시키는 투과홀과;

상기 반사 영역에 형성되며 상기 투과홀의 에지부를 통해 노출된 상기 드레인 전극 및 스토리지 상부 전극을 상기 화소 전극과 접속시키는 반사 전극과;

상기 게이트 라인으로부터 연장되고 상기 유기막으로부터 상기 제2 도전층까지 관통하는 제1 컨택홀을 통해 상기 제1 도전층이 노출된 게이트 패드와;

상기 이중 구조로 형성되어 데이터 링크를 통해 상기 데이터 라인과 접속되고, 상기 유기막으로부터 상기 제2 도전층까지 관통하는 제2 컨택홀을 통해 상기 제1 도전층이 노출된 데이터 패드를 구비하는 것을 특징으로 하는 반투과형 박막 트랜지스터 기판.

청구항 2.

제 1 항에 있어서,

상기 박막 트랜지스터와 상기 유기막 사이에 형성되며 상기 투과홀이 관통하는 무기 절연물의 보호막을 추가로 구비하는 것을 특징으로 하는 반투과형 박막 트랜지스터 기판.

청구항 3.

제 1 항에 있어서,

상기 데이터 링크는 상기 이중 구조로 형성되어 상기 데이터 라인의 끝부분과 중첩되고,

상기 유기막으로부터 상기 데이터 라인 및 상기 게이트 절연막과 상기 데이터 링크의 제2 도전층을 관통하여 상기 데이터 링크의 제1 도전층을 노출시키는 제1 컨택홀과;

상기 반사 전극과 동일한 금속으로 형성되며 상기 제1 컨택홀을 통해 상기 데이터 라인 및 제2 도전층과 측면 접속되고 상기 데이터 링크의 제1 도전층과 면 접속된 제1 컨택 전극을 추가로 구비하는 것을 특징으로 하는 반투과형 박막 트랜지스터 기판.

청구항 4.

제 1 항에 있어서,

상기 데이터 라인 및 게이트 라인 중 어느 하나와 접속된 정전기 방지 소자를 추가로 구비하고;

상기 정전기 방지 소자는,

상기 데이터 라인 및 게이트 라인 중 어느 하나와 접속된 제2 박막 트랜지스터와,

상기 제2 박막 트랜지스터의 게이트 전극 및 소스 전극 사이에 다이오드형으로 접속된 제3 박막 트랜지스터와,

상기 제2 박막 트랜지스터의 게이트 전극 및 드레인 전극 사이에 다이오드형으로 접속된 제4 박막 트랜지스터와;

상기 제3 박막 트랜지스터의 소스 전극 및 게이트 전극을 제2 컨택홀을 통해 접속시키는 제2 컨택 전극과;

상기 제3 또는 제4 박막 트랜지스터의 드레인 전극과 상기 제2 박막 트랜지스터의 게이트 전극을 제3 컨택홀을 통해 접속되는 제3 컨택 전극과;

상기 제4 박막 트랜지스터의 소스 전극 및 게이트 전극을 제4 컨택홀을 통해 접속시키는 제4 컨택 전극을 구비하며;

상기 제2 내지 제4 박막 트랜지스터의 게이트 전극은 상기 이중 구조로, 제2 내지 제4 컨택 전극은 상기 반사 전극과 동일한 금속층으로 형성된 것을 특징으로 하는 반투과형 박막 트랜지스터 기판.

청구항 5.

제 4 항에 있어서,

상기 제2 내지 제4 컨택홀은

상기 유기막으로부터 해당 소스 또는 드레인 전극, 상기 반도체 패턴, 상기 게이트 절연막, 해당 게이트 전극의 제2 도전층 까지 관통하여 해당 게이트 전극의 제1 도전층을 노출시키는 것을 특징으로 하는 반투과형 박막 트랜지스터 기판.

청구항 6.

제 4 항에 있어서,

상기 제1 내지 제4 컨택 전극은 실링재에 의해 밀봉되어질 영역에 형성된 것을 특징으로 하는 반투과형 박막 트랜지스터 기판.

청구항 7.

제 1 항에 있어서,

상기 반사 전극이 엠보싱 표면을 갖도록 상기 유기막이 엠보싱 표면을 갖는 것을 특징으로 하는 반투과형 박막 트랜지스터 기판.

청구항 8.

제1 마스크를 이용하여 투명한 제1 도전층과 불투명한 제2 도전층의 이중 구조를 갖는 게이트 라인 및 게이트 전극, 화소 전극을 형성하는 단계와;

제2 마스크를 이용하여 상기 전극들을 덮는 게이트 절연막과, 그 위에 반도체 패턴과, 그 반도체 패턴 위에 중첩된 데이터 라인, 소스 전극, 드레인 전극, 스토리지 상부 전극을 포함하는 소스/드레인 패턴을 형성하는 단계와;

제3 마스크를 이용하여 상기 소스/드레인 패턴을 덮는 유기막을 형성하고, 상기 화소 전극과 중첩된 투과 영역에서 상기 유기막으로부터 상기 화소 전극의 제2 도전층까지 관통하는 투과홀을 형성하는 단계와;

제4 마스크를 이용하여 상기 투과 영역과 인접한 반사 영역에, 상기 투과홀을 통해 노출된 상기 드레인 전극 및 스토리지 전극을 상기 화소 전극과 접속시키는 반사 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반투과형 박막 트랜지스터 기판의 제조 방법.

청구항 9.

제 8 항에 있어서,

상기 투과홀을 형성하는 단계는

상기 소스/드레인 패턴을 덮는 보호막을 형성하는 단계를 추가로 포함하고,

상기 투과홀은 상기 보호막도 관통하도록 형성된 것을 특징으로 하는 반투과형 박막 트랜지스터 기판의 제조 방법.

청구항 10.

제 8 항에 있어서,

상기 제1 마스크를 이용하여 상기 게이트 라인으로부터 연장된 게이트 패드와, 상기 데이터 라인과 접속되어질 상기 게이트 패드와 같은 이중 구조의 데이터 패드를 형성하는 단계와;

상기 제3 마스크를 이용하여 상기 게이트 패드 및 데이터 패드가 형성된 패드 영역의 상기 유기막으로부터 상기 게이트 패드 및 데이터 패드 각각의 제2 도전층까지 관통하는 제1 및 제2 컨택홀을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 반투과형 박막 트랜지스터 기판의 제조 방법.

청구항 11.

제 10 항에 있어서,

상기 투과홀과 제1 및 제2 컨택홀을 형성하는 단계는

상기 유기막을 형성하고 상기 제3 마스크로 하프 톤 마스크 또는 회절 노광 마스크로 패터닝함으로써 상기 유기막에 상기 투과홀과 제1 및 제2 컨택홀을 형성하고, 상기 반사 영역에서 서로 다른 높이의 제1 및 제2 영역이 반복되며, 상기 패드 영역에서 상대적으로 얇은 제2 영역이 잔류하게 하는 단계와;

패터닝된 유기막을 소성하여 상기 반사 영역에서 상기 유기막이 엠보싱 표면을 갖게 하는 단계와;

상기 소성된 유기막을 마스크로 이용하여 상기 투과홀과 제1 및 제2 컨택홀 각각이 상기 화소 전극과 게이트 패드 및 데이터 패드 각각의 제2 도전층까지 관통하게 하는 단계를 포함하는 것을 특징으로 하는 반투과형 박막 트랜지스터 기판의 제조 방법.

청구항 12.

제 8 항에 있어서,

상기 제1 마스크를 이용하여 상기 데이터 패드로부터 연장되어 상기 데이터 라인의 끝부분과 중첩될 데이터 링크를 형성하는 단계와;

상기 제3 마스크를 이용하여 상기 유기막으로부터 상기 데이터 라인을 경유하여 상기 데이터 링크의 제2 도전층까지 관통하여 상기 데이터 링크의 제1 도전층을 노출시키는 제1 컨택홀을 형성하는 단계와;

상기 제4 마스크를 이용하여 상기 제1 컨택홀을 통해 노출된 상기 데이터 라인 및 데이터 링크를 접속시키는 제1 컨택 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반투과형 박막 트랜지스터 기판의 제조 방법.

청구항 13.

제 8 항에 있어서,

상기 데이터 라인 및 게이트 라인 중 어느 하나와 접속된 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터의 게이트 전극 및 소스 전극 사이에 다이오드형으로 접속된 제3 박막 트랜지스터, 상기 제2 박막 트랜지스터의 게이트 전극 및 드레인 전극 사이에 다이오드형으로 접속된 제4 박막 트랜지스터를 포함하는 정전기 방지 소자를 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 반투과형 박막 트랜지스터 기판의 제조 방법.

청구항 14.

제 13 항에 있어서,

상기 정전기 방지 소자를 형성하는 단계는

상기 제1 마스크를 이용하여 상기 이중 구조를 갖는 상기 제2 내지 제4 박막 트랜지스터 각각의 게이트 전극을 형성하는 단계와;

상기 제2 마스크를 이용하여 상기 게이트 절연막 위에 상기 제2 내지 제4 박막 트랜지스터 각각의 반도체 패턴, 소스 전극, 드레인 전극을 형성하는 단계와;

상기 제3 마스크를 이용하여 상기 제3 박막 트랜지스터의 소스 전극 및 게이트 전극의 중첩부, 상기 제3 또는 제4 박막 트랜지스터의 드레인 전극과 상기 제2 박막 트랜지스터의 게이트 전극의 중첩부, 상기 제4 박막 트랜지스터의 소스 전극 및 게이트 전극의 중첩부 각각에 제2 내지 제4 컨택홀을 형성하는 단계와;

상기 제4 마스크를 이용하여 상기 제4 컨택홀을 통해 노출된 상기 제3 박막 트랜지스터의 소스 전극 및 게이트 전극을 접속시키는 제2 컨택전극, 상기 제5 컨택홀을 통해 노출된 상기 제3 또는 제4 박막 트랜지스터의 드레인 전극과 상기 제2 박막 트랜지스터의 게이트 전극을 접속시키는 제3 컨택 전극, 상기 제6 컨택홀을 통해 노출된 상기 제4 박막 트랜지스터의 소스 전극 및 게이트 전극을 노출시키는 제4 컨택 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반투과형 박막 트랜지스터 기판의 제조 방법.

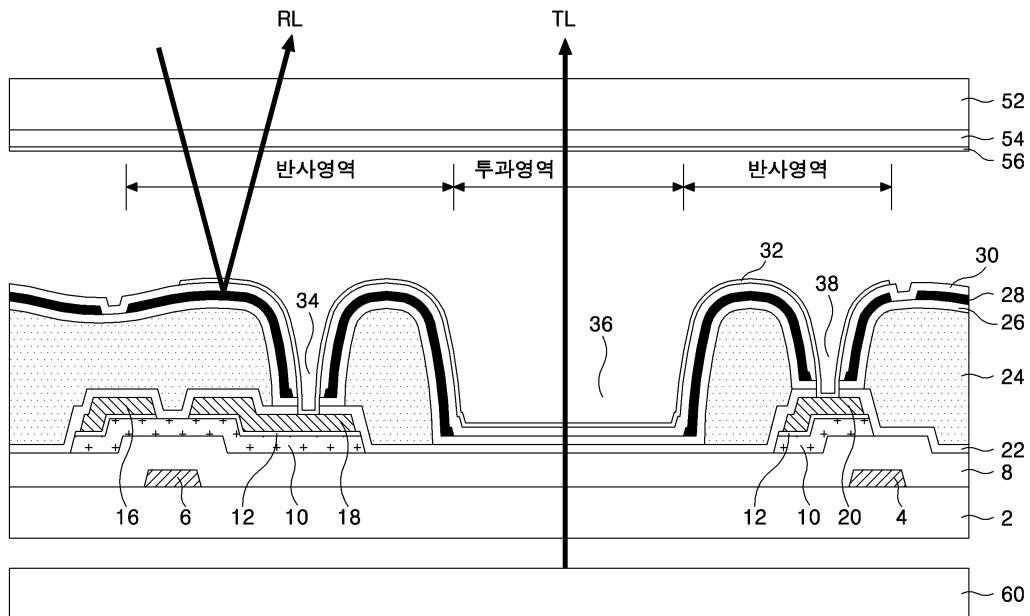
청구항 15.

제 14 항에 있어서,

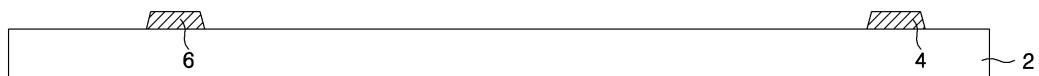
상기 제1 내지 제4 컨택 전극은 실링재에 의해 밀봉되어질 영역에 형성된 것을 특징으로 하는 반투과형 박막 트랜지스터 기판의 제조 방법.

도면

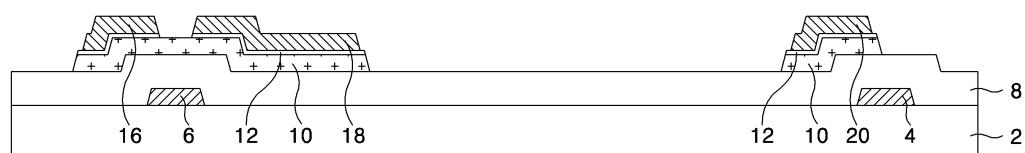
도면1



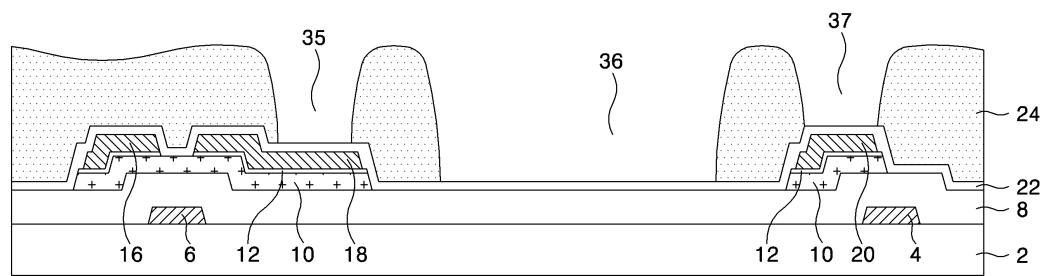
도면2a



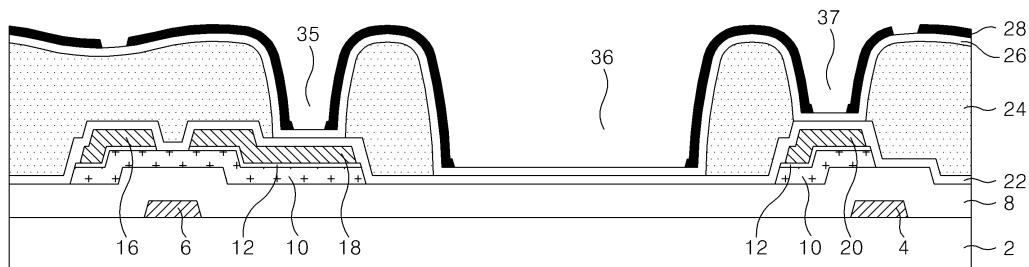
도면2b



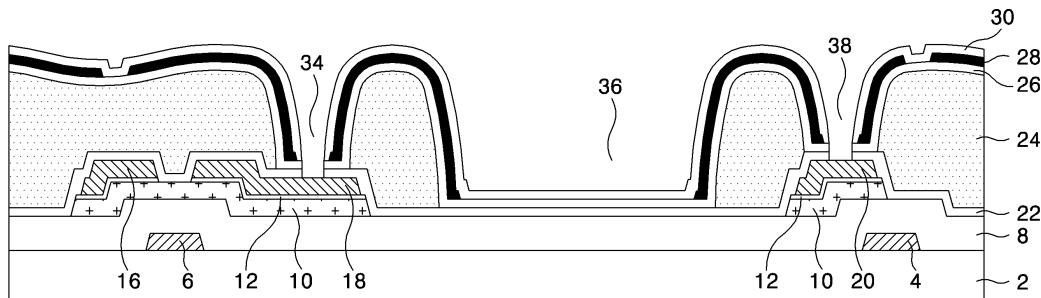
도면2c



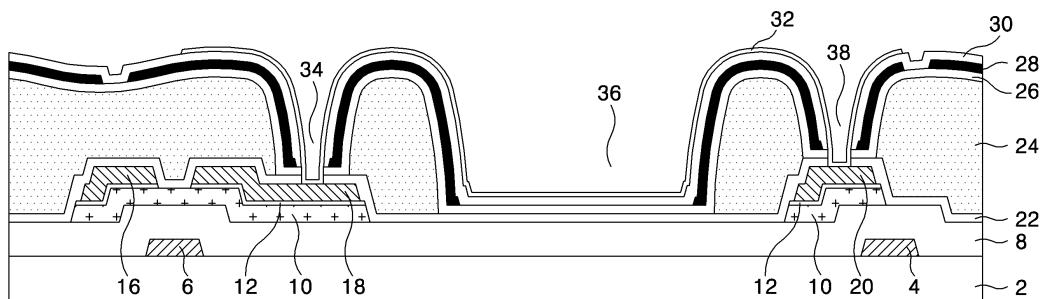
도면2d



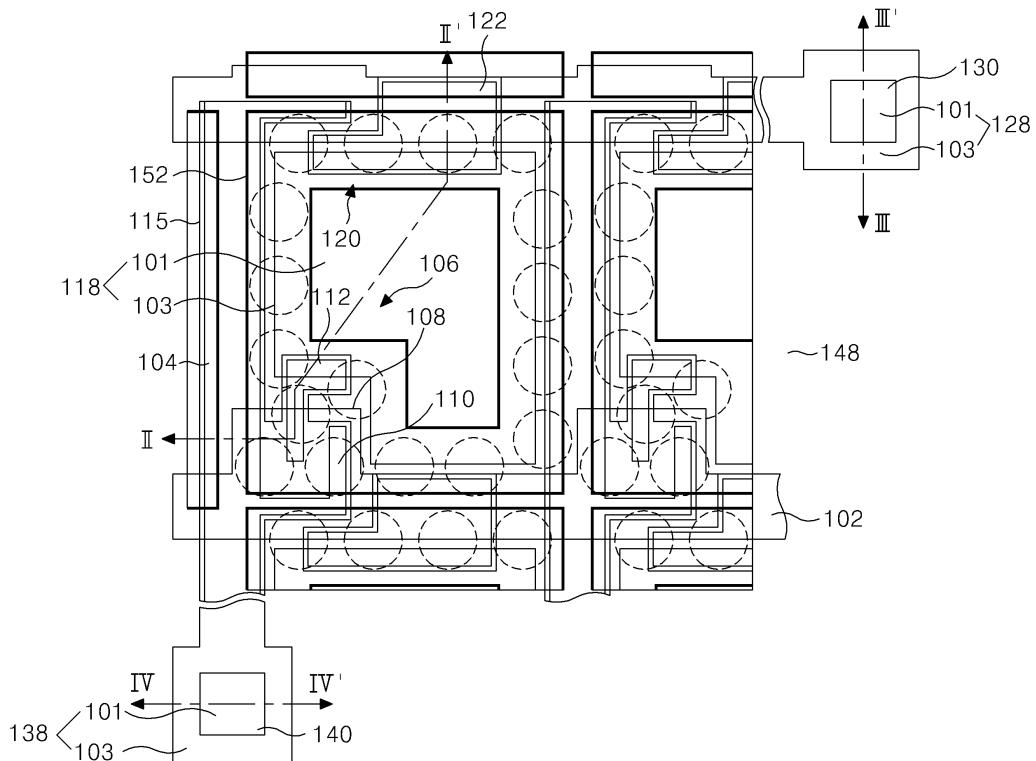
도면2e



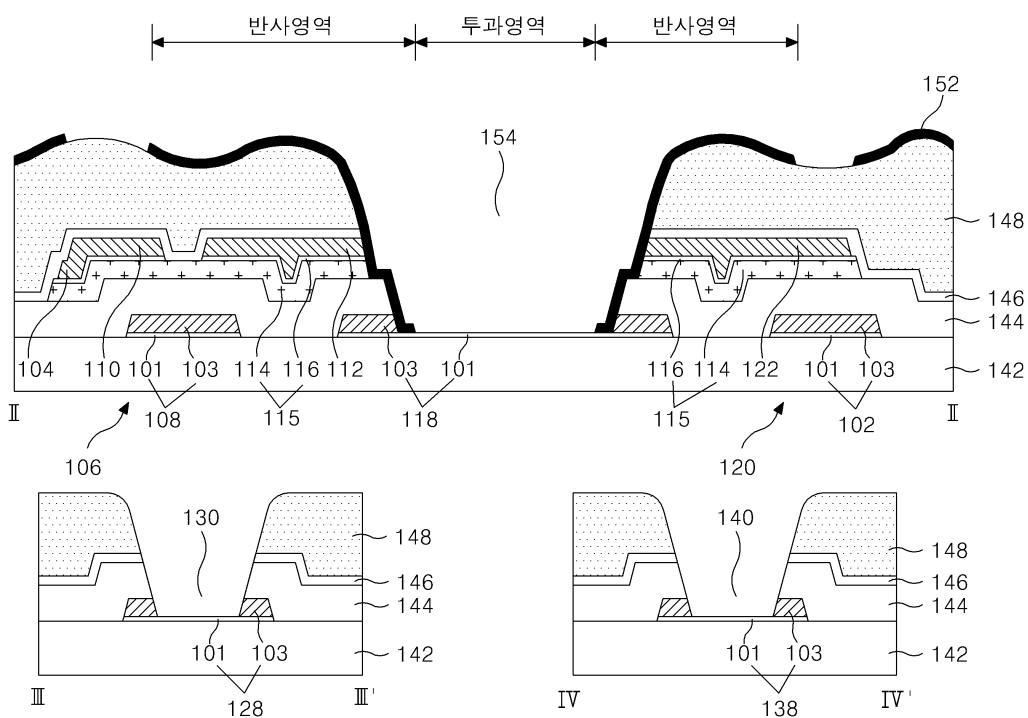
도면2f



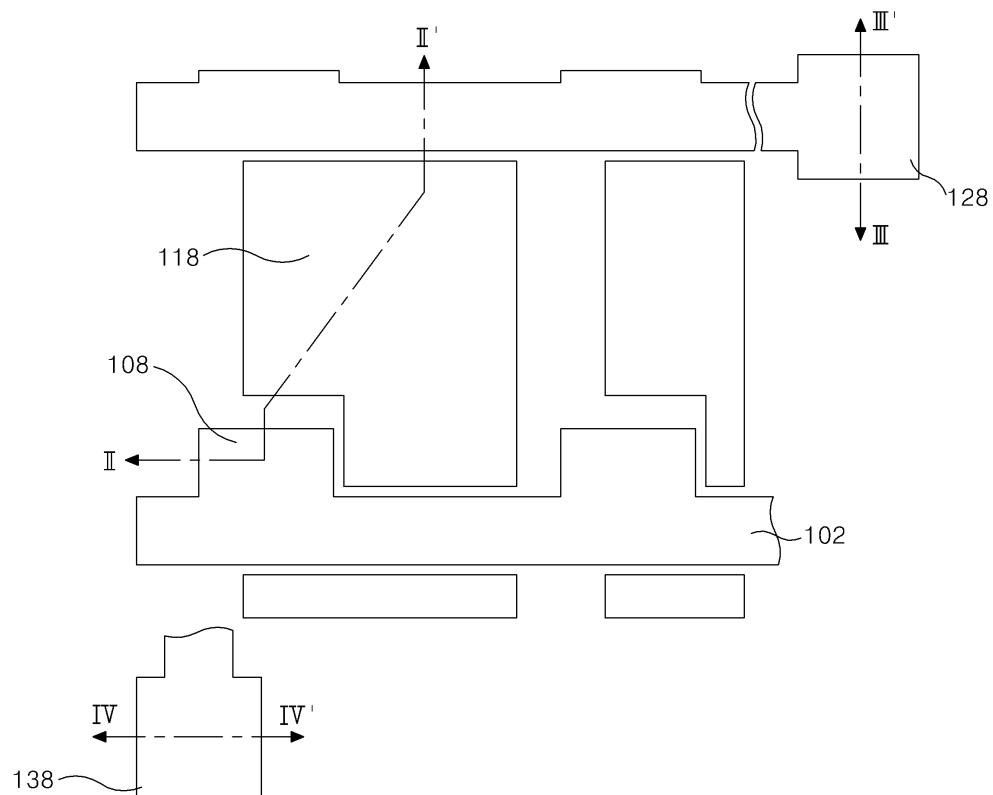
도면3



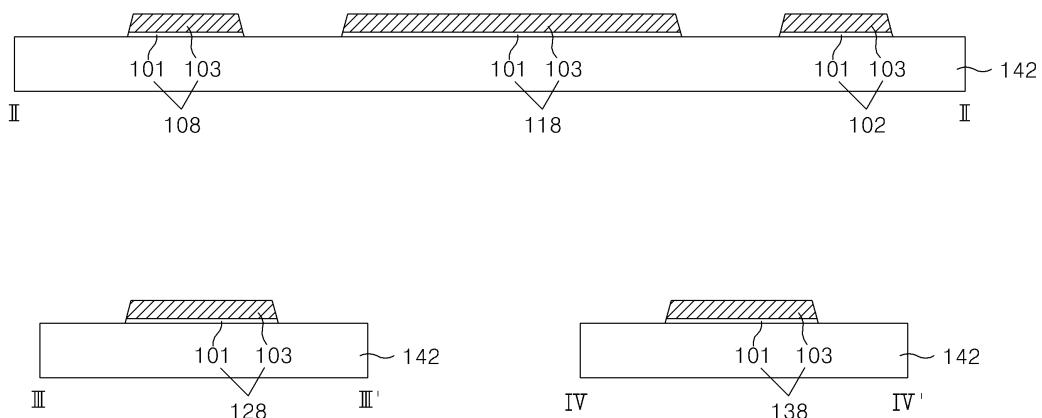
도면4



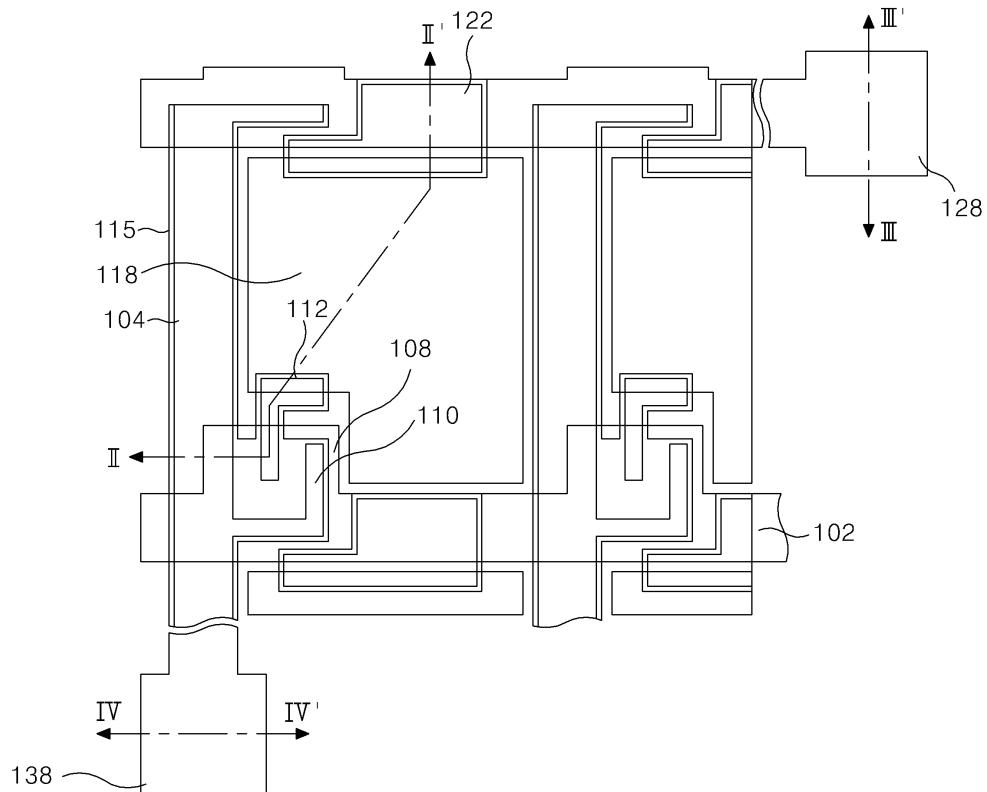
도면5a



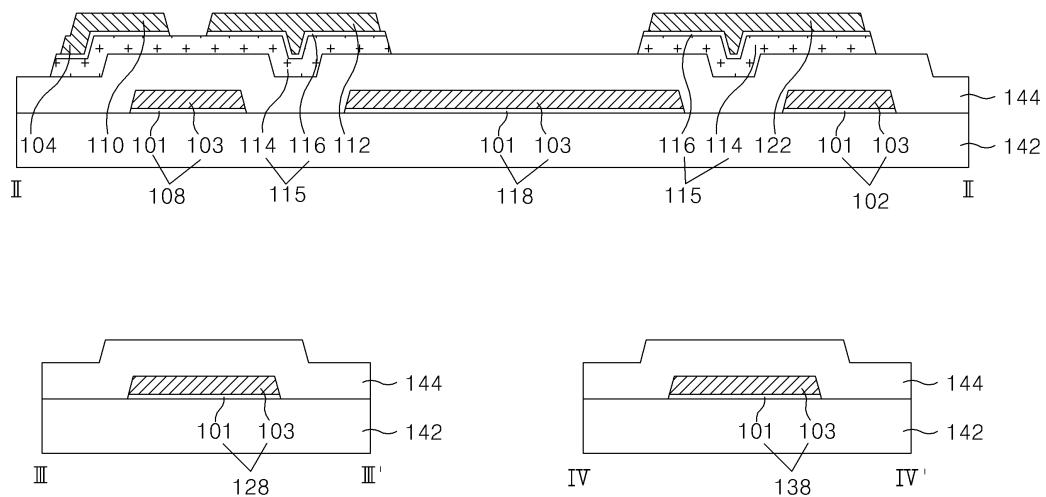
도면5b



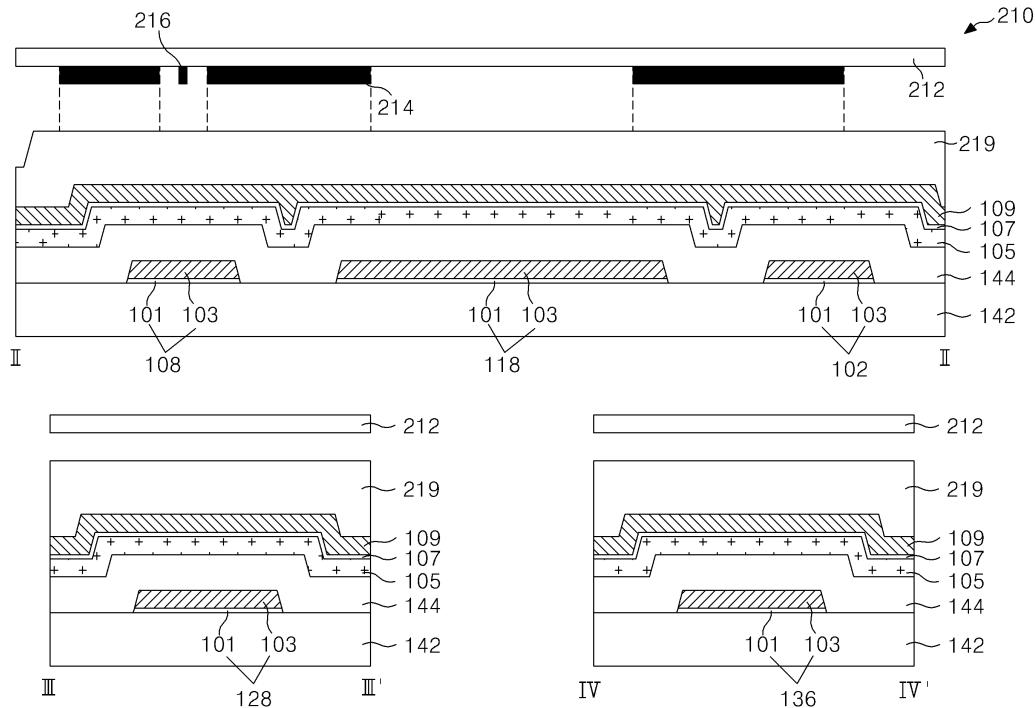
도면6a



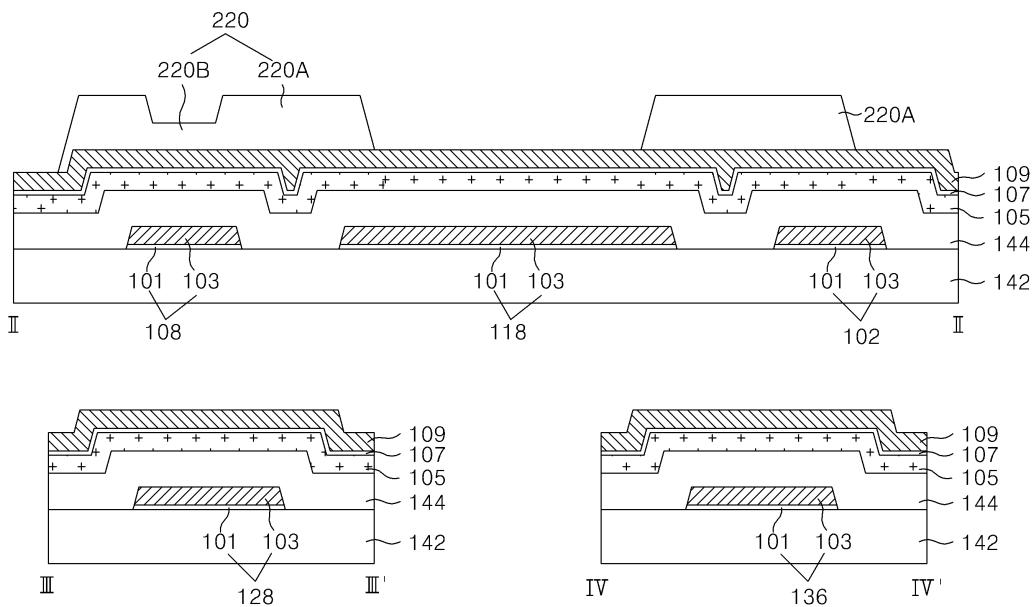
도면6b



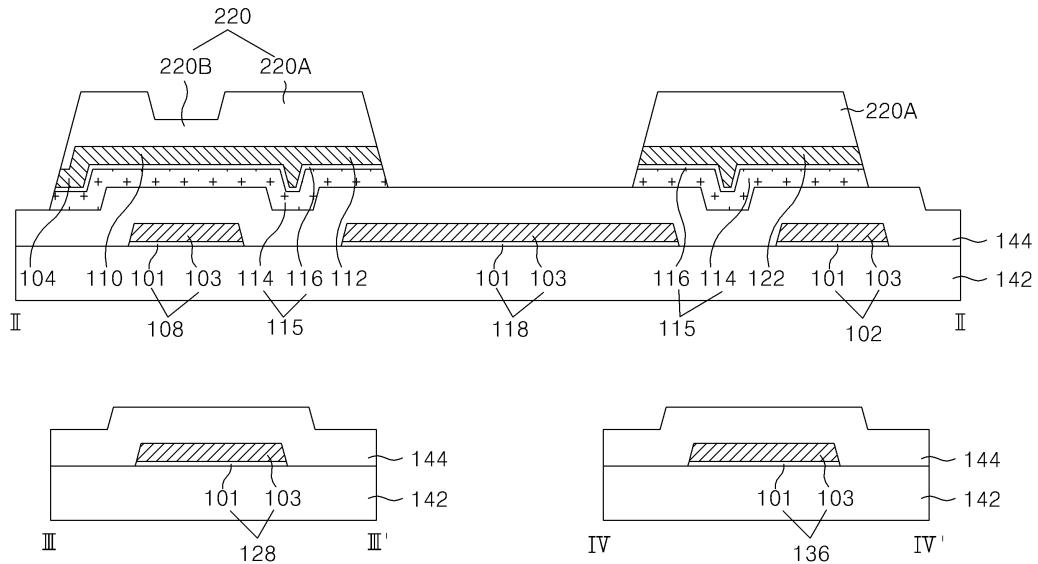
도면7a



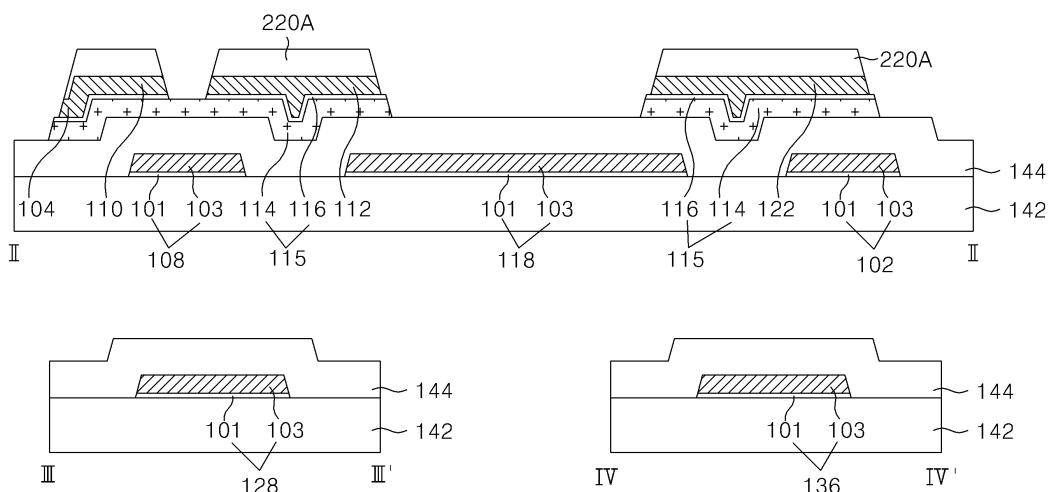
도면7b



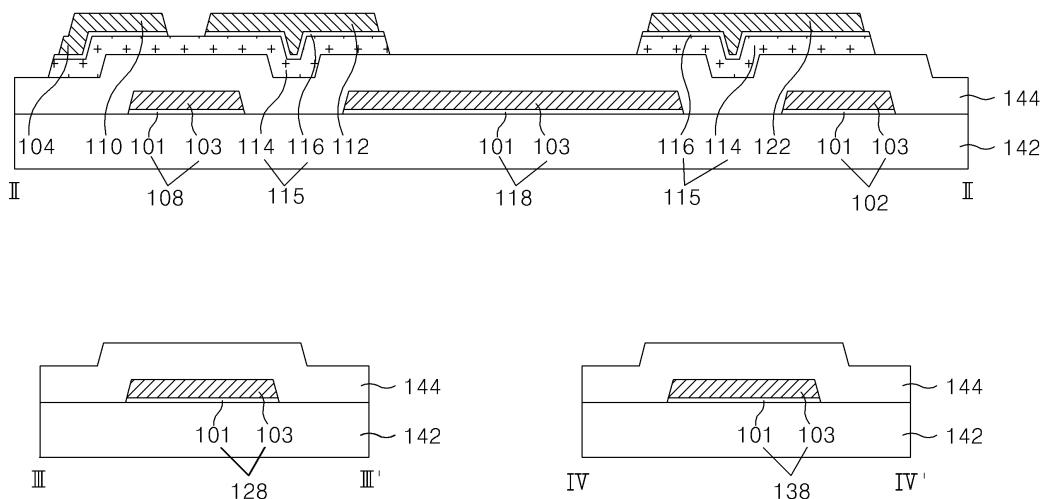
도면7c



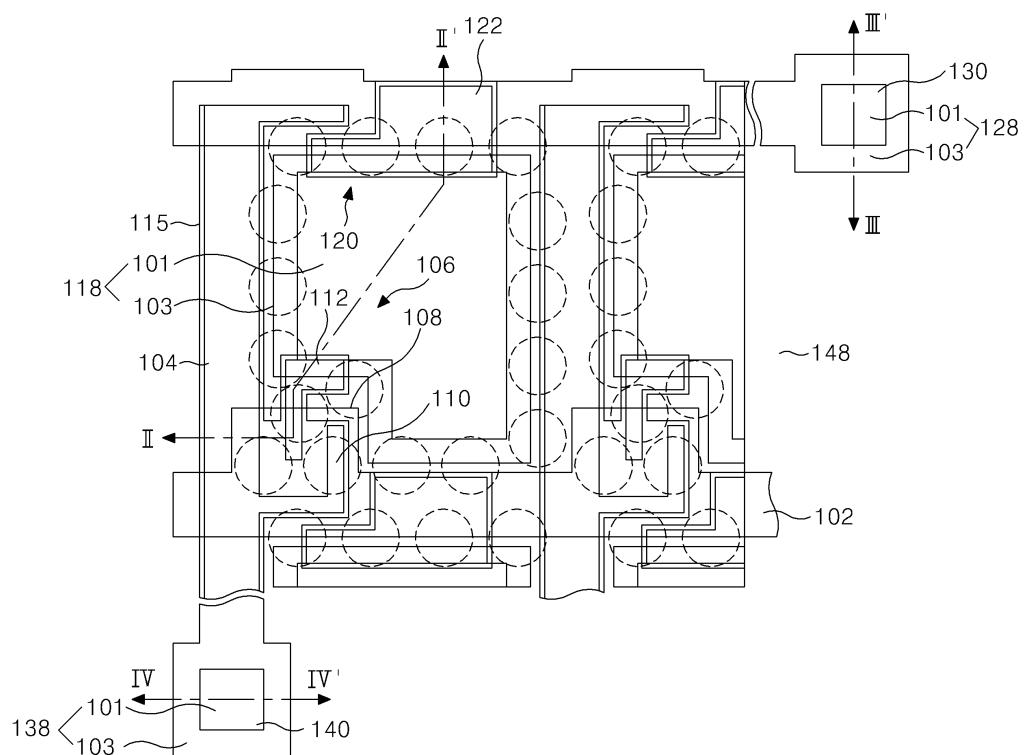
도면7d



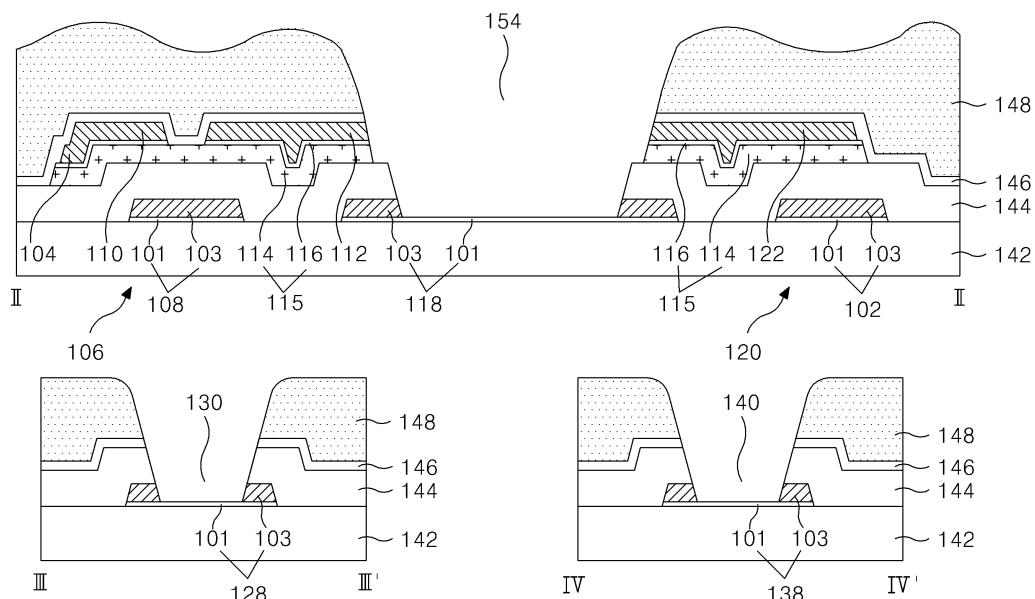
도면7e



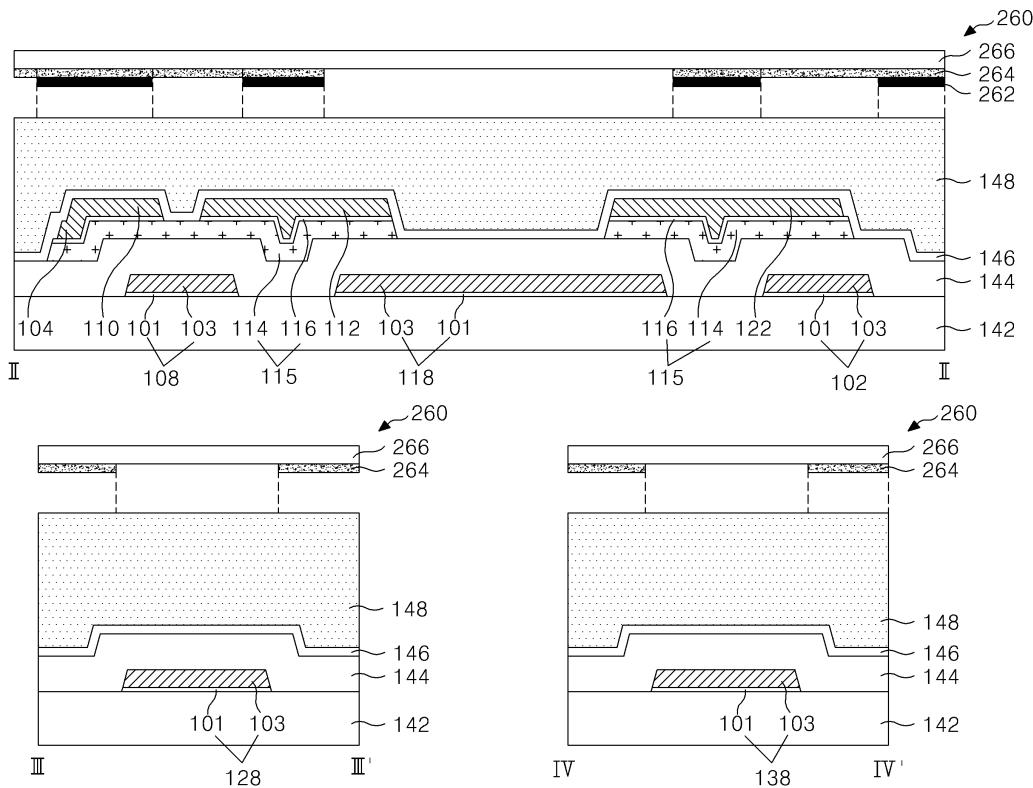
도면8a



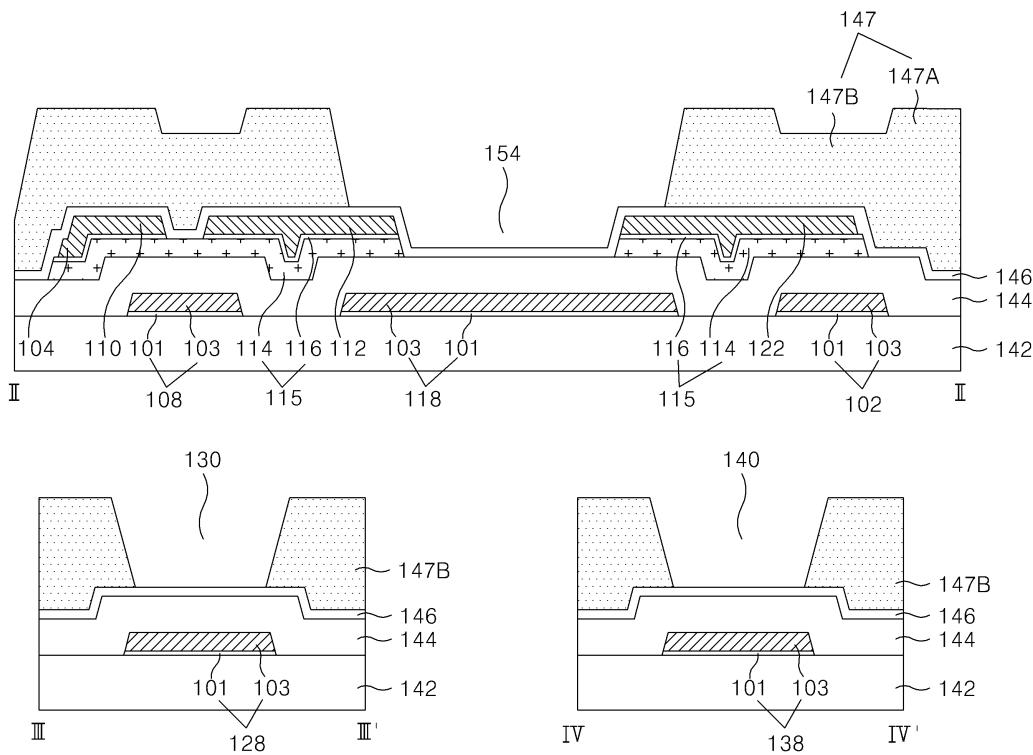
도면8b



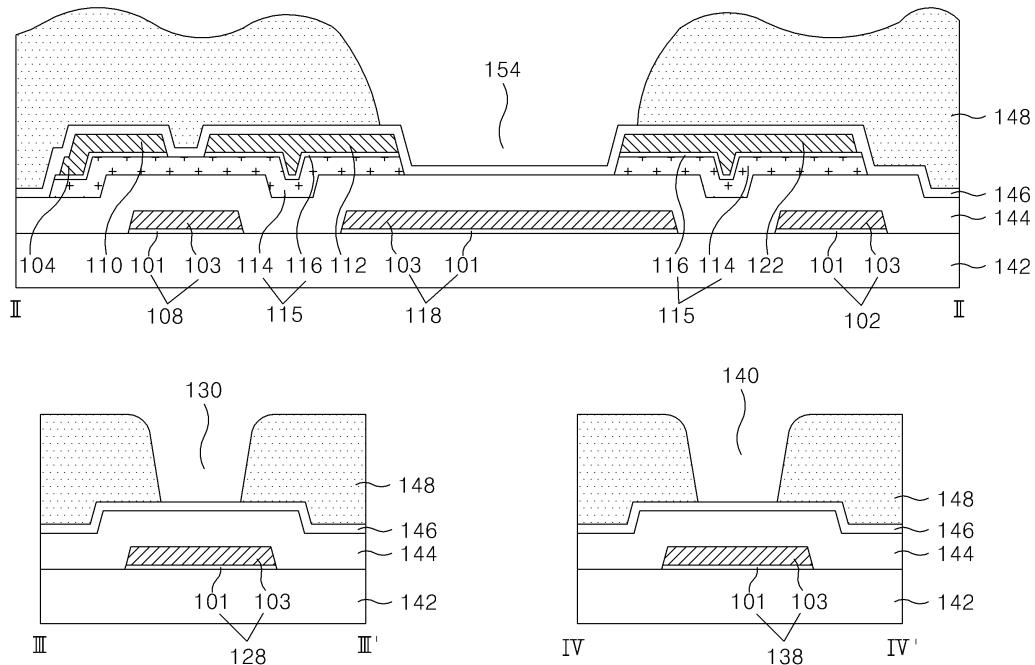
도면9a



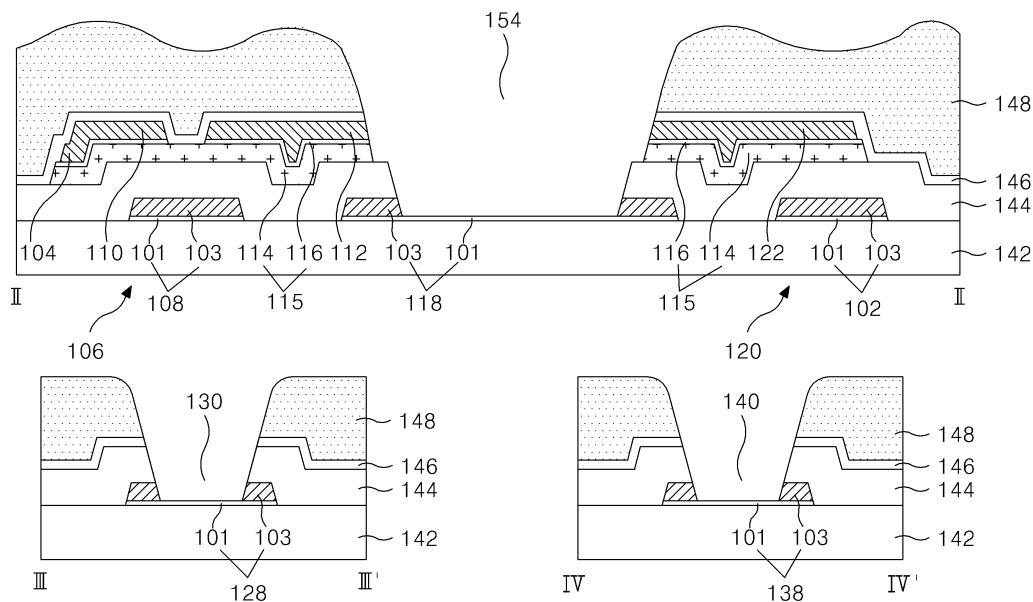
도면9b



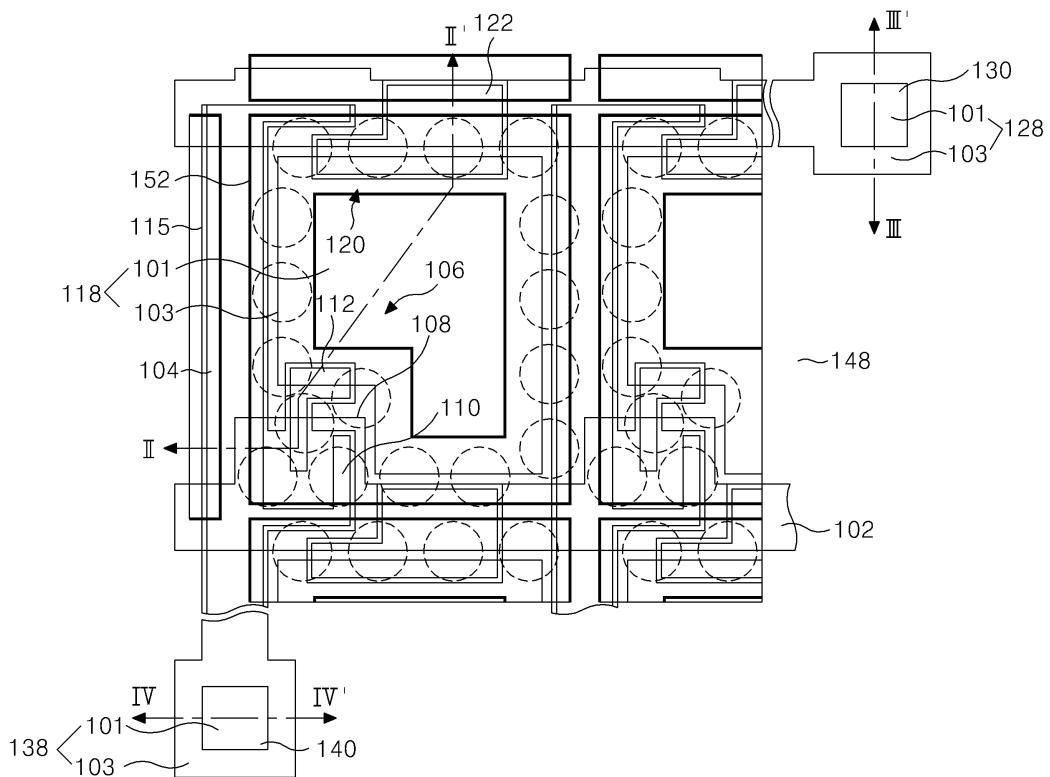
도면9c



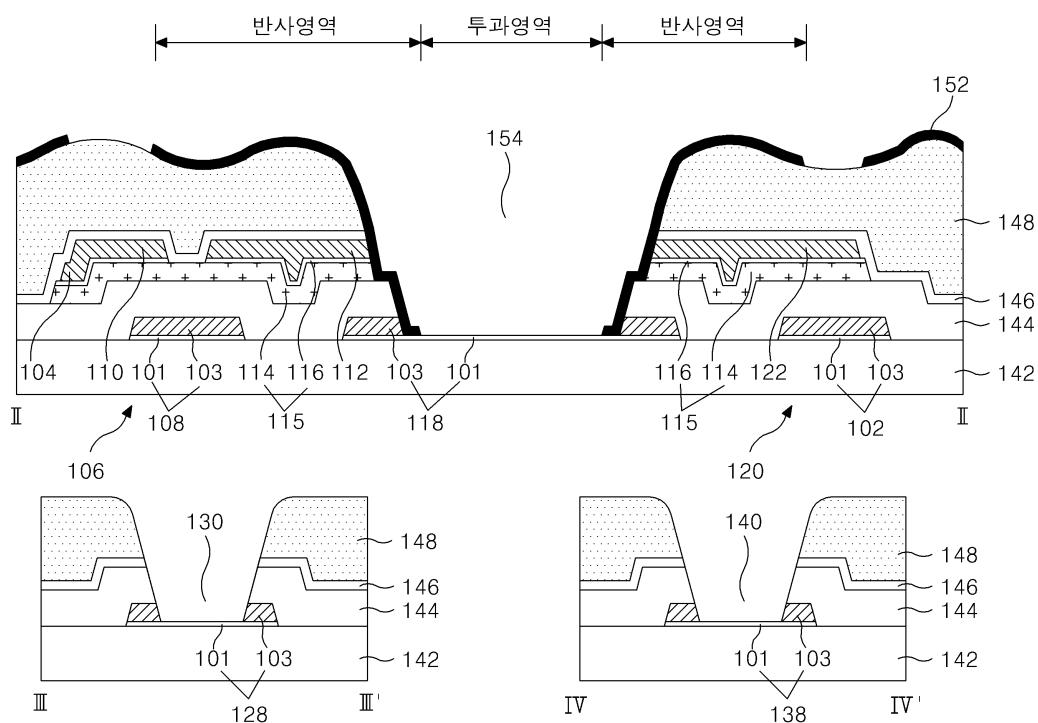
도면9d



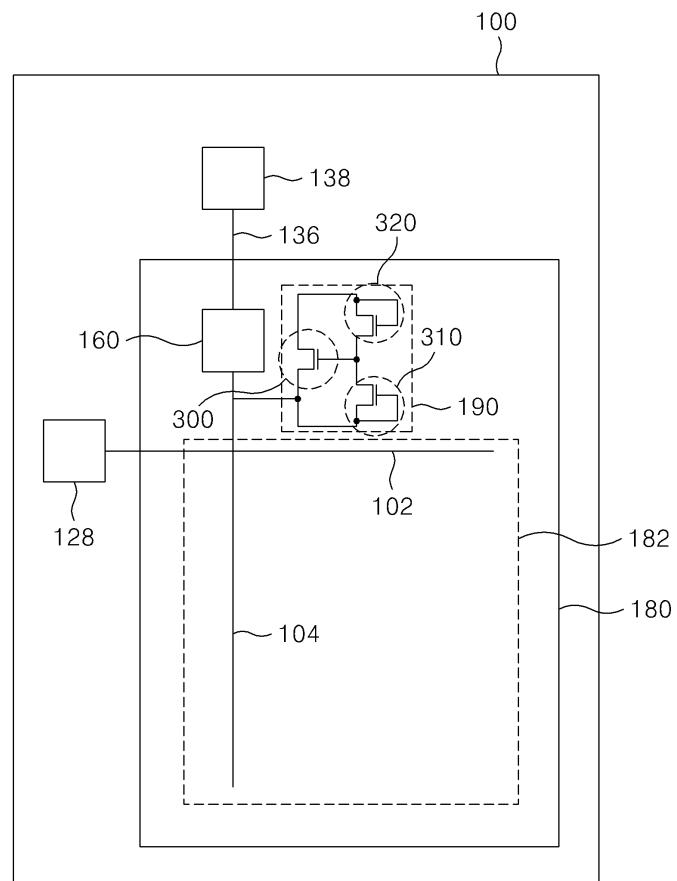
도면10a



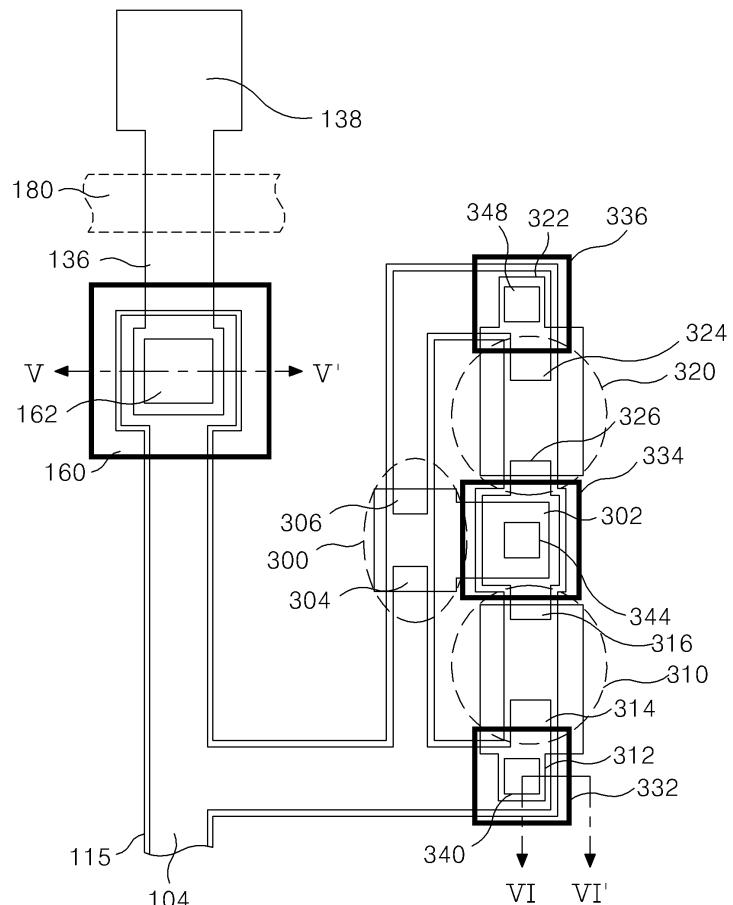
도면10b



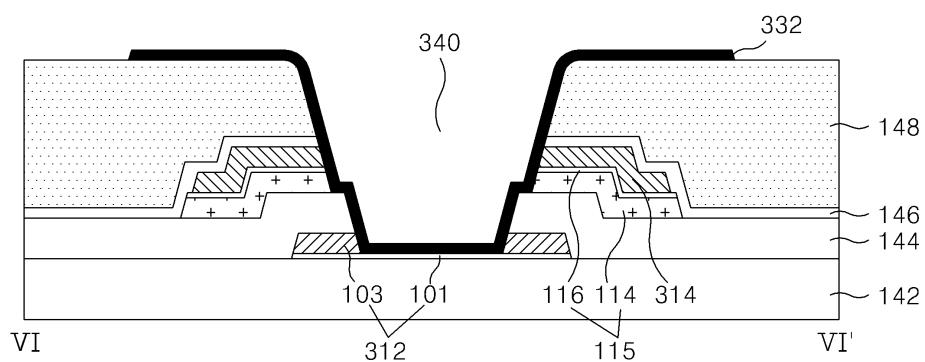
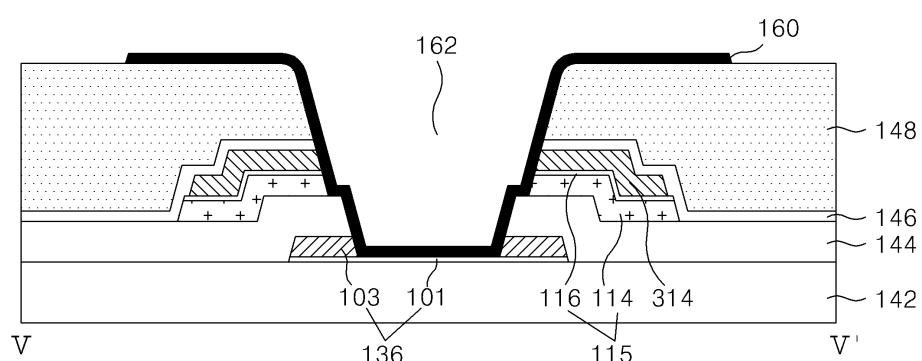
도면11



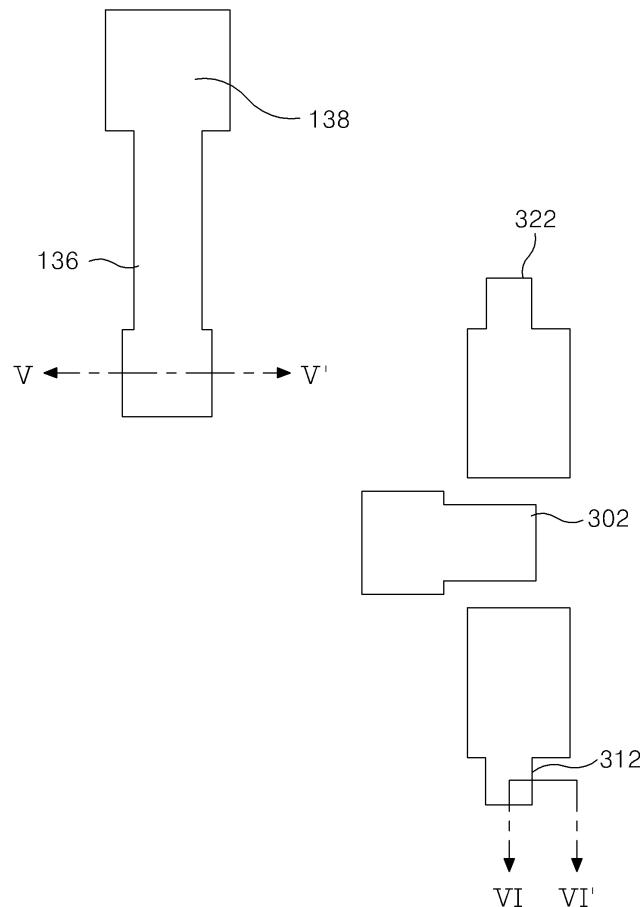
도면12



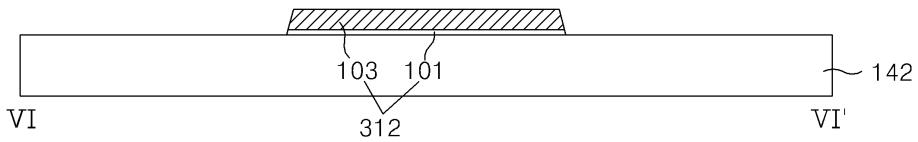
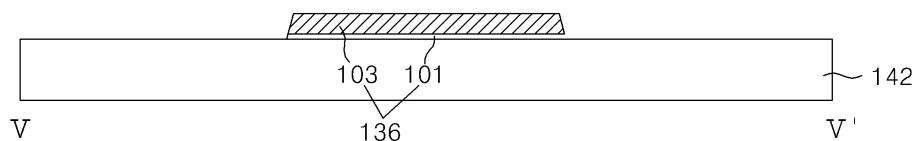
도면13



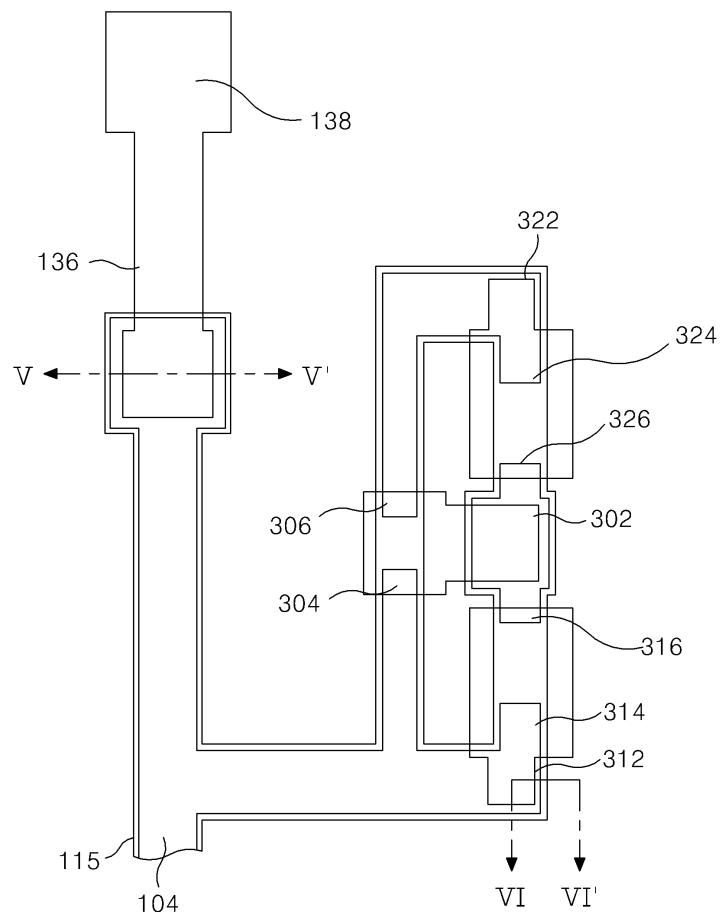
도면14a



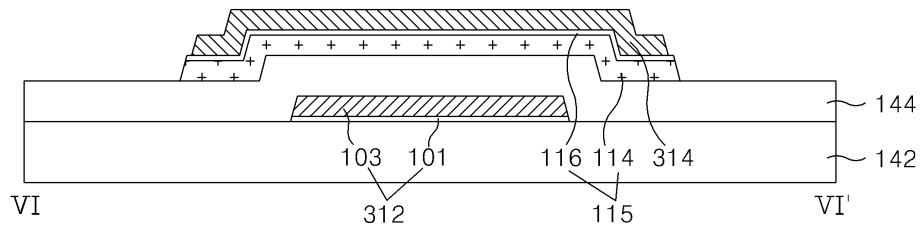
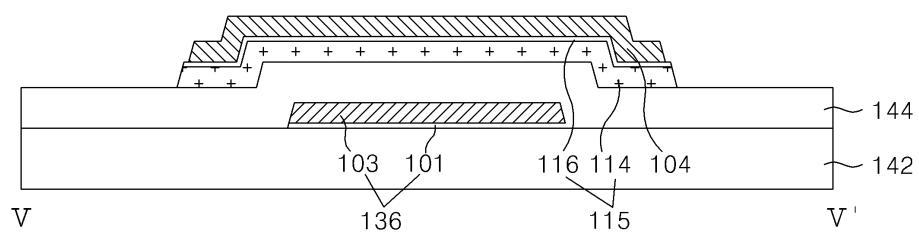
도면14b



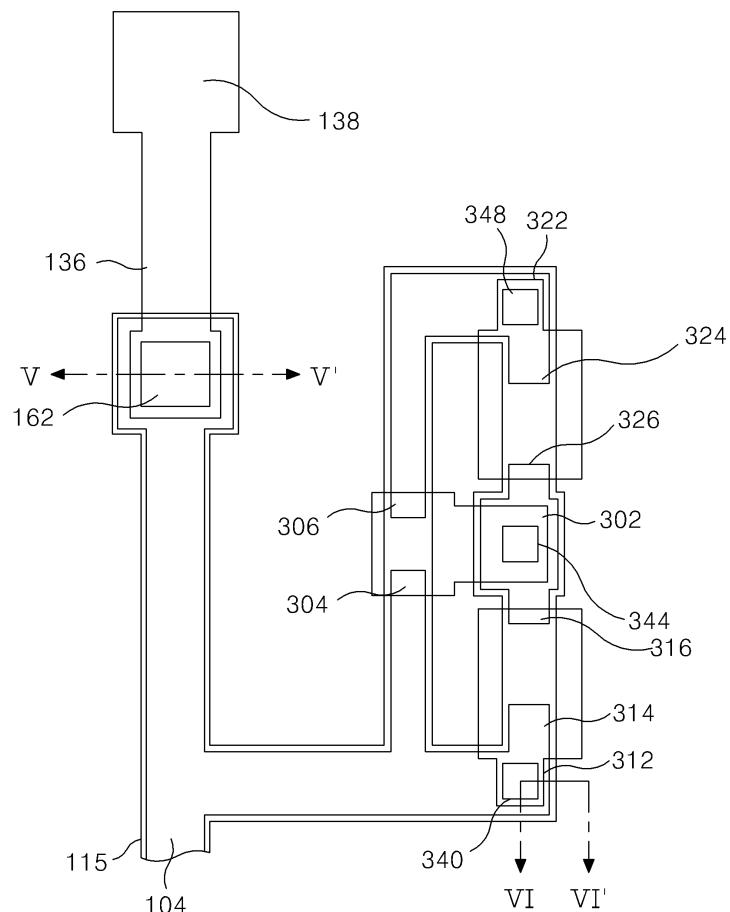
도면15a



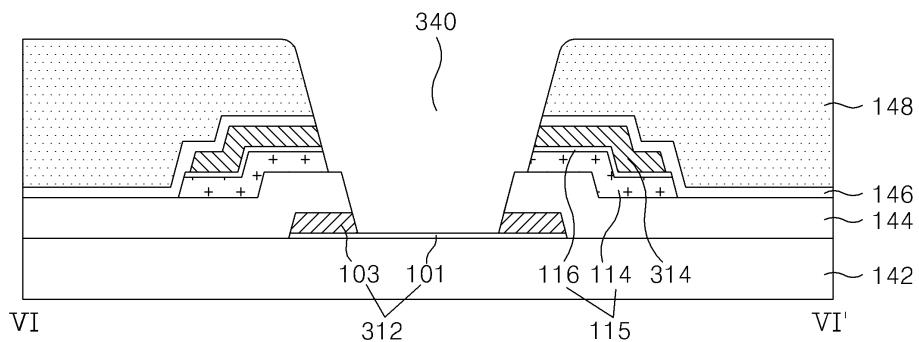
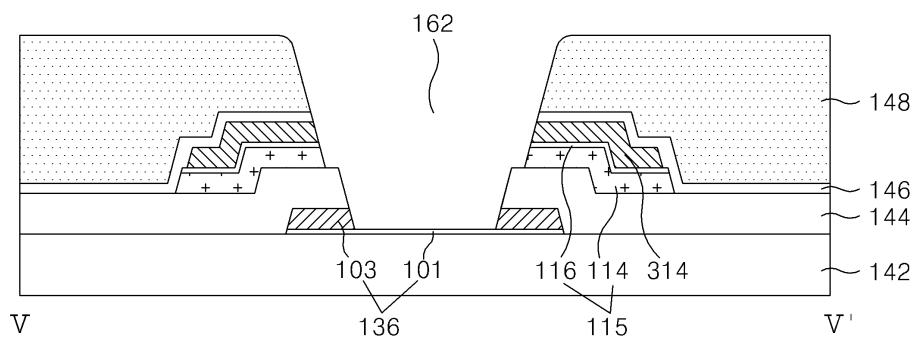
도면15b



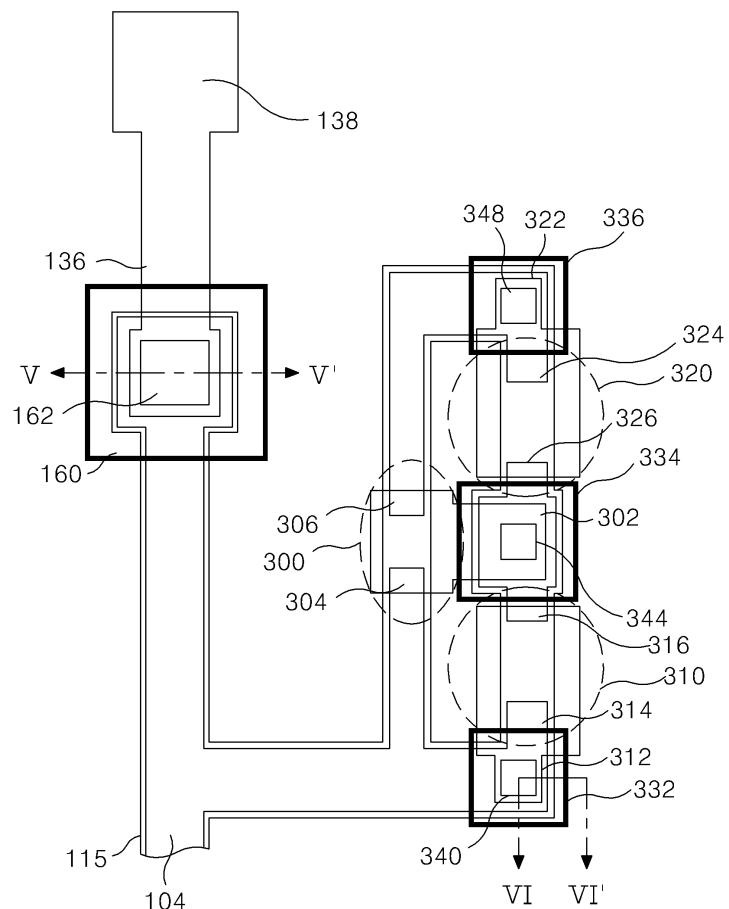
도면16a



도면16b



도면17a



도면17b

