

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 6 部門第 4 区分
【発行日】令和 4 年 2 月 9 日(2022.2.9)

【公開番号】特開 2019-200833(P2019-200833A)
【公開日】令和 1 年 11 月 21 日(2019.11.21)
【年通号数】公開・登録公報 2019-047
【出願番号】特願 2019-92849(P2019-92849)
【国際特許分類】

G 1 1 C 16/10(2006.01)

10

G 0 6 F 12/00(2006.01)

G 1 1 C 16/06(2006.01)

【F I】

G 1 1 C 16/10

G 0 6 F 12/00 5 9 7 U

G 1 1 C 16/06

【手続補正書】

【提出日】令和 4 年 2 月 1 日(2022.2.1)

【手続補正 1】

20

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ホストに接続されたソリッドステート記憶デバイスのメモリアレイのフラッシュメモリーインターフェイスを介してメモリアクセス動作を管理する方法であって、前記方法は、
前記メモリアレイ内で第 1 のメモリアクセス動作を実行することであって、前記第 1 のメモリアクセス動作は第 1 の優先度を有する、ことと、

30

前記メモリアレイ内で実行可能であり、前記第 1 の優先度よりも高い優先度を有する、少なくとも 1 つのメモリアクセス動作のサスペンドを検出することであって、検出動作は、メモリアクセス動作のサスペンドとメモリアクセス動作の非サスペンドとを区別する、ことと、

前記検出動作に応答して、前記メモリアレイ内の前記第 1 のメモリアクセス動作の実行をサスペンドすることと、

サスペンド動作に応答して、前記少なくとも 1 つのメモリアクセス動作のサスペンドを実行することと、

前記第 1 の優先度よりも高い優先度を有し、少なくとも 1 つの時限サスペンド延長期間の満了前に前記メモリアレイ内で実行可能になる、前記メモリアレイ内の 1 つ以上の新たに利用可能なメモリアクセス動作を実行することであって、前記少なくとも 1 つの時限サスペンド延長期間は、前記少なくとも 1 つのメモリアクセス動作のサスペンドを実行する動作の終了後に開始する、前記メモリアレイ内の 1 つ以上の新たに利用可能なメモリアクセス動作を実行することと、

40

前記実行することの完了に응答して、前記メモリアレイ内の前記第 1 のメモリアクセス動作の実行を再開することと、を含み、前記 1 つ以上の新たに利用可能なメモリアクセス動作は再開動作に先だって開始される、方法。

【請求項 2】

前記メモリアレイ内で、1 つ以上の新たに利用可能なメモリアクセス動作を実行する動作が、前記第 1 のメモリアクセス動作がサスペンドされたままである間、複数の時限サスペ

50

ンド延長期間にわたって反復的に実行される、請求項 1 に記載の方法。

【請求項 3】

前記第 1 のメモリアクセス動作が、間隔のシーケンスに分割され、前記第 1 のメモリアクセス動作が、サスペンド前の前記間隔のうちの実行間隔で実行され、前記サスペンド動作が、

前記第 1 のメモリアクセス動作の前記実行間隔が完了するまで、前記第 1 のメモリアクセス動作のサスペンドを遅延させることと、

前記第 1 のメモリアクセス動作の前記実行間隔の完了後に、前記メモリアレイ内の前記第 1 のメモリアクセス動作の実行をサスペンドすることと、を含む、請求項 1 に記載の方法。

10

【請求項 4】

次の間隔が、前記間隔のシーケンス内の前記実行間隔に続き、前記再開動作は、

前記メモリアレイ内の前記第 1 のメモリアクセス動作の実行を、前記シーケンスの次の間隔で再開することを含む、請求項 3 に記載の方法。

【請求項 5】

前記第 1 のメモリアクセス動作がプログラム動作であり、前記プログラム動作よりも高い優先度を有する他のメモリアクセス動作のうちの少なくとも 1 つが、ホスト読み出し動作である、請求項 1 に記載の方法。

【請求項 6】

ネストされたレベルのサスペンド及び再開が、複数のレベルのより優先度の高いメモリアクセス動作に対して実行される、請求項 1 に記載の方法。

20

【請求項 7】

ホストに接続されたソリッドステート記憶デバイスにおいてメモリアクセス動作を管理するためのシステムであって、前記システムは、

1 つ以上のメモリアレイと、

フラッシュメモリアレイインターフェイスであって、前記 1 つ以上のメモリアレイに連結されたメモリコントローラを含み、前記フラッシュメモリアレイインターフェイスは、

前記 1 つ以上のメモリアレイのうちのメモリアレイ内で第 1 のメモリアクセス動作を実行するように構成され、前記第 1 のメモリアクセス動作は第 1 の優先度を有し、

前記フラッシュメモリアレイインターフェイスは、

30

前記メモリアレイ内で実行可能であり、前記第 1 の優先度よりも高い優先度を有する、少なくとも 1 つのメモリアクセス動作のサスペンドを検出するように構成され、検出動作はメモリアクセス動作のサスペンドとメモリアクセス動作の非サスペンドとを区別し、

前記フラッシュメモリアレイインターフェイスは、

前記検出動作に応答して、前記メモリアレイ内の前記第 1 のメモリアクセス動作の実行をサスペンドし、

前記第 1 のメモリアクセス動作の実行のサスペンドに応答して、前記少なくとも 1 つのメモリアクセス動作のサスペンドを実行し、

少なくとも 1 つの再開トリガ条件を検出するように構成され、前記少なくとも 1 つの再開トリガ条件は、

40

サスペンド実行動作の間に実行されるメモリアクセス動作のサスペンドの総数が、メモリアクセス動作のサスペンドの所定のしきい値数に達したかまたは上回るという条件、または

実行優先度のより低いメモリアクセス動作に対する、実行優先度のより高いメモリアクセス動作の比率が所定のしきい値比率に達したかまたは上回る、

という条件であり、

前記フラッシュメモリアレイインターフェイスは、

実行動作の完了前、かつ前記少なくとも 1 つの再開トリガ条件の検出に応答して、前記メモリアレイ内の前記第 1 のメモリアクセス動作の実行を再開するように構成されている、システム。

50

【請求項 8】

前記メモリコントローラが、
前記少なくとも 1 つのメモリアクセス動作を実行する動作の終了後に、少なくとも 1 つの時限サスペンド延長期間を開始するタイマを含み、前記メモリコントローラは、前記再開動作の前に、前記第 1 の優先度よりも高い優先度を有し、前記少なくとも 1 つの時限サスペンド延長期間の満了前に前記メモリアレイ内で実行可能になる、前記メモリアレイ内の 1 つ以上の新たに利用可能なメモリアクセス動作を実行するように更に構成されている、請求項 7 に記載のシステム。

【請求項 9】

前記第 1 のメモリアクセス動作が、間隔のシーケンスに分割され、それぞれの間隔は、前記少なくとも 1 つの時限サスペンド延長期間よりも時間が長く、前記第 1 のメモリアクセス動作が、サスペンドの前に前記間隔のうちの実行間隔で実行され、前記メモリコントローラが、サスペンド動作を、
前記第 1 のメモリアクセス動作の前記実行間隔が完了するまで、前記第 1 のメモリアクセス動作のサスペンドを遅延させること、及び、
前記第 1 のメモリアクセス動作の前記実行間隔の完了後に、前記メモリアレイ内の前記第 1 のメモリアクセス動作の実行をサスペンドすること、により、前記サスペンド動作を実行するように更に構成されている、請求項 8 に記載のシステム。

【請求項 10】

次の間隔が、前記間隔のシーケンス内の前記実行間隔に続き、前記メモリコントローラが、前記シーケンスの次の間隔で前記メモリアレイ内の前記第 1 のメモリアクセス動作の実行を再開することによって、前記第 1 のメモリアクセス動作の実行を再開するように更に構成されている、請求項 9 に記載のシステム。

【請求項 11】

前記メモリコントローラが、前記メモリアレイ内の 1 つ以上の新たに利用可能なメモリアクセス動作を、前記第 1 のメモリアクセス動作がサスペンドされたままである間、複数の時限サスペンド延長期間にわたって反復的に実行するように更に構成されている、請求項 7 に記載のシステム。

【請求項 12】

前記第 1 のメモリアクセス動作がプログラム動作であり、前記プログラム動作よりも高い優先度を有する他のメモリアクセス動作のうちの少なくとも 1 つが、ホスト読み出し動作である、請求項 7 に記載のシステム。

【請求項 13】

より高い優先度を有するメモリアクセス動作が、より低い優先度を有するメモリアクセス動作より先に利用可能にされる、請求項 7 に記載のシステム。

【請求項 14】

ホストに接続されたソリッドステート記憶デバイスのメモリアレイのフラッシュメモリアインターフェイスを介してメモリアクセス動作を管理するプロセスをプロセッサ上で実行するためのプロセッサ実行可能命令を符号化する 1 つ以上の有形プロセッサ可読記憶媒体であって、前記プロセスは、
前記メモリアレイ内で第 1 のメモリアクセス動作を実行することであって、前記第 1 のメモリアクセス動作は第 1 の優先度を有する、ことと、
前記メモリアレイ内で実行可能であり、前記第 1 の優先度よりも高い優先度を有する、少なくとも 1 つのメモリアクセス動作のサスペンドを検出することであって、検出動作は、メモリアクセス動作のサスペンドとメモリアクセス動作の非サスペンドとを区別する、ことと、
前記検出動作に応答して、前記メモリアレイ内の前記第 1 のメモリアクセス動作の実行をサスペンドすることと、
サスペンド動作に応答して、前記少なくとも 1 つのメモリアクセス動作のサスペンドを実行することと、

10

20

30

40

50

前記第 1 の優先度よりも高い優先度を有し、少なくとも 1 つの時限サスペンド延長期間の満了前に前記メモリアレイ内で実行可能になる、前記メモリアレイ内の 1 つ以上の新たに利用可能なメモリアクセス動作を実行することであって、前記少なくとも 1 つの時限サスペンド延長期間は、前記少なくとも 1 つのメモリアクセス動作のサスペンドを実行する動作の終了後に開始する、前記メモリアレイ内の 1 つ以上の新たに利用可能なメモリアクセス動作を実行することと、

実行動作の完了に応答して、前記メモリアレイ内の前記第 1 のメモリアクセス動作の実行を再開することと、を含み、前記 1 つ以上の新たに利用可能なメモリアクセス動作は前記再開する動作に先だって開始される、1 つ以上の有形プロセッサ可読記憶媒体。

10

【請求項 15】

前記第 1 のメモリアクセス動作がプログラム動作であり、前記プログラム動作よりも高い優先度を有する他のメモリアクセス動作のうちの少なくとも 1 つが、ホスト読み出し動作である、請求項 14 に記載の 1 つ以上の有形プロセッサ可読記憶媒体。

【請求項 16】

前記第 1 のメモリアクセス動作がプログラム動作であり、前記プログラム動作よりも高い優先度を有する他のメモリアクセス動作のうちの少なくとも 1 つが、マップ読み出し動作である、請求項 14 に記載の 1 つ以上の有形プロセッサ可読記憶媒体。

20

30

40

50