

申請日期	86.3.8
案 號	86102852
類 別	G02F 1/36-H10K 29/78x

A4
C4

493100

(以上各欄由本局填註)

附件一

第 86102852 號 專利申請案		發 明 專 利 說 明 書 修正本 (90 年 11 月 23 日)	
一、發明 名稱	中 文	薄膜電晶體積體裝置及其製造方法與液晶顯示裝置	
	英 文	THIN FILM TRANSISTOR INTEGRATED DEVICE, METHOD FOR MANUFACTURING THE SAME, AND LIQUID	
二、發明人 創作	姓 名	1. 升谷雄一 2. 沼野良典 3. 小林和弘	
	國 籍	日本國	
	住、居所	1. 至 3. 地址同 日本國東京都千代田區丸之內 2 丁目 2 番 3 號 三菱電機股份有限公司內	
三、申請人	姓 名 (名稱)	三菱電機股份有限公司	
	國 籍	日本國	
	住、居所 (事務所)	日本國東京都千代田區丸之內 2 丁目 2 番 3 號	
	代 表 人 姓 名	北岡隆	

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

日本 國(地區)申請專利，申請日期： 案號： ☒有 ☐無主張優先權

1996 年 11 月 15 日 特願平 8-304293(主張優先權)

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

訂線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[發明所屬之領域]

本發明係關於使用在例如有源矩陣型液晶顯示裝置之薄膜電晶體積體裝置及其製造方法與具備該積體裝置之液晶顯示裝置。

[以往之技術]

以往之有源矩陣型液晶顯示裝置主要係使用扭轉向列(twisted nematic)方法，即，將液晶夾持在表面形成有透明電極的兩片對向的透明絕緣性基板之間，而對液晶施加對此基板成垂直方向之電場，藉以驅動液晶顯示者。

第11圖表示一種採用以往扭轉向列方式之有源矩陣型液晶顯示裝置之液晶面板剖視圖。圖中，1a為玻璃基板等透明絕緣性基板，2為在透明絕緣性基板1a上具有閘配線之閘極，5為閘極絕緣膜，6為隔著閘極絕緣膜5形成在閘極2上之非晶質矽，7為形成在非晶質矽6上之摻雜有磷等雜質之非晶質矽，9、10為形成在摻雜有雜質的非晶質矽7上，而具有與非晶質矽6共同構成半導體元件之源極之源極配線和汲極，11為使用氮化矽或氧化矽等透明絕緣膜之保護膜，26為電性連接於汲極之像素電極，19為定向膜，TFT基板20係由上述各要素所構成。又，23為對向基板，係在透明絕緣性基板1a上形成遮光膜21、外塗(over coat)層22及對向電極27所構成。24為液晶、25為偏光板。採用扭轉向列方式之液晶顯示裝置係對夾在TFT基板20與對向基板23之間的液晶24施加相對於透明絕緣性基板1a面成垂直方向之電場。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

然採用上述扭轉向列方式之液晶顯示裝置，卻於變化視角方向時，會產生對比顯著下降，或於多質變等級顯示(multi-gradation displaying)圖像時，質變等級位階會產生翻轉等顯示上之問題。

與此相對，在有源矩陣型液晶顯示裝置方面，曾有一種將對液晶施加電場之方向設定為對基板面成平行方向之方式，若採用此種方式，則於變化視角方向時之對比降低及以多質變等級顯示時之質變等級位階之翻轉等幾乎會消失之現象，已由例如M.Oh-e氏及其他人士揭露於Asia Display '95, pp.577-580中。

為了對液晶施加對基板面成平行方向之電場而形成在薄膜電晶體積體裝置之兩個電極的形成方法有由M.Ohta氏及其他人士揭示於Asia Display '95, pp.707-710，分別在源極/汲極配線層和閘極層之兩層上形成兩個電極之方法，以及於日本專利特開平7-128683號公報所揭露將兩個電極均以使用源極/汲極配線層來形成之方法。

[欲解決之問題]

就對液晶施加與基板面成平行方向電場之方式而言，則須使用強烈電場以驅動液晶。例如對電極施加5V電壓時，除非使平行電極之間隔作成小至 $4\mu\text{m}$ 至 $6\mu\text{m}$ 左右(註：隨著液晶材料特性之提升，有擴大至 $20\mu\text{m}$ 之傾向)，則不能獲得足以驅動液晶所需之強大電場。又，形成電場之平行電極間隔若有偏差而參差不一，則將導致電場強度變化，以致液晶顯示裝置之顯示亮度會產生偏差而造成顯示不勻，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

檢

五、發明說明(3)

而且電極間隔愈變狹，則相對於電極間隔變化量之電場強度變化量亦愈大，使顯示上之亮度偏差變大。

第12圖係表示在習知方式之液晶顯示裝置中將平行電極間隔與中間質變等級(相當於50%期望透過率)顯示時的局部性平行電極間隔(S)與面板透過率，沿掃描線方向測定所得之結果。由圖中箭頭所示部分可知，平行電極間隔(S)較小部份，面板透過率會增高。由此結果即得以明瞭，習知方式之液晶顯示裝置，其電極寬度(W)之變化係造成面板透過率變化，進而造成顯示不均之原因。

第13圖係根據第12圖所示測定結果之例子，整理其平行電極寬度(W)、變化量 ΔW (等於平行電極間隔(S)之變化量)與面板透過率變化量之關係而得之圖表。由此即可知，平行電極寬度(W)變化量 ΔW 越大面板透過率變化量也越大。由此圖也得知，例如，平行電極寬度(W)為 $3\mu m$ 時，為使面板透過率之變動幅度控制在10%以下，則須將平行電極寬度(W)完成尺寸之變化量 ΔW 壓抑在 $0.2\mu m$ 以下。

形成用以對基板面成平行方向電場之兩個電極之方法，以往曾經揭露出一些方法，但任何方法皆非有效。例如，就對兩層不同層上分別形成兩個電極之方法而言，由於層間之疊合對準位置之偏差，難於高精度下形成出數 μm 級之電極間隔，又於藉分段曝光法形成液晶顯示面板之像素部時，則因每一分割區域之層間疊合之偏移量互異，致存在有以目視即可看出分段曝光部界線之問題。

又，就將二電極均以源極/汲極配線層形成之方法而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

言，層間之疊合不一致所引起問題雖然不會發生，但由於源極/汲極配線係形成在因下層之閘極等而造成凹凸之面上，所以需要足以覆蓋其階梯差之厚度。因此，同時形成的二電極之厚度亦會變厚，致難於達成高精確度之圖案形成(patterning)，以致僅數 μm 程度之電極間隔亦不能以良好精確度形成。而且，由於難於使電極寬度細小化，所以仍有決定液晶顯示裝置之顯示亮度的面板開口(aperture)率不能確保之問題存在。

本發明係鑒於如上所述之問題而完成者，其目的乃在於提供得以高精確度形成對基板面成平行方向電場所需之電極，藉此獲得對基板面成平行方向之電場強度在基板內為均等狀態，且配線及電極部分之面積小之一種薄膜電晶體積體裝置。

本發明之另一目的乃在藉由裝設有搭配對基板面成平行方向之電場強度在基板內呈均等狀態，且配線及電極部分之面積小的薄膜電晶體積體裝置，而提供於採用施加於液晶之電場方向對基板面成平行方向之方式，而幾乎不會發生變化視角方向時之對比降低，以及作多質變等級顯示時之質變等級位階翻轉，且無顯示不勻情事而具有高開口率之一種液晶顯示裝置。

[解決問題之方案]

有關本發明之薄膜電晶體積體裝置，包括：與控制電極同時形成在基板上以形成對基板面成平行方向之電場，呈梳形且互相對向配置之第一電極及第二電極；形成在控

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

制電極、第一電極及第二電極上之絕緣膜；在控制電極上面隔著絕緣膜形成之半導體層；以及一對電極，其中的任一方係連接於與半導體層共同構成半導體元件之第一電極或第二電極者。

又，對基板面成平行方向電場之區域兩側，設有在控制電極側之保持電容量用配線，及位於其相反側而用於對第一電極或第二電極施加電壓之配線。

又，保持電容量用之配線和對第一電極或第二電極施加電壓之配線係至少由一支第一電極或第二電極電性連接。

再者，本發明之薄膜電晶體積體裝置之製造方法，係包括：在基板上同時以相同材料形成控制電極、第一電極及第二電極之製程；在控制電極、第一電極及第二電極上形成絕緣膜之製程；在控制電極上面隔著上述絕緣膜形成半導體層之製程；以及形成與半導體層共同構成半導體元件之一對電極之製程。

又，保持電容量用之配線係由與控制電極、第一及第二電極相同之材料同時形成。

又，包含至少對控制電極、第一電極或第二電極施加電壓之配線及保持電容量用之配線中之任一者被覆低電阻材料之製程。

又，本發明之液晶顯示裝置，係包括：透明絕緣性基板；上述結構中，形成在透明絕緣性基板上之任一薄膜電晶體積體裝置，以及與透明絕緣性基板共同夾持液晶材料

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

之對向基板。

[實施例]

實施例1

茲將本發明之薄膜電晶體積體裝置一實施例及裝設有該積體裝置之液晶顯示裝置配合附圖說明如下。第1圖為本發明薄膜電晶體積體裝置之一像素部俯視圖，第2圖為第1圖之A-A線部分之製程剖面示意圖。圖中，1為基板，2為形成在基板1上而具有閘配線之閘極，3、4為與閘極2同時形成在基板1上以形成對基板1面成平行方向電場之汲極側電極和對向電極，其分別具有梳形，且配置成互相對向。5為全面形成在閘極2、汲極側電極3及對向電極4上之閘極絕緣膜，6為隔著閘極絕緣膜5形成在閘極2上之非晶質矽，7為形成在非晶質矽6上且摻雜有磷等雜質之非晶質矽，8為形成在汲極側電極3上之閘極絕緣膜5的接觸孔，9、10為形成在摻雜有雜質的非晶質矽7上的源極配線和汲極，其中，汲極10係經由接觸孔8電性連接於汲極側電極3。11為使用氮化矽或氧化矽等透明絕緣膜之保護膜，12為對於對向電極4施加電壓之配線，係隔著電場之形成區域而形成在閘極2之相反側。又，藉汲極側電極3和對向電極4來保持電壓之保持電容量，係藉由將梳形之對向電極4之一像素內兩端電極之端部與汲極10相疊合而形成者。薄膜電晶體積體裝置係令由以上要素所構成之像素排列成矩陣狀而形成者。

其次，說明本實施例之薄膜電晶體積體裝置之製造方

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

法如下。首先，如第2(A)圖所示，使用Cr、Al、Mo、Ta、Cu、Ti、W、Al-Cu及Al-Si-Cu、及這些材料之合金，以及ITO等透明導電材料中任一者所成之單層膜、或將這些膜疊層而成之多層膜中之任一者在基板1上形成膜厚為0.03 μm 至0.6 μm 程度之閘極2、用於形成對基板1面成平行方向之電場的汲極側電極3以及對向電極4。此時，將閘極2、汲極側電極3及對向電極4同時形成圖案(patterning)時之蝕刻方法，係採用圖案剖面可成為台座狀之錐角蝕刻(taper etching)方法，但亦可採用圖案剖面為長方形之蝕刻方法。

接著，如第2圖(B)所示，連續沉積閘極絕緣膜5、非晶質矽6以及摻雜雜質之非晶質矽7，並使用由照相製版所形成之抗蝕刻劑將非晶質矽6及摻雜有雜質之非晶質矽7同時加以蝕刻，俾在閘極2之上方形成非晶質矽6及摻雜有雜質之非晶質矽7之圖案(pattern)。此時，閘極絕緣膜5係使用氮化矽及氧化矽、及上述閘極2材料之氧化膜、及將此等膜疊層而成之多層膜中之任一者來形成。又，亦可使用摻雜磷等雜質之微晶矽等以替代摻雜有雜質之非晶質矽7。

其次，如第2圖(C)所示，在汲極側電極3上之閘絕緣膜5形成接觸孔8。接著，如第2圖(D)所示，將由Cr、Al、Mo、Ta、Cu、Ti、W、Al-Cu及Al-Si-Cu、及這些材料之合金，及ITO等透明導電材料中任一者所成之單層膜，或由這些膜疊層而成之多層膜中之任一者製成薄膜，並形成圖案，藉此以在摻雜有雜質之非晶質矽7之圖案上形成互相保持間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

隔而分割成二之源極配線9及汲極10。此種情形下，汲極10係經由接觸孔8電性連接於汲極側電極3。之後，留下由源極配線9和汲極10所覆蓋之部分，以蝕刻除去摻雜有雜質之非晶質矽7。最後，如第2圖(E)所示，全面形成氮化矽或氧化矽等透明絕緣膜作為保護膜11。經由以上所述之製程，即可製得在基板1上具有可對基板1面產生平行方向電場之汲極側電極3和對向電極4之薄膜電晶體積體裝置。

此外，本實施例係就用以形成對於對基板1面生成平行方向電場之電極與閘極2同時形成之薄膜電晶體積體裝置形成方法，與通道蝕刻型薄膜電晶體形成方法相組合之情形加以說明，但亦可與氮化矽等保護膜介裝在非晶質矽6(通道部)上之通道保護膜型薄膜電晶體形成方法相組合，以替代通道蝕刻型薄膜電晶體之方式形成薄膜電晶體積體裝置。

根據本發明，由於在基板1上同時形成用於對基板1面產生平行方向電場之汲極側電極3和對向電極4，所以不會造成下層之凹凸及層間之疊合偏差而引起電極間隔值之精確度下降，且由於係形成在平坦基板1上，所以可使汲極側電極3和對向電極4之膜厚薄化而形成微細狀，以製成對基板1面成平行方向之電場強度在基板1內為均等且電場形成區域之電極部分之面積較小的薄膜電晶體積體裝置。又於藉分段曝光來形成薄膜電晶體積體裝置時，由於分段曝光部間之電極間隔不會產生偏差，所以難以目視辨認出分段曝光所引起之界線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

實施例2

第3圖為本發明實施例2之薄膜電晶體積體裝置之一像素部之俯視圖。圖中，13為由汲極側電極3和對向電極4所形成之電場電壓，亦即，在液晶顯示裝置中用於保持施加於液晶的電壓之保持電容量之共通配線，其係與閘極2同時形成在基板1上。此外，與第1圖相同之部分則標註相同符號並省略其說明。又，因本實施例之薄膜電晶體集體裝置之製造方法乃與實施例1者相同，故省略其說明。

在實施例1中，保持電容量係藉由疊合對向電極4端部和汲極10來形成之，所以為了使保持電容量提高，則須使對向電極4端部之圖案加大，且因對向電極4係用於形成保持電容量，因此，對於對向電極4施加電壓所用之電線12之負載較大，致未便縮小其配線寬度。

惟，在本實施形態中，對於電場形成區域而言，形成保持電容量所需之共通配線13，係位於與閘極2相同邊側，且在閘極2和汲極側電極3之間，藉以使薄膜電晶體部分，與經由接觸孔8連接汲極側電極部分的汲極10疊合在共通配線13上，故容易形成足夠的保持電容量。

實施例3

實施例2係單獨設置用於形成保持電容量之共通配線13，惟如第4圖所示，藉由使共通配線13電性連接於梳形的對向電極4中之一條線狀電極，即使共通配線13或對於對向電極4施加電壓之配線中之任一方發生斷線，因仍可由對向電極4相連接，所以不會構成線缺陷。此外，與共通配

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

線13相連接之對向電極4亦可作成複數個。

又如第5圖所示，由藉由使共通配線13電性連接於梳形的對向電極4中之一條線狀電極，則可不必使對於對向電極4施加電壓之配線12連接於鄰接像素之配線12。

根據本實施例，藉由使共通配線13與對於對向電極4施加電壓之配線12相連接即可提高配線之長度，且對於對向電極4施加電壓之配線12並未與鄰接像素之配線12相連接，因此，可減少配線12與源極配線9之交叉部分，使得下層之階梯差所造成之斷線或層間短路減少，以減少產品不良率。

實施例4

第6圖為本發明實施例4之薄膜電晶體積體裝置之一像素部之俯視圖，第7圖為沿第6圖B-B線部分之製程剖面示意圖。圖中，14為使閘極2低電阻化之配線，15為使共通配線13低電阻化之配線，16為使對於對向電極4施加電壓之配線12低電阻化之配線，配線14、15、16均係同時形成在基板1上。此外，關於與第3圖相同之部分則標註相同符號並省略其說明。

其次，將本實施形態之薄膜電晶體積體裝置之製造方法加以說明。

首先，如第7圖(A)所示，使用由Cr、Al、Mo、Ta、Cu、Ti、W、Al-Cu及Al-Si-Cu及這些材料之合金、以及ITO等透明導電材料中任一材料所成之單層膜9或將由這些膜疊層所成的多層膜中之任一者，在基板1上同時形成使閘極2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

低電阻化之配線14、使共通配線13低電阻化之配線15、使對於對向電極4施加電壓之配線12低電阻化之配線16(未圖示)，此處，將配線14、15、16同時形成圖案時所用之蝕刻方法，係使用圖案剖面形成台座形之錐角蝕刻法，但亦可用圖案剖面呈長方形之蝕刻法。

其次，如第7(B)圖所示，對閘極2、共通配線13、對向電極4施加電壓之配線12(未圖示)以及對基板1面形成平行方向電場之汲極側電極3及對向電極4，使用Cr、Al、Mo、Ta、Cu、Ti、W、Al-Cu與Al-Si-Cu以及該等材料之合金以及ITO等透明導電材料之任一者所成之單層膜，或該等膜層疊而成之多層膜等任一者，以閘極2包含使閘極2低電阻化之配線14、共通配線13包含使共通配線13低電阻化之配線15，對於對向電極4施加電壓之配線12則包含使配線12低電阻化之配線16(未圖示)的形態同時形成之。此層之膜厚應儘可能地予以薄化，俾以高精確度形成汲極側電極3及對向電極4。又，形成圖案時之蝕刻方法，雖係使用圖案端部呈垂直之蝕刻法，但採用錐角蝕刻法亦可行。

接著，如第7圖(C)所示，連續沉積閘極絕緣膜5、非晶質矽6及摻雜有雜質之非晶質矽7，並使用以照相製版所形成之抗蝕刻劑，同時蝕刻非晶質矽6及摻雜有雜質之非晶質矽7，使非晶質矽6及摻雜有雜質之非晶質矽7之圖案形成在閘電極2之上方位位置。此時，閘極絕緣膜5係使用氮化矽及氧化矽、上述閘極2材料之氧化膜，以及由這些膜疊層之多層膜中之任一者形成 $0.1\mu\text{m}$ 至 $1.0\mu\text{m}$ 左右之膜厚。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

又，使用摻雜磷等雜質之微晶矽等替代摻雜雜質之非晶質矽7亦可行。

接著，如第7圖(D)所示，在汲極側電極3上之閘極絕緣膜5形成接觸孔8。其次，如第7圖(E)所示，將由Cr、Al、Mo、Ta、Cu、Ti、W、Al-Cu及Al-Si-Cu、及這些材料之合金、及ITO等透明導電材料中之任一材料所成之單層膜，或由這些膜疊層而成之多層膜中之任一者以 $0.1\mu\text{m}$ 至 $1.0\mu\text{m}$ 左右之膜厚製成膜並形成圖案，藉以在摻雜有雜質之非晶質矽7圖案上形成互相保持間隔地分割成二之源極配線9及汲極10。此時，汲極10係藉接觸孔8與汲極側電極3構成電性連接。之後，留下由源極配線9和汲極10所覆蓋之部分，以蝕刻除去摻雜有雜質之非晶質矽7。最後，如第7圖(F)所示，全面形成氮化矽或氧化矽等透明絕緣膜作為保護膜11。

此外，在本實施例中，係就對基板1面成平行方向電場之電極與閘極2同時形成之薄膜電晶體積體裝置形成方法與通道蝕刻型薄膜電晶體形成方法相組合之情形加以說明，但與通道保護膜型薄膜電晶體之形成方法相組合以替代通道蝕刻型薄膜電晶體形成方法來形成薄膜電晶體積體裝置亦可。

又在本實施例中，係使用實施例3之薄膜電晶體積體裝置結構來說明，但在實施例1或2之薄膜電晶體積體裝置結構中也可同樣地形成閘極2、對於對向電極4施加電壓之配線12、及在共通配線13之下層形成低電阻配線，而獲得

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

相同效果。

根據本實施例，由於可僅對須要使配線電組變小之配線部分使用低電阻材料或予薄膜化來形成低電阻配線，所以得以對需要高精確度且微細的圖案之基板1面形成平行方向電場之汲極側電極3和對向電極4予以薄膜化之狀態下，使需要低電阻之配線部分之圖案寬度縮小。

實施例5

第8圖為本發明實施例5之薄膜電晶體積體裝置之一像素部之俯視圖，第9圖為沿第8圖C-C線部分之斷面圖。圖中，17為在梳形之汲極側電極3和對向電極4互相面對而形成對於基板1面成平行方向電場的區域中，已除去閘極絕緣膜5及保護膜11之部分。此外，與第6圖相同之部分則標註相同符號並省略其說明。又因本實施例之薄膜電晶體積體裝置之製造方法乃與實施例4相同，故省略其說明。

由於在形成電場之汲極側電極3和對向電極4上形成有閘極絕緣膜5或保護膜11，所以由汲極側電極3和對向電極4所形成之電場強度會減損，因此，如欲使電場強度提高，則須提高驅動電壓或使汲極側電極3與對向電極4之電極間隔變窄，且需要高精確度之圖案。在本實施例之薄膜電晶體積體裝置，則藉由除去用以形成電場之汲極側電極3和對向電極4上之閘極絕緣膜5或保護膜11來防止電場強度之減損。

本實施例之薄膜電晶體積體裝置，係在與實施例1、2、3、及4同樣方法所形成薄膜電晶體積體裝置中，經形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

保護膜11後，在電場形成區域中，使欲除去部分17之閘極絕緣膜及保護膜11予以蝕刻除去。除去部分17之構成有諸如：如第9圖(A)所示，除去全部閘極絕緣膜5及保護膜11之方法；如第9圖(B)所示，除去保護膜11後留下部分閘極絕緣膜5而予以除去之方法，以及如第9圖(C)所示，除去閘極絕緣膜5及保護膜11後，再形成薄層保護膜18之方法。

根據本實施例，藉由將對基板1面成平行方向電場之形成區域之汲極側電極3和對向電極4上之閘極絕緣膜5及保護膜11予以除去，即不至於使所形成之電場強度減損，所以可以用相同驅動電壓且不會使汲極側電極3與對向電極4之電極間隔變窄，而能有效率地形成電場。

實施例6

第10圖為表示裝設有本發明薄膜電晶體積體裝置之液晶顯示裝置之液晶面板剖面圖。圖中，1a為玻璃基板等透明絕緣性基板，19為定向膜，20為TFT基板，21為遮光膜，22為外敷層，23為對向基板，24為液晶，25為偏光板。此外，與實施例1相同之部分則標註相同符號並省略其說明。

經由與實施例1、2、3、4及5相同方法在透明絕緣性基板1a上形成薄膜電晶體積體裝置後，全面形成定向膜19以構成TFT基板20。在另一透明絕緣性基板1a上依序形成用以遮蔽會造成顯示不良之光線的遮光膜21、外敷層22、定向膜19，以構成對向基板23。將如此形成之TFT基板20與對向基板23互相面對，在其間注入液晶24，並在兩基板外側貼以偏光板25，即可構成液晶面板。

經濟部智慧財產局員工消費合作社印製

五、發明說明 (15)

根據本實施例，對透明絕緣性基板1a面成平行方向之電場強度在基板內為均等狀態，而且採用藉由搭配線及電極部分之面積較小的薄膜電晶體積體裝置，使施加於液晶24之電場方向對基板面成平行方向之方式，因此，可提供變化視角方向時之對比降低，以及以多質變等級顯示時之質變等級位階之翻轉幾乎會消失，無顯示不勻情事，且具有高開口率之液晶顯示裝置。

[發明之效果]

如上所述，根據本發明，由於可以高精確度且微細地形成對基板面成平行方向電場之電極，所以可獲得一種不但對基板面成平行方向之電場強度在基板內為均等狀態，且配線及電極部分之面積較小之薄膜電晶體積體裝置。

其次，依實施例4所示之方法，形成梳型之汲極側電極與對向電極之寬度偏差得以縮小，亦即，由於濕式蝕刻時間得以縮短，故可將過蝕刻(over etching)所產生之電極寬度偏差減少至習知技術之大約1/3以下，在實施錐角蝕刻(taper etching)時，電極越厚，電極寬度越難縮小，但由於電極薄膜化，其寬度容易縮小。具體而言，若以習知方法形成時，電極寬度必須在大約 $5\mu\text{m}$ 以上，在對角15吋程度之畫面內，偏差達 $\pm 0.7\mu\text{m}$ 。若依實施例4之方法，電極寬度可以縮小至 $2\sim 3\mu\text{m}$ 程度，偏差量可以抑制在 $\pm 0.2\mu\text{m}$ 程度。結果，如由第13圖也可知，因電極寬度偏差所產生之畫面內亮度之偏差可由15%減少至10%，因而，可實現電極寬度之細線化，同時，開口率(亮度)得以大約提高至10%

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (16)

程度。

又藉由裝設對基板面成平行方向之電場強度在基板內為均等狀態，且配線及電極部分之面積較小之薄膜電晶體積體裝置，採用使施加於液晶之電場方向對基板面成平行方向之方式，所以可提供一種於變化視角方向時之對比降低，及以多質變等級顯示時之質變等級位階之翻轉幾乎消失，且無顯示不勻情事而具有高開口率之液晶顯示裝置。

[圖面之簡單說明]

第1圖為本發明實施例1之薄膜電晶體積體裝置俯視圖。

第2圖為本發明實施例1之薄膜電晶體積體裝置之製程剖面圖。

第3圖為本發明實施例2之薄膜電晶體積體裝置俯視圖。

第4圖為本發明實施例3之薄膜電晶體積體裝置俯視圖。

第5圖為本發明實施例3之薄膜電晶體積體裝置俯視圖。

第6圖為本發明實施例4之薄膜電晶體積體裝置俯視圖。

第7圖為本發明實施例4之薄膜電晶體積體裝置之製程剖面圖。

第8圖為本發明實施例5之薄膜電晶體積體裝置俯視圖。

第9圖為本發明實施例5之薄膜電晶體積體裝置剖面圖。

經濟部智慧財產局員工消費合作社印製

五、發明說明 (17)

第10圖為本發明實施例6之薄膜電晶體積體裝置之液晶面板剖面圖。

第11圖為以往此種液晶顯示裝置之液晶面板剖面圖。

第12圖為以往此種液晶顯示裝置於顯示時之局部性電極間隔與面板透過率的測定結果之圖表。

第13圖為根據實驗結果而整理電極寬度之變動量與面板透過率變動量之關係所得之圖表。

[符號之說明]

1	基板	2	閘極
3	汲極側電極	4	對向電極
5	閘極絕緣膜	6	非晶質矽
7	摻雜有雜質之非晶質矽		
8	接觸孔	9	源極配線
10	汲極	11	保護膜
12	對於對向電極施加電壓之配線		
13	共通配線		
14	用於使閘極低電阻化之配線		
15	使共通配線低電阻化之配線		
16	使對於對向電極施加電壓之配線低電阻化之配線		
17	除去部分	18	保護膜
19	定向膜	20	TFT基板
21	遮光膜	22	外敷層
23	對向基板	24	液晶
25	偏光板		

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要 (發明之名稱： 薄膜電晶體積體裝置及其製造方法與液晶顯示裝置)

本發明係藉由可以將基板內具有均等強度之電場對基板面呈平行方向形成之薄膜電晶體積體裝置，而提供一種使用對液晶施加對基板面成平行方向之電場之方式，同時，無顯示不勻且具有高開口率之液晶顯示裝置。

本發明係與閘極2同時將用於形成對基板面成平行方向的電場且分別呈梳形之汲極側電極和對向電極4互相面對形成在玻璃基板1上。接著在全面形成閘極絕緣膜5後，在汲極側電極3上之閘極絕緣膜5形成接觸孔8。其次，在閘極2上隔著閘極絕緣膜5形成半導體層及源極配線9/汲極10，並藉接觸孔8而使汲極側電極3與汲極10相連接。最後，全面形成保護膜。

英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種薄膜電晶體積體裝置，其特徵為具有：

與控制電極同時形成在基板上，以形成對上述基板面成平行方向的電場，且分別呈梳形，並配置成互相對向之第一電極及第二電極；

形成在上述控制電極、第一電極及第二電極上之絕緣膜；

在上述控制電極上面隔著上述絕緣膜形成之半導體層；以及

一對電極，其中的任一係連接於與上述半導體層共同構成半導體元件之上述第一電極或第二電極。

2. 如申請專利範圍第1項之薄膜電晶體積體裝置，其中，對基板面成平行方向電場之形成區域兩側設有：在控制電極側之保持電容量用之配線，及位在其相反側而用於對第一電極或第二電極施加電壓之配線。
3. 申請專利範圍第2項之薄膜電晶體積體裝置，其中，保持電容量用之配線和對第一電極或第二電極施加電壓之配線，係至少由一支第一電極或第二電極電性連接者。

4. 一種薄膜電晶體積體裝置之製造方法，包括：

在基板上同時以相同材料形成控制電極、分別呈梳形且配置成互相對向之第一電極及第二電極的製程；

在上述控制電極、第一電極及第二電極上形成絕緣膜之製程；

在上述控制電極上面隔著上述絕緣膜形成半導體

六、申請專利範圍

層之製程；以及

形成與上述半導體層共同構成半導體元件之一對電極之製程。

5. 如申請專利範圍第4項之薄膜電晶體積體裝置之製造方法，其中，保持電容量用之配線係由與控制電極、第一電極及第二電極相同之材料同時形成者。
6. 如申請專利範圍第4或第5項之薄膜電晶體積體裝置之製造方法，其中，包含至少對控制電極、第一電極或第二電極施加電壓之配線及保持電容量用之配線中之任一者被覆低電阻材料之製程。
7. 一種液晶顯示裝置，其特徵為具有：

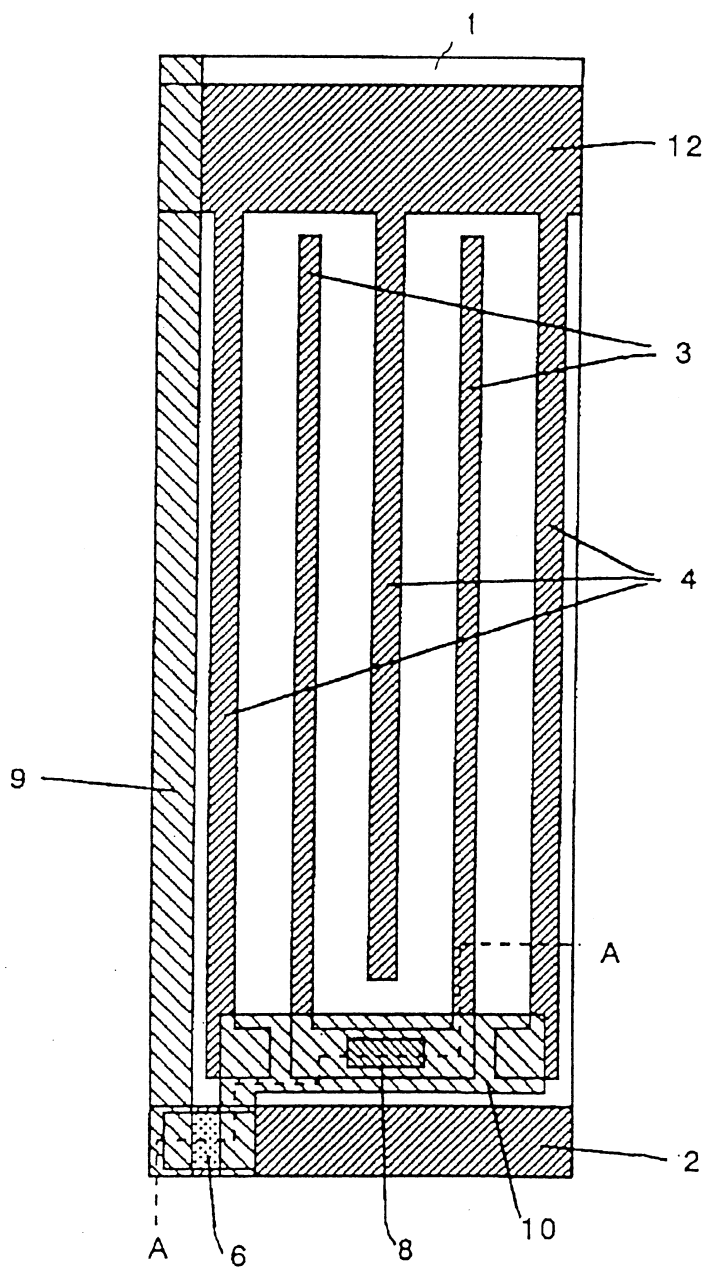
透明絕緣性基板；

在上述透明絕緣性基板上形成如申請專利範圍第1項所記載之薄膜電晶體積體裝置；以及

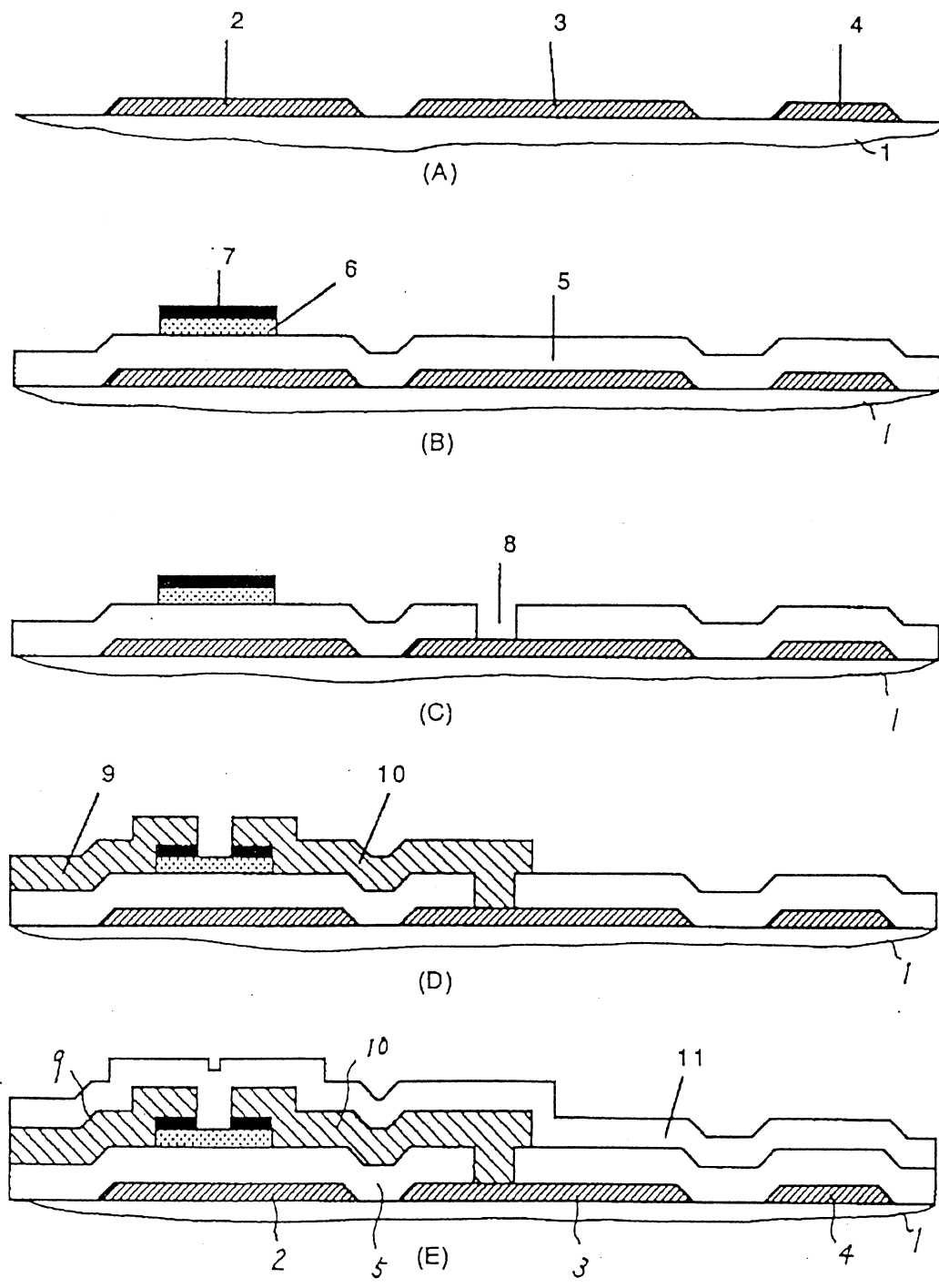
與上述透明絕緣性基板共同夾持液晶材料之對向基板。

(請先閱讀背面之注意事項再填寫本頁)

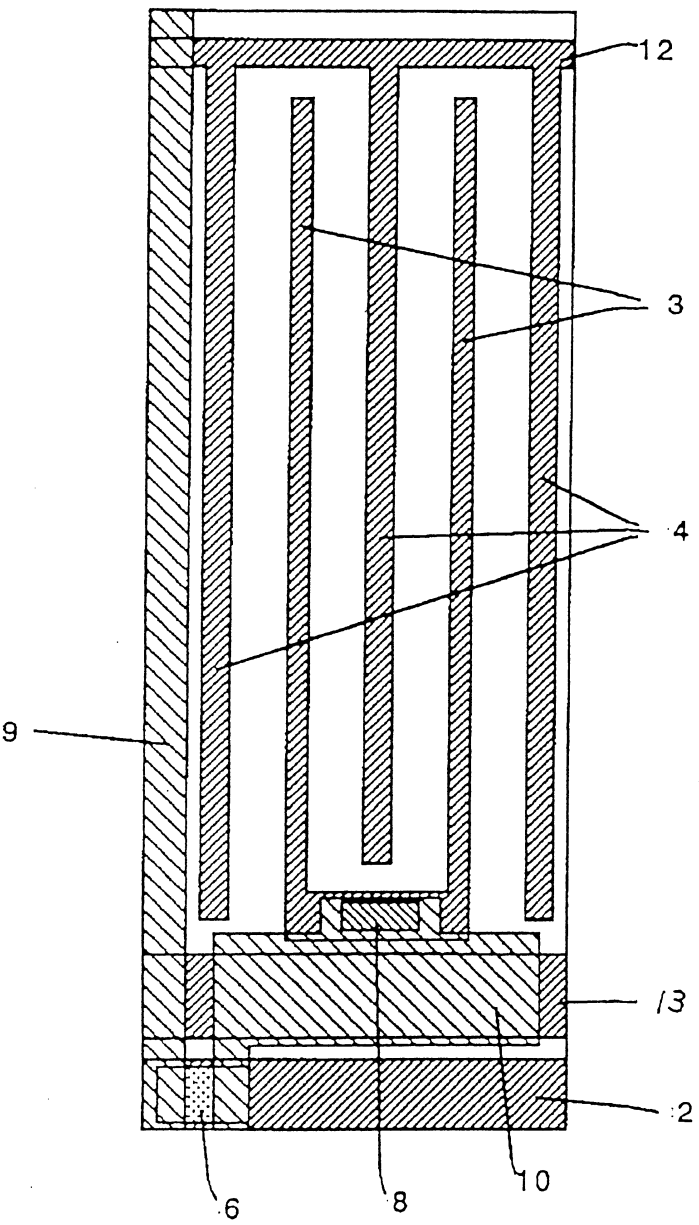
裝
訂
線



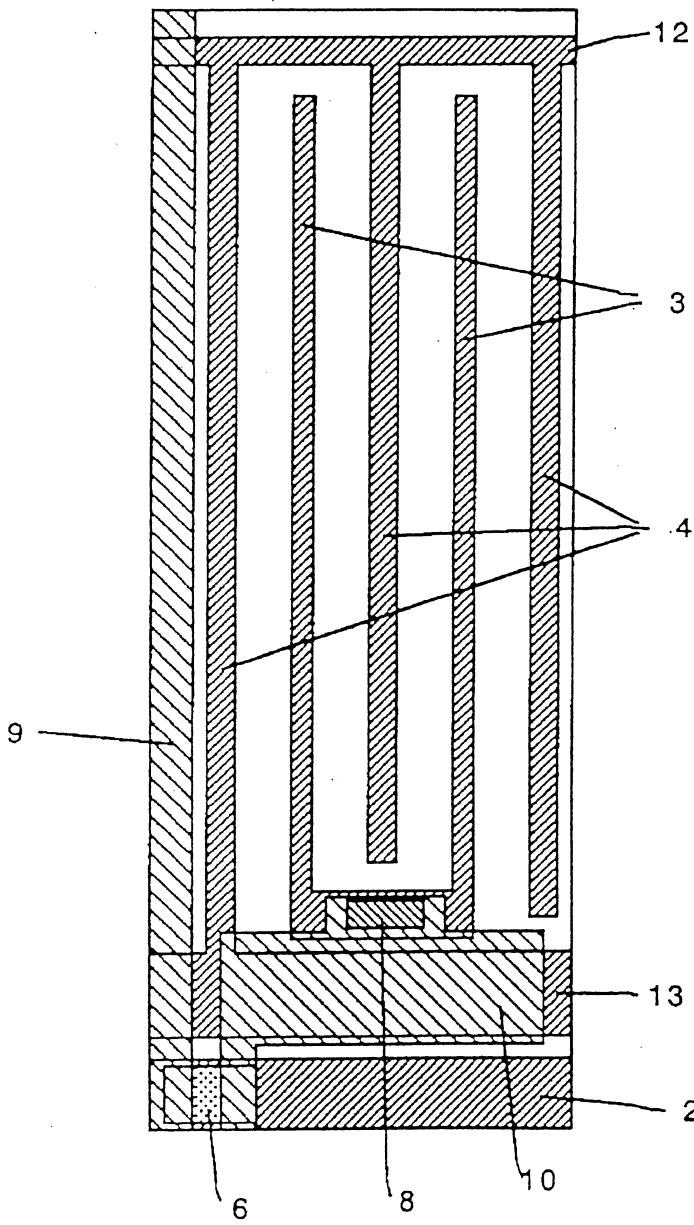
第 1 圖



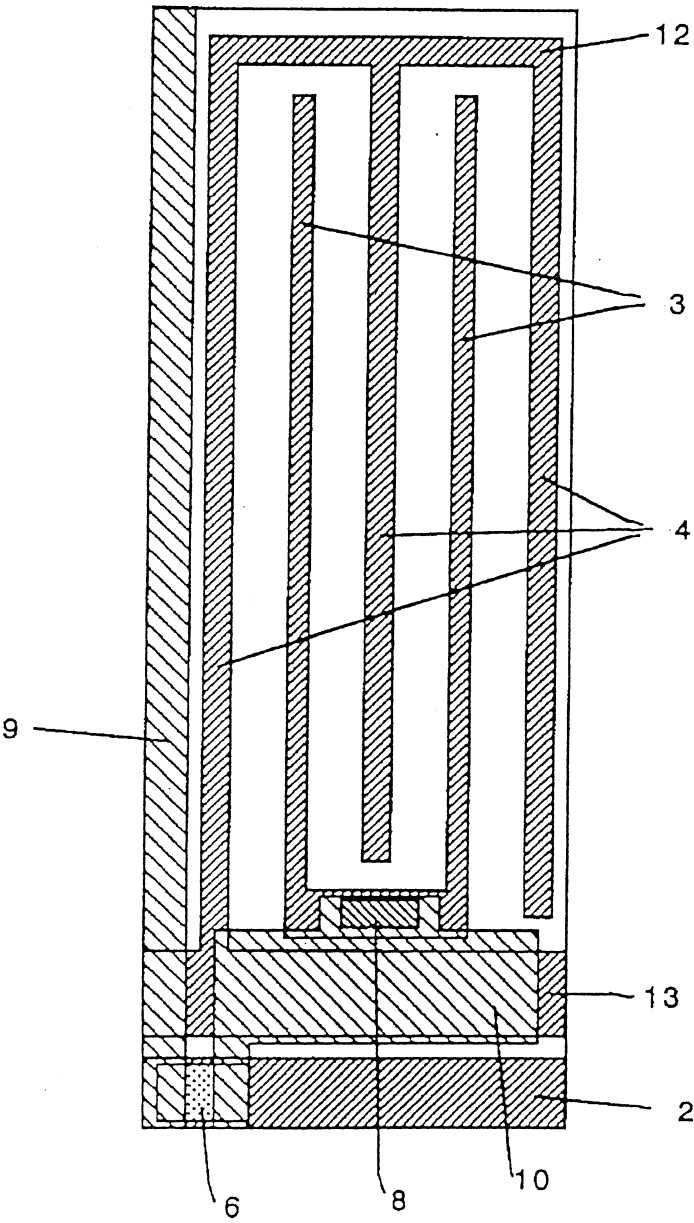
第 2 圖



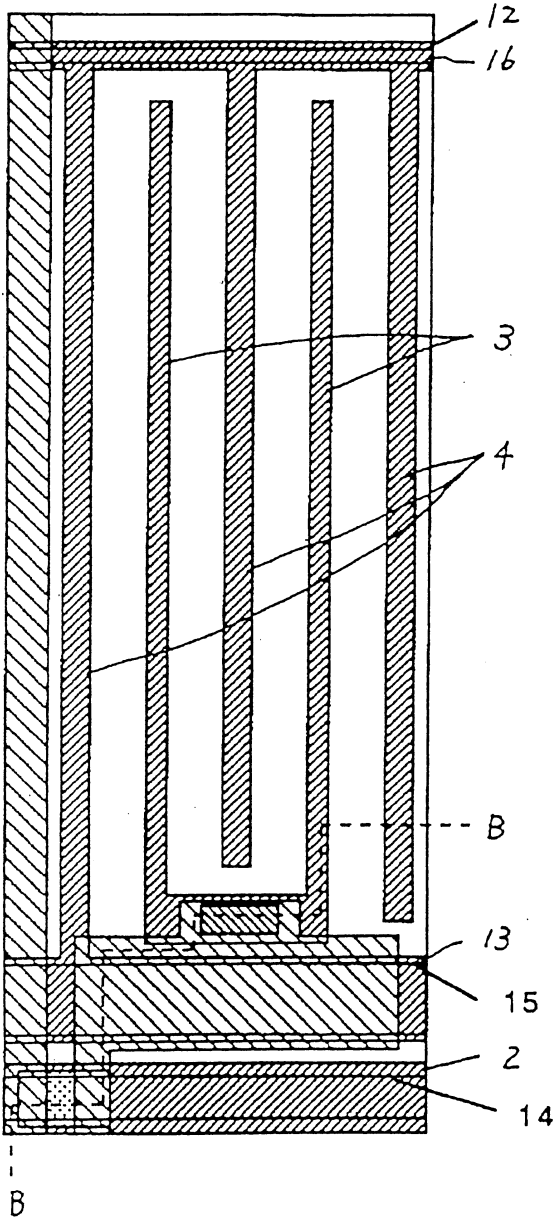
第 3 圖



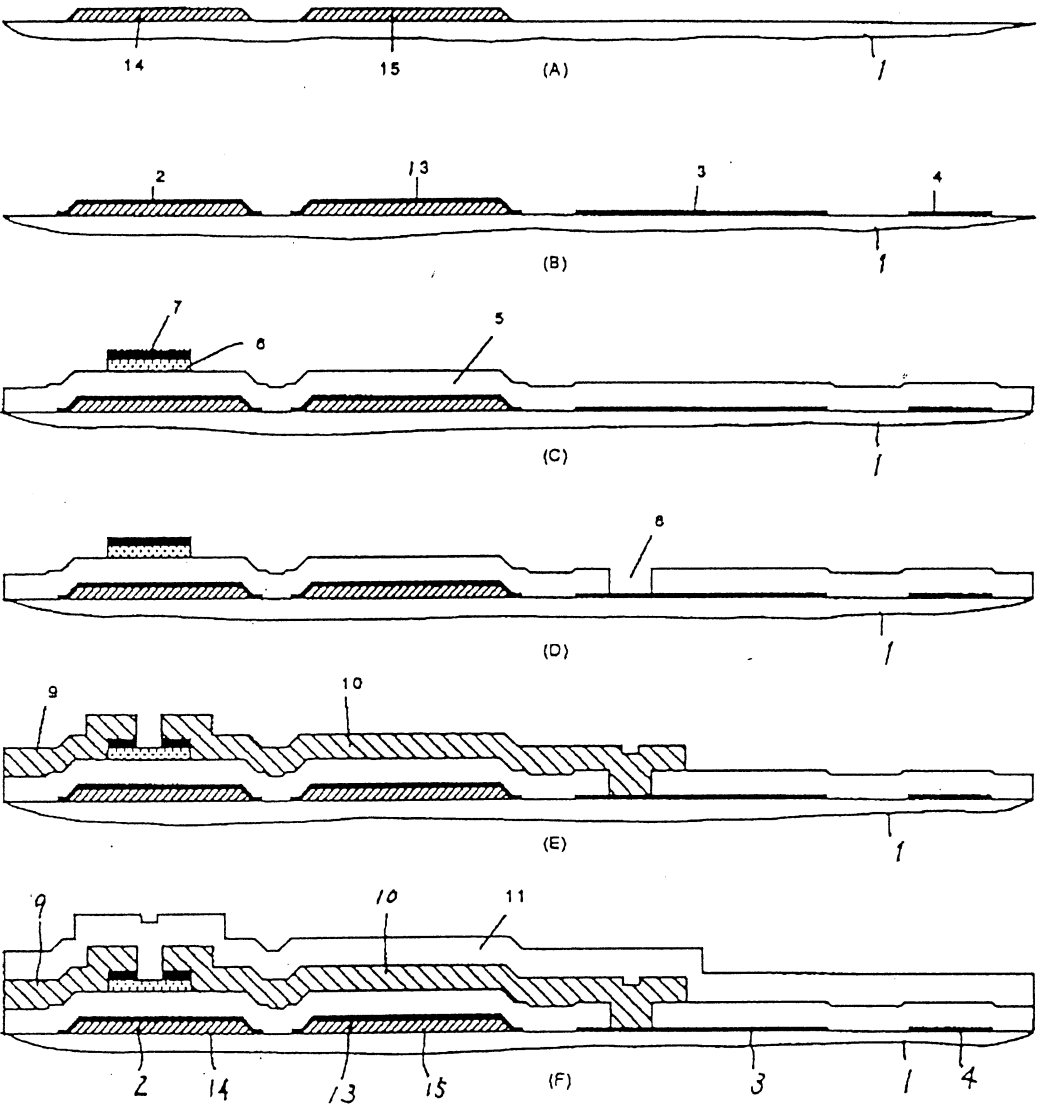
第 4 圖



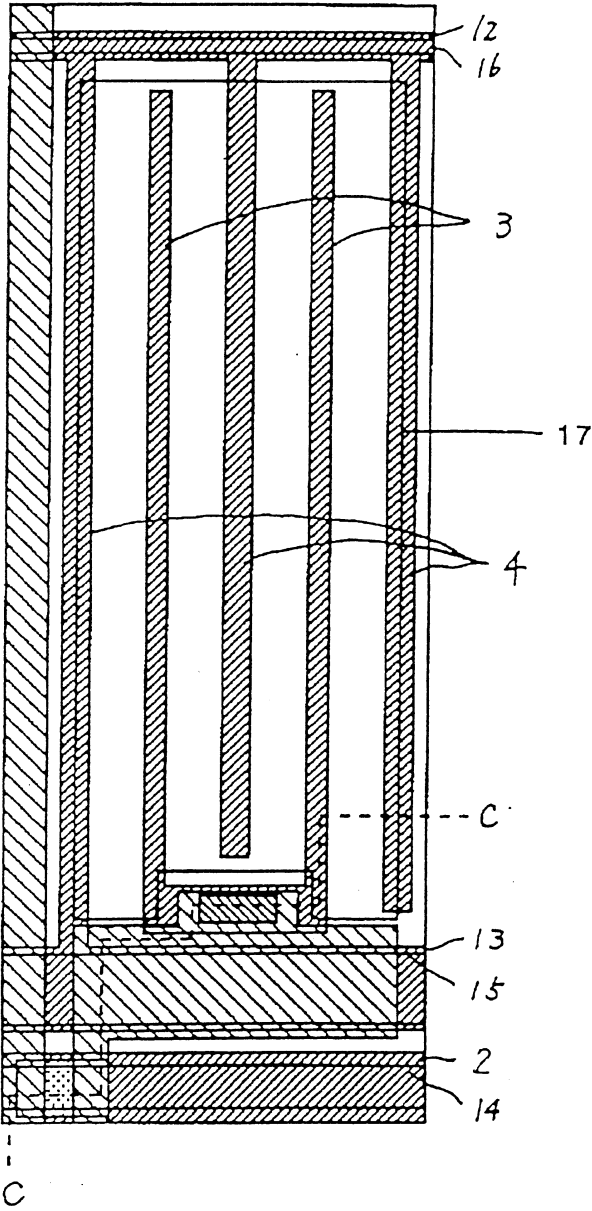
第 5 圖



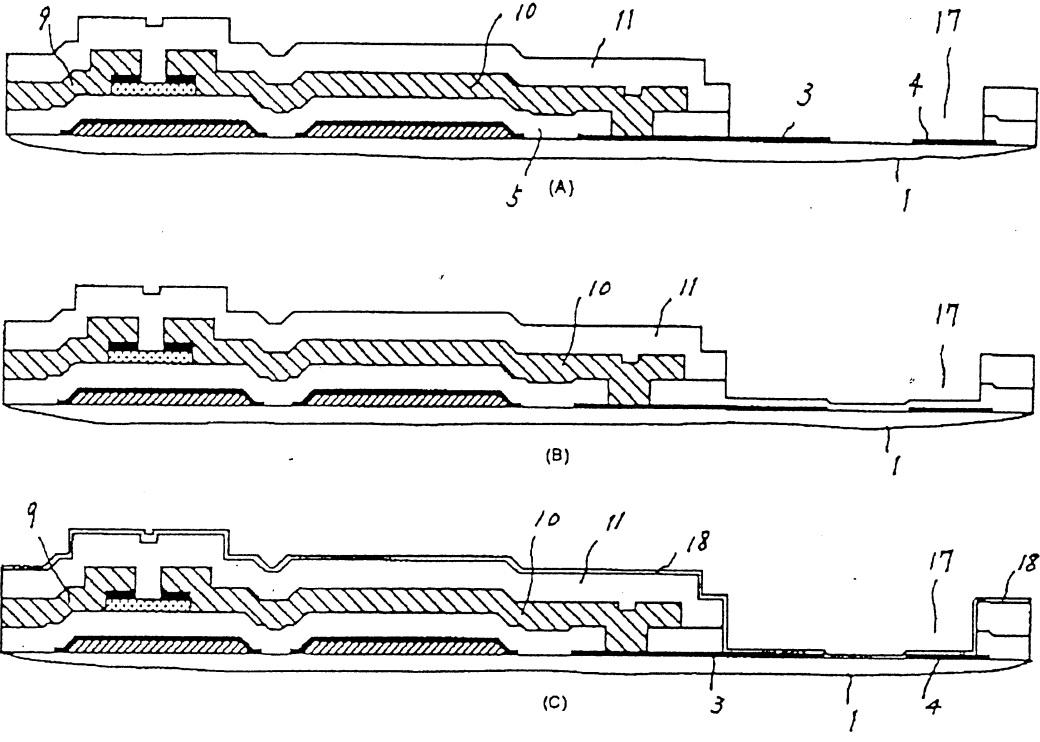
第 6 圖



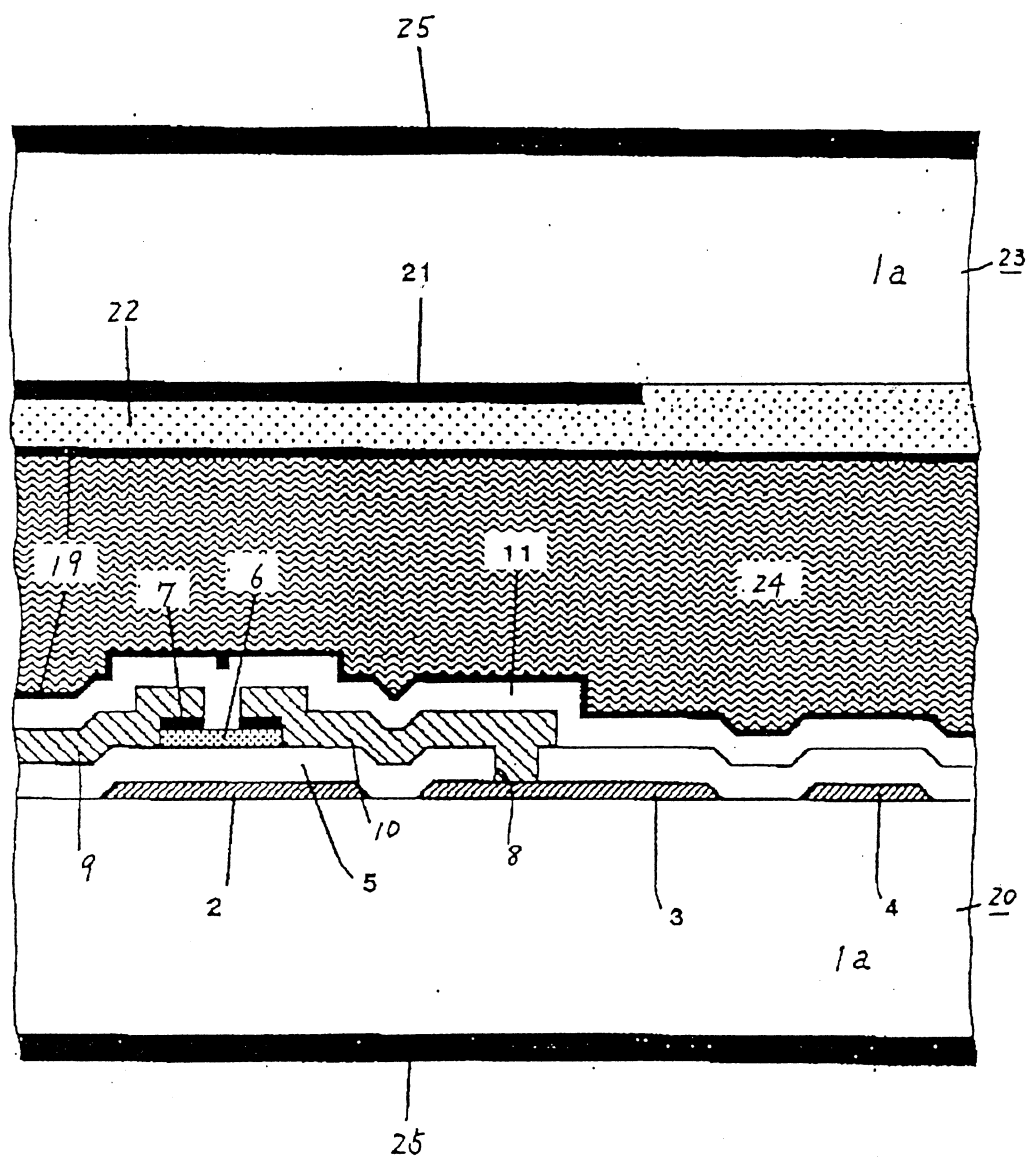
第 7 圖



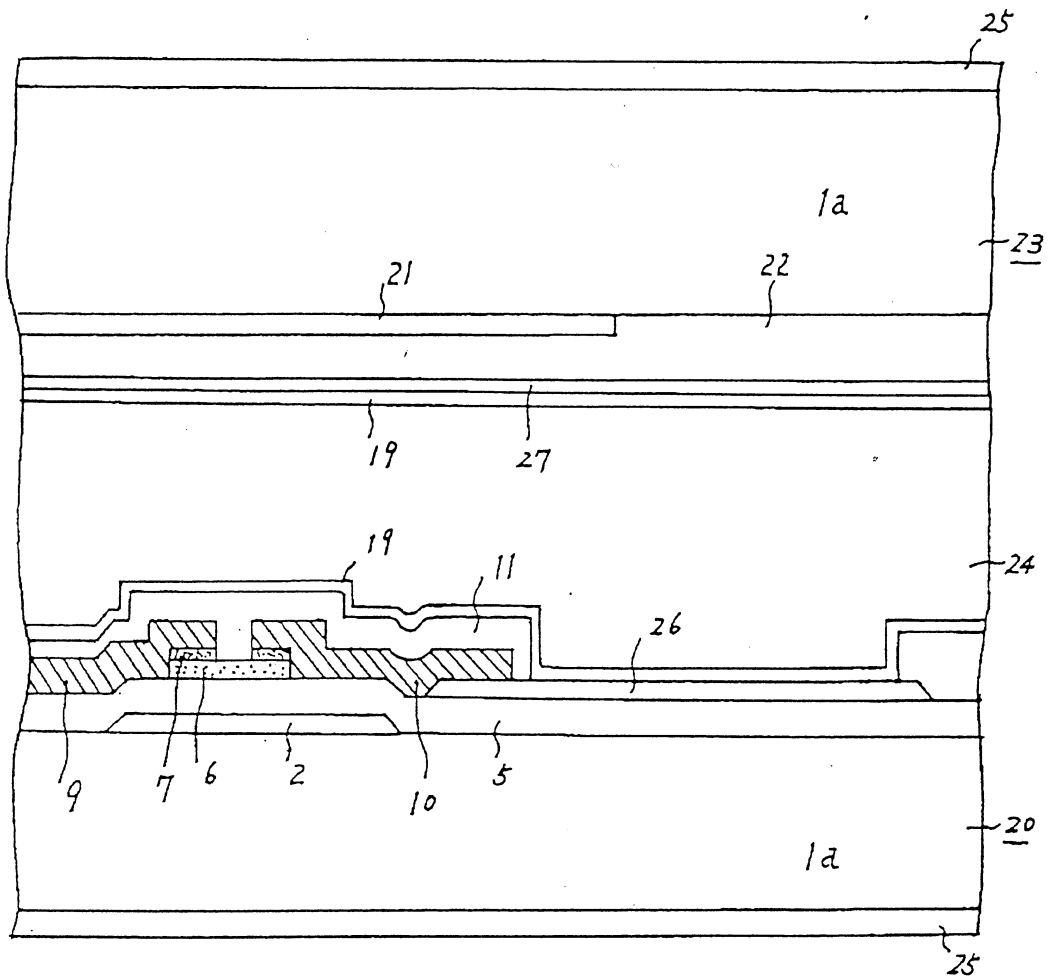
第 8 圖



第 9 圖

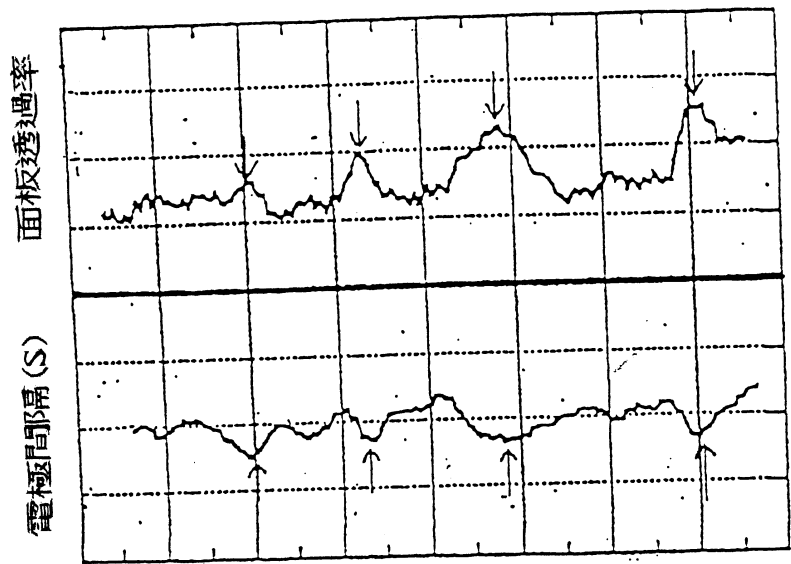


第10圖



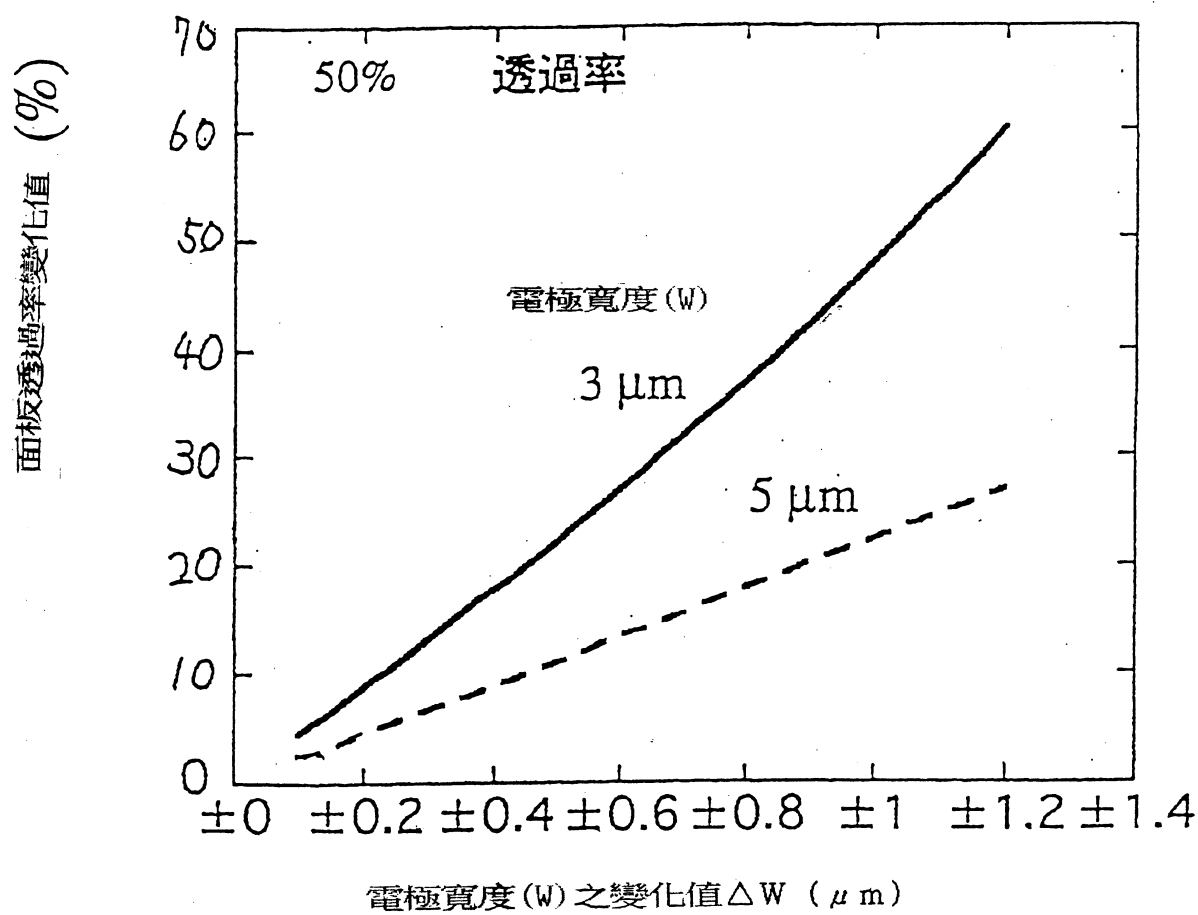
第11圖

87127



測定位置

第12圖 (修正圖)



第13圖 (修正圖)